

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0046339
(43) 공개일자 2006년05월17일

(21) 출원번호 10-2005-0046395
(22) 출원일자 2005년05월31일

(30) 우선권주장 1020040038888 2004년05월31일 대한민국(KR)
1020040073106 2004년09월13일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김 빈
서울 양천구 목5동 목동4단지아파트 408동 2003호
윤수영
경기 고양시 덕양구 행신2동 무원마을10단지아파트 서광아파트1010동
802호

(74) 대리인 김영호

심사청구 : 없음

(54) 구동 회로가 내장된 액정 표시 패널

요약

본 발명은 내장된 구동 회로의 면적을 확장시킬 수 있는 구동 회로 내장형 액정 패널에 관한 것이다.

이 액정 패널은 특정 길이의 피치로 액정셀들이 배치되는 액정셀 매트릭스와; 상기 표시 영역의 외곽 영역에 상기 표시 영역을 사이에 두고 형성되어 상기 액정셀 매트릭스의 게이트 라인을 오드/이븐으로 분리하여 구동하기 위한 오드 및 이븐 게이트 구동 회로를 구비한다. 상기 오드 게이트 구동 회로에 포함된 적어도 하나의 스테이지와 상기 이븐 게이트 구동 회로에 포함된 적어도 하나의 스테이지의 피치는 상기 액정셀의 피치보다 크다.

내용

도 7

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시 장치를 도시한 블록도.

도 2에 도시된 게이트 구동 회로의 구성을 도시한 블록도.

도 3은 도 2에 도시된 제1 스테이지의 상세 회로도.

도 4는 도 3에 도시된 제1 스테이지의 구동 파형도.

도 5는 종래의 게이트 구동 회로가 내장된 액정 표시 패널을 개략적으로 도시한 평면도.

도 6은 도 5에 도시된 게이트 구동 회로에 포함되는 스테이지를 도시한 평면도.

도 7은 본 발명의 제1 실시 예에 따른 게이트 구동 회로 내장형 액정 표시 패널에 포함되는 박막 트랜지스터 기판을 부분적으로 도시한 평면도.

도 8은 본 발명의 제1 실시 예에 따른 오드 및 이븐 게이트 구동 회로 구동 방법을 설명하기 위한 도면.

도 9는 본 발명의 제2 실시 예에 따른 오드 및 이븐 게이트 구동 회로 구동 방법을 설명하기 위한 도면.

도 10은 본 발명의 실시 예에 따른 제1 스테이지를 나타낸 도면.

도 11은 도 10을 구동하는 2상 게이트 구동 회로의 구동방법을 설명하기 위한 도면.

도 12는 본 발명의 실시 예에 따른 제1 및 제3 스테이지를 나타낸 도면.

도 13은 도 12를 구동하는 4상 게이트 구동 회로의 구동방법을 설명하기 위한 도면.

도 14는 본 발명의 제2 실시 예에 따른 게이트 구동 회로 내장형 액정 표시 패널에 포함되는 박막 트랜지스터 기판을 부분적으로 도시한 평면도.

도 15는 도 14에 도시된 게이트 구동 회로의 스테이지들의 배치를 나타내는 도면.

도 16은 도 15에 도시된 스테이지의 회로 구성으로써 제1 실시예의 회로구성을 나타내는 회로도.

도 17은 도 15에 도시된 스테이지 배치에 적용되는 입출력 파형과 제어노드의 파형을 나타내는 파형도.

도 18은 도 15에 도시된 스테이지의 회로 구성으로써 제2 실시예의 회로구성을 나타내는 회로도.

도 19는 도 16 및 도 18에 도시된 회로가 적용되는 경우의 스테이지들의 배치를 나타내는 도면.

도 20은 도 19에 도시된 스테이지 배치에 적용되는 입출력 파형과 제어노드의 파형을 나타내는 파형도.

〈 도면의 주요부분에 대한 설명 〉

10, 13, 90 : 액정 패널 11 : 데이터 구동 회로

12, 30, 40, 70o, 70e, 140_O, 140_E : 게이트 구동 회로

20, 44, 74, 144 : 표시 영역

50, 60, 141 : 라인 온 클래스(LOG) 영역

32i, 32i+1, 42i, 42i+1, 72i+1, 72i+2, 72_1, 72_2, ... : 스테이지

142_2n-1 : 오드 스테이지 142_2n : 이븐 스테이지

52, 62, 143_2n-1, 143_2n : 제어부

54, 64, 145_2n-1, 145_2n : 출력 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 표시 패널(이하, 액정 패널)과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

도 1을 참조하면, 일반적인 액정 표시 장치는 m n개의 액정셀들(Cl_c)이 매트릭스 타입으로 배열되고 m개의 데이터 라인들(D₁ 내지 D_m)과 n개의 게이트 라인들(G₁ 내지 G_n)이 교차되며 그 교차부에 박막 트랜지스터(TFT)가 접속된 액정 패널(13)과, 액정 패널(13)의 데이터 라인들(D₁ 내지 D_m)에 데이터를 공급하는 데이터 구동 회로(11)와, 게이트 라인들(G₁ 내지 G_n)에 스캔 펄스를 공급하는 게이트 구동 회로(12)를 구비한다.

액정 패널(13)은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과 칼라 필터 어레이가 형성된 칼라 필터 기판이 액정층을 사이에 두고 합착되어 형성된다. 이 액정패널(13)의 박막 트랜지스터 기판에 형성된 데이터 라인들(D₁ 내지 D_m)과 게이트 라인들(G₁ 내지 G_n)은 상호 직교된다. 데이터 라인들(D₁ 내지 D_m)과 게이트 라인들(G₁ 내지 G_n)의 교차부와 접속된 박막 트랜지스터(TFT)는 게이트 라인(G₁ 내지 G_n)의 스캔 펄스에 응답하여 데이터 라인(D₁ 내지 D_m)을 통해 공급된 데이터 전압을 액정셀(Cl_c)의 화소 전극에 공급하게 된다. 칼라 필터 기판에는 블랙 매트릭스, 칼라 필터 및 공통 전극 등이 형성된다. 이에 따라, 액정셀(Cl_c)은 화소 전극에 공급된 데이터 전압과, 공통 전극에 공급된 공통 전압과의 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 광 투과율을 조절하게 된다. 그리고 액정 패널(13)의 박막 트랜지스터 기판과 칼라 필터 기판 상에는 광축이 직교하는 편광판이 부착되고, 액정층과 접하는 내측면 상에는 액정의 프리틸트각을 결정하는 배향막이 더 형성된다. 또한, 액정셀(Cl_c) 각각에는 스토리지 캐패시터(Cst)가 더 형성된다. 스토리지 캐패시터(Cst)는 화소 전극과 전단 게이트 라인 사이에 형성되거나, 화소 전극과 도시하지 않은 공통 라인 사이에 형성되어 액정셀(Cl_c)에 충전된 데이터 전압을 일정하게 유지시킨다.

데이터 구동 회로(11)는 입력된 디지털 비디오 데이터를 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고 데이터 라인들(D₁ 내지 D_m)에 공급한다.

게이트 구동 회로(12)는 스캔 펄스를 게이트 라인들(G₁ 내지 G_n)에 순차적으로 공급하여 데이터가 공급되어질 액정셀(Cl_c) 수평 라인을 선택한다.

구체적으로, 게이트 구동 회로(12)는 도 2에 도시된 바와 같이 게이트 라인들(G₁ 내지 G_n)에 순차적으로 스캔 펄스를 공급하기 위하여 스타트 펄스(Vst) 입력 라인에 종속적으로 접속된 제1 내지 제n 스테이지를 구비하는 쉬프트 레지스터를 포함한다. 도 2에 도시된 제1 내지 제n 스테이지에는 고전위 및 저전위 구동 전압(VDD, VSS)과 함께 클럭 신호(CLK)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 전단 스테이지의 출력 신호가 공급된다. 제1 스테이지는 스타트 펄스(Vst)와 클럭 신호(CLK)에 응답하여 제1 게이트 라인(G₁)으로 스캔 펄스를 출력한다. 그리고, 제2 내지 제n 스테이지는 이전단 스테이지의 출력 신호와 클럭 신호(CLK)에 응답하여 제2 내지 제n 게이트 라인(G₂ 내지 G_n) 각각에 스캔 펄스를 순차적으로 출력한다. 다시 말하여, 제1 내지 제n 스테이지는 동일한 회로 구성을 갖으며, 클럭 신호(CLK)로는 위상이 서로 다른 적어도 2개의 클럭 신호가 공급된다.

도 3은 도 2에 도시된 쉬프트 레지스터 중 제1 스테이지의 상세 회로 구성을 도시한 것이다.

도 3에 도시된 제1 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력라인으로 출력하는 풀-업 NMOS 트랜지스터(NT6)와, QB노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 풀-다운 NMOS 트랜지스터(NT7)로 구성된 출력 버퍼와, Q노드와 QB노드를 제어하는 제1 내지 제5 NMOS 트랜지스터(NT1 내지 NT5)로 구성된 제어부를 구비한다. 이러한 제1 스테이지에는 고전위 및 저전위 전압(VDD, VSS)과 스타트 펄스(Vst)가 공급되고, 도 4와 같이 위상이 서로 다른 제1 내지 제4 클럭 신호(CLK1 내지 CLK4) 중 제2 클럭 신호(CLK2)를 제외한 나머지 3개의 클럭 신호(CLK1, CLK3, CLK4)가 공급된다. 이하, 스테이지의 동작 과정을 도 4에 도시된 구동 과정을 참조하여 설명하기로 한다.

A기간에서 스타트 펄스(Vst) 및 제4 클럭 신호(CLK4)의 하이 전압에 의해 제1 및 제2 NMOS 트랜지스터(NT1, NT2)가 턴-온되어 스타트 펄스(Vst)의 하이 전압이 Q노드로 프리-차지된다. Q노드로 프리-차지된 하이 전압에 의해 풀-업 NMOS 트랜지스터(NT6)가 턴-온되어 제1 클럭 신호(CLK1)의 로우 전압이 출력 라인, 즉 제1 게이트 라인(G1)으로 공급된다. 이때, 스타트 펄스(Vst)에 의해 턴-온된 제5 NMOS 트랜지스터(NT5)에 의해 QB노드는 로우 상태가 되어 제3B 및 풀-다운 NMOS 트랜지스터(NT3B, NT7)는 턴-오프, 로우 전압의 제3 클럭 신호(CLK3)에 의해 제3A 및 제4 NMOS 트랜지스터(NT3A, NT4)도 턴-오프된다.

B기간에서 스타트 펄스(Vst)와 제4 클럭 신호(CLK4)의 로우 전압에 의해 제1 및 제2 NMOS 트랜지스터(NT1, NT2)가 턴-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(NT6)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(CLK1)의 하이 전압에 의해 Q노드는 풀-업 NMOS 트랜지스터(NT6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시터(CGD)의 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 풀-업 NMOS 트랜지스터(NT6)가 확실하게 턴-온됨으로써 제1 클럭 신호(CLK1)의 하이 전압이 제1 게이트 라인(G1)으로 빠르게 공급된다.

C기간에서 스타트 펄스(Vst)와 제4 클럭 신호(CLK4)의 로우 전압에 의해 제1 및 제2 NMOS 트랜지스터(NT1, NT2)가 턴-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(NT6)는 턴-온 상태를 유지한다. 이에 따라, 풀-업 NMOS 트랜지스터(NT6)가 턴-온 상태를 유지하여 제1 클럭 신호(CLK1)의 로우 전압이 제1 게이트 라인(G1)으로 공급된다.

D기간에서 제3 클럭 신호(CLK3)의 하이 전압에 의해 제3A 및 제4 NMOS 트랜지스터(NT3A, NT4)가 턴-온되어 Q노드는 로우 전압을 방전되고, QB노드는 하이 전압이 충전된다. QB노드의 하이 전압에 의해 제3B NMOS 트랜지스터(NT3B)가 턴-온되어 Q노드는 보다 신속하게 방전되고, 풀-다운 NMOS 트랜지스터(NT7)가 턴-온되어 로우 전압이 제1 게이트 라인(G1)으로 공급된다.

E기간에서 제3 클럭 신호(CLK3)의 로우 전압으로 제4 및 제5 NMOS 트랜지스터(NT4, NT5)가 턴-오프되어 QB노드는 하이 상태로 플로팅됨으로써 풀-다운 NMOS 트랜지스터(NT7)가 턴-온 상태를 유지하므로 제1 게이트 라인(G1)으로 공급된다.

그리고, 스타트 펄스(Vst)의 하이 전압이 공급되기 이전까지 풀-다운 NMOS 트랜지스터(NT7)는 계속 턴-온 상태를 유지하여 제1 게이트 라인(G1)으로 계속 로우 전압을 출력한다.

이러한 구성을 갖는 게이트 구동 회로를 아모퍼스-실리콘 박막 트랜지스터를 이용하여 도 5와 같이 액정 패널(10)에 내장하고자 하는 경우, 낮은 이동도로 인하여 각 스테이지의 출력 버퍼, 즉 풀-업 및 풀-다운 NMOS 트랜지스터(NT6, NT7)의 크기가 매우 크게 형성되어야 한다. 이는 전술한 바와 같이 스캔 펄스가 출력 버퍼를 통해 직접 공급됨에서 기인한 것이며, 출력 버퍼의 채널 폭은 액정 패널(10)의 수명에 아주 큰 영향을 주기 때문이다. 설계치에 의하면 출력 버퍼는 수천 mm 이상의 채널 폭을 가져야 하고, 10" 이상의 중대형 크기의 액정 패널을 구동하기 위해서는 수만 μm 이상의 채널 폭을 가져야 한다. 이로 인하여, 내장된 게이트 구동 회로(30)가 차지하는 면적이 커져야 하지만 제품 규격상 비표시 영역 내에서 회로 면적을 크게 하는데는 한계가 있다.

이에 따라, 도 5와 같이 제1 및 제2 게이트 구동 회로(30, 40)를 표시 영역(20) 양측 외곽부에 각각 형성하여 표시 영역(20)의 게이트 라인을 양측에서 동시에 구동하는 양방향 구동 방법이 제안되어졌다.

구체적으로, 도 6과 같이 제i 게이트 라인(Gi)은 제1 게이트 구동 회로(30)에 포함된 제i 스테이지(32_i)와, 제2 게이트 구동 회로(40)의 제i 스테이지(42_i)로부터 동시에 스캔 펄스를 공급받음으로써 그 게이트 라인(Gi)과 접속된 박막 트랜지스터(TFT)를 통해 데이터 라인(D)의 데이터 신호가 화소 전극(44)에 공급되게 한다. 그 다음, 제i+1번째 게이트 라인(Gi+1)은 제1 게이트 구동 회로(30)의 제i+1 스테이지(32_i+1)와, 제2 게이트 구동 회로(40)의 제i+1 스테이지(42_i+1)로부터 다음 스캔 펄스를 공급받아 구동된다.

이러한 제1 게이트 구동 회로(30)의 스테이지(32_i, 32_i+1) 각각과, 제2 게이트 구동 회로(40)의 스테이지(42_i, 42_i+1) 각각은 도 3에 도시된 바와 같이 풀-업 및 풀-다운 트랜지스터(NT6, NT7)를 포함하는 출력 버퍼(54)와, 출력 버퍼(54)를 제어하기 위한 제1 내지 제5 트랜지스터(NT1 내지 NT5)를 포함하는 제어부(52)를 구비한다. 그리고, 제1 게이트 구동 회로(30)의 스테이지(32_i, 32_i+1)와, 제2 게이트 구동 회로(40)의 스테이지(42_i, 42_i+1) 각각의 외곽부에는 다수의 클럭 신호 및 전원 신호를 공급하기 위한 다수의 라인 온 글래스(Line On Glass; 이하, LOG)형 신호 라인들이 형성된

LOG 영역(50)이 위치하게 된다. 또한, LOG 영역(50)의 외곽에는 박막 트랜지스터 기판 및 칼라 필터 기판의 합착을 위한 실링재(미도시)가 도포된다. 이러한 실링재에는 금속과 접촉하는 경우 부식시키는 클래스 파이버가 포함되므로 제1 및 제2 게이트 구동 회로(30, 40) 및 LOG 영역(50)은 그 실링재와 중첩되지 않도록 안쪽에 위치하게 된다.

이에 따라, 제1 및 제2 게이트 구동 회로(30, 40) 각각이 형성될 수 있는 회로 영역의 선택은 실링재 안쪽의 비표시 영역으로, 한 스테이지의 피치는 한 액정셀의 피치로 제한되므로 출력 버퍼(54)의 크기를 확대할 수 없게 된다. 따라서, 내장된 구동 회로 면적을 넓힐 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 내장된 구동 회로의 면적을 확장시킬 수 있는 구동 회로 내장형 액정 패널을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 구동 회로 내장형 액정 패널은 표시 영역에 형성된 액정셀 매트릭스와; 상기 표시 영역의 외곽 영역에 상기 표시 영역을 사이에 두고 형성되어 상기 액정셀 매트릭스의 게이트 라인을 오드/이븐으로 분리하여 구동하기 위한 오드 및 이븐 게이트 구동 회로를 구비한다.

상기 오드 게이트 구동 회로에 포함된 적어도 하나의 스테이지와 상기 이븐 게이트 구동 회로에 포함된 적어도 하나의 스테이지의 피치는 상기 액정셀의 피치보다 크다.

상기 오드 스테이지 및 이븐 스테이지 각각은 해당 게이트 라인에 스캔 펄스를 공급하는 출력 버퍼와, 그 출력 버퍼를 제어하는 제어부를 구비한다.

상기 각 스테이지 중 상기 제어부는 상기 한 액정셀 피치 영역에 포함되도록 형성되고, 상기 출력 버퍼는 상기 두 액정셀 피치 영역에 걸쳐 형성된다.

상기 오드 및 이븐 게이트 구동 회로는 상기 스테이지의 외곽부에 형성되어 다수의 게이트 제어 신호 및 전원 신호를 공급하는 라인 온 클래스(이하, LOG)형 신호 라인들을 추가로 구비한다.

상기 오드 스테이지는 이전단 오드 스테이지의 출력 신호를 스타트 펄스로, 상기 이븐 스테이지는 이전단 이븐 스테이지의 출력 신호를 스타트 펄스로 입력된다.

상기 오드 스테이지는 상기 이븐 게이트 라인과 오픈된 구조를, 상기 이븐 스테이지는 상기 오드 게이트 라인과 오픈된 구조를 갖는다.

상기 이븐 스테이지 및 상기 오드 스테이지 각각의 출력버퍼는 상기 게이트 라인에 하이 전압을 공급하는 풀-업 트랜지스터와; 상기 게이트 라인에 로우 전압을 공급하는 풀-다운 트랜지스터를 구비한다.

상기 게이트 라인으로 공급되는 하이 전압은 상기 이븐 스테이지 및 상기 오드 스테이지 각각의 풀-업 트랜지스터가 턴-다운되기 직전에 공급된다.

상기 게이트 라인으로 공급되는 하이 전압은 하나의 클럭이 인가되는 시간을 1H라고 할 때, 상기 풀-업 트랜지스터가 2H 이상 턴-온 된 이후에 공급된다.

상기 풀-업 트랜지스터는 3H 동안 턴-온 된다.

상기 오드 및 이븐 스테이지에는 서로 다른 클럭 신호 및 스타트 펄스가 외부로부터 공급된다.

상기 이븐 스테이지에 공급되는 이븐 스타트 펄스 및 이븐 클럭 신호는, 상기 오드 스테이지에 공급되는 오드 스타트 펄스 및 오드 클럭 신호 보다 한 클럭 지연되어 공급된다.

상기 스테이지는 상기 스타트 펄스를 공급받아 턴-온 되어 상기 풀-업 트랜지스터를 턴-온 시킴으로써 제1 클럭신호의 하이 전압을 상기 게이트 라인에 공급시키는 제1 트랜지스터와; 제2 클럭신호의 하이 전압을 공급받아 턴-온 됨으로써 고전

위 전압을 상기 풀-다운 트랜지스터에 공급시키는 제2 트랜지스터와; 상기 고전위 전압을 공급 받아 상기 제1 트랜지스터와 상기 풀-업 트랜지스터 사이에 충전된 전하를 방전시킴과 아울러 상기 풀-다운 트랜지스터와 커렌트 미러로 연결된 제3 트랜지스터와; 다음 단 스테이지로부터 하이 전압을 공급받아 상기 제1 트랜지스터와 상기 풀-업 트랜지스터 사이에 충전된 전하를 방전시키는 제4 트랜지스터와; 상기 제2 트랜지스터의 콜렉터 단과 기저전압 사이에 병렬로 연결된 제5 및 제6 트랜지스터를 구비한다.

상기 오드 스테이지는 이전단 이븐 스테이지의 출력 신호를 스타트 펄스로, 상기 이븐 스테이지는 이전단 오드 스테이지의 출력 신호를 스타트 펄스로 입력된다.

상기 오드 스테이지는 이븐 게이트 라인을 통해 상기 이전단 이븐 스테이지의 출력 신호를 공급받고, 상기 이븐 스테이지는 오드 게이트 라인을 통해 상기 이전단 오드 스테이지의 출력 신호를 공급받는다.

상기 오드 및 이븐 스테이지에는 외부로부터 동일한 스타트 펄스 및 다수의 클럭 신호가 공급된다.

상기 오드 게이트 구동 회로에 포함된 적어도 하나의 스테이지와 상기 이븐 게이트 구동 회로에 포함된 적어도 하나의 스테이지의 피치는 액정셀의 1 피치 내지 상기 액정셀의 2 피치 사이의 길이이다.

상기 출력버퍼는 Q 노드에 의해 제어되는 풀-업 트랜지스터와; QB_O 노드에 의해 제어되는 제1 풀-다운 트랜지스터와; QB_E 노드에 의해 제어되는 제2 풀-다운 트랜지스터를 구비한다.

상기 제1 및 제2 풀-다운 트랜지스터는 프레임 기간 단위로 교대로 동작한다.

상기 제어부는 상기 Q 노드를 충방전시키기 위한 제1 제어부와; 상기 QB_O 노드를 충방전시키기 위한 제2 제어부와; 상기 QB_E 노드를 충방전시키기 위한 제3 제어부를 구비한다.

상기 제1 제어부는 고전위 공급전압이 공급되는 드레인단자, 제1 노드를 경유하여 스타트펄스와 이전단 스테이지의 출력 신호 중 어느 하나가 공급되는 게이트단자, 및 상기 Q 노드에 접속된 소스단자를 가지는 제1 트랜지스터와; 상기 Q 노드에 접속되는 드레인단자, 제2 노드를 경유하여 저전위 공급전압이 공급되는 소스단자, 및 다음단 스테이지의 출력신호가 공급되는 게이트단자를 가지는 제3a 트랜지스터와; 클럭신호가 공급되는 드레인단자, 상기 출력단자에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제6 트랜지스터를 구비한다.

상기 제2 제어부는 상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제3_O 트랜지스터와; 상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제7_O 트랜지스터와; 제3 노드를 경유하여 기수 프레임 동안 발생되는 기수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 제4 노드에 접속된 소스단자를 가지는 제41_O 트랜지스터와; 상기 제3 노드에 접속된 드레인단자, 상기 제4 노드에 접속된 게이트단자, 및 상기 QB_O 노드에 접속된 소스단자를 가지는 제42_O 트랜지스터와; 상기 제4 노드에 접속된 드레인단자, 상기 제1 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제43_O 트랜지스터와; 상기 제4 노드에 접속된 드레인단자, 상기 Q 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제44_O 트랜지스터와; 상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_O 트랜지스터와; 상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_O 트랜지스터와; 상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 제5 노드에 접속된 게이트단자를 가지는 제5b_O 트랜지스터를 구비한다.

상기 제3 제어부는 상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제3_E 트랜지스터와; 상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제7_E 트랜지스터와; 상기 제5 노드를 경유하여 우수 프레임 동안 발생되는 우수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 제6 노드에 접속된 소스단자를 가지는 제41_E 트랜지스터와; 상기 제5 노드에 접속된 드레인단자, 상기 제6 노드에 접속된 게이트단자, 및 상기 QB_E 노드에 접속된 소스단자를 가지는 제42_E 트랜지스터와; 상기 제6 노드에 접속된 드레인단자, 상기 제1 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제43_E 트랜지스터와; 상기 제6 노드에 접속된 드레인단자, 상기 Q 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제44_E 트랜지스터와; 상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_E 트랜지스터와; 상기 QB_E 노드에 접속된

드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_E 트랜지스터와; 상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제3 노드에 접속된 게이트단자를 가지는 제5b_E 트랜지스터를 구비한다.

상기 클럭신호는 상기 고전위 공급전압에 의해 상기 Q 노드가 1차 충전된 후에 발생된다.

상기 제2 제어부는 상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제3_O 트랜지스터와; 상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제7_O 트랜지스터와; 제3 노드를 경유하여 기수 프레임 동안 발생되는 기수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 상기 QB_O 노드에 접속된 소스단자를 가지는 제4_O 트랜지스터와; 상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_O 트랜지스터와; 상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_O 트랜지스터와; 상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 제4 노드에 접속된 게이트단자를 가지는 제5b_O 트랜지스터를 구비한다.

상기 제3 제어부는 상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제3_E 트랜지스터와; 상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제7_E 트랜지스터와; 상기 제4 노드를 경유하여 우수 프레임 동안 발생되는 우수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 상기 QB_E 노드에 접속된 소스단자를 가지는 제4_E 트랜지스터와; 상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_E 트랜지스터와; 상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_E 트랜지스터와; 상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제3 노드에 접속된 게이트단자를 가지는 제5b_E 트랜지스터를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 7 내지 도 13을 참조하여 설명하기로 한다.

도 7은 본 발명의 실시 예에 따른 제1 및 제2 게이트 구동 회로(70o, 70e)가 내장된 박막 트랜지스터 기판을 개략적으로 도시한 평면도이다.

도 7에 도시된 박막 트랜지스터 기판은 게이트 라인(G) 및 데이터 라인(D)의 교차로 정의된 화소 영역마다 형성된 액정셀이 매트릭스 형태로 배열된 표시 영역(74)과, 게이트 라인을 구동하기 위하여 표시 영역(74) 양측의 비표시 영역에 각각 내장된 오드 및 이븐 게이트 구동 회로(70o, 70e)를 구비한다.

박막 트랜지스터 기판의 표시 영역(74)에는 상호 교차하는 게이트 라인(G) 및 데이터 라인(D), 그 교차부와 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 접속된 액정셀의 화소 전극(76)이 형성된다.

박막 트랜지스터 기판의 비표시 영역 중 회로 영역에는 게이트 라인을 이븐/오드(Even/Odd)으로 분리하여 구동하기 위한 오드 및 이븐 게이트 구동 회로(70o, 70e)가 형성된다. 오드 게이트 구동 회로(70o)는 오드 게이트 라인(Gi+1)을 구동하는 오드 스테이지(72_i+1)를, 이븐 게이트 구동 회로(70e)는 이븐 게이트 라인(Gi+2)을 구동하는 이븐 스테이지(72_i+2)를 구비한다.

이러한 오드 스테이지(72_i+1)와 이븐 스테이지(72_i+2) 각각은 도 3에 도시된 바와 같이 풀-업 및 풀-다운 트랜지스터(NT6, NT7)를 포함하는 출력 버퍼(64)와, 출력 버퍼(64)를 제어하기 위한 제1 내지 제5 트랜지스터(NT1 내지 NT5)를 포함하는 제어부(62)를 구비한다. 그리고, 오드 스테이지(72_i+1)와 이븐 스테이지(72_i+2) 각각의 외곽부에는 다수의 클럭 신호 및 전원 신호를 공급하기 위한 다수의 LOG형 신호 라인들이 형성된 LOG 영역(60)이 위치하게 된다. 이 경우, 오드 스테이지(72_i+1)와 이븐 스테이지(72_i+2)가 게이트 라인(G_i+1, G_i+2)을 이븐/오드로 분리하여 구동함에 따라 스테이지(72_i+1, 72_i+2) 각각의 피치를 두 액정셀 피치까지 확대할 수 있게 된다. 이에 따라, 스테이지(72_i+1, 72_i+2) 각각의 면적이 확대된 만큼 상대적으로 작은 면적을 차지하는 제어부(62) 보다 출력 버퍼(64)의 크기를 50% 이상 증대시킬 수 있게 된다. 예를 들면, 스테이지(72_i+1, 72_i+2) 각각에서 제어부(62)는 한 액정셀 피치에 해당되는 영역에 충분히 형성되고, 출력 버퍼(64)는 두 액정셀 피치에 해당되는 영역에 걸쳐 넓게 형성된다. 이때, 오드 스테이지(72_i+1)

의 제어부(62) 및 출력 버퍼(64)과, 이븐 스테이지(72_i+2)의 제어부(62) 및 출력 버퍼(64) 위치는 수평선을 기준으로 180도 회전시킨 것과 같다. 이에 따라, 출력 버퍼(64)의 채널 폭을 10"이상의 중대형 패널에서 요구하는 수만 μ m 이상으로 확대할 수 있게 된다.

이렇게 표시 영역(74)의 게이트 라인을 오드/이븐으로 구분하여 구동하는 오드 및 이븐 제2 게이트 구동 회로(70o, 70e)은 다음과 같이 2가지 구동 방법으로 구동된다.

도 8은 오드 스테이지 및 이븐 스테이지 각각이 전단 스테이지로부터의 스캔펄스를 스타트 펄스로 입력하여 각 게이트 라인을 구동하는 방법을 나타낸 도면이다.

도 8을 참조하면, 오드 게이트 구동 회로(70o)에 포함되는 오드 스테이지(72_1, 72_3, 72_5, ...)는 이전단 오드 스테이지의 스캔 펄스를 스타트 펄스로 입력하여 순차적으로 쉬프트시킴으로써 오드 게이트 라인(G1, G3, G5, ...)을 구동한다. 그리고, 이븐 게이트 구동 회로(70e)에 포함된 이븐 스테이지(72_2, 72_4, 72_6, ...)는 이전단 이븐 스테이지의 스캔 펄스를 스타트 펄스로 입력하여 순차적으로 쉬프트시킴으로써 이븐 게이트 라인(G2, G4, G6, ...)을 구동한다. 이때, 이븐 게이트 구동 회로(70e)에 외부로부터 공급된 이븐 스타트 펄스 및 이븐 클럭 신호가, 오드 게이트 구동 회로(70o)에 공급되는 오드 스타트 펄스 및 오드 클럭 신호 보다 한 클럭만큼 지연되어 공급되는 경우 게이트 라인(G1, G2, G3, G4, ...)은 순차적으로 구동될 수 있게 된다. 여기서, 오드 게이트 라인(G1, G3, G5, ...)은 이븐 게이트 구동 회로(70e)와 오픈된 구조를 갖고, 이븐 게이트 라인(G2, G4, G6, ...)은 오드 게이트 구동 회로(70o)와 오픈된 구조를 갖는다.

도 9는 오드 스테이지의 스캔펄스를 오드 게이트 라인에 공급함과 아울러 이븐 스테이지의 스타트 펄스로 입력하여 이븐 게이트 라인을 순차적으로 구동하는 방법을 나타낸 도면이다.

도 9를 참조하면, 이븐 게이트 구동 회로(70e)에 포함되는 이븐 스테이지(72_2, 72_4, 72_6...)는 오드 게이트 구동 회로(70o)에 포함되는 전단 오드 스테이지(72_1, 72_3, 72_5, ...)의 스캔 펄스를 스타트 펄스로 입력하여 이븐 게이트 라인(G2, G4, G6, ...)을 구동한다. 그리고, 오드 게이트 구동 회로(70o)에 포함되는 오드 스테이지(72_3, 72_5...)는 이븐 게이트 구동 회로(70e)에 포함되는 전단 이븐 스테이지(72_2, 72_4, 72_6, ...)의 스캔 펄스를 스타트 펄스로 입력하여 오드 게이트 라인(G1, G3, G5, ...)을 구동한다. 이를 구체적으로 설명하면, 먼저, 제1 오드 스테이지(72_1)는 제1 오드 게이트 라인(G1)에 스캔펄스를 인가함과 아울러 동일한 스캔 펄스를 제1 오드 게이트 라인(G1)에 접속된 제1 이븐 스테이지(72_2)에 스타트 펄스로 공급한다. 다음으로, 제1 이븐 스테이지(72_2)는 제1 이븐 게이트 라인(G2)에 스캔 펄스를 인가함과 아울러 동일한 스캔 펄스를 제2 오드 스테이지(72_3)에 스타트 펄스로 공급한다. 이 후, 제2 오드 스테이지(72_3)는 스캔 펄스를 제2 오드 게이트 라인(G3)에 공급함과 아울러 동일한 스캔 펄스를 제2 이븐 스테이지(72_4)의 스타트 펄스로 공급한다. 이와 같은 방식으로 오드 스테이지(72_1, 72_3, 72_5, ...) 및 이븐 스테이지(72_2, 72_4, 72_6, ...)는 교번적으로 스캔 펄스를 각각의 스타트 펄스로 이용하여 게이트 라인에 신호를 순차적으로 인가하게 된다. 이 경우, 오드 게이트 구동 회로(70o)의 제1 스테이지(72_1)에만 외부로부터의 스타트 펄스가 공급되고, 오드 및 이븐 게이트 구동 회로(70o, 70e)에는 적어도 2개의 클럭 신호가 동일하게 공급된다.

도 10은 본 발명의 실시 예에 따른 게이트 구동회로의 각 스테이지 중 제1 스테이지를 2상 게이트 구동용 쉬프트 레지스터 회로로 구동하는 타이밍 다이어그램(diagram)을 상세히 나타낸 도면이다.

도 10을 참조하면, 제1 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력라인으로 출력하는 풀-업 NMOS 트랜지스터(N6)와, QB노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 풀-다운 NMOS 트랜지스터(N7)로 구성된 출력 버퍼와, Q노드와 QB노드를 제어하는 제1 내지 제5 NMOS 트랜지스터(N1 내지 N5)로 구성된 제어부를 구비한다. 이러한 제1 스테이지에는 고전위 및 저전위 전압(VDD, VSS)과 스타트 펄스(Vst)가 공급되고, 도 11에 도시된 바와 같이 위상이 서로 다른 제1 및 제2 클럭 신호(C1, C2)가 공급된다. 이하, 제1 스테이지의 동작 과정을 도 11에 도시된 구동 과정을 참조하여 상세히 설명하기로 한다.

도 11을 참조하면, A기간에서 스타트 펄스(Vst) 및 제2 클럭 신호(C2)의 하이 전압에 의해 제1 트랜지스터(N1)가 터-온되어 스타트 펄스(Vst)의 하이 전압이 Q노드로 프리-차지된다. Q노드로 프리-차지된 하이 전압에 의해 풀-업 NMOS 트랜지스터(N6)가 터-온되어 제1 클럭 신호(C1)의 로우 전압이 출력 라인, 즉 제1 게이트 라인(G1)으로 공급된다. 이때, 스타트 펄스(Vst)에 의해 터-온된 제3b 및 제3c NMOS 트랜지스터(N3b, N3c)에 의해 QB노드는 로우 상태가 되어 제5 및 제7 풀-다운 NMOS 트랜지스터(N5, N7)는 터-오프된다.

B기간에서 스타트 펄스(Vst)와 제2 클럭 신호(CLK2)의 로우 전압에 의해 제1 NMOS 트랜지스터(N1)가 터-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(N6)는 터-온 상태를 유지한다. 이때, 제1 클럭 신호(CLK1)

의 하이 전압에 의해 Q노드는 풀-업 NMOS 트랜지스터(N6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시터(CGD)의 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 풀-업 NMOS 트랜지스터(N6)가 확실하게 턴-온됨으로써 제1 클럭 신호(CLK1)의 하이 전압이 제1 게이트 라인(G1)으로 빠르게 공급된다.

C기간에서 다음 스테이지의 게이트 출력에 의해 제3a NMOS 트랜지스터(N3a)가 턴-온되고 제2 클럭 신호(CLK2)의 하이 전압에 의해 제4 NMOS 트랜지스터(N4)가 턴-온 되어, Q노드는 로우 전압을 방전되고, QB노드는 하이 전압이 충전된다. QB노드의 하이 전압에 의해 제5 NMOS 트랜지스터(N5)가 턴-온 되어 Q노드는 보다 신속하게 방전되고, 풀-다운 NMOS 트랜지스터(N7)가 턴-온되어 로우 전압이 제1 게이트 라인(G1)으로 공급된다.

한편, 제1 스테이지 및 제3 스테이지의 동작 과정을 도 12에 도시된 4상 게이트 구동용 쉬프트 레지스터 회로로부터 발생하는 구동 파형을 참조하여 상세히 설명하기로 한다.

도 12를 참조하면, A기간에서 제1 스테이지(1th)는 스타트 펄스(1st Vst)의 하이 전압에 의해 제1 NMOS 트랜지스터(N11)가 턴-온되어 스타트 펄스(1st Vst)의 하이 전압이 Q노드로 프리-차지된다. Q노드로 프리-차지된 하이 전압에 의해 풀-업 NMOS 트랜지스터(N16)가 턴-온되어 제1 클럭 신호(C1)의 로우 전압이 출력 라인, 즉 제1 게이트 라인(G1)으로 공급된다.

B기간에서 제1 스테이지(1st)는 스타트 펄스(1st Vst)의 로우 전압에 의해 제1 NMOS 트랜지스터(N11)가 턴-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(N16)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(CLK1)의 하이 전압에 의해 Q노드는 풀-업 NMOS 트랜지스터(N16)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시터의 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 풀-업 NMOS 트랜지스터(N16)가 확실하게 턴-온됨으로써 제1 클럭 신호(CLK1)의 하이 전압이 제1 게이트 라인(G1)으로 빠르게 공급된다. 이러한 제1 클럭 신호(CLK1)의 하이 전압은 제3 스테이지(3rd)에 접속된 라인을 통하여 제3 스테이지(3rd)의 스타트 펄스(3rd Vst)로 인가되게 된다. 이에 따라, 제3 스테이지에서(3rd)는 스타트 펄스(3rd Vst)가 제3 및 제4 클럭신호(C3,C4)가 인가되기 1H 이전에 공급되어 제3 스테이지의 Q노드를 B기간에서부터 프리-차지 하게 된다.

C기간에서 제1 스테이지(1st)는 스타트 펄스(1st Vst)와 제1 클럭 신호(C1)의 로우 전압에 의해 제1 NMOS 트랜지스터(N11)가 턴-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(N16)는 턴-온 상태를 유지한다. 이에 따라, 풀-업 NMOS 트랜지스터(N16)가 턴-온 상태를 유지하여 제1 클럭 신호(C1)의 로우 전압이 제1 게이트 라인(G1)으로 공급된다. 또한, 제2 클럭 신호(CLK2)가 인가되어 제4 트랜지스터(N14)는 턴-온 상태가 되고, 이에 따라, 고전위 전압(Vdd)가 공급됨에 따라 QB노드는 하이 상태가 된다. QB노드가 하이 상태가 되면, 제5 트랜지스터(N15)와 풀-다운 NMOS 트랜지스터(N17)는 턴-온 되게 된다. 여기서, 제5 트랜지스터(N15)는 Q노드에 차지된 전압을 방전하게 되고, 풀-다운 NMOS 트랜지스터(N17)는 제1 게이트라인(G1)에 로우 전압을 공급함과 아울러 제1 게이트라인(G1)에서 발생하는 노이즈 등을 제거하는 역할을 한다. 이와 동시에 제2 트랜지스터(N12)에는 도시되지 않은 제2 스테이지로부터 발생된 출력을 도시되지 않은 제2 게이트 라인을 통하여 입력받거나, 제3 스테이지(3th)로부터 피드백 받아 턴-온 되게 된다. 턴-온된 제2 트랜지스터(N12)는 제5 트랜지스터(N15)와 더불어 Q노드에 충전된 차지를 빠르게 방전시키게 된다. 한편, 제3 스테이지(3th)의 Q노드는 스타트 펄스(3th Vst)의 로우 전압에 의하여 제31 트랜지스터(N31)가 턴-오프되고 그에 따라 Q노드는 하이 상태로 플로팅 되게 된다.

D기간에서 제3 스테이지(3th)는 제3 클럭 신호(C3)의 하이 전압에 의해 제36 NMOS 트랜지스터(N36)를 통하여 제3 클럭 신호(C3)의 하이 전압이 제3 게이트 라인(G3)으로 공급된다. 이러한 제3 출력은 도시되지 않은 제5 스테이지의 스타트 펄스로 공급된다.

E기간에서 제3 스테이지는 제4 클럭 신호(CLK4)의 하이 전압이 공급되고, 이에 따라, 제34 NMOS 트랜지스터(N314)가 턴-온되어 QB노드는 하이 상태로 플로팅됨으로써 풀-다운 NMOS 트랜지스터(N37)가 턴-온 상태를 유지하게 된다. 이러한 풀-다운 NMOS 트랜지스터(N37)는 제3 게이트라인(G3)에 로우 전압을 공급함과 아울러 제3 게이트 라인(G3)에서 발생하는 노이즈 등을 억제하게 된다. 또한, 제35 트랜지스터(N35)가 턴-온 됨으로써 Q노드에 충전된 전하가 방전하게 된다. 여기서, 도시되지 않은 제4 스테이지의 출력 및 제5 스테이지의 피드백 전압이 제3 스테이지의 제32 트랜지스터(N32)에 공급되어 턴-온 시킴으로써 제35 트랜지스터(N35)와 함께 Q노드의 충전된 전하를 빠르게 방전시키게 된다.

그리고, 스타트 펄스(Vst)의 하이 전압이 공급되기 이전까지 풀-다운 NMOS 트랜지스터(N17, N37)는 계속 턴-온 상태를 유지하여 제1 게이트 라인(G1) 및 제3 게이트 라인(G3)에 발생하는 노이즈 등을 억제하게 된다.

이와 같은 4상 구동에 의한 본원 발명에 따른 구동회로가 내장된 액정표시패널은 제3 스테이지에서 제3 및 제4 클럭신호(C3,C4)에 따라 도 12에 도시된 바와 같이 Q노드가 3H 동안 충전되어 출력부를 충분히 충전하게 됨으로 고해상도에서의 충전시간 부족으로 인한 게이트 구동오류 문제를 해결할 수 있다. 이러한 Q노드의 3H 충전시간은 제1 스테이지를 제외한 다음 스테이지에서 반복적으로 가지게 된다.

이하 도 14 내지 도 20을 참조하여 본 발명의 제2 실시 예에 대하여 설명하고자 한다.

도 14는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판을 개략적으로 도시한 평면도이다.

도 14에 도시된 박막 트랜지스터 기판은 게이트 라인(GL_2n-1,GL_2n)(단, 게이트 라인의 수를 m이라 하였을 때, n은 m/2 보다 작거나 같은 양의 정수) 및 데이터 라인(DL)의 교차로 정의된 화소 영역마다 형성된 액정셀이 매트릭스 형태로 배열된 표시 영역(144)과, 게이트 라인(GL_2n-1, GL_2n)을 구동하기 위하여 표시 영역(144) 양측의 비표시 영역에 각각 내장된 오드(Odd) 및 이븐(Even) 게이트 구동 회로(140_O, 140_E)를 구비한다.

박막 트랜지스터 기판의 표시 영역(144)에는 상호 교차하는 게이트 라인(GL_2n-1,GL_2n) 및 데이터 라인(DL), 그 교차부와 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 접속된 액정셀의 화소 전극(146)이 형성된다.

박막 트랜지스터 기판의 비표시 영역 중 회로 영역에는 게이트 라인을 이븐/오드(Even/Odd)으로 분리하여 구동하기 위한 오드 및 이븐 게이트 구동 회로(140_O, 140_E)가 형성된다. 오드 게이트 구동 회로(140_O)는 오드 게이트 라인(GL_2n-1)을 구동하는 오드 스테이지(142_2n-1)를 구비하고, 이븐 게이트 구동 회로(140_E)는 이븐 게이트 라인(GL_2n)을 구동하는 이븐 스테이지(142_2n)를 구비한다.

이러한 오드 스테이지(142_2n-1)와 이븐 스테이지(142_2n) 각각은 이후 설명할 도 16 및 도 18에서 보는 바와 같이 풀-업 트랜지스터(NT6) 및 풀-다운 트랜지스터(NT7_O, NT7_E)를 포함하는 출력 버퍼(145_2n-1, 145_2n)와, 출력 버퍼(145_2n-1, 145_2n)를 제어하기 위해 다수의 NMOS 트랜지스터를 포함하는 제어부(143_2n-1, 143_2n)를 구비한다. 그리고, 오드 스테이지(142_2n-1)와 이븐 스테이지(142_2n) 각각의 외곽부에는 다수의 클럭 신호 및 전원 신호를 공급하기 위한 다수의 LOG형 신호 라인들이 형성된 LOG 영역(141)이 위치하게 된다.

이 실시 예에 있어서 오드 스테이지(142_2n-1)와 이븐 스테이지(142_2n-1)는 게이트 라인(GL_2n-1, GL_2n)을 이븐/오드 분리 구동한다. 이에 따라 본 발명은 스테이지(142_2n-1, 142_2n) 각각의 피치를 두 액정셀 피치까지 확대할 수 있게 되고, 스테이지(142_2n-1, 142_2n) 각각의 면적이 확대된 만큼 상대적으로 작은 면적을 차지하는 제어부(143_2n-1, 143_2n) 보다 출력 버퍼(145_2n-1, 145_2n)의 크기를 50% 이상 증대시킬 수 있게 된다. 예를 들면, 스테이지(142_2n-1, 142_2n) 각각에서 제어부(143_2n-1, 143_2n)는 한 액정셀 피치에 해당되는 영역에 충분히 형성되고, 출력 버퍼(145_2n-1, 145_2n)는 두 액정셀 피치에 해당되는 영역에 걸쳐 넓게 형성된다.

오드 스테이지(142_2n-1)의 제어부(143_2n-1) 및 출력 버퍼(145_2n-1)과, 이븐 스테이지(142_2n)의 제어부(143_2n) 및 출력 버퍼(145_2n) 위치는 수평선을 기준으로 180도 회전시킨 것과 같다.

각 스테이지(142_2n-1, 142_2n)에는 출력버퍼(145_2n-1, 145_2n)에 할당할 수 있는 영역이 충분히 확보됨으로써, 도 16 및 도 18에서 보는 바와 같이 각 스테이지마다 두 개의 풀-다운 트랜지스터(NT7_O, NT7_E)를 포함하는 게이트 구동 회로를 구현하는 것이 가능하게 된다. 상기 두 개의 풀-다운 트랜지스터(NT7_O, NT7_E)를 포함하는 게이트 구동회로는 두 개의 풀-다운 트랜지스터(NT7_O, NT7_E)를 일정기간을 주기로 교번 동작시킴으로써, 풀-다운 트랜지스터(NT7_O, NT7_E)의 게이트-바이어스 스트레스에 의한 열화를 방지하여 회로의 오동작을 방지할 수 있으며, 또한 이와 더불어 풀-다운 트랜지스터의 동작 수명이 길어지는 장점을 가진다.

상기 게이트 구동회로의 제1 구동 방법을 나타낸 도 15를 참조하여 상기 게이트 구동회로의 동작을 설명하면 다음과 같다.

상기 오드 또는 이븐 스테이지(142_2n-1, 142_2n) 중 어느 하나인 제i 스테이지(단, i는 m 보다 작거나 같은 양의 정수)는 스타트펄스로서 스타트신호(Vst) 또는 이전 스테이지(제i-1 스테이지 ; 단, 제0 스테이지 제외)의 출력신호(Vg_i-1 ; 단, Vg_0은 Vst로 본다)를 입력받는다.

이후, 한 클럭기간 지연되어 공급되는 제1 내지 제4 클럭신호 중 어느 하나에 응답하여, 상기 클럭신호에 동기된 출력신호(Vg_i)를 도시하지 않은 레벨-시프터와 출력버퍼를 거쳐 게이트라인(GL_i)에 공급한다.

이후, 한 클럭기간 지연되어 공급되는 다음 스테이지(제i+1 스테이지 ; 단, i=m 일 경우 제i+1 스테이지는 도시하지 않은 더미 스테이지로 본다)의 출력신호(Vg_i+1 ; 단, i=m 일 경우 Vg_i+1은 더미 스테이지의 출력신호로 본다)를 리셋펄스로서 입력받는다.

이하 상기 각 스테이지를 구체적으로 나타낸 회로도인 도 16과, 상기 회로의 구동 파형을 나타내는 타이밍 다이어그램인 도 17을 참조하여, 각 스테이지의 동작을 제4j+1 스테이지(단, j = 0, 1, 2, 3, …, m/4)를 기준으로 하여 상세히 설명하고자 한다.

도 16 및 도 17을 참조하면, 각 스테이지의 동작은 오드(Odd) 프레임기간의 동작과 이븐(Even) 프레임기간의 동작으로 구분된다.

우선, 오드(Odd) 프레임기간의 동작을 설명하면 다음과 같다.

제1 내지 제3 클럭신호(C1 내지 C3)가 로우논리 전압을 유지하는 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)의 하이논리 전압은 제1, 제5_O 및 제5_E 트랜지스터(NT1, NT5_O, NT5_E)의 게이트 전극에 공급되어 제1, 제5_O 및 제5_E 트랜지스터(NT1, NT5_O, NT5_E)를 터-온시킨다.

제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)가 터-온되면, QB_O 및 QB_E 노드에는 제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)를 통해 저전위 공급전압(Vss)의 로우논리 전압이 공급된다. 즉, QB_O 및 QB_E 노드가 방전되어 QB_O 및 QB_E 노드는 로우논리 전압이 유지된다.

이러한 QB_O 및 QB_E 노드의 방전은 QB_O 및 QB_E 노드가 로우논리 전압을 유지함으로써 제3_O, 제3_E, 제7_O 및 제7_E 트랜지스터(NT3_O, NT3_E, NT7_O, NT7_E)를 터-오프시킨다.

제1 트랜지스터(NT1)가 터-온되면 고전위 공급전압(Vdd)이 Q 노드에 공급되어 Q 노드가 중간 전압(Vm)으로 충전된다. 이러한 Q 노드상에 충전된 중간 전압(Vm)은 Q 노드에 제5a_O 및 제5a_E 트랜지스터(NT5a_O, NT5a_E)를 터-온시킨다.

이 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)가 게이트단자에 직접 공급되는 제5_O, 5_E 트랜지스터(NT5_O, NT5_E)는 터-온된다.

이렇게 터-온된 제5_O, 5_E, 5a_O 및 제5a_E 트랜지스터(NT5_O, NT5_E, NT5a_O, NT5a_E)는 QB_O 및 QB_E 노드의 방전경로를 형성하여 QB_O 및 QB_E 노드의 전압을 로우 논리 전압으로 유지시킨다.

제6 트랜지스터(NT6)가 Q 노드의 중간 전압(Vm)에 의해 터-온된 상태의 A 기간 동안, 제1 클럭신호(C1)는 로우논리 전압을 유지하므로 현재 스테이지의 출력신호(Vg_i)는 로우논리 전압을 유지한다.

오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압은 제4_O 및 제5b_E(NT4_O, NT5b_E)를 터-온시킨다.

제4_O 트랜지스터(NT4_O)가 터-온되면 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압이 QB_O 노드에 공급되어 QB_O 노드 상의 전압이 하이논리 전압으로 상승되어야 하지만, 레이티오드 로직(Ratioed Logic)으로 구성되는, 즉, 제4_O 트랜지스터(NT4_O) 보다 상대적으로 넓은 채널폭을 가지고록 형성되는 제5_O, 제5a_O 트랜지스터(NT5_O, NT5a_O)에 의해, QB_O 노드는 로우논리 전압 상태를 유지한다. 이 때 터-온된 제4_O 트랜지스터(NT4_O)는 오드 프레임 고전위 공급전압(Vdd_O)에 의해 오드 프레임 기간 동안 계속 터-온 상태를 유지한다.

제5b_E 트랜지스터(NT5b_E)는 상기 QB_E 노드의 방전경로를 형성하며, A 기간 이후 제5_E, 5a_E 트랜지스터(NT5_E, NT5a_E)가 터-오프 되더라도, 오드 프레임 고전위 공급전압(Vdd_O)에 의해 오드 프레임 기간 동안 계속 터-온 상태를 유지하여 오드 프레임 기간 동안 지속적으로 QB_E 노드의 방전경로를 형성한다.

B 기간 동안, 제1 클럭신호(C1)는 로우논리 전압에서 하이논리 전압으로 반전되는 반면에, 스타트신호(Vst)는 하이논리 전압에서 로우논리 전압으로 반전된다.

이 때 제1 트랜지스터(NT1)가 턴-오프 되면, Q 노드의 방전경로가 차단되어 Q 노드 상에 플로팅(Floating) 된 중간 전압(Vm)에 제6 트랜지스터(NT6)의 드레인전극과 게이트 전극 사이의 기생 커패시턴스에 충전되는 전압이 더해지면서 Q 노드 상의 전압은 제6 트랜지스터(NT6)의 문턱전압 이상으로 더욱 상승한다. 즉 Q 노드 상의 전압은 부트스트래핑(Bootstrapping)에 의해 A 기간 보다 더 높은 전압(Vh)으로 상승한다. 따라서, B 기간 동안 제6 트랜지스터(NT6)는 턴-온되고 출력신호(Vg_i)은 제6 트랜지스터(NT6)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리 전압으로 반전된다.

또한 스타트신호(Vst)가 로우논리 전압으로 반전되어 제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)가 턴-오프 되지만 하이논리 전압을 유지하는 상기 Q 노드에 게이트전극이 연결된 제5a_O 및 제5a_E 트랜지스터(NT5a_O, NT5a_E)는 턴-온 상태를 유지한다. 따라서, QB_O 및 QB_E 노드는 방전경로가 유지되어 로우논리 전압을 유지한다.

C 기간 동안, 제1 클럭신호(C1)은 하이논리 전압에서 로우논리 전압으로 반전되고, 다음 스테이지 출력신호(Vg_i+1)의 하이논리 전압이 제3a 트랜지스터(NT3a)의 게이트 단자에 공급되어 제3a 트랜지스터(NT3a)를 턴-온 시킨다.

제3a 트랜지스터(NT3a)가 턴-온되면 Q 노드 상의 하이논리 전압은 제3a 트랜지스터(NT3a)를 통해 방전되어 Q 노드 상의 전압은 로우논리 전압으로 반전된다. Q 노드의 로우논리 전압은 Q 노드에 게이트전극이 연결된 제5a_O 및 제5a_E 트랜지스터(NT5a_O, NT5a_E)를 턴-오프 시켜 QB_O 및 QB_E 노드의 방전 경로를 차단한다.

따라서, 도통된 제4_O 트랜지스터(NT4_O)를 통해 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압이 QB_O 노드에 공급된다.

이와 같이 QB_O 노드에 공급된 하이논리 전압은 QB_O 노드에 게이트전극이 연결되어 있는 제3_O 및 제7_O 트랜지스터(NT3_O, NT7_O)를 턴-온시킨다. 제3_O 트랜지스터(NT3_O)의 도통으로 Q 노드에는 상기 턴-온된 제3a 트랜지스터(NT3a)에 추가로 방전경로가 형성되며, 제7_O 트랜지스터(NT7_O)의 도통으로 출력신호(Vg_i)는 로우논리 전압으로 반전된다.

D 기간 동안, 다음 스테이지 출력신호(Vg_i+1)은 로우논리 전압으로 반전되어 제3a 트랜지스터(NT3a)를 턴-오프 시킨다.

QB_O 노드는 상술한 바와 같이 제4_O 트랜지스터(NT4_O)를 통해 공급되는 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압에 의해 남은 오드 프레임 기간동안 계속 하이논리 전압을 유지한다. 이에 따라 Q 노드 상의 전압과 출력신호(Vg_i)도 남은 오드 프레임 기간동안 로우논리 전압을 유지한다.

QB_E 노드는 상술한 바와 같이 오드 프레임 고전위 공급전압(Vdd_O)에 의해 턴-온 되어있는 제5b_E 트랜지스터(NT5b_E)에 의해 로우논리 전압을 유지한다.

다음으로, 이븐(Even) 프레임기간 동안의 동작을 설명하면 다음과 같다.

제1 내지 제3 클럭신호(C1 내지 C3)가 로우논리 전압을 유지하는 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)의 하이논리 전압은 제1, 제5_O 및 제5_E 트랜지스터(NT1, NT5_O, NT5_E)의 게이트 전극에 공급되어 제1, 제5_O 및 제5_E 트랜지스터(NT1, NT5_O, NT5_E)를 턴-온시킨다.

제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)가 턴-온되면, QB_O 및 QB_E 노드에는 제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)를 통해 저전위 공급전압(Vss)의 로우논리 전압이 공급된다. 즉, QB_O 및 QB_E 노드가 방전되어 QB_O 및 QB_E 노드는 로우논리 전압이 유지된다.

이러한 QB_O 및 QB_E 노드의 방전은 QB_O 및 QB_E 노드가 로우논리 전압을 유지함으로써 제3_O, 제3_E, 제7_O 및 제7_E 트랜지스터(NT3_O, NT3_E, NT7_O, NT7_E)를 턴-오프시킨다.

제1 트랜지스터(NT1)가 턴-온되면 고전위 공급전압(Vdd)이 Q 노드에 공급되어 Q 노드가 중간 전압(Vm)으로 충전된다. 이러한 Q 노드상에 충전된 중간 전압(Vm)은 Q 노드에 제5a_O 및 제5a_E 트랜지스터(NT5a_O, NT5a_E)를 턴-온시킨다.

이 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)가 게이트단자에 직접 공급되는 제5_O, 5_E 트랜지스터(NT5_O, NT5_E)는 터-온된다.

이렇게 터-온된 제5_O, 5_E, 5a_O 및 제5a_E 트랜지스터(NT5_O, NT5_E, NT5a_O, NT5a_E)는 QB_O 및 QB_E 노드의 방전경로를 형성하여 QB_O 및 QB_E 노드의 전압을 로우 논리 전압으로 유지시킨다.

제6 트랜지스터(NT6)가 Q 노드의 중간 전압(Vm)에 의해 터-온된 상태의 A 기간 동안, 제1 클럭신호(C1)는 로우논리 전압을 유지하므로 현재 스테이지의 출력신호(Vg_i)는 로우논리 전압을 유지한다.

이번 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압은 제4_E 및 제5b_O(NT4_E, NT5b_O)를 터-온시킨다.

제4_E 트랜지스터(NT4_E)가 터-온되면 이번 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압이 QB_E 노드에 공급되어 QB_E 노드 상의 전압이 하이논리 전압으로 상승되어야 하지만, 레이티오드 로직(Ratioed Logic)으로 구성되는, 즉, 제4_E 트랜지스터(NT4_E) 보다 상대적으로 넓은 채널폭을 가지도록 형성되는 제5_E, 제5a_E 트랜지스터(NT5_E, NT5a_OE)에 의해, QB_E 노드는 로우논리 전압 상태를 유지한다. 이 때 터-온된 제4_E 트랜지스터(NT4_E)는 이번 프레임 고전위 공급전압(Vdd_E)에 의해 이번 프레임 기간 동안 계속 터-온 상태를 유지한다.

제5b_O 트랜지스터(NT5b_O)는 상기 QB_O 노드의 방전경로를 형성하며, A 기간 이후 제5_O, 5a_O 트랜지스터(NT5_O, NT5a_O)가 터-오프 되더라도, 이번 프레임 고전위 공급전압(Vdd_E)에 의해 이번 프레임 기간 동안 계속 터-온 상태를 유지하여 이번 프레임 기간 동안 지속적으로 QB_O 노드의 방전경로를 형성한다.

B 기간 동안, 제1 클럭신호(C1)는 로우논리 전압에서 하이논리 전압으로 반전되는 반면에, 스타트신호(Vst)는 하이논리 전압에서 로우논리 전압으로 반전된다.

이 때 제1 트랜지스터(NT1)가 터-오프 되면, Q 노드의 방전경로가 차단되어 Q 노드 상에 플로팅(Floating) 된 중간 전압(Vm)에 제6 트랜지스터(NT6)의 드레인전극과 게이트 전극 사이의 기생 커패시턴스에 충전되는 전압이 더해지면서 Q 노드 상의 전압은 제6 트랜지스터(NT6)의 문턱전압 이상으로 더욱 상승한다. 즉 Q 노드 상의 전압은 부트스트래핑(Bootstraping)에 의해 A 기간 보다 더 높은 전압(Vh)으로 상승한다. 따라서, B 기간 동안 제6 트랜지스터(NT6)는 터-온되고 출력신호(Vg_i)은 제6 트랜지스터(NT6)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리 전압으로 반전된다.

또한 스타트신호(Vst)가 로우논리 전압으로 반전되어 제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)가 터-오프 되지만 하이논리 전압을 유지하는 상기 Q 노드에 게이트전극이 연결된 제5a_O 및 제5a_E 트랜지스터(NT5a_O, NT5a_E)는 터-온 상태를 유지한다. 따라서, QB_O 및 QB_E 노드는 방전경로가 유지되어 로우논리 전압을 유지한다.

C 기간 동안, 제1 클럭신호(C1)은 하이논리 전압에서 로우논리 전압으로 반전되고, 다음 스테이지 출력신호(Vg_i+1)의 하이논리 전압이 제3a 트랜지스터(NT3a)의 게이트 단자에 공급되어 제3a 트랜지스터(NT3a)를 터-온 시킨다.

제3a 트랜지스터(NT3a)가 터-온되면 Q 노드 상의 하이논리 전압은 제3a 트랜지스터(NT3a)를 통해 방전되어 Q 노드 상의 전압은 로우논리 전압으로 반전된다. Q 노드의 로우논리 전압은 Q 노드에 게이트전극이 연결된 제5a_O 및 제5a_E 트랜지스터(NT5a_O, NT5a_E)를 터-오프 시켜 QB_O 및 QB_E 노드의 방전 경로를 차단한다.

따라서, 도통된 제4_E 트랜지스터(NT4_E)를 통해 이번 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압이 QB_E 노드에 공급된다.

이와 같이 QB_E 노드에 공급된 하이논리 전압은 QB_E 노드에 게이트전극이 연결되어 있는 제3_E 및 제7_E 트랜지스터(NT3_E, NT7_E)를 터-온시킨다. 제3_E 트랜지스터(NT3_E)의 도통으로 Q 노드에는 상기 터-온된 제3a 트랜지스터(NT3a)에 추가로 방전경로가 형성되며, 제7_E 트랜지스터(NT7_E)의 도통으로 출력신호(Vg_i)는 로우논리 전압으로 반전된다.

D 기간 동안, 다음 스테이지 출력신호(Vg_i+1)은 로우논리 전압으로 반전되어 제3a 트랜지스터(NT3a)를 터-오프 시킨다.

QB_E 노드는 상술한 바와 같이 제4_E 트랜지스터(NT4_E)를 통해 공급되는 이븐 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압에 의해 남은 이븐 프레임 기간동안 계속 하이논리 전압을 유지한다. 이에 따라 Q 노드 상의 전압과 출력신호(Vg_i)도 남은 이븐 프레임 기간동안 로우논리 전압을 유지한다.

QB_O 노드는 상술한 바와 같이 이븐 프레임 고전위 공급전압(Vdd_E)에 의해 턴-온 되어있는 제5b_O 트랜지스터(NT5b_O)에 의해 로우논리 전압을 유지한다.

도 18은 도 15에 도시한 각 스테이지를 구체적으로 나타낸 다른 회로도이며, 이 회로의 구동 파형은 도 16의 회로의 구동 파형과 같다. 따라서, 도 17의 타이밍 다이어그램을 참조하여 도 18의 회로를 적용한 상기 각 스테이지의 동작을 제4j+1 스테이지(단, $j = 1, 2, 3, \dots, m-4$)를 기준으로 하여 상세히 설명하고자 한다.

각 스테이지의 동작은 오드(Odd) 프레임기간의 동작과 이븐(Even) 프레임기간의 동작으로 구분된다.

우선, 오드 프레임기간 동안의 동작을 설명하면 다음과 같다.

제1 내지 제3 클럭신호(C1 내지 C3)가 로우논리 전압을 유지하는 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)의 하이논리 전압은 제1, 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT1, NT43_O, NT43_E, NT5_O, NT5_E)의 게이트 전극에 공급되어 제1, 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT1, NT43_O, NT43_E, NT5_O, NT5_E)를 턴-온시킨다.

제43_O 및 제43_E 트랜지스터(NT43_O, NT43_E)가 턴-온되면, A_O 및 A_E 노드에는 제43_O 및 제43_E 트랜지스터(NT43_O, NT43_E)를 통해 저전위 공급전압(Vss)의 로우논리 전압이 공급된다. 즉, A_O 및 A_E 노드가 방전되어 A_O 및 A_E 노드 상에는 로우논리 전압이 유지된다.

이러한 A_O 및 A_E 노드 상의 로우논리 전압은 제42_O 및 제42_E 트랜지스터(NT42_O, NT42_E)을 턴-오프 시킴으로써 오드 프레임 기간에는 오드 프레임 고전위 공급전압(Vdd_O)의 하이 논리 전압이 QB_O 노드에 공급되는 것을 차단하며, 이븐 프레임 기간에는 이븐 프레임 고전위 공급전압(Vdd_E)이 QB_E 노드에 공급되는 것을 차단한다.

제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)가 턴-온되면, QB_O 및 QB_E 노드에는 제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)를 통해 저전위 공급전압(Vss)의 로우논리 전압이 공급된다. 즉, QB_O 및 QB_E 노드가 방전되어 QB_O 및 QB_E 노드는 로우논리 전압이 유지된다.

이러한 QB_O 및 QB_E 노드의 방전은 QB_O 및 QB_E 노드가 로우논리 전압을 유지함으로써 제3_O, 제3_E, 제7_O 및 제7_E 트랜지스터(NT3_O, NT3_E, NT7_O, NT7_E)를 턴-오프시킨다.

제1 트랜지스터(NT1)가 턴-온되면 고전위 공급전압(Vdd)이 Q 노드에 공급되어 Q 노드가 중간 전압(Vm)으로 충전된다. 이러한 Q 노드상에 충전된 중간 전압(Vm)은 Q 노드의 제44_O, 제44_E, 제5a_O, 제5a_E 및 제6 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E, NT6)를 턴-온시킨다.

이 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)가 게이트 단자에 직접 공급되는 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT43_O, NT43_E, NT5_O, NT5_E)는 턴-온된다.

이렇게 턴-온된 제43_O, 제43_E, 제44_O, 제44_E 트랜지스터(NT43_O, NT43_E, NT44_O, NT44_E)는 A_O 및 A_E 노드의 방전경로를 형성하여 A_O 및 A_E 노드의 전압을 로우논리 전압으로 유지시킨다.

그리고, 제5_O, 제5_E, 제5a_O 및 제5a_E 트랜지스터(NT5_O, NT5_E, NT5a_O, NT5a_E)는 QB_O 및 QB_E 노드의 방전경로를 형성하여 QB_O 및 QB_E 노드의 전압을 로우논리 전압으로 유지시킨다.

그리고 제6 트랜지스터(NT6)가 Q 노드의 중간 전압(Vm)에 의해 턴-온된 상태의 A 기간 동안, 제1 클럭신호(C1)는 로우 논리 전압을 유지하므로 현재 스테이지의 출력신호(Vg_i)는 로우논리 전압을 유지한다.

오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압은 제41_O 및 제5b_E 트랜지스터(NT41_O, NT5b_E)를 턴-온시킨다.

제41_O 트랜지스터(NT41_O)가 턴-온되면 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압이 A_O 노드에 공급되어 A_O 노드가 하이논리 전압이 유지되어야 하지만, 레이티오도 로직(Ratioed Logic)으로 구성되는, 즉, 제41_O 트랜지스터(제41_O)보다 상대적으로 넓은 채널폭을 가지도록 형성되는, 제43_O 및 제44_O 트랜지스터(NT43_O, NT44_O)에 의해 A_O 노드는 로우논리 전압을 유지한다. 이 때 턴-온된 제41_O 트랜지스터(NT41_O)는 오드 프레임 고전위 공급전압(Vdd_O)에 의해 오드 프레임 기간 동안 계속 턴-온 상태를 유지한다.

제5b_E 트랜지스터(NT5b_E)는 QB_E 노드의 방전경로를 형성하며, A 기간 이후 상기 제5_E, 제5a_E 트랜지스터(NT5_E, NT5a_E)가 턴-오프 되더라도, 오드 프레임 고전위 공급전압(Vdd_O)에 의해 오드 프레임 기간 동안 계속 턴-온 상태를 유지하여 오드 프레임 기간 동안 지속적으로 QB_E 노드의 방전경로를 형성한다.

B 기간 동안, 제1 클럭신호(C1)는 로우논리 전압에서 하이논리 전압으로 반전되는 반면에, 스타트신호(Vst)는 하이논리 전압에서 로우논리 전압으로 반전된다.

이 때 제1 트랜지스터(NT1)가 턴-오프 되면, Q 노드의 방전경로가 차단되어 Q 노드 상에 플로팅(Floating) 된 중간 전압(Vm)에 제6 트랜지스터(NT6)의 드레인전극과 게이트 전극 사이의 기생 커패시턴스에 충전되는 전압이 더해지면서 Q 노드 상의 전압은 제6 트랜지스터(NT6)의 문턱전압 이상으로 더욱 상승한다. 즉 Q 노드 상의 전압은 부트스트랩핑(Bootstraping)에 의해 A 기간 보다 더 높은 전압(Vh)으로 상승한다. 따라서, B 기간 동안 제6 트랜지스터(NT6)는 턴-온되고 출력신호(Vg_i)은 제6 트랜지스터(NT6)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리 전압으로 반전된다.

또한 스타트신호(Vst)가 로우논리 전압으로 반전되어 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E)가 턴-오프 되지만 하이논리 전압을 유지하는 상기 Q 노드에 게이트전극이 연결된 제44_O, 제44_E, 제5a_O 및 제5a_E 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E)는 턴-온 상태를 유지한다. 따라서, A_O, A_E, QB_O 및 QB_E 노드는 방전경로가 유지되어 로우논리 전압을 유지한다.

C 기간 동안, 제1 클럭신호(C1)은 하이논리 전압에서 로우논리 전압으로 반전되고, 다음 스테이지 출력신호(Vg_i+1)의 하이논리 전압이 제3a 트랜지스터(NT3a)의 게이트 단자에 공급되어 제3a 트랜지스터(NT3a)를 턴-온 시킨다.

제3a 트랜지스터(NT3a)가 턴-온되면 Q 노드 상의 하이논리 전압은 제3a 트랜지스터(NT3a)를 통해 방전되어 Q 노드 상의 전압은 로우논리 전압으로 반전된다. Q 노드의 로우논리 전압은 Q 노드에 게이트전극이 연결된 제44_O, 제44_E, 제5a_O 및 제5a_E 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E)를 턴-오프 시켜 A_O, A_E, QB_O 및 QB_E 노드의 방전 경로를 차단한다.

따라서, 도통된 제41_O 트랜지스터(NT41_O)를 통해 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압이 A_O 노드에 공급되며, A_O 노드 상의 하이논리 전압은 제42_O 트랜지스터(NT42_O)를 턴-온시켜 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압이 QB_O 노드에 공급된다.

이와 같이 QB_O 노드에 공급된 하이논리 전압은 QB_O 노드에 게이트전극이 연결되어 있는 제3_O 및 제7_O 트랜지스터(NT3_O, NT7_O)를 턴-온시킨다. 제3_O 트랜지스터(NT3_O)의 도통으로 Q 노드에는 상기 턴-온된 제3a 트랜지스터(NT3a)에 추가로 방전경로가 형성되며, 제7_O 트랜지스터(NT7_O)의 도통으로 출력신호(Vg_i)는 로우논리 전압으로 반전된다.

D 기간 동안, 다음 스테이지 출력신호(Vg_i+1)은 로우논리 전압으로 반전되어 제3a 트랜지스터(NT3a)를 턴-오프 시킨다.

QB_O 노드는 상술한 바와 같이 제41_O 및 제42_O 트랜지스터(NT41_O, NT42_O)를 통해 공급되는 오드 프레임 고전위 공급전압(Vdd_O)의 하이논리 전압에 의해 남은 오드 프레임 기간동안 계속 하이논리 전압을 유지한다. 이에 따라 Q 노드 상의 전압과 출력신호(Vg_i)도 남은 오드 프레임 기간동안 로우논리 전압을 유지한다.

QB_E 노드는 상술한 바와 같이 오드 프레임 고전위 공급전압(Vdd_O)에 의해 턴-온 되어있는 제5b_E 트랜지스터(NT5b_E)에 의해 로우논리 전압을 유지한다.

다음으로, 이론 프레임기간 동안의 동작을 설명하면 다음과 같다.

제1 내지 제3 클럭신호(C1 내지 C3)가 로우논리 전압을 유지하는 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)의 하이논리 전압은 제1, 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT1, NT43_O, NT43_E, NT5_O, NT5_E)의 게이트 전극에 공급되어 제1, 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT1, NT43_O, NT43_E, NT5_O, NT5_E)를 턴-온시킨다.

제43_O 및 제43_E 트랜지스터(NT43_O, NT43_E)가 턴-온되면, A_O 및 A_E 노드에는 제43_O 및 제43_E 트랜지스터(NT43_O, NT43_E)를 통해 저전위 공급전압(Vss)의 로우논리 전압이 공급된다. 즉, A_O 및 A_E 노드가 방전되어 A_O 및 A_E 노드 상에는 로우논리 전압이 유지된다.

이러한 A_O 및 A_E 노드 상의 로우논리 전압은 제42_O 및 제42_E 트랜지스터(NT42_O, NT42_E)을 턴-오프 시킴으로써 오드 프레임 기간에는 오드 프레임 고전위 공급전압(Vdd_O)의 하이 논리 전압이 QB_O 노드에 공급되는 것을 차단하며, 이븐 프레임 기간에는 이븐 프레임 고전위 공급전압(Vdd_E)이 QB_E 노드에 공급되는 것을 차단한다.

제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)가 턴-온되면, QB_O 및 QB_E 노드에는 제5_O 및 제5_E 트랜지스터(NT5_O, NT5_E)를 통해 저전위 공급전압(Vss)의 로우논리 전압이 공급된다. 즉, QB_O 및 QB_E 노드가 방전되어 QB_O 및 QB_E 노드는 로우논리 전압이 유지된다.

이러한 QB_O 및 QB_E 노드의 방전은 QB_O 및 QB_E 노드가 로우논리 전압을 유지함으로써 제3_O, 제3_E, 제7_O 및 제7_E 트랜지스터(NT3_O, NT3_E, NT7_O, NT7_E)를 턴-오프시킨다.

제1 트랜지스터(NT1)가 턴-온되면 고전위 공급전압(Vdd)이 Q 노드에 공급되어 Q 노드가 중간 전압(Vm)으로 충전된다. 이러한 Q 노드상에 충전된 중간 전압(Vm)은 Q 노드의 제44_O, 제44_E, 제5a_O, 제5a_E 및 제6 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E, NT6)를 턴-온시킨다.

이 A 기간 동안 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)가 게이트 단자에 직접 공급되는 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT43_O, NT43_E, NT5_O, NT5_E)는 턴-온된다.

이렇게 턴-온된 제43_O, 제43_E, 제44_O, 제44_E 트랜지스터(NT43_O, NT43_E, NT44_O, NT44_E)는 A_O 및 A_E 노드의 방전경로를 형성하여 A_O 및 A_E 노드의 전압을 로우논리 전압으로 유지시킨다.

그리고, 제5_O, 제5_E, 제5a_O 및 제5a_E 트랜지스터(NT5_O, NT5_E, NT5a_O, NT5a_E)는 QB_O 및 QB_E 노드의 방전경로를 형성하여 QB_O 및 QB_E 노드의 전압을 로우논리 전압으로 유지시킨다.

그리고 제6 트랜지스터(NT6)가 Q 노드의 중간 전압(Vm)에 의해 턴-온된 상태의 A 기간 동안, 제1 클럭신호(C1)는 로우논리 전압을 유지하므로 현재 스테이지의 출력신호(Vg_i)는 로우논리 전압을 유지한다.

이븐 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압은 제41_E 및 제5b_O 트랜지스터(NT41_E, NT5b_O)를 턴-온시킨다.

제41_E 트랜지스터(NT41_E)가 턴-온되면 이븐 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압이 A_E 노드에 공급되어 A_E 노드가 하이논리 전압이 유지되어야 하지만, 레이티오도 로직(Ratioed Logic)으로 구성되는, 즉, 제41_E 트랜지스터(제41_E)보다 상대적으로 넓은 채널폭을 가지도록 형성되는, 제43_E 및 제44_E 트랜지스터(NT43_E, NT44_E)에 의해 A_E 노드는 로우논리 전압을 유지한다. 이 때 턴-온된 제41_E 트랜지스터(NT41_E)는 이븐 프레임 고전위 공급전압(Vdd_E)에 의해 이븐 프레임 기간 동안 계속 턴-온 상태를 유지한다.

제5b_O 트랜지스터(NT5b_O)는 QB_O 노드의 방전경로를 형성하며, A 기간 이후 상기 제5_O, 제5a_O 트랜지스터(NT5_O, NT5a_O)가 턴-오프 되더라도, 이븐 프레임 고전위 공급전압(Vdd_E)에 의해 이븐 프레임 기간 동안 계속 턴-온 상태를 유지하여 이븐 프레임 기간 동안 지속적으로 QB_O 노드의 방전경로를 형성한다.

B 기간 동안, 제1 클럭신호(C1)는 로우논리 전압에서 하이논리 전압으로 반전되는 반면에, 스타트신호(Vst)는 하이논리 전압에서 로우논리 전압으로 반전된다.

이 때 제1 트랜지스터(NT1)가 턴-오프 되면, Q 노드의 방전경로가 차단되어 Q 노드 상에 플로팅(Floating) 된 중간 전압(Vm)에 제6 트랜지스터(NT6)의 드레인전극과 게이트 전극 사이의 기생 커패시턴스에 충전되는 전압이 더해지면서 Q 노드 상의 전압은 제6 트랜지스터(NT6)의 문턱전압 이상으로 더욱 상승한다. 즉 Q 노드 상의 전압은 부트스트래핑(Bootstrapping)에 의해 A 기간 보다 더 높은 전압(Vh)으로 상승한다. 따라서, B 기간 동안 제6 트랜지스터(NT6)는 턴-온되고 출력신호(Vg_i)은 제6 트랜지스터(NT6)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리 전압으로 반전된다.

또한 스타트신호(Vst)가 로우논리 전압으로 반전되어 제43_O, 제43_E, 제5_O 및 제5_E 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E)가 턴-오프 되지만 하이논리 전압을 유지하는 상기 Q 노드에 게이트전극이 연결된 제44_O, 제44_E, 제5a_O 및 제5a_E 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E)는 턴-온 상태를 유지한다. 따라서, A_O, A_E, QB_O 및 QB_E 노드는 방전경로가 유지되어 로우논리 전압을 유지한다.

C 기간 동안, 제1 클럭신호(C1)은 하이논리 전압에서 로우논리 전압으로 반전되고, 다음 스테이지 출력신호(Vg_i+1)의 하이논리 전압이 제3a 트랜지스터(NT3a)의 게이트 단자에 공급되어 제3a 트랜지스터(NT3a)를 턴-온 시킨다.

제3a 트랜지스터(NT3a)가 턴-온되면 Q 노드 상의 하이논리 전압은 제3a 트랜지스터(NT3a)를 통해 방전되어 Q 노드 상의 전압은 로우논리 전압으로 반전된다. Q 노드의 로우논리 전압은 Q 노드에 게이트전극이 연결된 제44_O, 제44_E, 제5a_O 및 제5a_E 트랜지스터(NT44_O, NT44_E, NT5a_O, NT5a_E)를 턴-오프 시켜 A_O, A_E, QB_O 및 QB_E 노드의 방전 경로를 차단한다.

따라서, 도통된 제41_E 트랜지스터(NT41_E)를 통해 이븐 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압이 A_E 노드에 공급되며, A_E 노드 상의 하이논리 전압은 제42_E 트랜지스터(NT42_E)를 턴-온시켜 이븐 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압이 QB_E 노드에 공급된다.

이와 같이 QB_E 노드에 공급된 하이논리 전압은 QB_E 노드에 게이트전극이 연결되어 있는 제3_E 및 제7_E 트랜지스터(NT3_E, NT7_E)를 턴-온시킨다. 제3_E 트랜지스터(NT3_E)의 도통으로 Q 노드에는 상기 턴-온된 제3a 트랜지스터(NT3a)에 추가로 방전경로가 형성되며, 제7_E 트랜지스터(NT7_E)의 도통으로 출력신호(Vg_i)는 로우논리 전압으로 반전된다.

D 기간 동안, 다음 스테이지 출력신호(Vg_i+1)은 로우논리 전압으로 반전되어 제3a 트랜지스터(NT3a)를 턴-오프 시킨다.

QB_E 노드는 상술한 바와 같이 제41_E 및 제42_E 트랜지스터(NT41_E, NT42_E)를 통해 공급되는 이븐 프레임 고전위 공급전압(Vdd_E)의 하이논리 전압에 의해 남은 이븐 프레임 기간동안 계속 하이논리 전압을 유지한다. 이에 따라 Q 노드 상의 전압과 출력신호(Vg_i)도 남은 이븐 프레임 기간동안 로우논리 전압을 유지한다.

QB_O 노드는 상술한 바와 같이 이븐 프레임 고전위 공급전압(Vdd_E)에 의해 턴-온 되어있는 제5b_O 트랜지스터(NT5b_O)에 의해 로우논리 전압을 유지한다.

한편, 도16의 실시예에서는 제4_O 및 제4_E 트랜지스터(NT4_O, NT4_E)의 게이트 전압인가시간이 상대적으로 길다. 이에 비하여, 도 18의 실시예에서는 제41_O, 제43_O, 제44_O, 제41_E, 제43_E 및 제44_E 트랜지스터(NT41_O, NT43_O, NT44_O, NT41_E, NT43_E, NT44_E)에 의해 제42_O 및 제42_E 트랜지스터(NT42_O, NT42_E)의 게이트 전압 인가시간이 줄게 된다. 따라서, 도 18의 실시예는 도 16의 실시예에 비하여, 제42_O 및 제42_E 트랜지스터(NT42_O, NT42_E)의 게이트 스트레스양을 줄일 수 있으므로 그 트랜지스터의 특성 열화를 예방할 수 있다.

도 19는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판에 내장된 게이트 구동회로의 제2 구동 방법을 나타낸다.

도 19를 참조하면, 상기 오드 또는 이븐 스테이지(142_2n-1, 142_2n) 중 어느 하나인 제i 스테이지(단, i는 m 보다 작거나 같은 양의 정수)는 스타트펄스로서 스타트신호(Vst1, Vst2 ; 단, Vst2는 Vst1 보다 1 클럭기간 지연된 스타트신호이다) 또는 제i-2 스테이지(단, 제0 및 제1 스테이지는 제외한다)의 출력신호(Vg_i-2 ; 단, Vg_0은 Vst로 본다)를 입력받는다.

이후, 2 클럭기간 지연되어 공급되는 제1 내지 제4 클럭신호 중 어느하나에 응답하여, 상기 클럭신호에 동기화된 출력신호(Vg_i)를 도시하지 않은 레벨-시프트 레지스터부와 출력버퍼부를 거쳐 게이트라인(GL_i)에 공급한다.

이후, 1 클럭기간 지연되어 공급되는 다음 스테이지(제i+ 1 스테이지 ; 단, i=m 일 경우 제i+ 1 스테이지는 도시하지 않은 더미 스테이지로 본다)의 출력신호(Vg_i+ 1 ; 단, i=m 일 경우 Vg_i+ 1은 더미 스테이지의 출력신호로 본다)를 리셋펄스로서 입력받는다.

이러한 구동 방법은 상기 도 16 및 18에 도시한 회로로도 구현이 가능하며, 그 동작은 제1 구동 방법에서 설명한 바와 유사하지만 다음과 같은 차이점이 있다.

우선 제2 구동 방법에서의 게이트 구동회로는 하나의 스타트신호(Vst)를 가지는 제1 구동 방법에서와 달리 제1 스타트신호(Vst1)와 함께 제1 스타트신호(Vst1)보다 1클럭기간 지연되어 공급되는 제2 스타트신호(Vst2)를 가진다.

또한, 제1 구동 방법에서는 스타트신호(Vst)가 입력된 후 클럭신호(제1 내지 제4 클럭신호 중 어느하나)가 1 클럭기간 지연되어 공급되지만, 제2 구동 방법에서는 스타트신호(Vst)가 입력된 후 클럭신호(제1 내지 제4 클럭신호 중 어느하나)가 2 클럭기간 지연되어 공급되므로 Q 노드가 플로팅(Floating) 된 중간 하이논리 전압을 유지하는 기간이 도 20에서 보는 바와 같이 1 클럭기간 늘어난다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 구동 회로 내장형 액정 패널은 게이트 라인을 오드/이븐으로 구분하여 양방향 구동함으로써 한 스테이지의 피치가 두 액정셀 피치로 증대시킬 수 있게 된다. 이에 따라, 각 스테이지에서 스캔 펄스의 파형과 밀접한 관계를 갖으며 액정 패널의 수명에 직접적인 영향을 미치는 출력 버퍼의 채널 폭을 크게 함으로써 스캔 펄스 파형의 왜곡을 줄이면서 수명을 연장시킬 수 있게 된다. 나아가, 본 발명에 따른 구동 회로 내장형 액정 패널은 오드/이븐 분할 구동에 의해 확보되는 출력 버퍼 배치공간에 풀-다운 트랜지스터를 다수로 배치하고 그 풀-다운 트랜지스터들의 게이트전압 인가기간을 줄여 게이트전압 스트레스에 의한 출력 버퍼의 동작 특성 열화를 줄일 수 있고, 그 결과 출력 버퍼의 소자 수명을 연장시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

특정 길이의 피치로 액정셀들이 배치되는 액정셀 매트릭스와;

상기 표시 영역의 외곽 영역에 상기 표시 영역을 사이에 두고 형성되어 상기 액정셀 매트릭스의 게이트 라인을 오드/이븐으로 분리하여 구동하기 위한 오드 및 이븐 게이트 구동 회로를 구비하고;

상기 오드 게이트 구동 회로에 포함된 적어도 하나의 스테이지와 상기 이븐 게이트 구동 회로에 포함된 적어도 하나의 스테이지의 피치는 상기 액정셀의 피치보다 큰 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 2.

제 1 항에 있어서,

상기 오드 스테이지 및 이븐 스테이지 각각은

출력단자에 출력신호를 공급하는 출력 버퍼와, 그 출력 버퍼를 제어하는 제어부를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 3.

제 2 항에 있어서,

상기 각 스테이지 중 상기 제어부는 상기 한 액정셀 피치 영역에 포함되도록 형성되고, 상기 출력 버퍼는 상기 두 액정셀 피치 영역에 걸쳐 형성된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 4.

제 1 항에 있어서,

상기 오드 및 이븐 게이트 구동 회로는

상기 액정 매트릭스가 형성되는 유리기판 상에서 상기 스테이지의 외곽부에 형성되어 다수의 게이트 제어 신호 및 전원 신호를 공급하는 신호 라인들을 추가로 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 5.

제 2 항에 있어서,

상기 오드 스테이지는 이전단 오드 스테이지의 출력 신호를 스타트 펄스로, 상기 이븐 스테이지는 이전단 이븐 스테이지의 출력 신호를 스타트 펄스로 입력하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 6.

제 5 항에 있어서,

상기 오드 스테이지는 상기 이븐 출력단자와 오픈된 구조를, 상기 이븐 스테이지는 상기 오드 출력단자와 오픈된 구조를 갖는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 7.

제 5 항에 있어서,

상기 이븐 스테이지 및 상기 오드 스테이지 각각의 출력버퍼는 클럭신호에 따라 상기 출력단자에 하이 전압 및 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터와;

상기 클럭신호에 따라 상기 출력단자에 로우 전압을 공급하는 풀-다운 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정패널.

청구항 8.

제 7 항에 있어서,

상기 출력단자로 공급되는 하이 전압은

상기 이븐 스테이지 및 상기 오드 스테이지 각각의 풀-업 트랜지스터가 턴-다운되기 직전에 공급되는 것을 특징으로 하는 구동 회로 내장형 액정패널.

청구항 9.

제 8 항에 있어서,

상기 출력단자로 공급되는 하이 전압은

하나의 클럭이 인가되는 시간을 1H라고 할 때,

상기 풀-업 트랜지스터가 2H 이상 턴-온 된 이후에 공급되는 것을 특징으로 하는 구동 회로 내장형 액정패널.

청구항 10.

제 9 항에 있어서,

상기 풀-업 트랜지스터는

3H 동안 턴-온 되는 것을 특징으로 하는 구동 회로 내장형 액정패널.

청구항 11.

제 6 항에 있어서,

상기 오드 및 이븐 스테이지에는 서로 다른 클럭 신호 및 스타트 펄스가 외부로부터 공급된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 12.

제 7 항에 있어서,

상기 이븐 스테이지에 공급되는 이븐 스타트 펄스 및 이븐 클럭 신호는, 상기 오드 스테이지에 공급되는 오드 스타트 펄스 및 오드 클럭 신호 보다 한 클럭 지연되어 공급된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 13.

제 8 항에 있어서,

상기 스테이지는

상기 스타트 펄스를 공급받아 턴-온 되어 상기 풀-업 트랜지스터를 턴-온 시킴으로써 제1 클럭신호의 하이 전압을 상기 출력단자에 공급시키는 제1 트랜지스터와;

제2 클럭신호의 하이 전압을 공급받아 턴-온 됨으로써 고전위 전압을 상기 풀-다운 트랜지스터에 공급시키는 제2 트랜지스터와;

상기 고전위 전압을 공급 받아 상기 제1 트랜지스터와 상기 풀-업 트랜지스터 사이에 충전된 전하를 방전시킴과 아울러 상기 풀-다운 트랜지스터와 커렌트 미러로 연결된 제3 트랜지스터와;

다음 단 스테이지로부터 하이 전압을 공급받아 상기 제1 트랜지스터와 상기 풀-업 트랜지스터 사이에 충전된 전하를 방전시키는 제4 트랜지스터와;

상기 제2 트랜지스터의 콜렉터 단과 기저전압 사이에 병렬로 연결된 제5 및 제6 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정패널.

청구항 14.

제 1 항에 있어서,

상기 오드 스테이지는 이전단 이븐 스테이지의 출력 신호를 스타트 펄스로, 상기 이븐 스테이지는 이전단 오드 스테이지의 출력 신호를 스타트 펄스로 입력하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 15.

제 14 항에 있어서,

상기 오드 스테이지는 이븐 출력단자를 통해 상기 이전단 이븐 스테이지의 출력 신호를 공급받고, 상기 이븐 스테이지는 오드 출력단자를 통해 상기 이전단 오드 스테이지의 출력 신호를 공급받는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 16.

제 15 항에 있어서,

상기 오드 및 이븐 스테이지에는 외부로부터 동일한 스타트 펄스 및 다수의 클럭 신호가 공급된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 17.

제 1 항에 있어서,

상기 오드 게이트 구동 회로에 포함된 적어도 하나의 스테이지와 상기 이븐 게이트 구동 회로에 포함된 적어도 하나의 스테이지의 피치는 액정셀의 1 피치 내지 상기 액정셀의 2 피치 사이의 길이인 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 18.

제 2 항에 있어서,

상기 출력버퍼는,

Q 노드에 의해 제어되는 풀-업 트랜지스터와;

QB_O 노드에 의해 제어되는 제 1 풀-다운 트랜지스터와;

QB_E 노드에 의해 제어되는 제 2 풀-다운 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 19.

제 18 항에 있어서,

상기 제 1 및 제 2 풀-다운 트랜지스터는

프레임 기간 단위로 교대로 동작하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 20.

제 19 항에 있어서,

상기 제어부는,

상기 Q 노드를 충방전시키기 위한 제1 제어부와;

상기 QB_O 노드를 충방전시키기 위한 제2 제어부와;

상기 QB_E 노드를 충방전시키기 위한 제3 제어부를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 21.

제 20 항에 있어서,

상기 제1 제어부는,

고전위 공급전압이 공급되는 드레인단자, 제1 노드를 경유하여 스타트펄스와 이전단 스테이지의 출력신호 중 어느 하나가 공급되는 게이트단자, 및 상기 Q 노드에 접속된 소스단자를 가지는 제1 트랜지스터와;

상기 Q 노드에 접속되는 드레인단자, 제2 노드를 경유하여 저전위 공급전압이 공급되는 소스단자, 및 다음단 스테이지의 출력신호가 공급되는 게이트단자를 가지는 제3a 트랜지스터와;

클럭신호가 공급되는 드레인단자, 상기 출력단자에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제6 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 22.

제 21 항에 있어서,

상기 제2 제어부는,

상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제3_O 트랜지스터와;

상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제7_O 트랜지스터와;

제3 노드를 경유하여 기수 프레임 동안 발생되는 기수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 제4 노드에 접속된 소스단자를 가지는 제41_O 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제4 노드에 접속된 게이트단자, 및 상기 QB_O 노드에 접속된 소스단자를 가지는 제42_O 트랜지스터와;

상기 제4 노드에 접속된 드레인단자, 상기 제1 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제43_O 트랜지스터와;

상기 제4 노드에 접속된 드레인단자, 상기 Q 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제44_O 트랜지스터와;

상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_O 트랜지스터와;

상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_O 트랜지스터와;

상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 제5 노드에 접속된 게이트단자를 가지는 제5b_O 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 23.

제 22 항에 있어서,

상기 제3 제어부는,

상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제3_E 트랜지스터와;

상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제7_E 트랜지스터와;

상기 제5 노드를 경유하여 우수 프레임 동안 발생되는 우수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 제6 노드에 접속된 소스단자를 가지는 제41_E 트랜지스터와;

상기 제5 노드에 접속된 드레인단자, 상기 제6 노드에 접속된 게이트단자, 및 상기 QB_E 노드에 접속된 소스단자를 가지는 제42_E 트랜지스터와;

상기 제6 노드에 접속된 드레인단자, 상기 제1 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제43_E 트랜지스터와;

상기 제6 노드에 접속된 드레인단자, 상기 Q 노드에 접속된 게이트단자, 및 상기 제2 노드에 접속된 소스단자를 가지는 제44_E 트랜지스터와;

상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_E 트랜지스터와;

상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_E 트랜지스터와;

상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제3 노드에 접속된 게이트단자를 가지는 제5b_E 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 24.

제 22 항에 있어서,

상기 클럭신호는 상기 고전위 공급전압에 의해 상기 Q 노드가 1차 충전된 후에 발생되는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 25.

제 21 항에 있어서,

상기 제2 제어부는,

상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제3_O 트랜지스터와;

상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_O 노드에 접속된 게이트단자를 가지는 제7_O 트랜지스터와;

제3 노드를 경유하여 기수 프레임 동안 발생되는 기수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 상기 QB_O 노드에 접속된 소스단자를 가지는 제4_O 트랜지스터와;

상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_O 트랜지스터와;

상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_O 트랜지스터와;

상기 QB_O 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 제4 노드에 접속된 게이트단자를 가지는 제5b_O 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 26.

제 25 항에 있어서,

상기 제3 제어부는,

상기 Q 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제3_E 트랜지스터와;

상기 출력단자에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 QB_E 노드에 접속된 게이트단자를 가지는 제7_E 트랜지스터와;

상기 제4 노드를 경유하여 우수 프레임 동안 발생되는 우수 고전위 공급전압이 공급되는 드레인단자 및 게이트단자, 상기 QB_E 노드에 접속된 소스단자를 가지는 제4_E 트랜지스터와;

상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제1 노드에 접속된 게이트단자를 가지는 제5_E 트랜지스터와;

상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 Q 노드에 접속된 게이트단자를 가지는 제5a_E 트랜지스터와;

상기 QB_E 노드에 접속된 드레인단자, 상기 제2 노드에 접속된 소스단자, 및 상기 제3 노드에 접속된 게이트단자를 가지는 제5b_E 트랜지스터를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

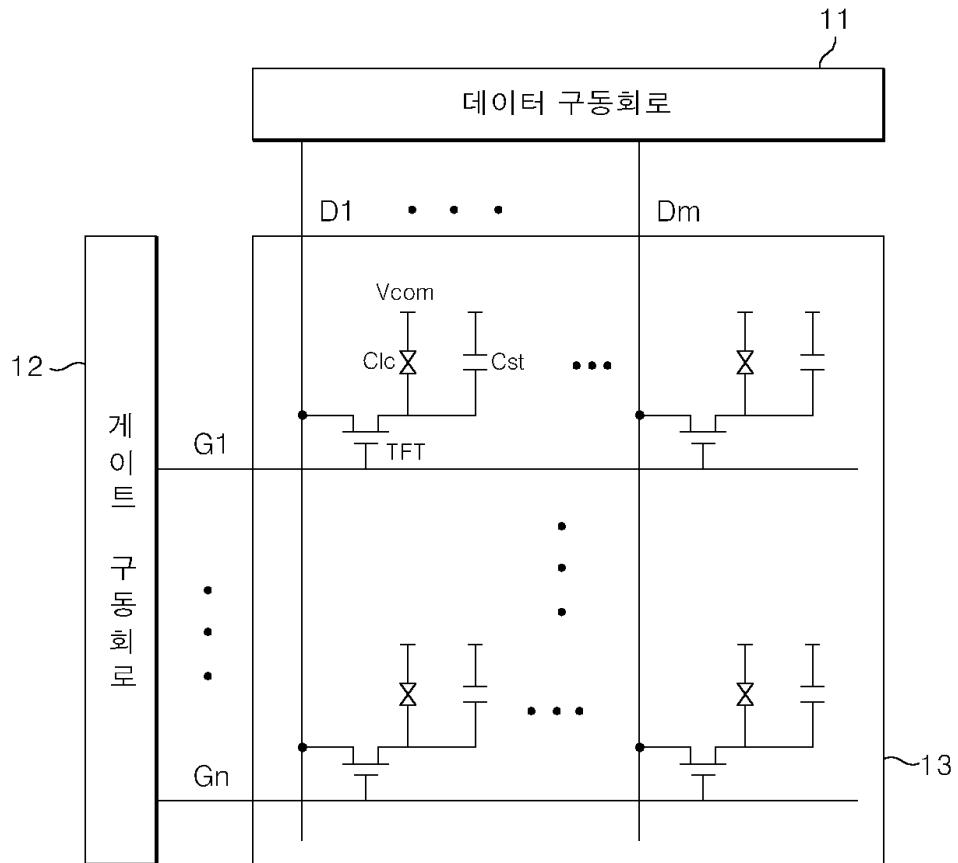
청구항 27.

제 25 항에 있어서,

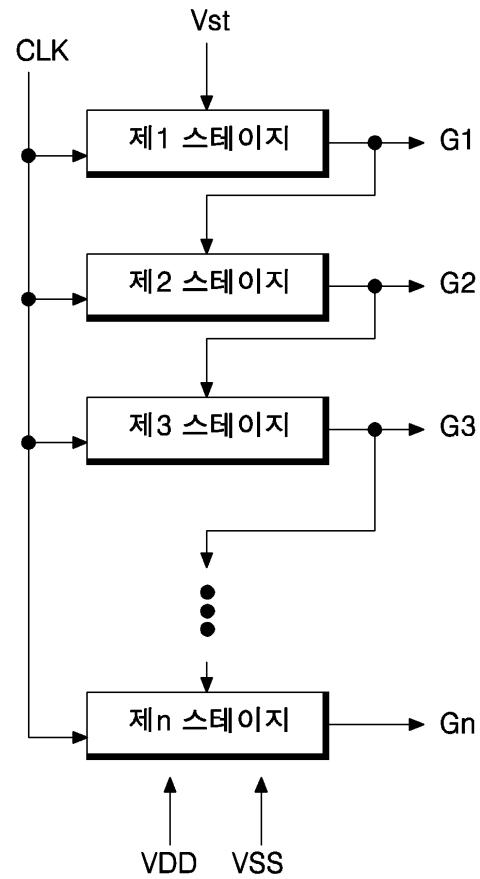
상기 클럭신호는 상기 고전위 공급전압에 의해 상기 Q 노드가 1차 충전된 후에 발생되는 것을 특징으로 하는 구동 회로 내 장형 액정 패널.

도면

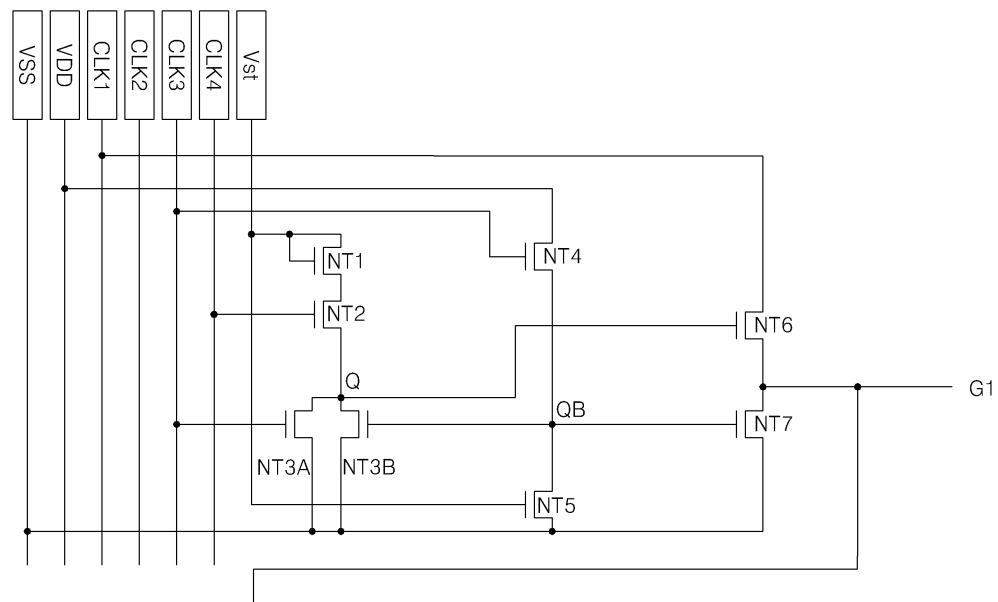
도면1



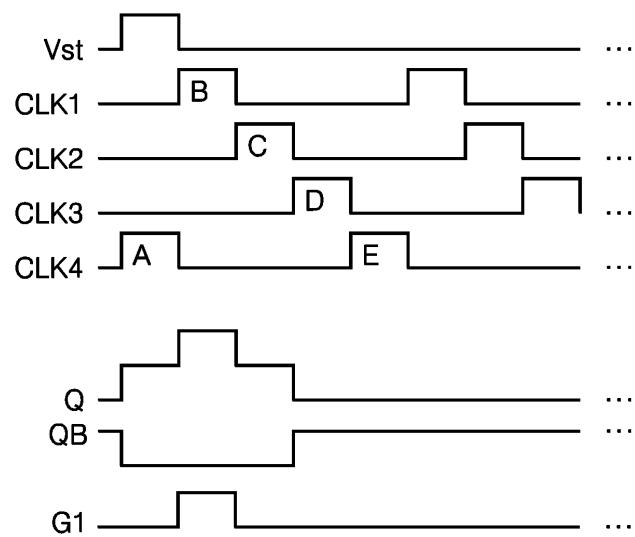
도면2



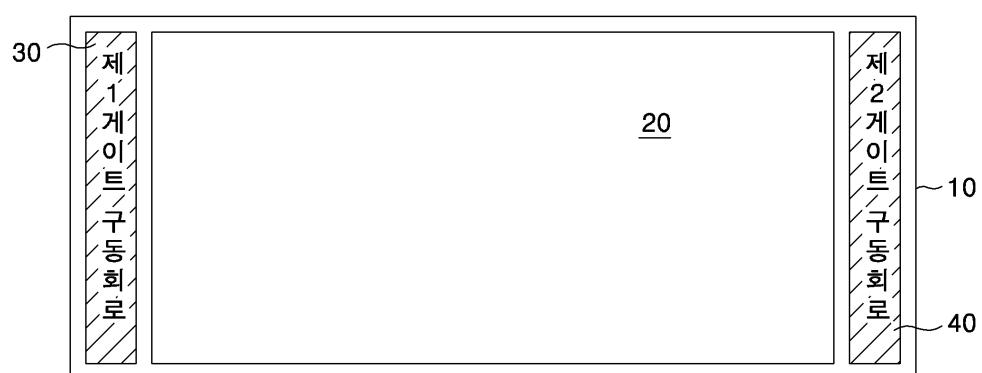
도면3



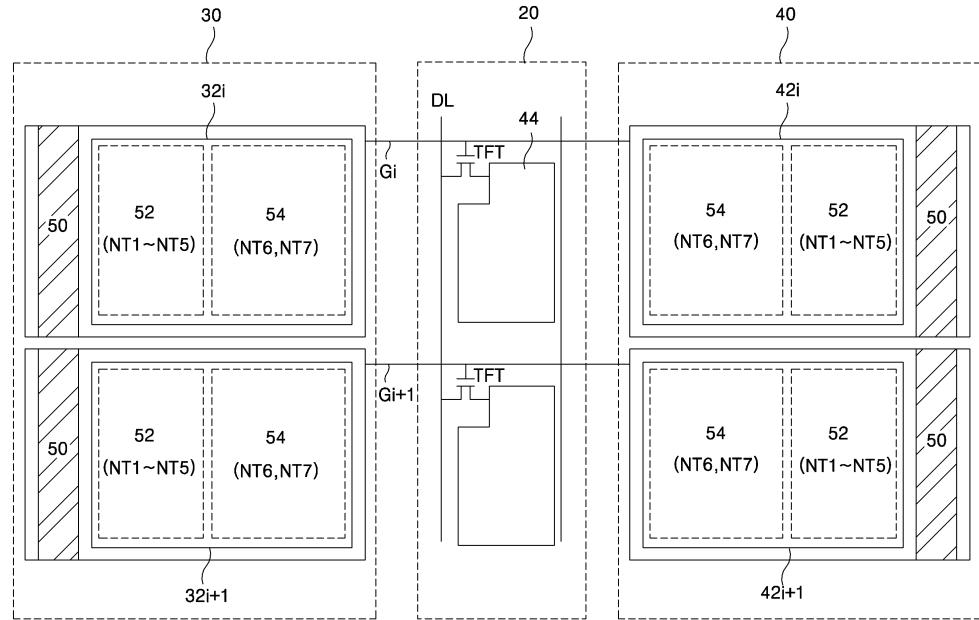
도면4



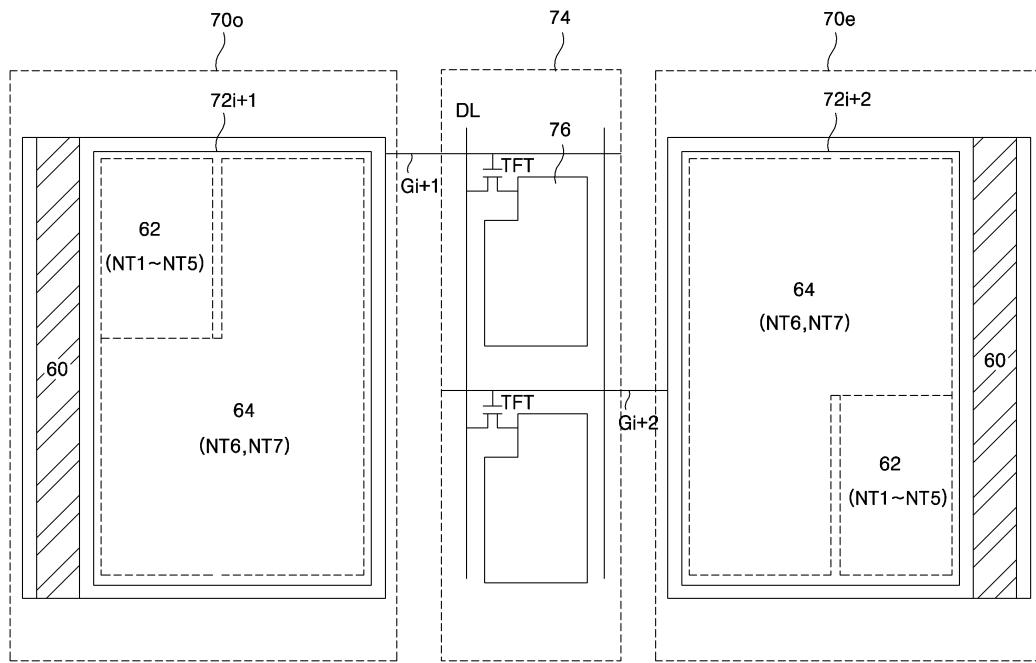
도면5



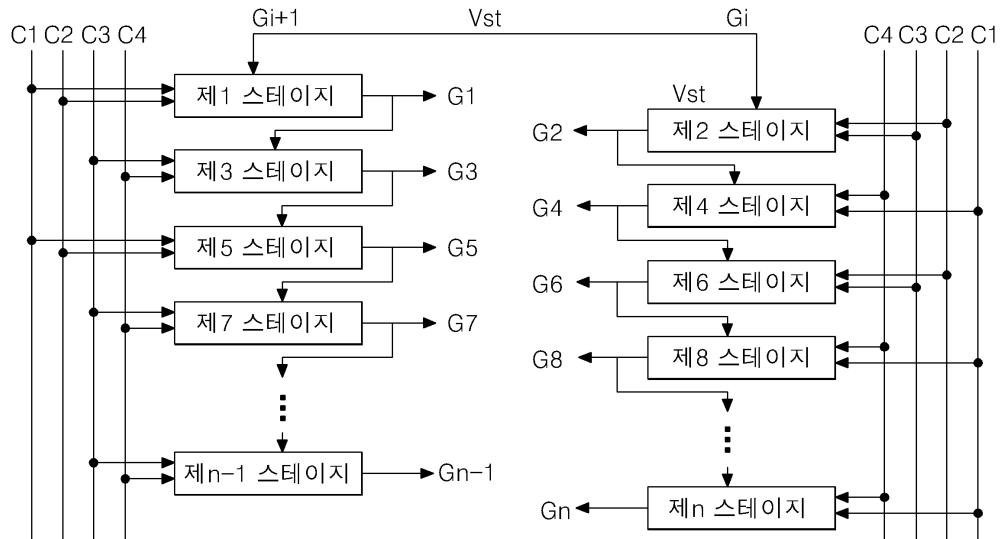
도면6



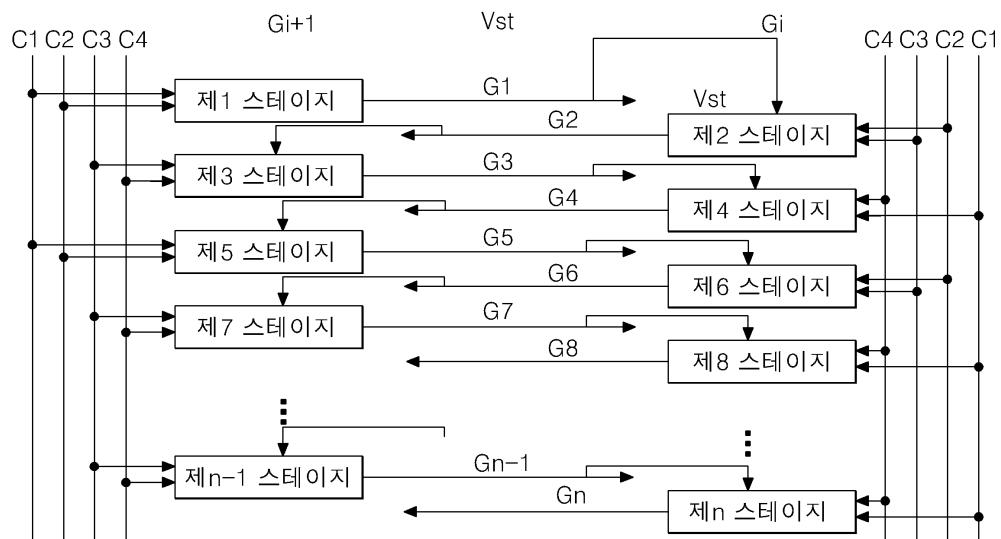
도면7



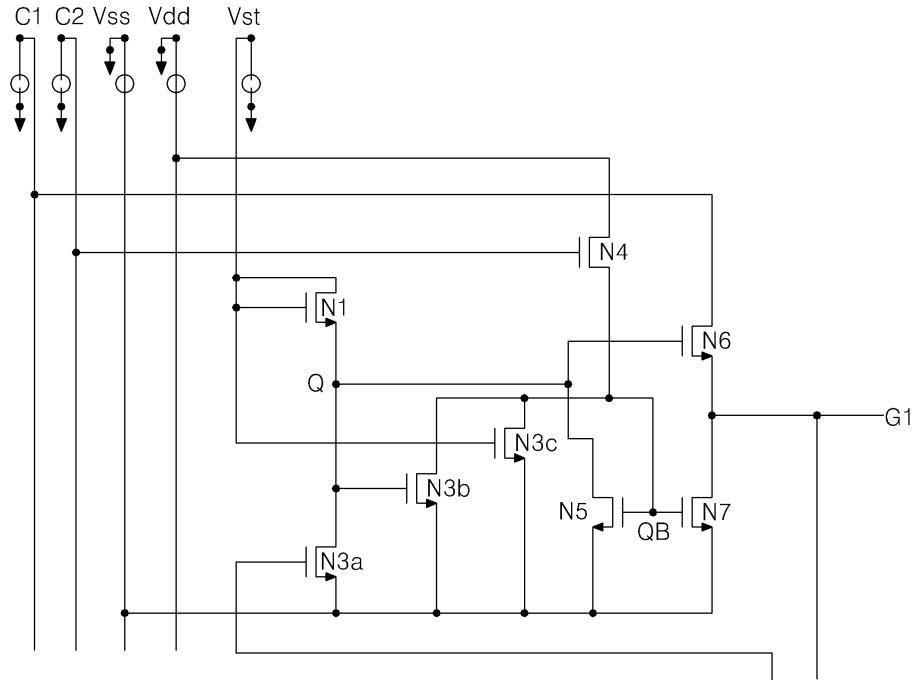
도면8



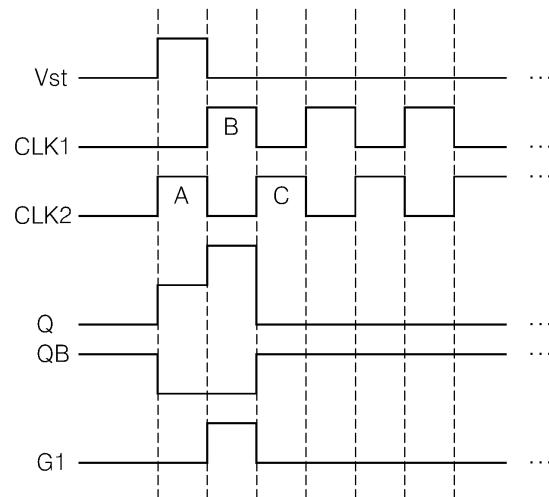
도면9



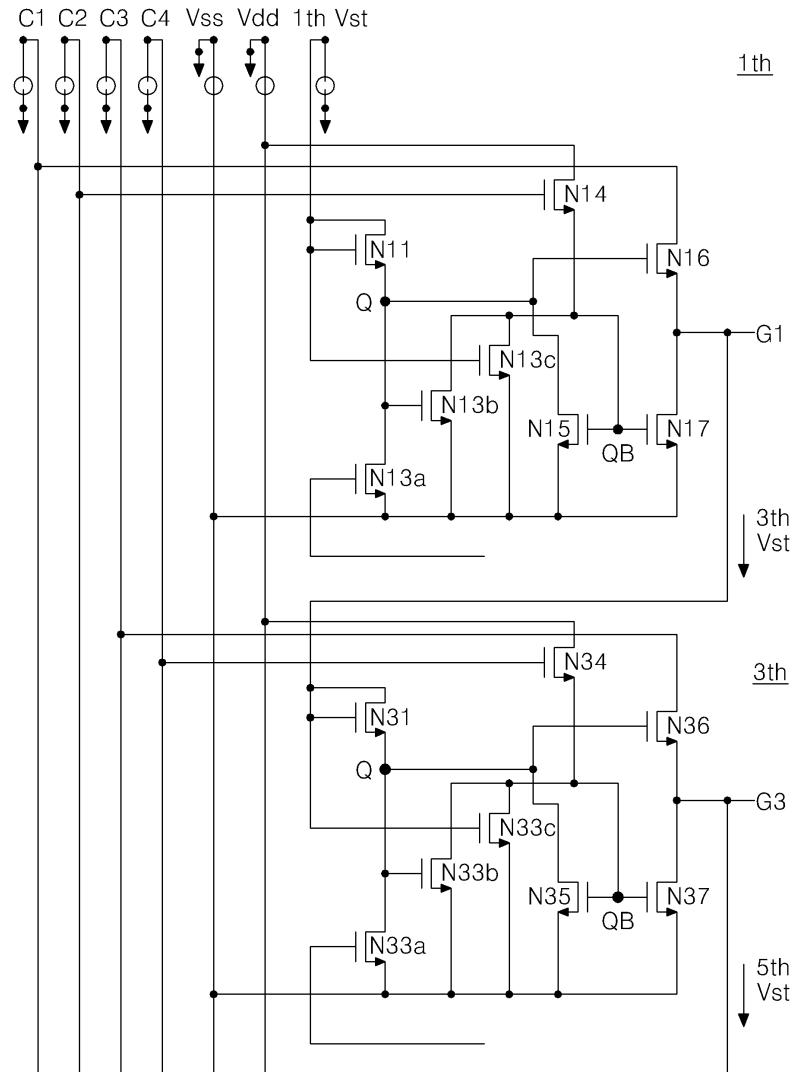
도면10



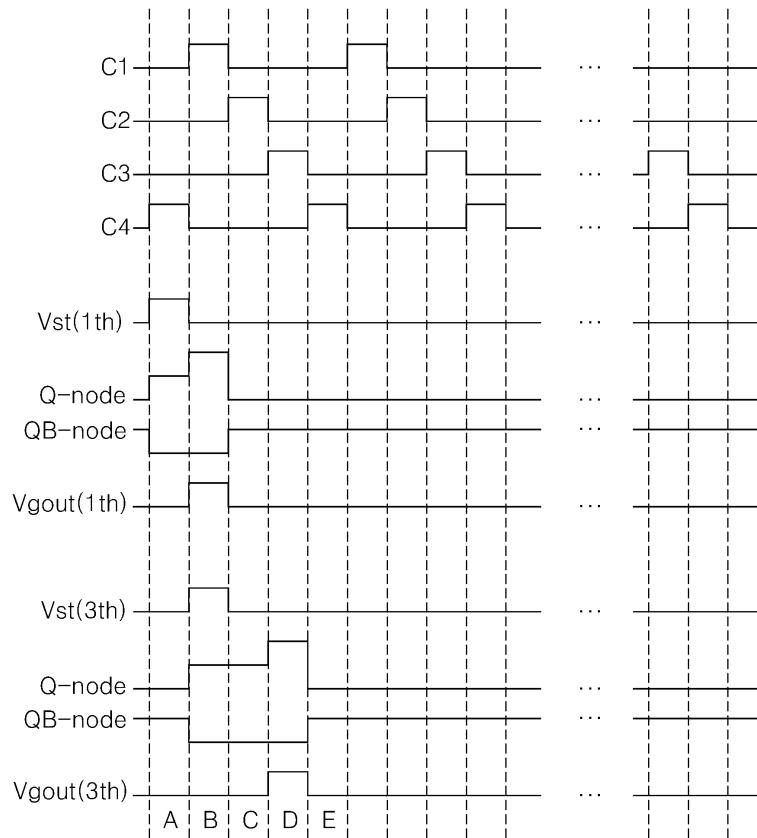
도면11



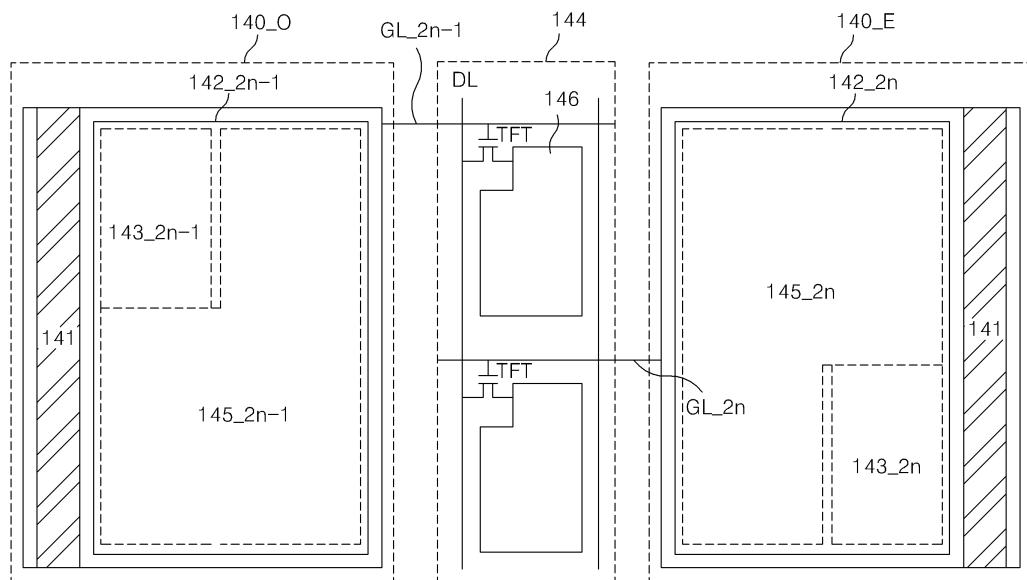
도면12



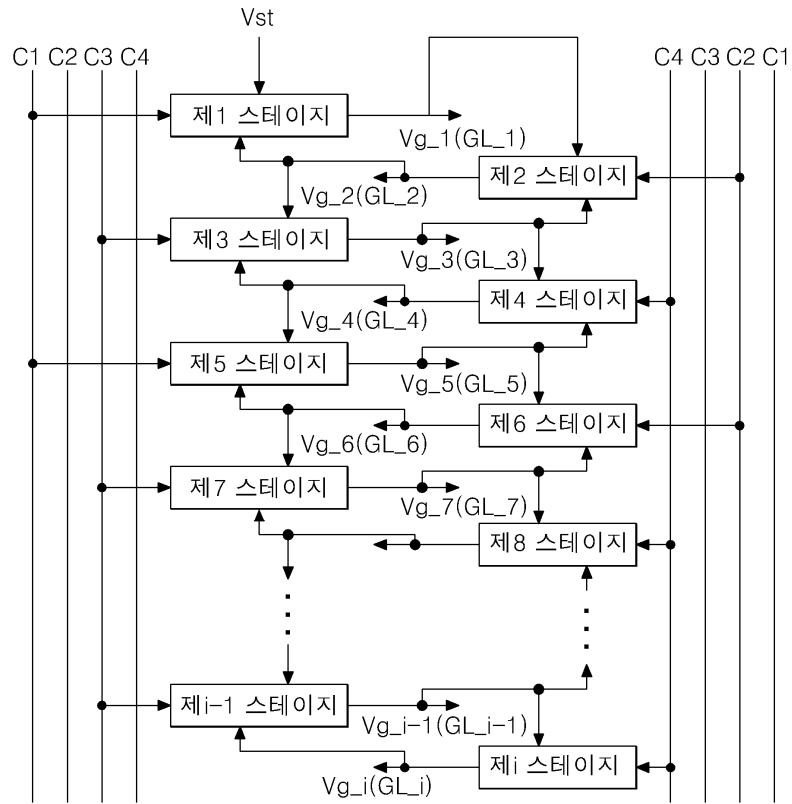
도면13



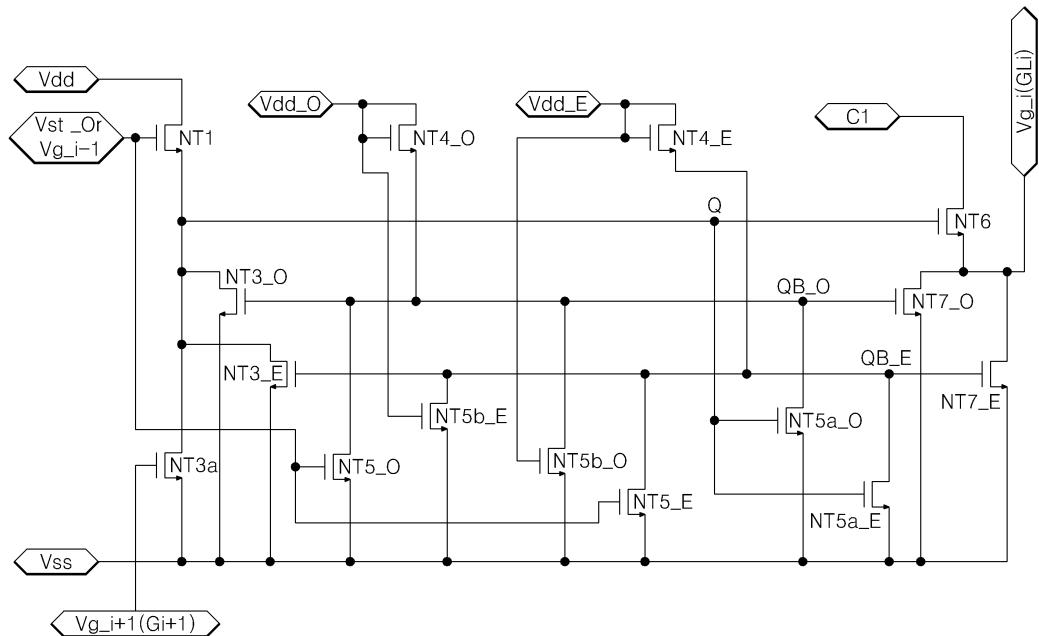
도면14



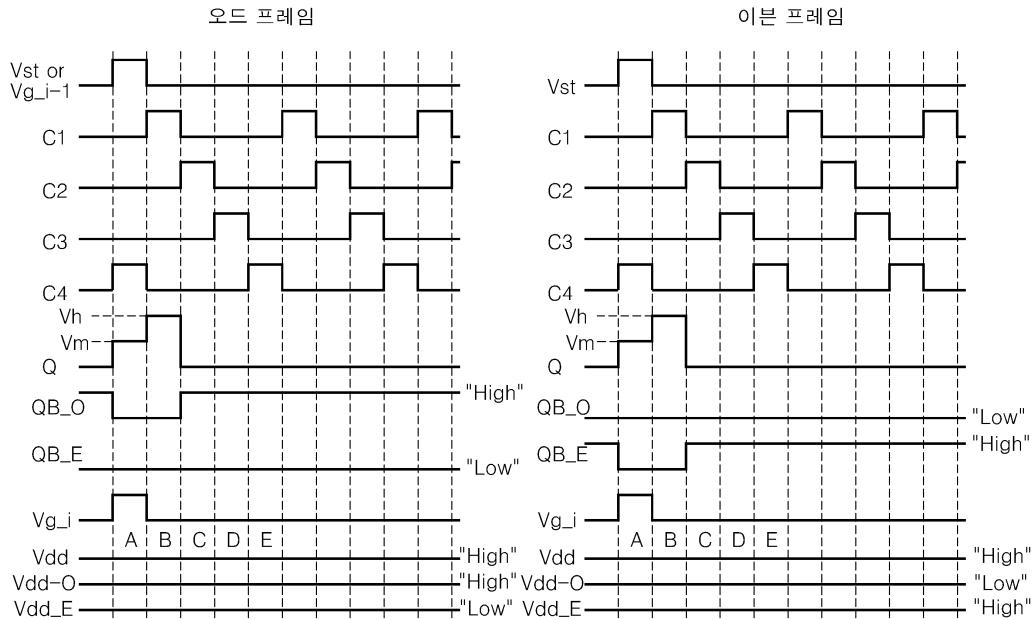
도면15



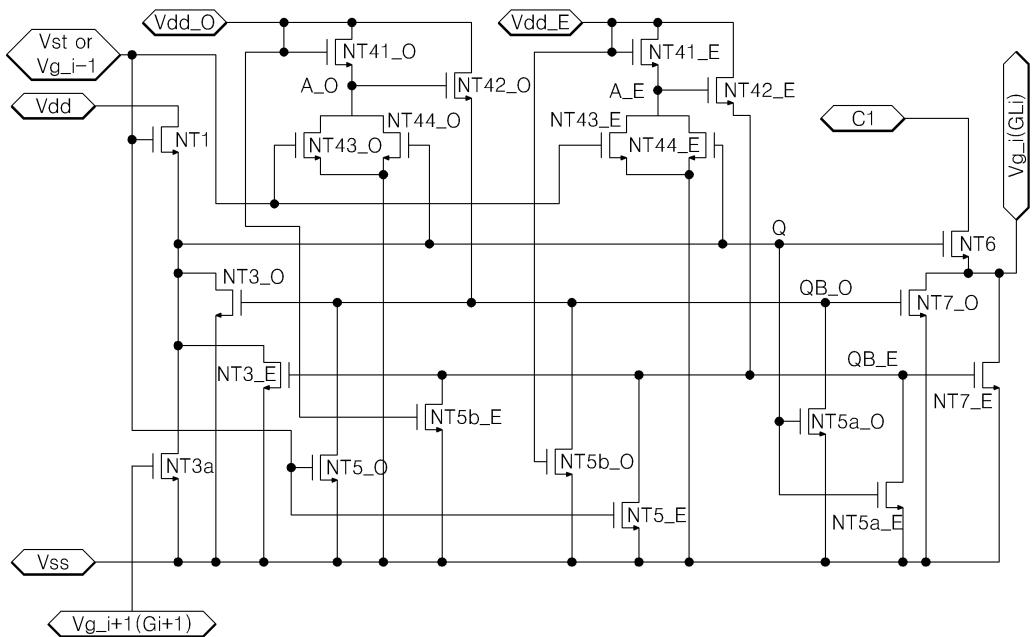
도면16



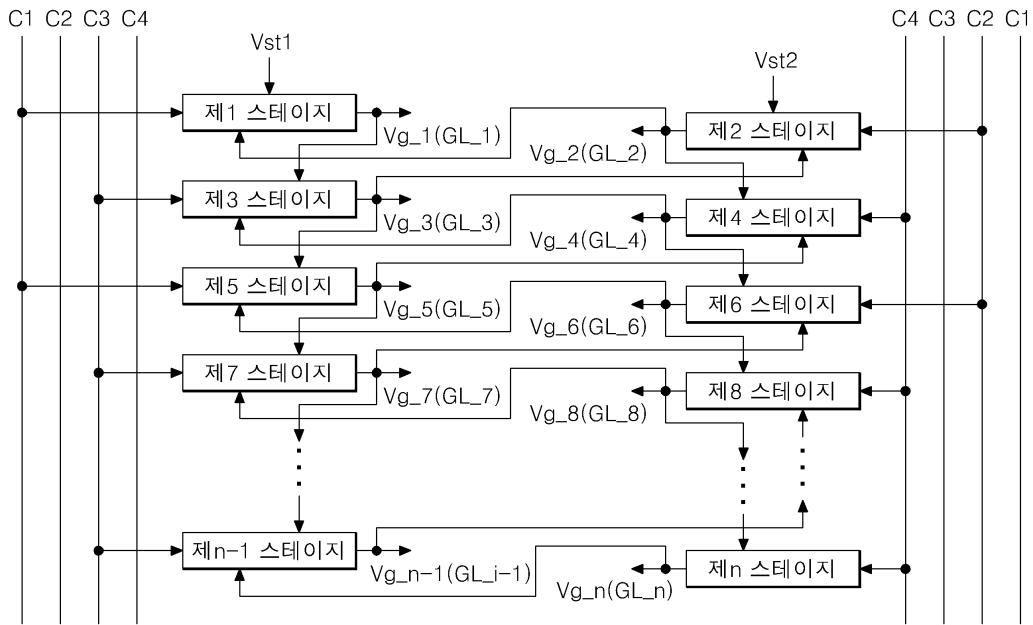
도면17



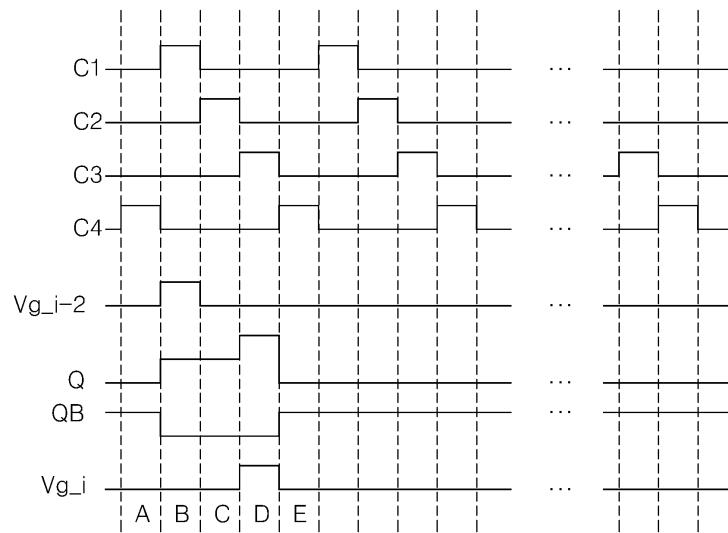
도면18



도면19



도면20



专利名称(译)	液晶显示面板		
公开(公告)号	KR1020060046339A	公开(公告)日	2006-05-17
申请号	KR1020050046395	申请日	2005-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 YOON SOO YOUNG 윤수영		
发明人	김빈 윤수영		
IPC分类号	G02F1/133		
CPC分类号	G11C19/28 G09G3/3648 G09G3/3677 G09G2300/0426		
代理人(译)	金勇 年轻的小公园		
优先权	1020040073106 2004-09-13 KR 1020040038888 2004-05-31 KR		
其他公开文献	KR101137852B1		
外部链接	Espacenet		

摘要(译)

本发明涉及延伸安装的驱动电路区域的内部驱动电路型液晶面板。该液晶面板包括特定长度的间距，液晶单元是奇数和偶数栅极驱动电路，用于将显示区域放置在间隔中并且形成并分离液晶单元矩阵的栅极线。奇数/偶数在边缘区域并被驱动排列的液晶单元矩阵和显示区域。包括在奇数栅极驱动电路中的至少一个级和至少一个级的间距大于偶数栅极驱动电路中包括的液晶单元的间距。

