

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/36
G09G 3/20

(11) 공개번호 10-2005-0084404
(43) 공개일자 2005년08월26일

(21) 출원번호 10-2005-7011300

(22) 출원일자 2005년06월17일

번역문 제출일자 2005년06월17일

(86) 국제출원번호 PCT/JP2003/016832

(87) 국제공개번호 WO 2004/061813

국제출원일자 2003년12월25일

국제공개일자 2004년07월22일

(30) 우선권주장 JP-P-2002-00378777 2002년12월27일 일본(JP)

(71) 출원인 산요덴키가부시킴가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고
돗토리 산요덴키 가부시킴가이샤
일본국 돗토리켄 돗토리시 타치카와쵸 7쵸메 101

(72) 발명자 고바야시 야스히로
일본국 돗토리켄 돗토리시 미나미요시카타 3쵸메 101 산요 엠스이메이
징 디바이스 가부시킴가이샤 내
렘부즈 케이이치
일본국 돗토리켄 돗토리시 미나미요시카타 3쵸메 101 산요 엠스이메이
징 디바이스 가부시킴가이샤 내
히라가 사토루
일본국 돗토리켄 돗토리시 미나미요시카타 3쵸메 101 산요 엠스이메이
징 디바이스 가부시킴가이샤 내

(74) 대리인 황의인

심사청구 : 있음

(54) 액티브 매트릭스형 액정 표시 장치

요약

액티브 매트릭스형 액정 표시 장치에 있어서, 선택시에 게이트 라인에 공급하는 게이트 펄스를 계단 형상으로 변화시킬 때에, 소비 전력이 적게 되도록 하는 동시에, 변환 손실(switching loss)을 없애서 서지가 발생하지 않게 하기 위해서, 선택 전압 공급 회로(18)로서 소정의 선택 전압을 공급하는 제1 전원(VGHO)과, 상기 선택 전압보다 소정값만큼만 낮은 전압을 공급하는 제2 전원(VANA)을 구비하고, 상기 선택 전압 공급 회로의 출력부(VG1)에 항상 상기 제2 전원으로부터의 전압이 인가되도록 하고, 선택 기간의 처음부터 상기 선택 기간보다 짧은 시간의 동안에는 상기 제1 전원으로부터의 전압이 중첩되도록 하고, 소정의 선택된 게이트 라인(Xn, Xn+1, Xn+2 ...)에 계단 형상의 게이트 펄스(GPn, GPn+1, GPn+2 ...)가 각각 인가되어 이루어진다.

대표도

도 1

명세서

기술분야

본 발명은 액정 패널 등의 액티브 매트릭스형 액정 표시 장치에 관한 것이며, 특히 액정 화소에 접속된 화소 트랜지스터에 대한 게이트 펄스 공급부를 구비한 액티브 매트릭스형 액정 표시 장치에 관한 것이다.

배경기술

우선, 종래의 액티브 매트릭스형 액정 표시 장치의 일반적인 구성을 한 화소 부분의 모식적인 등가 회로도인 도 5를 참조하여 간단하게 설명한다. 액티브 매트릭스형 액정 표시 장치의 액정 패널(미도시)의 액정 화소는 매트릭스 형상(예를 들어, A열, B행(A, B는 자연수))으로 배치되고, 개개의 액정 화소는 액정 패널 상의 게이트 라인 PXn(n은 A 이하의 자연수)과 신호 라인(소스 라인) Ym(m은 B 이하의 자연수)의 교점에 설치되어 있다. 이 액정 화소는 등가적으로 액정 용량 C_{LC} 로 나타낸다. 통상, 액정 용량 C_{LC} 에는 보조 용량 C_s 가 병렬로 접속되어 있다. 액정 용량 C_{LC} 의 한 단은 구동용의 화소 트랜지스터 Tr에 접속되어 있는 동시에, 다른 단은 대향 전극에 접속되고 소정의 기준 전압 V_{com} 이 인가되어 있다.

화소 트랜지스터 Tr은 절연 게이트 전계 효과형의 N채널 박막 트랜지스터 TFT(Thin Film Transistor)로 이루어지고, 그 드레인 전극 D는 신호 라인 Ym에 접속되어 있고, 화상 신호 V_{sig} 의 공급을 받으며, 또 소스 전극 S는 액정 용량 C_{LC} 의 한 단, 즉 화소 전극에 접속되어 있다. 추가로, 화소 트랜지스터 Tr의 게이트 전극 G는 게이트 라인 PXn에 접속되고 소정의 게이트 전압 V_{gate} 를 가지는 게이트 펄스가 인가되도록 되어 있다. 액정 용량 C_{LC} 와 게이트 전극 G와의 사이에는 결합 용량 C_{GS} 가 형성된다. 이 결합 용량 C_{GS} 는 화소 전극과 게이트 라인 PXn과의 사이의 부유(浮遊, floating) 용량 성분과 화소 트랜지스터 Tr 내부의 소스 영역과 게이트 영역과의 사이의 기생(寄生, parasitic) 용량 성분이 합쳐진 것이며, 후자의 기생 용량 성분이 지배적인 동시에, 그 값은 개개의 화소 트랜지스터 Tr에 의해서 상당한 편차가 존재하고 있다.

이 도 5에 있어서의 한 화소의 각 부분에 나타나는 전압 파형은 도 6을 이용하여 설명한다. 도 6은 시간을 횡축에 취하고, 이 한 화소에 대응하는 화소 트랜지스터 Tr의 게이트 전극 G의 전압 파형(도 6 중, 실선(200)에 대응) 및 소스 전극 S의 전압 파형(도 6 중, 실선(201)에 대응)은 기준 전압 V_{com} 을 기준으로 하여 나타내는 것이다.

우선, 이 화소의 선택 기간중에 전압 V_{gate} 의 게이트 펄스가 게이트 전극 G에 인가되면, 화소 트랜지스터 Tr은 온 상태로 된다. 이 때, 신호 라인 Ym으로부터 공급된 화상 신호 V_{sig} 가 화소 트랜지스터 Tr을 통하여 액정 화소에 기입되어서 소스 전극 S의 전위가 V_{sig} 로 되고, 이른바 샘플링이 행해진다. 다음에 이 화소가 비선택 기간으로 되면 게이트 펄스의 인가가 정지되어서 로우 레벨 게이트 전압이 인가되고, 화소 트랜지스터 Tr은 오프 상태로 되지만, 기입된 화상 신호는 액정 용량 C_{LC} 에 보유(hold)되어 있다.

여기서, 로우 레벨 게이트 전압이란 화소 트랜지스터 Tr의 게이트 전극 G에 인가했을 때, 화소 트랜지스터 Tr이 오프 상태로 되도록 설정된 전압 V_{gate} 보다 낮은 전압을 말한다. 또, 어느 화소를 착안했을 때에, 그 화소를 대상으로 한 선택 기간이 시작되고 나서 비선택 기간을 거쳐서, 다시 선택 기간이 시작될 때까지의 기간을 1 필드라고 한다.

선택 기간에서부터 비선택 기간으로 이행할 때, 직사각형파인 게이트 펄스는 하이 레벨에서 로우 레벨로 급격하게 하강하므로, 액정 용량 C_{LC} 에 축적된 전하가 커플링(coupling)에 의하여 전술한 결합 용량 C_{GS} 를 통하여 순간적으로 방전한다. 이 때문에, 액정 화소에 기입된 화상 신호 V_{sig} 에 전압 시프트 ΔV_1 이 발생한다. 즉, 소스 전극 S의 전압이 ΔV_1 만큼 저하되는 것이다. 그리고, 액정 표시 소자의 개개의 화소마다 결합 용량 C_{GS} 의 값에는 편차가 있어서 상기 전압 시프트 ΔV_1 에도 편차가 생기므로, 이 ΔV_1 분만큼의 전압 저하는 결과적으로 액정 패널의 표시 화면을 주기적으로 변화시키고, 이른바 플리커(flicker) 및 잔상을 일으켜서 표시 품질을 현저하게 열화시킨다.

또한, 액정 화소에는 선택 기간중에 화상 신호를 기입하고, 계속해서 비선택 기간중 기입된 화상 신호를 보유하여 1 필드가 구성되지만, 1 필드에 있어서 액정 화소의 투과율은 그 동안에 액정에 인가되는 실효 전압에 의해서 결정된다. 따라서, 화소 트랜지스터 Tr은 선택 기간내에 기입을 완료하기 때문에 필요한 온 전류를 확보할 수 있는 것이 아니면 안되며, 또 1

필드 기간중에 액정 화소를 계속하여 점등하는데 충분한 실효 전압이 얻어지도록 하기 위해서, 비선택 기간중(또는 보유 기간 중)의 리크(leak) 전류는 가능한 한 적게 할 필요가 있다. 실효 전압의 변동에 있어서는 선택 기간보다 상당히 긴 비선택 기간시의 영향이 크기 때문에, 액정 용량 C_{LC} 를 충전한 후, 화소 트랜지스터 Tr 이 오프할 때에 생기는 전술한 전압 시프트 $\Delta V1$ 은 액정에 인가되는 실효 전압에 큰 영향을 주게 되며, 액정 패널의 표시 품질이 손상되게 된다.

종래, 전압 시프트 $\Delta V1$ 의 절대량 및 편차를 억제하기 위해, 액정 용량 C_{LC} 에 병렬 접속되어 있는 보조 용량 C_s 를 크게 형성한다고 하는 대책이 강구되어 있었다. 즉 결합 용량 C_{GS} 를 통하여 방전되는 전하량을 보충하는데 충분한 전하를 미리 보조 용량 C_s 에 축적하는 것이다. 그러나, 보조 용량 C_s 는 액정 화소 영역에 형성되어 있고, 이 치수를 크게 설정하면 화소 개구율(Aperture Ratio)이 희생되기 때문에, 충분한 표시 콘트라스트(contrast)를 얻을 수 없게 된다.

이러한 종래의 액티브 매트릭스형 액정 표시 장치의 전압 시프트의 문제점을 해결하기 위한 일례가 특개평 6-3647호 공보(이하, 「특허 문헌 1」로 함)에 개시되어 있다. 도 7은 상기 특허 문헌 1에 개시되어 있는 방법을 이용한 경우인, 화소 트랜지스터 Tr 의 게이트 전극 G 의 전압 파형(도 7 중, 실선(300)에 대응) 및 소스 전극 S 의 전압 파형(도 7 중, 실선(301)에 대응)을 기준 전압 V_{com} 을 기준으로 하여 나타낸 것이다.

이 특허 문헌 1에 개시되어 있는 방법은 도 7에 나타난 바와 같이, 선택 기간에서부터 비선택 기간으로 이행하기 직전에, 일단 게이트 전극 G 에 인가되는 전압 레벨을 제1 하이 레벨 게이트 전압 V_{gate1} 보다 낮은 제2 하이 레벨 게이트 전압 V_{gate2} 까지 낮추고, 그 후에 게이트 펄스 PGP 를 로우 레벨 게이트 전압까지 하강시킴으로써, 기입된 화상 신호 V_{sig} 의 전압 시프트(도 7 중, $\Delta V2$)를 억제하도록 한 것이다.

이 게이트 펄스 PGP 의 전압 레벨을 제1 하이 레벨 게이트 전압 V_{gate1} 에서부터 제2 하이 레벨 게이트 전압 V_{gate2} 로 낮추는 타이밍은 선택 기간 중 액정 화소에의 기입 동작에 영향을 주지 않도록, 기입이 완료한 시점에서 된다. 이 게이트 펄스 PGP 가 게이트 전극 G 에 인가하는 전압을 제1 하이 레벨 게이트 전압 V_{gate1} 에서부터 일단 제2 하이 레벨 게이트 전압 V_{gate2} 까지 낮춘 후, 비선택 기간으로 이행했을 때에 로우 레벨 게이트 전압까지 하강시킴으로써, 선택 기간에서부터 비선택 기간으로의 이행 시점에서 게이트 라인 PX_n 과 소스 전극 S 와의 사이의 전위차는 작아지기 때문에, 전압 시프트(도 7 중의 $\Delta V2$ 에 상당)를 효과적으로 억제할 수 있게 된다(즉, 전압 시프트 $\Delta V2$ 를 전압 시프트 $\Delta V1$ 보다 작게 할 수 있음).

상기 특허 문헌 1에 채용되어 있는 액티브 매트릭스형 액정 표시 장치의 구체적인 구동 회로는 도 8을 이용하여 설명한다. 도 8에 있어서, 액티브 매트릭스형 액정 표시 장치는 매트릭스 형상으로 배열된 액정 화소 LP 와, 개개의 액정 화소 L P 를 구동하는 화소 트랜지스터 Tr 로 이루어지는 표시부를 갖고 있다. 도 8에 있어서, 도 5와 동일한 부분은 동일한 부호를 부여하여 설명을 생략한다. 또한, 도 8에서는 일렬분의 액정 화소만을 나타내고 있다.

각 화소 트랜지스터 Tr 의 게이트 전극 G 에는 게이트 라인 $PX1, PX2, PX3, PX4, \dots$ 를 통하여 수직 주사 회로(101)가 접속되어 있고, 선 순서로 각각 게이트 펄스 $PGP1, PGP2, PGP3, PGP4, \dots$ 를 인가하여 각 화소 트랜지스터 Tr 의 선택 동작을 행한다. 또, 각 화소 트랜지스터 Tr 의 드레인 전극 D 에는 신호 라인 Y_m 을 통하여 수평 구동 회로(102)가 접속되어 있으며, 선택된 화소 트랜지스터 Tr 을 통하여 화상 신호 V_{sig} 를 각 액정 화소 LP 에 기입한다.

수직 주사 회로(101)는 시프트 레지스터(103)로 구성되어 있고, 이 시프트 레지스터(103)는 D형 플립플롭(104)을 다단 접속한 구조를 가지며, 각 D형 플립플롭(104)은 출력 단자가 공통 결선(結線)된 한쌍의 인버터(105, 106)로 구성되어 있다. 각 인버터는 P채널형의 구동 트랜지스터(107)를 통하여 직렬 접속된 한쌍의 분압 저항 $R101, R102$ 의 중점에 접속되어 있는 동시에, N채널형의 구동 트랜지스터(108)를 통하여 그라운드측에 접속되어 있다. 이들 한쌍의 구동 트랜지스터(107, 108)는 시프트 클럭 펄스 $VCK1, VCK2$ 및 이들의 반전 펄스에 응답하고 도통하여 인버터(105, 106)를 구동한다.

한쌍의 인버터(105, 106)의 공통 결선된 출력 단자에는 제 3 인버터(109)의 입력 단자가 접속되어 있고, 이 제 3 인버터(109)의 출력 단자에는 각 단의 D형 플립플롭의 출력 펄스가 나타난다. 이 출력 펄스는 다음 단의 D형 플립플롭의 입력으로도 이용된다. 제1 단의 D형 플립플롭에 대하여 스타트 신호 VST 를 입력함으로써, 시프트 레지스터(103)는 각 단마다 순차적으로 반주기씩 위상이 벗어난 출력 펄스를 출력한다. 해당 단의 출력 펄스와 이전단의 출력 펄스를 NAND 게이트 소자(110)에서 논리 처리한 후 인버터(111)에서 반전함으로써 게이트 펄스 $PGP1, PGP2, PGP3, PGP4, \dots$ 가 얻어진다.

그리고, 상기 직렬 접속된 분압 저항 $R101, R102$ 의 한 단은 전원 전압 V_{VDD} 에 접속되어 있고, 다른 단은 스위칭 트랜지스터(114)를 통하여 그라운드측에 접속되어 있다. 스위칭 트랜지스터(114)의 게이트 전극에는 제어 전압 $VCKX$ 가 주기적으로 인가되고 있다. 스위칭 트랜지스터(114)가 오프 상태일 때에는 전원 전압 V_{VDD} 가 그대로 시프트 레지스터(103)에

공급되고, 각 게이트 펄스 PGPn(n은 자연수)의 전압 레벨은 전원 전압과 동일하게 된다. 한편, 스위칭 트랜지스터(114)가 온 상태로 되면, R101과 R102의 비에 의해서 분압된 전압이 시프트 레지스터(103)에 공급되므로, 각 게이트 펄스 PGPn의 전압 레벨도 이에 따라서 저하한다.

이 예에서, 스위칭 트랜지스터(114)의 게이트 전극에 인가되는 제어 전압 VCKX는 수평 동기 신호에 따라 펄스형으로 레벨 변화한다. 본 예에서 수평 주기는 63.5 μ s로 설정되어 있고, 그 기간은 게이트 라인 하나만큼의 선택 기간에 상당한다. 제어 전압 VCKX는 각 수평 주기의 최종 부분에서 6~8 μ s의 동안 하이 레벨로 변화한다. 이 시간은 선택 기간내에 있어서 화상 신호의 기입 동작에 영향을 주지 않도록 설정되어 있다. 즉 선택된 게이트 라인상의 화소에 대하여 점 순서로 화상 신호를 기입 종료한 단계에서 제어 전압 VCKX가 하이 레벨로 전환된다. 제어 전압 VCKX가 하이 레벨로 되면 스위칭 트랜지스터(114)가 온 상태로 되므로, 시프트 레지스터(103)에 공급되는 전원 전압의 레벨은 예를 들면 제1 하이 레벨 게이트 전압 Vgate1로서 설정된 전원 전압 VVDD의 13.5V에서 8.5V 정도로 설정된 제2 하이 레벨 게이트 전압 Vgate2까지 저하한다. 이 저하량은 한쌍의 분압 저항 R101, R102의 비를 적절히 결정함으로써 적절히 설정된다.

이 전원 전압의 변동에 따라서, 예를 들면 n번째(n은 자연수)의 게이트 펄스 PGPn은 한 수평 주기내에 있어서 그 레벨이 13.5V에서 8.5V로 계단 형상으로 변화한다. 다음의 수평 주기에서는 n+1번째의 게이트 라인에 대응하는 게이트 펄스 PGPn+1이 발생하여 동일한 계단 형상으로 그 레벨이 변화한다. 이와 같은 동작에 의해 수직 주사 회로는 개개의 게이트 펄스 PGPn의 인가 전압 레벨을 하강시키기 직전에, 일단 게이트 펄스 PGPn의 전압 레벨을 낮춘 후에 하강시킴으로써 화소에 기입된 화상 신호 Vsig의 전압 시프트를 억제할 수 있다.

이와 같이, 상기 특허 문헌 1에 기재된 방법에서는 게이트 펄스 PGPn의 하강을 계단 형상으로 함으로써 화상 신호의 전압 시프트 $\Delta V2$ 를 유효하게 억제할 수 있게 된다.

그러나, 상기 특허 문헌 1에 개시되어 있는 구체적인 예에서는 게이트 드라이버를 구성하는 시프트 레지스터(103)에 공급하는 전원 공급 전압을 전원 전압 VVDD와 $VVDD \times R102 / (R101 + R102)$ 와의 사이에서 변화시킴으로써, 계단 형상으로 하강하는 게이트 펄스 PGPn를 얻고 있기 때문에, 시프트 레지스터(103)를 포함하는 회로 자체가 복잡하게 커지고, 또한 소비 전류가 커지므로 드라이버의 점유 면적이 커지게 된다.

또, 전원 전압 VVDD를 저항 R101과 R102로 분할한 것을 시프트 레지스터(103)의 전원으로서 사용하고 있으며, 그 분할한 전압에는 큰 전류 의존성이 있는 것으로 되기 때문에, 시프트 레지스터(103)의 전원 전압이나 게이트 펄스 PGPn의 전압이 불안정하게 되기 쉽다.

또, 스위칭 트랜지스터(114)를 온/오프함으로써 시프트 레지스터(103) 등의 논리 소자의 전원 전압을 변환한 때에는 게이트 펄스 PGPn의 전압에서 서지(surge) 전압이 발생하여 표시 품질의 열화를 일으킨다. 또한, 시프트 레지스터(103) 등의 논리 소자는 통상 5V 이하의 전원 전압으로 구동되는 일이 많으나, 그보다 훨씬 더 높은 전압, 예를 들면 13.5V 내지 8.5V로 구동되므로, 비정상적인 고소비 전력으로 된다.

발명의 상세한 설명

본 발명은 상기의 점을 감안하여 저소비 전력이고 또 간단한 회로로 이루어지며, 변환시에 서지 전압이 발생하는 일이 없으며, 또한 안정된 계단 형상으로 변환하는 게이트 펄스를 발생시켜서 양호한 표시 품질을 얻을 수 있는 액티브 매트릭스형 액정 표시 장치를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위해서, 본 발명에 관한 액티브 매트릭스형 액정 표시 장치는 매트릭스 형상으로 배치되고, 각각 화소 트랜지스터에 의해서 구동되는 화소 전극과, 열마다에 상기 화소 트랜지스터의 게이트 전극에 접속된 복수의 게이트 라인과, 행마다에 상기 화소 트랜지스터의 소스 전극에 접속된 복수의 소스 라인과, 순차적으로 소정의 선택 기간마다에 소정의 상기 게이트 라인을 선택 전압 공급 회로의 출력부에 결합하는 게이트 드라이버와, 상기 소스 라인에 영상 신호를 공급하는 소스 드라이버를 갖고, 상기 선택 전압 공급 회로는 소정의 선택 전압을 공급하기 위한 제1 전원과, 상기 소정의 선택 전압보다 낮은 전압을 공급하기 위한 제2 전원을 갖고, 상기 선택 전압 공급 회로의 출력부에 대하여 항상 상기 제2 전원으로부터의 전압이 공급되는 동시에, 각각의 상기 선택 기간의 처음에서부터 상기 선택 기간의 길이보다 짧은 시간의 사이에는 상기 제1 전원으로부터의 전압이 공급되도록 하기 위한 스위치를 설치하고 있다.

이 구성에 의하면, 각 게이트 라인의 선택 기간 중에 계단 형상의 게이트 펄스 전압을 인가할 수 있으므로, 종래의 액티브 매트릭스형 액정 표시 장치의 전압 시프트(도 6에 있어서의 $\Delta V1$)의 문제점을 해결하는 것이 가능할 뿐만 아니라, 선택 전압 공급 회로에는 항상 소정의 선택 전압보다 낮은 제2 전압이 공급되기 때문에, 각 게이트 라인에 공급하는 전압의 변경 시에 타이밍이 어긋나도 서지 전압이 발생하거나 전압이 인가되지 않게 되는 일이 없다.

또한, 제1 전원 및 제2 전원으로 이루어지는 독립한 전원을 갖고 있기 때문에, 안정된 전압이 상기 선택 전압 공급 회로의 출력부에 공급되는 결과, 안정된 전압의 계단 형상의 게이트 펄스를 공급할 수 있게 된다.

또, 본 발명에서는 상기 구성에 있어서, 상기 제2 전원은 다이오드를 거쳐서 상기 선택 전압 공급 회로의 출력부에 접속되어 있다. 이러한 구성을 채용함으로써 제2 전원의 전압보다 높은 제1 전원의 전압이 인가되면 즉시 선택 전압 공급 회로의 출력 전압은 제1 전원으로부터 공급되는 전압으로 변환되므로, 간단한 회로이면서 저소비 전력으로 계단 형상의 게이트 펄스를 공급할 수 있게 된다.

추가로, 본 발명에서는 상기 구성에 있어서, 상기 제1 전원은 상기 스위치를 거쳐서 상기 선택 전압 공급 회로의 출력부에 접속되어 있다. 이러한 구성을 채용함으로써, 간단한 회로이면서 저소비 전력으로 계단 형상의 게이트 펄스를 공급할 수 있게 된다.

추가로, 본 발명에서는 상기 구성에 있어서, 상기 화소 트랜지스터는 아몰퍼스 실리콘(amorphous silicon)으로 제작되어 있다. 이러한 구성을 채용함으로써, 종래의 전압 시프트(도 6에 있어서의 $\Delta V1$)에 기인하는 화질 저하의 문제가 해결되기 위해서, 가령 아몰퍼스 실리콘을 이용함으로써 저온 폴리 실리콘으로 제작한 경우에 비해 액정 표시 패널의 화질이 저하하는 일이 있다고 해도, 이를 보충할 수 있을 뿐만 아니라, 제조 공정을 줄일 수 있으므로, 염가로 대형 화면의 액정 표시 패널을 제조할 수 있게 된다.

또, 본 발명에서는 상기 구성에 있어서, 상기 선택 전압 공급 회로는 상기 게이트 드라이버와 별체로 설치되어 있다. 이러한 구성을 채용함으로써, 상기 선택 전압 공급 회로에 대(大)전류가 흘러서 발열량이 많아져도 냉각이 용이하게 된다.

또, 본 발명에서는 상기 구성에 있어서, 상기 선택 전압 공급 회로는 로우 레벨 게이트 전압 전원과 함께 게이트 드라이버의 밖에 배치되어 있다. 이러한 구성을 채용함으로써, 상기 선택 전압 공급 회로에 대전류가 흘러서 발열량이 많아져도 냉각이 용이하게 된다.

또, 본 발명에서는 상기 구성에 있어서, 상기 스위치는 게이트 라인마다 병렬로 설치되어 있다. 이러한 구성을 채용함으로써, 상기 스위치로서 소형의 것을 복수개 병렬로 분산 배치할 수 있으므로, 총체적으로 소비 전력도 감소하고, 스위치를 게이트 드라이버와 일체로 편입할 수 있게 된다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 구동 회로를 나타내는 도면.

도 2는 도 1의 주요 부분의 출력 파형을 나타내는 도면.

도 3은 도 1의 선택 전압 공급 회로의 구체적 회로의 일례를 나타내는 도면.

도 4는 본 발명의 제2 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 구동 회로를 나타내는 도면.

도 5는 종래의 액티브 매트릭스형 액정 표시 장치의 일반적인 구성에 있어서 화소 부분의 모식적인 등가 회로도.

도 6은 종래의 액티브 매트릭스형 액정 표시 장치의 화소의 각 부분의 전압 파형을 나타내는 도면.

도 7은 종래의 액티브 매트릭스형 액정 표시 장치가 가진 전압 시프트의 문제점을 해결하기 위한 방법을 나타내는 도면.

도 8은 도 7의 방법을 실시하기 위한 구체적인 구동 회로를 나타내는 도면.

실시예

(제1 실시형태)

이하, 본 발명의 제1 실시형태는 도 1~도 3을 이용하여 상세하게 설명한다. 도 1은 본 발명의 제1 실시형태에 대응하는 액티브 매트릭스형 액정 표시 장치의 구동 회로(1)를 나타내는 도면, 도 2는 도 1의 주요 부분의 출력 파형을 나타내는 도면, 도 3은 도 1의 선택 전압 공급 회로(18)의 구체적인 회로도이다.

본 실시형태 및 후술하는 제2 실시형태에 관한 액티브 매트릭스형 액정 표시 장치의 액정 패널의 액정 화소는 매트릭스 형상(예를 들면 A열, B행(A, B는 자연수))으로 배치되고, 개개의 액정 화소가 액정 패널상의 게이트 라인 X_n (n 은 A 이하의 자연수)과 신호 라인(소스 라인) Y_m (m 은 B 이하의 자연수)의 교점에 설치되어 있는 것은 도 5를 이용하여 설명한 배경 기술의 것과 동일하다.

또, 각 액정 화소를 구동하는 화소 트랜지스터 및, 그 각 화소 트랜지스터의 드레인 전극에 접속되는 신호 라인은 도 5를 이용하여 설명한 상기의 배경기술의 것과 동일하기 때문에 생략하고 있다. 또, 게이트 라인 X_n 은 본 실시형태에 있어서 액티브 매트릭스형 액정 표시 장치의 구동 회로(1)에 설치된 화소 트랜지스터의 게이트 전극에 접속된다고 하는 것 이외는 도 5에 있어서의 PX_n 과 동일한 것이다.

우선, 도 1을 참조하면서 본 발명의 제1 실시형태에 대응하는 액티브 매트릭스형 액정 표시 장치의 구동 회로를 설명한다. 액티브 매트릭스형 액정 표시 장치의 구동 회로(1)는 도시하지 않는 CPU(Central Processing Unit)로부터의 클록 펄스(12)(듀티비는 50%)가 입력되는 타이머 회로(14) 및 시프트 레지스터로 이루어지는 게이트 드라이버(16)를 갖고, 또한 타이머 회로(14)로부터의 출력을 받는 선택 전압 공급 회로(18)와, 각 화소 트랜지스터(미도시)의 게이트 전극에 접속되어 있는 게이트 라인 X_n , X_{n+1} , X_{n+2} ...(n 은 자연수)과, 게이트 라인 X_n , X_{n+1} , X_{n+2} ...의 각각 접속되는 게이트 펄스 제어 스위치 24_n , 24_{n+1} , 24_{n+2} ...와, 로우 레벨 게이트 전압 전원 VGL을 갖고 있다.

선택 전압 공급 회로(18)는 제1 하이 레벨 게이트 전압 V_{gate1} 을 공급하는 제1 전원 VGH_0 와, 제1 하이 레벨 게이트 전압 V_{gate1} 보다 낮은 전압인 V_{gate2} 를 공급하는 제2 전원 $VAVA$ 와, 애노드가 제2 전원 $VAVA$ 의 출력에 접속되는 동시에 캐소드가 선택 전압 공급 회로(18)의 출력부 VG_1 에 접속된 다이오드(22)와, 제1 전원 VGH_0 의 출력부와 다이오드(22)의 캐소드와의 사이의 접속을 타이머 회로(14)의 출력을 받아서 온/오프 제어하는 스위치(20)를 가진다. 또, 선택 전압 공급 회로(18)의 출력부 VG_1 은 게이트 펄스 제어 스위치 24_n , 24_{n+1} , 24_{n+2} ...의 모두의 한 단에 접속되어 있다.

게이트 드라이버(16)는 게이트 펄스 제어 스위치 24_n , 24_{n+1} , 24_{n+2} ...의 각각에 제어 신호를 부여하고 있으며, 그 제어 신호에 따라서, 예를 들면 게이트 라인 X_n 에는 선택 전압 공급 회로(18)의 출력 전압 또는 로우 레벨 전압 전원 VGL의 출력 전압이 인가된다. 다른 게이트 라인(게이트 라인 X_{n+1} , X_{n+2} 등)에 대하여도 동일하다.

제1 하이 레벨 게이트 전압 V_{gate1} 또는 제2 하이 레벨 게이트 전압 V_{gate2} 가 각 화소 트랜지스터의 게이트 전극에 인가되면, 그 각 화소 트랜지스터는 온 상태로 되는 한편, 로우 레벨 게이트 전압 전원 VGL이 출력하는 전압이 각 화소 트랜지스터의 게이트 전극에 인가되면, 그 각 화소 트랜지스터는 오프 상태로 된다.

타이머 회로(14)는 CPU로부터의 클록 펄스(12)의 하강에 따라 카운트를 개시하고, 이 클록 펄스의 하강시보다는 늦지만, 다음의 클록 펄스의 상승시보다 빠를 때에 카운트가 종료하도록 되어 있다. 환언하면, 타이머 회로(14)가 1 회의 카운트를 개시하고 나서 종료할 때까지의 시간은 클록 펄스(12)의 1/2 클록에 필요한 시간보다 길지만, 1 클록에 필요한 시간보다 짧다는 것이다.

이 타이머 회로(14)의 출력에 의하여 선택 전압 공급 회로(18)의 스위치(20)를 제어하고, 선택 전압 공급 회로(18)의 출력부 VG_1 의 전압을 제1 하이 레벨 게이트 전압 V_{gate1} 과 그보다 낮은 제2 하이 레벨 게이트 전압 V_{gate2} 로 변경하도록 하고 있다.

보다 구체적으로 하면, 타이머 회로(14)가 카운트 하는 중에는 선택 전압 공급 회로(18)의 출력부 VG_1 에 나타나는 전압이 제1 하이 레벨 게이트 전압 V_{gate1} 로 되고, 타이머 회로(14)가 카운트 정지 중에는 선택 전압 공급 회로(18)의 출력부 VG_1 에 나타나는 전압이 제2 하이 레벨 게이트 전압 V_{gate2} 로 되도록, 스위치(20)는 타이머 회로(14)의 출력에 의해 제어된다.

다음에, 도 2를 참조하여 도 1에 있어서 주요 부분의 출력 파형을 설명한다. 도 2는 위로부터 선택 전압 공급 회로(18)의 출력부 VG1에 나타나는 전압, 클록 펄스(12), 게이트 라인 Xn에 인가되는 전압(게이트 펄스 GPn), 게이트 라인 Xn+1에 인가되는 전압(게이트 펄스 GPn+1), 게이트 라인 Xn+2에 인가되는 전압(게이트 펄스 GPn+2)의 파형을 나타낸 것이다.

도 2에 나타낸 바와 같이, 클록 펄스(12)의 상승(타이밍 t0, t2, t4, t6)과 동시에, 타이머 회로(14)가 카운트를 개시하기 위한 선택 전압 공급 회로(18)의 출력부 VG1에 나타나는 전압은 제1 하이 레벨 게이트 전압 Vgate1로 된다. 또, 클록 펄스(12)가 상승하여 하이 레벨로 된 후, 한 번 로우 레벨로 되고, 다음에 상승할 때까지의 동안에 상술한 바와 같이 타이머 회로(14)가 카운트를 종료(타이밍 t1, t3, t5)하여 정지하기 때문에, 이 카운트 종료 이후, 다음 번의 카운트 개시(타이밍 t2, t4, t6)까지는 선택 전압 공급 회로(18)의 출력부 VG1에 나타나는 전압은 제2 하이 레벨 게이트 전압 Vgate2로 되어 있다.

또, 타이밍 t0에서부터 타이밍 t2의 기간, 타이밍 t2에서부터 타이밍 t4의 기간, 타이밍 t4에서부터 타이밍 t6의 기간은 각각 게이트 라인 Xn에 인가하는 전압으로 구동되는 화소의 선택 기간(게이트 라인 Xn의 선택 기간이라 함), 게이트 라인 Xn+1에 인가하는 전압으로 구동되는 화소의 선택 기간(게이트 라인 Xn+1의 선택 기간이라 함), 게이트 라인 Xn+2에 인가하는 전압으로 구동되는 화소의 선택 기간(게이트 라인 Xn+2의 선택 기간이라 함)을 나타내고 있다.

한편, 도 1로 돌아가면, CPU로부터의 클록 펄스(12)는 시프트 레지스터로 이루어지는 게이트 드라이버(16)에도 도입되어 있으며, 이 게이트 드라이버(16)에 의해 1 필드 기간(도 6 참조) 중에 전기 CPU로부터의 클록 펄스(12)의 상승에 동기하고, 각 게이트 라인 Xn, Xn+1, Xn+2...가 게이트 펄스 제어 스위치 24n, 24n+1, 24n+2...에 의하여 순차적인 선 순서로 소정 시간 선택되고, 그 선택 기간에 해당되는 게이트 라인(도 1에서는 Xn이 선택되어 있는 것이 도시되어 있음)이 선택 전압 공급 회로(18)의 출력부 VG1에 접속되고, 다른 게이트 라인(도 1에 있어서 Xn+1, Xn+2 등)은 모두 로우 레벨 게이트 전압 전원 VGL에 접속된다.

따라서, 도 2에 나타낸 바와 같이, 1 필드 기간 중에 선택 기간에 이른 게이트 라인 Xn에 인가되는 게이트 펄스 GPn은 최초로 저레벨 전압원인 로우 레벨 게이트 전압 전원 VGL로부터 공급되는 전압보다 급속히 제1 하이 레벨 게이트 전압 Vgate1까지 상승하고(타이밍 t0), 그 후 소정의 기간 후에 제2 하이 레벨 게이트 전압 Vgate2로 하강하고(타이밍 t1), 그 후 선택 기간의 종료와 동시에 로우 레벨 게이트 전압 전원 VGL로부터 공급되는 전압까지 급속히 하강하고(타이밍 t2), 다음의 필드의 선택 기간이 될 때까지 이 상태가 유지된다. 그 다음에 순차적으로 선택 기간이 되는 게이트 라인 Xn+1, Xn+2...에도 GPn과 동일한 계단 형상의 게이트 펄스 GPn+1, GPn+2...가 인가된다.

또한, 본 실시형태에 대하여는 예를 들면 1 개의 선택 기간(타이밍 t0에서부터 t2까지의 기간 등)은 13.5 μ s, 타이밍 t0에서부터 t1까지, 타이밍 t2에서부터 t3까지 및 타이밍 t4에서부터 t5까지의 기간은 11 μ s, 타이밍 t1에서부터 t2까지, 타이밍 t3에서부터 t4까지 및 타이밍 t5에서부터 t6까지의 기간은 2.5 μ s로 하고 있다. 또, 예를 들면 제1 전원 VGH0가 공급하는 제1 하이 레벨 게이트 전압 Vgate1은 25V, 제2 전원 VANA가 공급하는 제2 하이 레벨 게이트 전압 Vgate2는 13V로 하고 있다. 물론, 본 발명은 이러한 시간(13.5 μ s 등)이나 전압값(25V 등)에 한정되는 것은 아니다.

다음에, 도 3을 이용하여 도 1의 선택 전압 공급 회로(18)의 구체적인 회로에 대하여 설명한다. 도 1과 동일한 부분은 동일한 부호를 부여하여 설명을 생략한다.

제1 전원 VGH0의 출력은 저항 R1을 통해 PNP형의 트랜지스터(20a)의 이미터에 접속되고, 트랜지스터(20a)의 콜렉터는 저항 R5를 통하여 NPN형 트랜지스터 Tr_b의 콜렉터에 접속되어 있다. 또, 트랜지스터(20a)의 이미터는 저항 R2, R3 및 R4 통하여 트랜지스터 Tr_b의 베이스에 접속되어 있는 동시에, 저항 R2와 저항 R3의 접속점은 트랜지스터(20a)의 베이스에, 저항 R3과 저항 R4의 접속점은 NPN형 트랜지스터 Tr_a의 콜렉터에 접속되어 있다. 또, 트랜지스터 Tr_b의 베이스는 저항 R7을 통하여 접지되어 있고, 트랜지스터 Tr_a, Tr_b의 이미터는 쌍방 접속되어 있다.

또, 트랜지스터 Tr_a의 베이스는 저항 R8을 통하여 접지되어 있는 동시에, 타이머 회로(14)의 출력(도면 중의 TO)에 접속되어 있다.

제2 전원 VANA의 출력은 다이오드(22)를 통하여 트랜지스터(20a)의 콜렉터에 접속되어 있고, 트랜지스터(20a)의 콜렉터는 저항 R6을 통해 선택 전압 공급 회로(18)의 출력부 VG1과 접속되어 있다.

또, 트랜지스터 Tr_a와 트랜지스터 Tr_b는 그 스위칭의 변환에 의하여 선택 전압 공급 회로(18)의 출력부 VG1의 전압을 시프트시키는 레벨 시프트 회로(26)를 구성하고 있다. 또, 타이머 회로(14)는 시간을 측정하기 위한 타이머 소자(14A)를 구비하고 있으며, 타이머 회로(14)에는 전원 전압 VDD0과 클록 펄스(12)가 설치되어 있다. 트랜지스터(20a)는 도 1에 있어서의 스위치(20)를 구체화한 것이다.

상기의 접속 관계에서 알 수 있는 바와 같이, 제2 하이 레벨 게이트 전압 Vgate2를 공급하는 제2 전원 VANA는 다이오드(22)를 거쳐서 선택 전압 공급 회로(18)의 출력부 VG1에 접속되고, 또 제1 하이 레벨 게이트 전압 Vgate1을 공급하는 제1 전원 VGHO는 타이머(14)의 출력이 레벨 시프트 회로(26)를 거쳐서 접속되어 있는 스위치(20)를 거쳐서 동일하게 출력부 VG1에 접속되어 있다. 즉, 이 선택 전압 공급 회로(18)의 출력부 VG1에 나타나는 전압은 항상 제2 전원 VANA가 다이오드(22)를 거쳐서 출력부 VG1에 접속되어 있기 때문에, 트랜지스터(20a)가 오프 상태인 경우는 제2 전원 VANA가 공급하는 전압, 즉 Vgate2가 출력되고, 트랜지스터(20a)가 온 상태인 경우는 제1 전원 VGHO의 공급하는 전압, 즉 Vgate1이 출력되도록 되어 있다.

그리고, 타이머 회로(14)가 카운트 중에는 트랜지스터 Tr_a가 온 하고, 또한 트랜지스터 Tr_b가 오프 하는 하이 레벨의 전압이 타이머 회로(14)로부터 출력되는 동시에, 저항 R2에 있어서 전압 강하에 의하여 트랜지스터(20a)가 온 하도록 각 저항의 저항값이 설정되어 있다. 또, 타이머 회로(14)가 카운트 정지 중에는 트랜지스터 Tr_a가 오프 하고, 또한 트랜지스터 Tr_b가 온 하는 로우 레벨의 전압이 타이머 회로(14)로부터 출력되는 동시에, 저항 R2에 있어서 전압 강하에 의하여 트랜지스터(20a)가 온 하지 않도록 각 저항의 저항값이 설정되어 있다.

따라서, 타이머 회로(14)가 카운트 중에는 트랜지스터(20a)가 온 상태로 되므로, 선택 전압 공급 회로(18)의 출력부 VG1에 나타나는 전압은 제1 하이 레벨 게이트 전압 Vgate1로 되고, 타이머 회로(14)가 카운트를 정지 중에는 트랜지스터(20a)가 오프 상태로 되므로, 선택 전압 공급 회로(18)의 출력부 VG1에 나타나는 전압은 제2 하이 레벨 게이트 전압 Vgate2로 된다.

또한, 상술한 바와 같이 PNP형 트랜지스터(20a)는 도 1에 있어서 스위치(20)를 구체화한 일례에 지나지 않는다. 본 발명은 스위치(20)로서 PNP형 트랜지스터(20a)를 채용하는 것으로 한정되는 것이 아니고, 스위치(20)로서 NPN형 트랜지스터나 릴레이(relay) 등을 채용하고, 도 3의 구성과 동일한 작용을 나타내도록 회로 구성을 변형해도 되는 것은 물론이다.

이와 같이, 본 실시형태에 의하면, 각 게이트 라인의 선택 기간 중에 계단 형상의 게이트 펄스 전압을 인가할 수 있으므로, 종래의 액티브 매트릭스형 액정 표시 장치가 가진 전압 시프트(도 6의 ΔV_1 에 상당)의 문제점을 해결하는 것이 가능할 뿐만 아니라, 항상 제2 전원 VANA로부터 Vgate2에 상당하는 전압을 다이오드(22)를 거쳐서 선택 전압 공급 회로(18)의 출력부 VG1에 공급하는 동시에, 타이머 회로(14)가 카운트를 하고 있는 동안에 스위치(20)를 온으로 함으로써 제1 전원 VGHO으로부터 제1 하이 레벨 게이트 전압 Vgate1에 상당하는 전압을 상기 선택 전압 공급 회로(18)의 출력부 VG1에 공급되도록 이루어져 있으므로, 하이 레벨 게이트 전압의 변경 시에 손실(loss)이 없고, 서지 전압이 발생하는 일은 없게 된다.

추가로, 타이머 회로(14), 게이트 드라이버(16) 등의 논리 회로는 5V 이하의 전압으로 작동시킬 수 있으므로, 상기 특허 문헌 1에 기재되어 있는 것에 비하면 상당히 소비 전력을 줄일 수 있다.

또, 본 실시형태의 구성은 이하와 같이 기재할 수도 있다. "미리 제1 하이 레벨 게이트 전압 Vgate1에 상당하는 전압을 발생하기 위한 제1 전원 VGHO과, 이 제1 하이 레벨의 게이트 전압 Vgate1로부터 소정 전압만큼 낮은 제2 하이 레벨 게이트 전압 Vgate2에 상당하는 전압을 발생하기 위한 제2 전원 VANA를 설치하고, 이 제2 전원 VANA로부터 항상 다이오드를 거쳐서 제2 하이 레벨 게이트 전압 Vgate2를 공급하도록 하고, 이 제2 하이 레벨 게이트 전압 Vgate2에 중첩하도록 제1 하이 레벨 게이트 전압 Vgate1을 온·오프 제어한다."

또한, 상기의 제1 실시형태에 있어서는 선택 전압 공급 회로(18)에 대하여 하나의 스위치(20)를 사용하였으나, 이러한 구성에서는 스위치(20)에 대전류가 흐르기 때문에, 발열의 문제를 고려하면 상기 선택 전압 공급 회로(18)는 게이트 드라이버(16)와는 별체로 설치하는 것이 바람직하다. 선택 전압 공급 회로(18)에 대전류가 흘러서 발열량이 커지게 되어도 냉각이 용이하게 되기 때문이다. 또, 동일한 이유로 로우 레벨 게이트 전압 전원 VGL도 게이트 드라이버(16)와는 별체로 설치되어도 된다.

여기서, 상기 "별체로 설치함"이란 게이트 드라이버(16) 등을 IC(integrated circuit)에 편입할 때에, 게이트 드라이버(16)와 선택 전압 공급 회로(18)나 로우 레벨 게이트 전압 전원 VGL을 다른 IC에 편입하는 것을 의미한다. 또, 게이트 드

라이버(16)와 선택 전압 공급 회로(18)나 로우 레벨 게이트 전압 전원 VGL을 동일한 단체 IC에 편입해도, 게이트 드라이버(16)와 선택 전압 공급 회로(18)나 로우 레벨 게이트 전압 전원 VGL과의 물리적 거리를 상기 냉각이 용이하게 이루어지는 정도로 크게 하는 것도, 상기 "별체로 설치함"과 동일하게 해석할 수도 있다. 또한, "선택 전압 공급 회로(18) 또는 로우 레벨 게이트 전압 전원 VGL을 게이트 드라이버(16)와 별체로 설치함"이라고 하는 표현은 "선택 전압 공급 회로(18) 또는 로우 레벨 게이트 전압 전원 VGL을 게이트 드라이버(16)의 밖에 배치함"으로 표현할 수도 있다.

(제2 실시형태)

이러한 발명의 문제점을 해결하여 선택 전압 공급 회로(구체적으로는 후술 하는 선택 전압 공급 회로(58))를 게이트 드라이버(16)에 편입하도록 한 변형예를 본 발명의 제2 실시형태로서 도 4에 나타낸다. 도 4는 본 발명의 제2 실시형태에 대응하는 액티브 매트릭스형 액정 표시 장치의 구동 회로(2)를 나타내는 도면이다. 도 1과 동일한 부분에는 동일한 부호를 부여하여 설명을 생략한다.

도 4에 기재한 것에 있어서 도 1에 기재한 것과 상위한 점은 도 3에 있어서 레벨 시프트 회로(26)에 상당하는 회로를 타이머 회로(14) 내에 편입한 것을 타이머 회로(54)로 하여 타이머 회로(14)로 바뀌어 채용하고, 게이트 드라이버(16)와 함께 복수개의 NPN형 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...를 각 게이트 라인마다 병렬로 접속하여 분산 배치하고, 상기 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...의 베이스를 모두 상기 타이머 회로(54)내의 레벨 시프트 회로의 출력에, 동일하게 콜렉터를 제1 전원 VGHO에, 동일하게 이미터를 제2 전원 VANA로부터 다이오드(22)를 거쳐서 접속되어 있는 선택 전압 공급 회로(58)의 출력부 VG2와 각 게이트 펄스 제어 스위치 24n, 24n+1, 24n+2 ...의 한 단에 접속한 점이다.

선택 전압 공급 회로(58)는 도 1에 있어서 선택 전압 공급 회로(18)의 스위치(20)를 상기 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...로 변경한 이외는 선택 전압 공급 회로(18)와 동일하고, 선택 전압 공급 회로(58)의 출력부 VG2는 선택 전압 공급 회로(18)의 출력부 VG1에 대응하는 것이다.

또한, 타이머 회로(54)의 레벨 시프트 회로의 출력은 타이머 회로(54) 자체의 출력으로 되어 있고, 타이머 회로(54)는 레벨 시프트 회로를 자신의 내부에 편입하고 있는 이외는 타이머 회로(14)와 동일한 것이다. 따라서, 타이머 회로(54)는 타이머 회로(14)와 동일하고, CPU로부터의 클록 펄스(12)의 상승에 따라 카운트를 개시하고, 이 클록 펄스의 하강시보다 늦지만, 다음의 클록 펄스의 상승시보다 빠를 때에 카운트가 종료하도록 되어 있다.

이 타이머 회로(54)의 출력에 의하여 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...를 제어하고, 선택 전압 공급 회로(58)의 출력부 VG2의 전압을 제1 하이 레벨 게이트 전압 Vgate1과 그것보다 낮은 제2 하이 레벨 게이트 전압 Vgate2로 변환하도록 하고 있다.

그리고, 타이머 회로(14)와 동일하게, 구체적으로는 타이머 회로(54)가 카운트 중에는 선택 전압 공급 회로(58)의 출력부 VG2에 나타나는 전압은 제1 하이 레벨 게이트 전압 Vgate1로 되고, 타이머 회로(54)가 카운트 정지 중에는 선택 전압 공급 회로(58)의 출력부 VG2에 나타나는 전압은 제2 하이 레벨 게이트 전압 Vgate2로 되도록 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...는 타이머 회로(54)의 출력에 의하여 제어된다.

이 제2 실시형태에 있어서는 선택 전압 공급 회로(58)의 출력부 VG2에 항상다이오드(22)를 거쳐서 제2 전원 VANA로부터 제2 하이 레벨 게이트 전압 Vgate2에 상당하는 전압이 인가되어 있고, 타이머 회로(54)가 카운트를 계속하고 있는 동안에 타이머 회로(54)에 구비된 레벨 시프트 회로로부터의 출력에 의해 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ... 중 복수개의 스위칭 트랜지스터가 온 상태로 되고, 제1 전원 VGHO으로부터 제1 하이 레벨 게이트 전압 Vgate1이 선택 전압 공급 회로(58)의 출력부 VG2에 인가되도록 되어 있다.

따라서, 복수개의 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...가 병렬로 배치되어 있기 때문에, 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...의 개개에 흐르는 전류값은 그 개수에 반비례하여 작아지고, 그 발열량도 작아지므로, 선택 전압 공급 회로(58)를 게이트 드라이버(16)와 일체로 편입할 수 있도록 된다. 물론, 선택 전압 공급 회로(58) 중에 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...만을 게이트 드라이버(16)와 일체로 편입할 수도 있다. 또, 제2 실시형태에 있어서도, 하이 레벨 게이트 전압의 변경시에 로스가 없는 등의 상술한 제1 실시형태가 가지는 효과를 나타내는 것은 물론이다.

또한, 상기 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...의 수는 도 4에서 각 게이트 라인 Xn, Xn+1, Xn+2 ...에 대응하도록 설치되어 있으나, 반드시 이러한 구성으로 할 필요는 없고, 이 복수개의 스위칭 트랜지스터 Trn, Trn+1, Trn+2 ...를 게이트 드라이버(16)와 일체로 배치한 때에 발열에 의한 영향을 무시할 수 있는 개수가 이루어지면 된다.

또, 상기 "일체로 편입함"이나 "일체로 배치함"란 상술한 "별체로 설치함"과는 반대의 의미이며, 게이트 드라이버(16) 등을 IC에 편입할 때에, 게이트 드라이버(16)와 선택 전압 공급 회로(18)를 동일한 단체 IC에 편입하는 것을 의미한다. 또, 게이트 드라이버(16)와 선택 전압 공급 회로(18), 물리적으로 다른 IC에 편입하더라도, 게이트 드라이버(16)를 편입한 IC와 선택 전압 공급 회로(18)를 편입한 IC를 함께 몰드(mold)하는 등 하여 실질적으로 일체화하는 경우도, 상기 "일체로 편입함"이나 "일체로 배치함"과 동일하게 해석할 수도 있다.

또한, 상술한 제1 실시형태 및 제2 실시형태에 있어서 화소 트랜지스터는 TFT로 이루어지고, 그 TFT는 아몰퍼스 실리콘으로 제작되어 있는 것이 바람직하다. 쌍방의 실시형태에 있어서는 종래의 액티브 매트릭스형 액정 표시 장치가 갖고 있던 전압 시프트(도 6의 $\Delta V1$ 에 상당)에 기인하는 화질 저하의 문제가 해결되기 위해서, 가령 아몰퍼스 실리콘을 이용함으로써 저온 폴리 실리콘으로 제작한 경우에 비해 액정 표시 패널의 화질이 저하하는 일이 있어도, 이것을 보충할 수 있을 뿐만 아니라, 제조 공정을 줄이는 것이 가능하므로, 염가로 대화면의 액정 표시 패널을 제조할 수 있게 된다.

산업상 이용 가능성

상술한 바와 같은 본 발명에 관한 액티브 매트릭스형 액정 표시 장치에 의하면, 저소비 전력이며 간단한 회로로 되어 있으면서, 변환시에 서지 전압이 발생하는 일이 없고, 또한 안정된 계단 형상으로 변환되는 게이트 펄스를 발생시켜서 양호한 표시 품질을 얻을 수 있다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스형 액정 표시 장치에 있어서,

매트릭스 형상으로 배치되고, 각각 화소 트랜지스터에 의해 구동되는 화소 전극과,

열마다에 상기 화소 트랜지스터의 게이트 전극에 접속된 복수의 게이트 라인과,

행마다에 상기 화소 트랜지스터의 소스 전극에 접속된 복수의 소스 라인과,

순차적으로 소정의 선택 기간마다 소정의 상기 게이트 라인을 선택 전압 공급 회로의 출력부에 결합하는 게이트 드라이버와,

상기 소스 라인에 영상 신호를 공급하는 소스 드라이버를 포함하고,

상기 선택 전압 공급 회로는 소정의 선택 전압을 공급하기 위한 제1 전원과, 상기 소정의 선택 전압보다 낮은 전압을 공급하기 위한 제2 전원을 갖고, 상기 선택 전압 공급 회로의 출력부에 대하여 항상 상기 제2 전원으로부터의 전압이 공급되어 있는 동시에, 각각의 상기 선택 기간의 처음부터 상기 선택 기간의 길이보다 짧은 시간의 동안에는 상기 제1 전원으로부터의 전압이 공급되도록 구성하기 위한 스위치가 설치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 제2 전원은 다이오드를 거쳐서 상기 선택 전압 공급 회로의 출력부에 접속되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 3.

제2항에 있어서,

상기 제1 전원은 상기 스위치를 거쳐서 상기 선택 전압 공급 회로의 출력부에 접속되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 화소 트랜지스터는 아몰퍼스 실리콘(amorphous silicon)으로 제작되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 선택 전압 공급 회로는 상기 게이트 드라이버와 별체로 설치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 6.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 선택 전압 공급 회로는 로우 레벨 게이트 전압 전원과 함께 상기 게이트 드라이버의 밖에 배치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

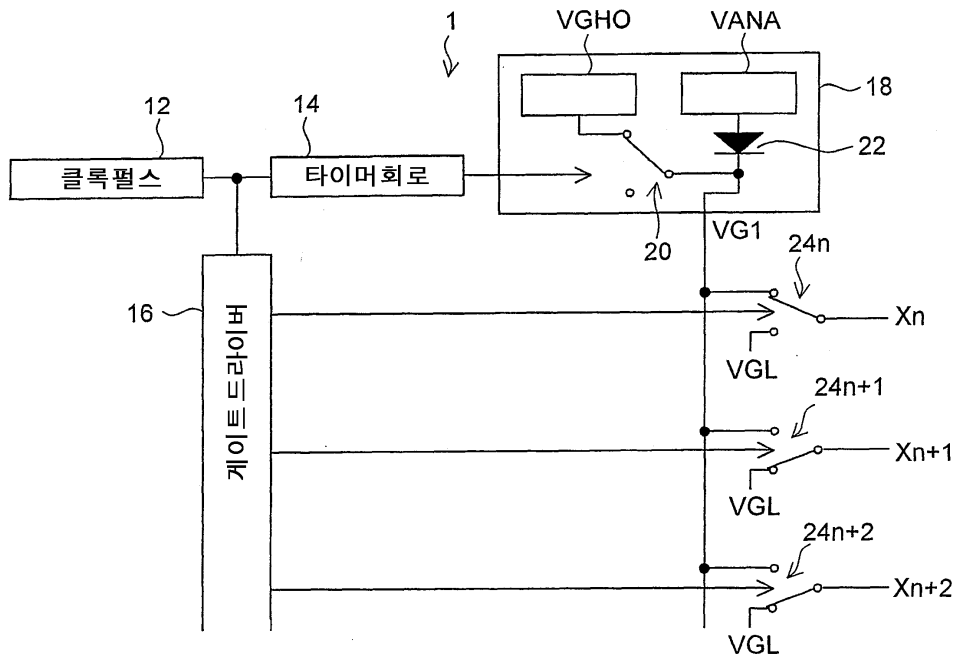
청구항 7.

제1항 내지 제3항 중 어느 한 항에 있어서,

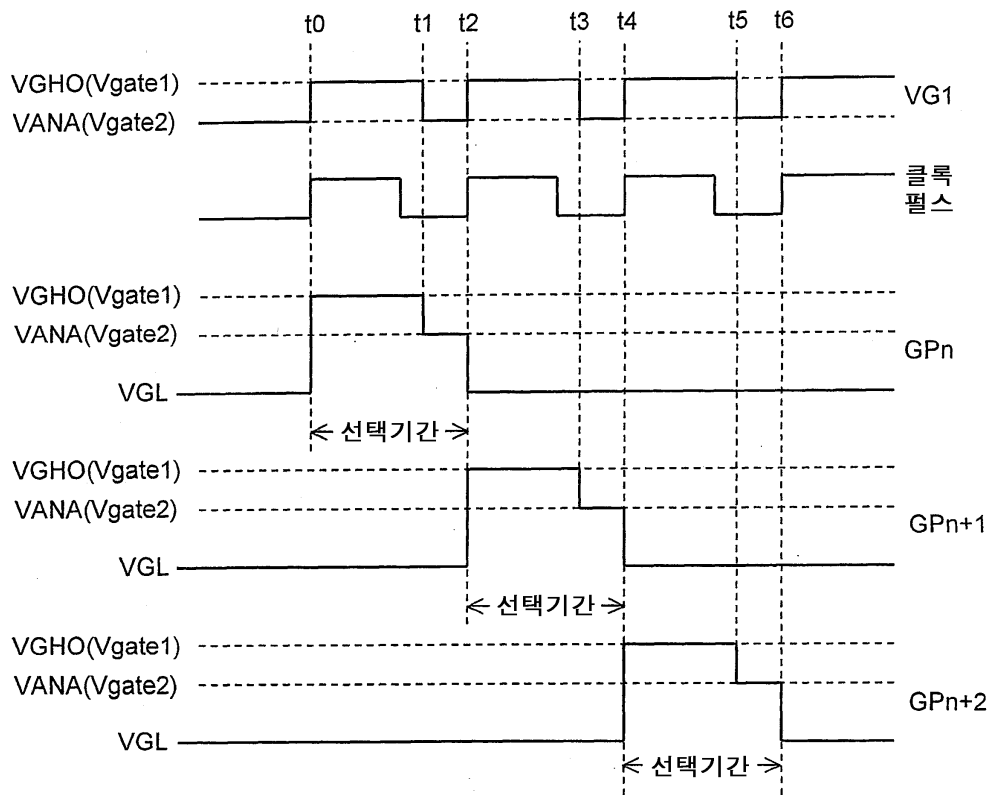
상기 스위치는 각 게이트 라인마다 병렬로 설치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

도면

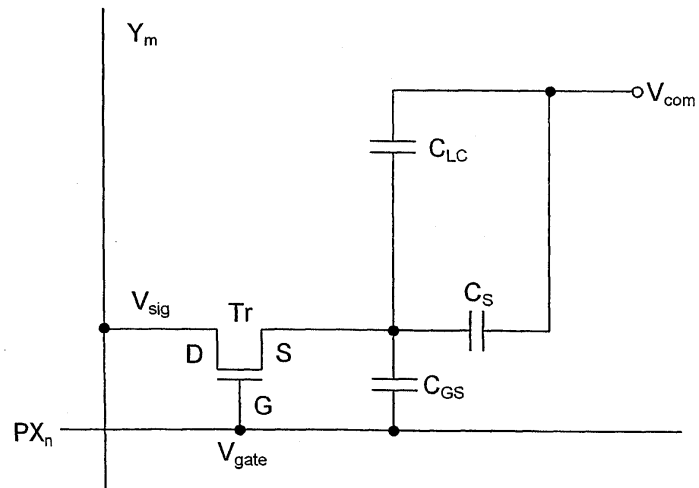
도면1



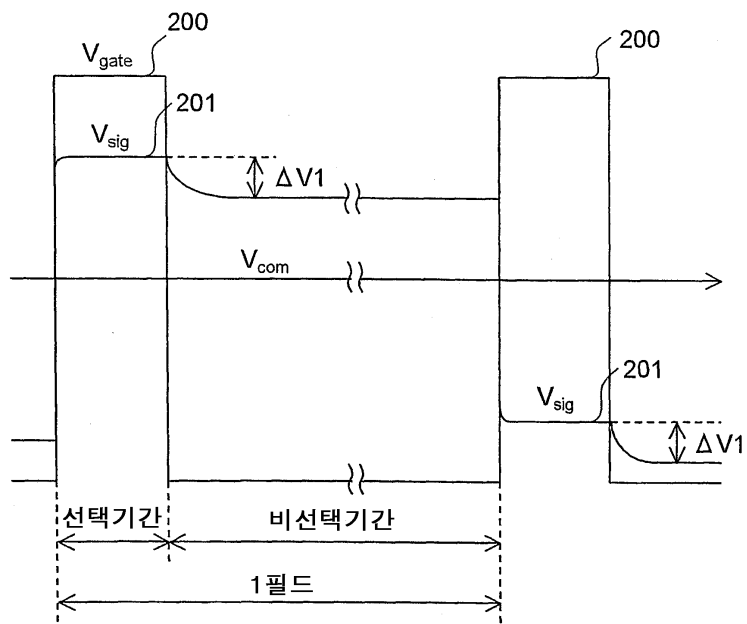
도면2



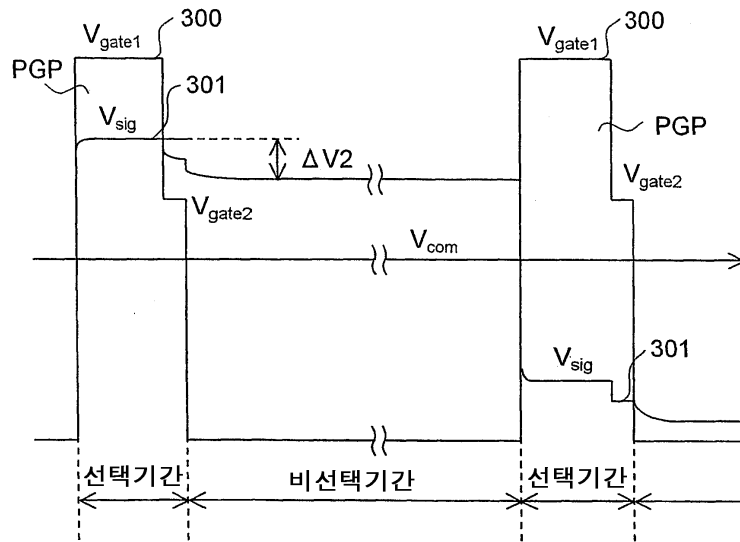
도면5



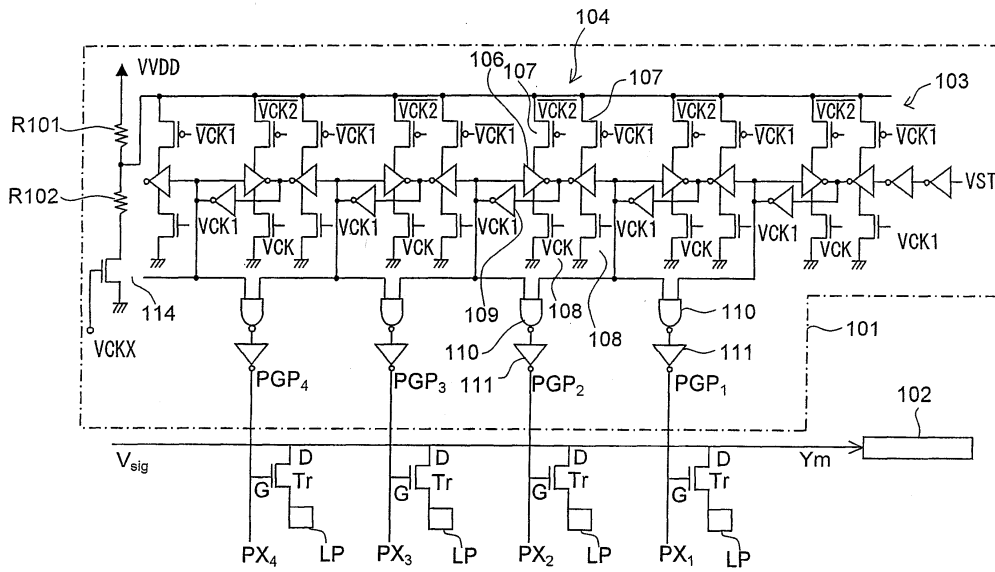
도면6



도면7



도면8



专利名称(译)	有源矩阵型液晶显示器		
公开(公告)号	KR1020050084404A	公开(公告)日	2005-08-26
申请号	KR1020057011300	申请日	2003-12-25
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社 三洋电机民用电子株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租 三洋电机株式会社电子锥舒默		
当前申请(专利权)人(译)	三洋电机有限公司是分租 三洋电机株式会社电子锥舒默		
[标]发明人	KOBAYASHI YASUHIRO 고바야시아스히로 REMBUTSU KEIICHI 렘부츠키이치 HIRAGA SATORU 히라가사토루		
发明人	고바야시아스히로 렘부츠키이치 히라가사토루		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G02F1/1368		
CPC分类号	G09G3/3677 G09G2330/021 H03K17/74 G09G2310/06 G09G2320/0219 H03K17/6257 G09G3/3696 H03K17/164 H03K17/603 H03K17/76		
优先权	2002378777 2002-12-27 JP		
其他公开文献	KR100684002B1		
外部链接	Espacenet		

摘要(译)

一种有源矩阵型液晶显示装置，能够降低功耗并消除开关损耗，以便在选择期间逐步改变提供给栅极线的栅极脉冲时不引起浪涌。该装置包括作为选择电压供应电路（18）的用于提供预定选择电压的第一电源（VGHO）和用于提供低于选择电压预定值的电压的第二电源（VANA），从而来自第二电源的电压总是施加到选择电压供应电路的输出部分（VG1），并且来自第一电源的电压在比从选择时间开始的选择时间短的时间内叠加，从而逐步地施加电压。栅极脉冲（GPn，GPn + 1，GPn + 2，.....）到预定的选定栅极线（Xn，Xn + 1，Xn + 2，.....）。

