(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2004-0020844
(43) 공개일자 2004년03월09일

(21) 출원번호 10-2003-0061152
(22) 출원일자 2003년09월02일

(30) 우선권주장 JP-P-2002-00257210 2002년09월02일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 코야마준
일본,가나가와켄243-0036,아쓰기시,하세,398,가부시키가이샤한도오따이에네루기켄큐쇼내

시오노이리유타카
일본,가나가와켄243-0036,아쓰기시,하세,398,가부시키가이샤한도오따이에네루기켄큐쇼내

미야키히로유키
일본,가나가와켄243-0036,아쓰기시,하세,398,가부시키가이샤한도오따이에네루기켄큐쇼내

히라야마야수히로
일본,오사카545-0013,오사카시,아베노쿠,나가이케초,22-22,샤프가부시키가이샤내

이부열
일본,오사카545-0013,오사카시,아베노쿠,나가이케초,22-22,샤프가부시키가이샤내

(74) 대리인 이병호

심사청구 : 없음

(54) 액정 디스플레이 디바이스 및 액정 디스플레이 디바이스구동 방법

요약

아날로그 버퍼 회로들을 갖고, 루미넌스 변동이 감소된 액정 디스플레이 디바이스가 제공된다. 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들과, 복수의 소스 신호 라인들과 회로 그룹을 구성하는 복수의 아날로그 버퍼 회로들을 갖고, 아날로그 버퍼 회로들에 연결된 소스 신호 라인들은 새로운 기간이 시작되는 매 시간 그들의 연결들을 다른 아날로그 버퍼 회로들로 스위칭한다. 따라서, 아날로그 버퍼 회로들 중의 출력 변동은 평균화되고 균일한 이미지가 스크린 상에 디스플레이될 수 있다.

대표도

도 1

색인어

액정 디스플레이 디바이스, 변동, 아날로그 버퍼 회로, 스위칭, 평균화.

명세서

도면의 간단한 설명

도 1은 본 발명의 액정 디스플레이 디바이스의 소스 신호 라인 구동기 회로의 블럭도.

도 2는 종래의 액정 디스플레이 디바이스의 소스 신호 라인 구동기 회로의 블럭도.

도 3은 액정 디스플레이 디바이스의 픽셀부의 구조를 도시하는 도면.

도 4는 종래의 액정 디스플레이 디바이스의 소스 신호 라인 구동기 회로의 블럭도.

도 5는 연산 증폭기형 아날로그 버퍼의 회로도.

도 6은 소스 팔로어형 아날로그 버퍼의 회로도.

도 7은 본 발명의 스위치의 회로도.

도 8은 본 발명의 스위치의 타이밍도.

도 9는 본 발명의 게이트 신호 라인 구동기 회로의 회로도.

도 10은 소스 신호 라인과 아날로그 버퍼 회로들 사이의 연결을 도시하는 도면.

도 11은 본 발명의 액정 디스플레이 디바이스의 비디오 신호 스위칭을 도시하는 도면.

도 12는 본 발명의 액정 디스플레이 디바이스의 비디오 신호 스위칭을 도시하는 도면.

도 13은 유니폴라 트랜지스터들을 사용하는 시프트 레지스터의 회로도.

도 14는 본 발명의 액정 디스플레이 디바이스의 외부 도면.

도 15는 본 발명이 적용되는 디지털 소스 신호 라인 구동기 회로의 블럭도.

도들 16a 내지 16c는 디지털 소스 신호 라인 구동기 회로의 래치 회로들의 회로도들.

도들 17a 내지 17h는 본 발명의 액정 디스플레이 디바이스를 사용하는 전자 장치의 도면들.

도면의 주요 부분에 대한 부호의 설명

123:스위치 601:버퍼 TFT

602:전류 소스 1119:아날로그 버퍼 회로

1127:비디오 회로 1131:스위치

1135:비디오 신호 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야

본 발명은 디스플레이 디바이스에 관한 것으로, 특히 유리, 플라스틱 등으로 만들어진 투명 기판 상에 형성된 박막 트랜지스터들(TFT들)을 사용하는 액정 디스플레이 디바이스 및 그 구동 방법에 관한 것이다. 또한, 본 발명은 액정 디스플레이 디바이스를 사용하는 전자 장치에 관한 것이다.

2. 관련 분야의 설명

최근, 이동 전화들이 통신 기술의 발전에 따라 널리 퍼지게 되었다. 미래에, 동화상 전송 및 보다 많은 양의 정보 전송이 또한 기대된다. 개인용 컴퓨터에 대해서는, 그 중량의 감소 덕분에 이동 애플리케이션들용 제품들이 제조된다. 전자 수첩들로 시작된 PDA들로 불리는 다수의 정보 단말들이 또한 제조되어 널리 보급되고 있다. 또한, 디스플레이 디바이스들 등의 발전과 함께, 대부분의 휴대용 정보 디바이스들은 평판 디스플레이를 구비하고 있다.

최근의 기술들에 따르면, 액티브 매트릭스 디스플레이 디바이스가 표시 장치에 사용된 디스플레이 디바이스로서 사용되는 경향이 있다. 액티브 매트릭스 디스플레이 디바이스에서, TFT는 각 픽셀에서 배열되고 스크린은 TFT들에 의해 제어된다. 패시브 매트릭스 디스플레이 디바이스와 비교하면, 액티브 매트릭스 디스플레이 디바이스는 고효율 및 고화질을 달성하고 동화상들을 다룰 수 있다는 장점들을 갖는다. 따라서, 액정 디스플레이 디바이스들의 주류가 패시브 매트릭스형들에서 액티브 매트릭스형들로 또한 변화될 것이라고 고려된다.

또한, 최근, 액티브 매트릭스 디스플레이 디바이스들에서 저온 폴리실리콘을 사용하는 디스플레이 디바이스의 상업화가 진행되고 있다. 저온 폴리실리콘으로, 픽셀들 뿐만 아니라 픽셀부의 주위에 구동 회로를 일체로 형성할 수 있고, 디스플레이 디바이스의 소형화 및 고선명화가 가능하기 때문에, 저온 폴리실리콘을 사용하는 디스플레이 디바이스는 보다 널리 사용될 것이라 기대된다.

액티브 매트릭스 액정 디스플레이 디바이스의 픽셀부의 동작에 대한 설명이 이하에서 주어진다. 도 3은 액티브 매트릭스 액정 디스플레이 디바이스의 구조의 예를 도시한다. 하나의 픽셀(302)은 소스 신호 라인(S1), 게이트 신호 라인(G1), 캐패시턴스 라인(C1), 픽셀 TFT(303), 및 저장 캐패시터(304)로 구성된다. 캐패시턴스 라인은 다른 배선이 캐패시턴스 라인으로서 배가 될 수 있다면 항상 필요하지는 않다. 픽셀 TFT(303)의 게이트 전극은 게이트 신호 라인(G1)에 연결된다. 픽셀 TFT(303)의 드레인 전극 및 소스 전극 중 하나가 소스 신호 라인(S1)에 연결되며 다른 것이 저장 캐패시터(304)와 픽셀 전극(305)에 연결된다.

게이트 신호 라인들은 라인 사이클에 따라 순차적으로 선택된다. 픽셀 TFT가 n채널 TFT이면, 게이트 신호 라인은 그가 Hi일 때 활성화되고, 이후 픽셀 TFT는 턴온된다. 픽셀 TFT가 턴온됨에 따라, 소스 신호 라인의 전위가 저장 캐패시터와 액정에 기록된다. 다음 라인 기간에서, 인접 게이트 신호 라인이 활성화되고 소스 신호 라인의 전위가 유사한 방법으로 저장 캐패시터와 액정에 기록된다.(참조 1:Laid-open No.1-289917)

다음 설명은 소스 라인 구동기 회로의 동작이다. 도 2는 종래의 소스 신호 라인 구동기 회로의 예를 도시하며, 이는 아날로그형 도트 순차 시스템을 구동하는 소스 신호 라인 구동기 회로의 예이다. 이러한 예에서, 소스 신호 라인 구동기 회로는 시프트 레지스터(201), NAND 회로(207), 버퍼 회로(208), 및 아날로그 스위치(209)로 구성된다. 먼저, 소스 스타트 펄스(SSP)가 스위치(206)를 통해 시프트 레지스터의 제 1 단으로 입력된다. 스위치(206)는 시프트 레지스터의 스캐닝 방향을 결정한다. 스캐닝은 SL/R이 Lo이면 도 2에서 좌측에서 우측으로 형성되고 SL/R이 Hi이면 우측에서 좌측으로 형성된다. DFF(202)는 시프트 레지스터의 각 단을 구성한다. DFF(202)는 클럭된 반전기들(203 및 204)과 반전기(205)로 구성되며, 클럭 펄스들(CL 및 CLb)이 입력될 때마다 펄스들을 시프트한다.

시프트 레지스터의 출력은 NAND 회로(207)를 통해 버퍼 회로(208)로 입력된다. 버퍼 회로의 출력은 소스 신호 라인들(S1 내지 S4)로 향하는 비디오 신호들의 샘플링을 위해 아날로그 스위치들(209 내지 212)을 턴온시킨다.

중간 크기 또는 작은 크기의 액정 패널은 위에서 설명된 도트 순차 구동에 의해 동작될 수 있다. 그러나, 큰 크기의 액정 패널에서, 도트 순차 구동은 소스 신호 라인들의 배선 캐패시턴스가 약 100pF이고 소스 신호 라인들 자체의 지연 시간이 너무 크기 때문에 소스 신호 라인들의 기록을 위한 충분한 시간을 제공할 수 없다. 따라서, 기록을 수행하는 것이 불가능해진다. 그러므로, 큰 크기의 패널은 데이터가 소스 신호 라인 구동기 회로 내의 메모리에 임시로 저장되고 다음의 하나의 라인 기간동안 소스 신호 라인에 기록되는 선형 순차 구동이 필요하다.

이러한 선형 순차 구동은 메모리의 다운스트림에 위치된 아날로그 버퍼 회로 들을 필요로 한다. 선형 순차 구동에 적응가능한 소스 신호 라인 구동기 회로의 예가 도 4에 도시된다. 아날로그 스위치들(401 내지 404)은 도 2에 도시된 도트 순차 소스 신호 라인 구동기 회로에서 아날로그 스위치들이 동작하는 것과 동일한 방법으로 동작한다. 아날로그

스위치들이 소스 신호 라인들을 구동하는 도 2와 달리, 아날로그 스위치들(401 내지 404)은 캐패시터들(405 내지 408)을 구동하고, 아날로그 메모리들로서 동작한다. 데이터의 한 라인이 아날로그 메모리들에 순차적으로 저장되면, TRN 및 TRNb 신호들은 다음 귀선(retrace) 기간에서 아날로그 스위치들(409 내지 412)을 턴온시키기 위해 활성화된다. 이는 아날로그 메모리들(405 내지 408)에서 아날로그 메모리 캐패시터들(413 내지 416)로 데이터의 전송을 시작한다.

이후, 아날로그 스위치들(409 내지 412)은 다음 샘플링을 위하여 아날로그 스위치들(401 내지 404)이 턴온되기 전에 턴오프된다. 아날로그 메모리들(413 내지 416)의 데이터는 아날로그 버퍼 회로들(417 내지 420)을 통해 소스 신호 라인들(S1 내지 S4)로 출력된다. 아날로그 메모리들(413 내지 416)의 데이터는 하나의 라인 기간동안 유지되고 따라서 아날로그 버퍼 회로들(417 내지 420)은 소스 라인들을 충전하기 위하여 하나의 라인 기간을 취하도록 허용된다. 이러한 방법으로, 큰 크기의 패널에서의 선형 순차 구동이 아날로그 메모리들 및 아날로그 버퍼 회로들에 의해 실현되는 것이 가능하다.(참조 2:Laid-open. 62-143095)

그러나, 큰 크기의 패널의 아날로그 버퍼 회로들이 TFT들로 구성될 때, 아날로그 버퍼 회로들 중의 변동(fluctuation)이 문제가 된다. 아날로그 버퍼 회로들 중의 변동은 동일한 계조(gradation)의 비디오 신호들이 입력되는 때에도 출력 변동을 야기한다. 결과적으로, 수직의 줄무늬들(vertical streaks)이 스크린 상에 나타나고 화질이 상당히 하락한다.

저온 폴리실리콘이 액정 디스플레이 디바이스를 제조하는데 사용되면, 구동기 회로가 일체로 형성된다. 그러나, 이러한 구동기 회로의 트랜지스터들은 단일 결정 실리콘으로 형성되는 구동기 회로의 트랜지스터들보다 많이 변동된다. 이것은 추측컨대 프로세스 중의 정전기에 의한 결정화 손상 및 불균일한 결정화 때문이다. 구동기 회로가 이러한 변동을 고려하여 형성되면, 변동은 특히 로직부에서보다는 아날로그 동작을 수행하는 구성 요소 특히, 아날로그 버퍼 회로들에서 더욱 명백해진다.

도 4에 도시된 종래의 소스 신호 라인 구동기 회로에서, 각 아날로그 버퍼 회로의 출력 전압과 복수의 아날로그 버퍼 회로들의 출력의 평균 사이의 전압차가 얻어진다. 평균 출력값과 아날로그 버퍼 회로 출력(A)사이의 전압차는 △VA로서 주어진다. 유사하게, 평균 출력값과 아날로그 버퍼 회로 출력들(B,C, 및 D)사이의 전압차들은 △VB, △VC, 및 △VD로 각각 주어진다. △VA가 +100mV, △VB가 -100mV, △VC가 -50mV이고, △VD가 +30mV이면, 소스 신호 라인들(S2 및 S3) 사이의 차이는 50mV이고 소스 신호 라인들(S1 및 S2)사이의 차이는 200mV이며, 이는 사람의 눈이 계조 차이를 인식하도록 충분히 크다.

발명이 이루고자 하는 기술적 과제

발명의 요약

본 발명은 위의 문제들을 해결하기 위해 만들어졌으며, 따라서 본 발명의 목적은 루미넌스 변동이 감소되는 액정 디스플레이 디바이스를 제공하는 것이다. 본 발명의 다른 목적은 출력들을 스위칭시키기 위해 아날로그 버퍼 회로들과 소스 신호 라인들 사이에 스위칭 회로를 삽입시키는 것에 의해 스위칭 수단을 제공하는 것이다. 따라서, 아날로그 버퍼 회로들 중의 출력 변동이 시간적으로 평균화되고, 따라서 디스플레이 불균일성이 눈에 띄지 않게 된다.

본 발명의 구조는 다음과 같이 도시된다.

본 발명은 절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스에 관한 것으로, 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고, 스위칭 수단은 아날로그 버퍼 회로들과 소스 신호 라인들 사이에 제공되며, 복수의 소스 신호 라인들 및 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고, 회로의 아날로그 버퍼 회로들에 연결된 회로 그룹의 소스 신호 라인들은 스위칭 수단에 의해 그들의 연결들이 다른 회로들로 주기적으로 스위칭되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스에 관한 것으로, 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고, 스위칭 수단은 아날로그 버퍼 회 로들과 소스 신호 라인들 사이에 제공되며, 복수의 소스 신호 라인들 및 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고, 회로의 아날로그 버퍼 회로들에 연결된 회로 그룹의 소스 신호 라인들은 스위칭 회로에 의해 그들의 연결들이 다른 회로들로 시간적으로 랜덤하게 스위칭되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라

인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스에 관한 것으로, 스위칭 수단은 아날로그 버퍼 회로들과 소스 신호 라인들 사이에 제공되고, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 주기적으로 반복되고, 회로 그룹의 아날로그 버퍼 회로들에 연결된 회로 그룹의 소스 신호 라인들은 스위칭 수단에 의해 그들의 연결들이 다른 회로들로 매 기간마다 스위칭되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스에 관한 것으로, 스위칭 수단은 아날로그 버퍼 회로들과 소스 신호 라인들 사이에 제공되고, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 시간적으로 랜덤하게 반복되고, 회로의 아날로그 버퍼 회로들에 연결된 회로 그룹의 소스 신호 라인들은 스위칭 회로에 의해 그들의 연결들이 다른 회로들로 매 기간마다 스위칭되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스에 관한 것으로, 스위칭 수단은 아날로그 버퍼 회로들과 소스 신호 라인들 사이에 제공되고, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 주기적으로 반복되고, r번째 기간(r은 $1 \le r \le n$을 만족하는 자연수)에서, 스위칭 수단은 스위칭 그룹의 m번째 소스 신호 라인(m은 $1 \le m \le n-r+1$을 만족하는 자연수)을 (m+r-1)번째 아날로그 버퍼 회로로, l번째 소스 신호 라인(l은 $n-r+2 \le l \le n$을 만족하는 자연수)을 (l-n+r-1)번째 아날로그 버퍼 회로로 각각 연결하는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스에 관한 것으로, 스위칭 수단은 아날로그 버퍼 회로들과 소스 신호 라인들 사이에 제공되고, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 시간적으로 랜덤하게 반복되고, r번째 기간(r은 $1 \le r \le n$을 만족하 는 자연수)에서, 스위칭 수단은 스위칭 그룹의 m번째 소스 신호 라인(m은 $1 \le m \le n-r+1$을 만족하는 자연수)을 (m+r-1)번째 아날로그 버퍼 회로로, l번째 소스 신호 라인(l은 $n-r+2 \le l \le n$을 만족하는 자연수)을 (l-n+r-1)번째 아날로그 버퍼 회로로 각각 연결하는 것을 특징으로 한다.

위에서 언급된 본 발명의 구조들에서, 아날로그 버퍼 회로들은 소스 팔로어 회로들 또는 전압 팔로어 회로들이다.

본 발명은 절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스를 구동하는 방법에 관한 것으로, 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고, 복수의 소스 신호 라인들 및 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고, 회로 그룹의 상기 소스 신호 라인들은 각각 회로 그룹의 다른 아날로그 버퍼 회로들에 의해 주기적으로 구동되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스를 구동하는 방법에 관한 것으로, 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고, 복수의 소스 신호 라인들 및 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고, 회로 그룹의 소스 신호 라인들은 각각 회로 그룹의 다른 아날로그 버퍼 회로들에 의해 시간적으로 랜덤하게 구동되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스 구동 방법에 관한 것으로, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 주기적으로 반복되고, 회로 그룹의 소스 신호 라인들은 각각 회로 그룹의 다른 아날로그 버퍼 회로들에 의해 매 기간마다 구동되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스 구동 방법에 관한 것으로, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 시간적으로 랜덤하게

반복되고, 회로 그룹의 소스 신호 라인들은 각각 회로 그룹의 다른 아날로그 버퍼 회로들에 의해 매 기간마다 구동되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스 구동 방법에 관한 것으로, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 주기적으로 반복되고, r번째 기간(r은 1≤r≤n을 만족하는 자연수)에서, 회로 그룹의 m번째 소스 신호 라인(m은 1≤m≤n-r+1을 만족하는 자연수)은 (m+r-1)번째 아날로그 버퍼 회로에 의해 구동되고, l번째 소스 신호 라인(l은 n-r+2≤l≤n을 만족하는 자연수)은 (l-n+r-1)번째 아날로그 버퍼 회로에 의해 구동되는 것을 특징으로 한다.

본 발명은 절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖고, 소스 신호 라인 구동기 회로는 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는 액정 디스플레이 디바이스 구동 방법에 관한 것으로, n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며, n개의 기간들의 세트가 시간적으로 랜덤하게 반복되고, r번째 기간(r은 1≤r≤n을 만족하는 자연수)에서, 회로 그룹의 m번째 소스 신호 라인(m은 1≤m≤n-r+1을 만족하는 자연수)은 (m+r-1)번째 아날로그 버퍼 회로에 의해 구동되고, l번째 소스 신호 라인(l은 n-r+2≤l≤n을 만족하는 자연수)은 (l-n+r-1)번째 아날로그 버퍼 회로에 의해 구동되는 것을 특징으로 한다.

본 발명에 따라 위에서 언급된 액정 디스플레이의 구동 방법들에서, 방법은 아날로그 버퍼 회로들이 소스 팔로어 회로들 또는 전압 팔로어 회로들인 것을 특징으로 한다.

위의 구조 및 방법을 통해, 절연 기판 상에 형성된 아날로그 버퍼 회로들이 출력에서 변동된다고 하더라도 수직의 줄무늬들이 스크린 상에 디스플레이되는 것이 방지된다.

발명의 구성 및 작용

바람직한 실시예들의 상세한 설명

실시예 모드

본 발명의 실시예 모드가 도면들을 참조하여 이하로 상세히 설명될 것이다.

도 1은 본 발명의 액정 디스플레이 디바이스를 도시한다. 그의 시프트 레지스터 및 다른 구성요소들은 종래 기술에서 설명된 것과 유사하다. 본 발명과 종래 기술과의 차이는 도 1의 디바이스가 아날로그 버퍼 회로들(119 내지 122)과 소스 신호 라인들(S1 내지 S4)사이에 스위치들(123 내지 126)을 가진다는 것이다. 이제, 본 실시예 모드의 디바이스의 동작이 설명된다. 이러한 설명은 스위칭 수단으로서 스위치들(123 내지 126)에 대한 4개의 접촉 포인트 스위치들을 사용하는 경우를 예로 든다. 그러나, 본 발명은 4개의 접촉 포인트 스위치들로 제한되지 않으며 접촉 포인트들의 개수는 본 발명을 수행하는데 문제가 되지 않는다.

본 발명에서, 스위치들(123 내지 126)의 연결들은 하나에서 다른 하나로 스위칭된다. 여기서, 스위칭 사이클은 하나의 프레임이지만 본 발명은 이에 제한되지 않는다. 소스 신호 라인들(S1 내지 S4)과 아날로그 버퍼 회로들(119 내지 122)이 각각 회로들의 그룹들을 구성할 때, 그들의 연결 변화가 이하에 설명될 것이다. 제 1 프레임에서, 스위치들(123 내지 126)은 출력(A)이 소스 신호 라인(S1)에 연결되 고 아날로그 버퍼 회로들(120 내지 122)의 출력들(B,C 및 D)이 각각 소스 신호 라인들(S2, S3 및 S4)에 연결되는 '1'연결 상태에 있다.

다음, 제 2 프레임에서, 스위치들(123 내지 126)은 아날로그 버퍼 회로(119)의 출력(A)이 소스 신호 라인(S2)에 연결되고 아날로그 버퍼 회로들(120 내지 122)의 출력들(B,C 및 D)이 각각 소스 신호 라인들(S3,S4 및 S1)에 연결되는 '2'연결 상태에 있다. 제 3 프레임에서, 스위치들(123 내지 126)은 아날로그 버퍼 회로(119)의 출력(A)이 소스 신호 라인(S3)에 연결되고 아날로그 버퍼 회로들(120 내지 122)의 출력들(B,C 및 D)이 각각 소스 신호 라인들(S4,S1 및 S2)에 연결되는 '3'연결 상태에 있다.

다음, 제 4 프레임에서, 스위치들(123 내지 126)은 아날로그 버퍼 회로(119)의 출력(A)이 소스 신호 라인(S4)에 연결되고 아날로그 버퍼 회로들(120 내지 122)의 출력들(B,C 및 D)이 소스 신호 라인들(S1,S2 및 S3)에 연결되는 '4'연결 상태에 있다.

다음, 제 5 프레임에서, 스위치들(123 내지 126)은 아날로그 버퍼 회로(119)의 출력(A)이 소스 신호 라인(S1)에 연결되고 아날로그 버퍼 회로들(120 내지 122)의 출력들(B,C 및 D)이 각각 소스 신호 라인들(S2,S3 및 S4)에 연결되는 '1'연결 상태에 다시 있다. 이러한 방법으로, 스위치들(123 내지 126)은 4개의 프레임들의 기간으로 연결 변화를 반복한다. 특히, 소스 신호 라인(S1 내지 S4)과 아날로그 버퍼(120 내지 122)는 회로를 구성하고, 소스 신호 라인들은 새로운 기간이 시작되는 매 시간마다 다른 아날로그 버퍼 회로로 그들의 연결을 변화시킨다.

스위칭은 4개의 접촉 포인트 스위치들이 사용되기 때문에 4개의 프레임 사이클에서 만들어진다. 사이클은 위에서 설명된 바와 같이 접촉 포인트들의 개수를 변화시키는 것에 의해 변화될 수 있다. 프레임 기반 사이클로 관통시키는 것이 또한 필요하지 않다. 변동이 명백하게 평균화될 수 있는 한 임의의 사이클이 행해질 것이다. 도 10은 각각이 소스 신호 라인에 연결된 아날로그 버퍼 회로들의 출력을 도시한다.

종래 기술에서와 같이, 각 아날로그 버퍼 회로의 출력 전압과 복수의 아날로그 버퍼 회로들의 출력의 평균 사이의 전압차가 얻어진다. 평균 출력값과 아날로그 버퍼 회로 출력(A) 사이의 전압차가 △VA로 주어진다. 유사하게, 평균 출력값과 아날로그 버퍼 회로 출력들(B,C 및 D) 사이의 전압차들은 각각 △VB, △VC, 및 △VD로 주어진다. 이후, 전압차들은 사람의 눈들로 평균화된 것처럼 보인다. 따라서, 소스 신호 라인들(S1, S2, S3 및 S4)의 각각은 (△VA+△VB+△VC+△VD)/4의 출력 전위차로 주어진다.

종래 기술에서와 같이 △VA가 +100mV, △VB가 -100mV, △VC가 -50mV, △VD가 +30mV일 때, 소스 신호 라인들(S1 내지 S4)의 전압들은 평균화되고 각각은 -5mV로 설정된다. 따라서, 선명한 수직의 줄무늬들을 생성하도록 근접한 라인들 사이에 200mV 정도의 큰 전위차가 존재하는 종래 기술의 문제가 회피될 수 있다.

위의 실시예 모드에서, 각각이 4개의 접촉 포인트들과 반복 사이클을 갖는 스위치들은 4개의 기간들로 구성된다. 그러나, 기간들의 수는 4로 제한되지 않는다. 외부적인 효과는 n(n은 자연수이며 2와 같거나 그보다 크다)개의 기간들에 의 해 얻어질 수 있으며, 회로의 m번째 소스 신호 라인(m은 1≤m≤n-r+1)을 (m+r-1)번째 아날로그 버퍼(r은 1≤r≤n을 만족시키는 자연수)로 연결하고 r번째 기간에서 l번째 소스 신호 라인(l은 n-r+2≤1≤n을 만족시키는 자연수)을 (l-n+r-1)번째 아날로그 버퍼 회로로 연결한다.

[실시예 1]

도 7은 실시예 1을 도시하며, 도 1에 도시된 스위칭 수단의 스위치(123)의 특정 회로의 예이다. 본 실시예에서, 아날로그 스위치 회로들이 스위칭 수단으로서 사용된다. 스위치는 TFT들(701 내지 708)로 구성되고 이는 제어 라인들(1,1b,2,2b,...,및 4b)에 의해 제어되며, TFT들(701 내지 708)의 게이트 단자들로 개별적으로 연결된다. 도 8은 제어 라인들(1 내지 4b)의 타이밍도가다. 도 8에 도시된 제어 신호들은 제 1 내지 제 4 프레임 동안 소스 신호 라인들(S1 내지 S4)로 도 1과 도 7에 도시된 A를 연결한다. 도 7에 도시된 회로도는 CMOS 구조를 갖지만, NMOS 또는 PMOS 구조를 대신 가질 수도 있다. 이러한 경우에, 제어 라인들의 수는 반으로 줄어든다.

[실시예 2]

도 5는 아날로그 버퍼 회로의 예로서 연산 증폭기 회로를 도시한다. 아날로그 버퍼 회로의 이러한 형의 출력 전압 변동은 차분 회로를 구성하는 TFT들(503 및 504) 사이의 특징의 변동과, 전류 미러 회로를 구성하는 TFT들(501 및 502) 사이의 변동에 의존한다. 한 쌍의 인접한 TFT들간의 변동이 작으면, 패널의 전체 변동은 문제를 일으키지 않고 커질 수 있다. 이러한 이유로, 연산 증폭기형 아날로그 버퍼 회로들이 종종 집적 회로들에 사용된다.

이러한 예에서, 차분 회로는 n-채널 TFT들로 구성되고 전류 미러 회로는 p-채널 TFT들로 구성된다. 그러나, 본 발명은 이에 제한되지 않으며 이러한 회로들의 극성들은 역전될 수 있다. 또한, 본 발명은 본 예에 도시된 회로 연결에 제한되지 않으며 연산 증폭기의 특성을 제공하는 임의의 회로 연결이 사용될 수 있다.

[실시예 3]

도 6은 아날로그 버퍼 회로의 예로서 소스 팔로어 회로를 도시한다. 소스 팔로어 회로는 버퍼 TFT(601)와 일정한 전류 소스(602)로 구성된다. 이러한 예에서, 버퍼 TFT는 n-채널 TFT이지만 p-채널 TFT가 대신될 수도 있다. n-채널 TFT가 사용되면, 소스 팔로어 회로의 출력 전위는 TFT의 Vgs에 의해 입력 전위보다 낮다. 한편, p-채널 TFT가 사용되면, 소스 팔로어 회로의 출력 전위는 TFT의 Vgs에 의해 입력 전위보다 높다. 소스 팔로어 회로가 이러한 문제를 가짐에도 불구하고, CMOS보다 단순한 구조를 가진다는 장점을 또한 갖는다. 유니폴라 프로세스가 TFT 제조 공정들의 수를 감소시키기 위해 사용되는 경우에, 연산 증폭기형 아날로그 버퍼 회로를 생성하는 것이 어려워지며, 따라서 소스 팔로어형이 선택된다.

[실시예 4]

도 11은 소스 신호 라인 구동기 회로로 입력되는 비디오 신호들을 스위칭하기 위한 회로가 본 발명의 회로를 사용하기 위해 소스 신호 라인 구동기 회로의 외부에 위치되는 예를 도시한다. 단지 아날로그 스위치들과 소스 신호 라인들 사이에서 소스 신호 라인들의 스위칭이 본 발명에 따라 만들어지면, 출력 변동은 감소되지만 아날로그 버퍼 출력은 4개의 소스 신호 라인들로 보내져 일반적인 이미지를 얻는 것을 불가능하게 만든다. 따라서, 아날로그 버퍼 회로들로 입력되기 전에 신호들이 스위칭되고 아날로그 버퍼 회로들의 다운스트림으로 위치되는 스위치들에 의해 다시 스위칭된다. 이러한 방법에서, 일반적인 이미지가 형성된다.

본 발명의 실시예 모드로서, 스위칭이 새로운 프레임마다 생성되는 경우가 고려된다. 제 1 프레임에서, 비디오 회로(1127)의 출력은 스위치(1131)를 '1'로 연결하는 것에 의해 비디오 신호 라인(1135)으로 연결된다. 비디오 신호 라인(1135)의 신호는 스위치들(1103 및 1111)을 통해 아날로그 버퍼 회로(1119)로 입력된다. 스위치(1123)가 제 1 프레임에서 '1'로 연결되면 따라서 아날로그 버퍼 회로(1119)의 출력이 소스 신호 라인(S1)에 연결된다. 유사하게, 비디오 회로들(1128, 1129, 및 1130)의 출력들은 소스 신호 라인들(S2, S3, 및 S4)로 각각 연결된다.

제 2 프레임에서, 비디오 회로(1127)의 출력은 스위치(1132)를 '2'로 연결하는 것에 의해 비디오 신호 라인(1136)으로 연결된다. 비디오 신호 라인(1136)의 신호는 스위치들(1104 및 1112)을 통해 아날로그 버퍼 회로(1120)로 입력된다. 스위치(1124)가 제 1 프레임에서 '2'로 연결되면 따라서 아날로그 버퍼 회로(1120)의 출력이 소스 신호 라인(S1)에 연결된다. 유사하게, 비디오 회로들(1128, 1129, 및 1130)의 출력들은 소스 신호 라인들(S2, S3, 및 S4)로 각각 연결된다.

제 3 프레임에서, 비디오 회로(1127)의 출력은 스위치(1133)를 '3'으로 연결하는 것에 의해 비디오 신호 라인(1137)으로 연결된다. 비디오 신호 라인(1137)의 신호는 스위치들(1105 및 1113)을 통해 아날로그 버퍼 회로(1121)로 입력된다. 스위치(1125)가 제 3 프레임에서 '3'으로 연결되면 따라서 아날로그 버퍼 회로(1121)의 출력이 소스 신호 라인(S1)에 연결된다. 유사하게, 비디오 회로들(1128, 1129, 및 1130)의 출력들은 소스 신호 라인들(S2, S3, 및 S4)로 각각 연결된다.

제 4 프레임에서, 비디오 회로(1127)의 출력은 스위치(1134)를 '4'로 연결하는 것에 의해 비디오 신호 라인(1138)으로 연결된다. 비디오 신호 라인(1138)의 신호는 스위치들(1106 및 1114)을 통해 아날로그 버퍼 회로(1122)로 입력된다. 스위치(1126)가 제 4 프레임에서 '4'로 연결되면 따라서 아날로그 버퍼 회로(1122)의 출력이 소스 신호 라인(S1)에 연결된다. 유사하게, 비디오 회로들(1128, 1129, 및 1130)의 출력들은 소스 신호 라인들(S2, S3, 및 S4)로 각각 연결된다.

이러한 방법으로, 비디오 회로(1127)의 출력은 각 프레임에서 소스 신호 라인(S1)으로 연결된다. 이는 일반적인 이미지를 얻는 동안 새로운 프레임이 시작되는 매 시간 하나에서 다른 하나로 아날로그 버퍼 회로들의 스위치를 가능하게 한다. 유사하게, 임의의 프레임에서, 비디오 회로들(1128, 1129, 및 1130)의 출력들은 각각 소스 신호 라인들(S2, S3, 및 S4)로 연결된다.

이러한 회로들은 기판(인쇄된 기판 또는 가변 기판)을 TFT 기판의 외측에 위치시킴으로써, 또는 TFT 기판의 최상 표면으로 LSI 칩을 접합시킴으로써, 또는 동 일한 기판 상에 비디오 스위칭 회로와 픽셀부를 형성하도록 TFT들을 사용함으로써 얻어질 수 있다.

[실시예 5]

본 실시예는 소스 신호 라인 구동기 회로의 스위칭 회로를 포함하는 예를 설명한다. 이러한 실시예에서, 스위칭 회로는 도 12에 도시된 바와 같이 아날로그 버퍼 회로들 및 비디오 신호 라인들 사이에 위치된다.

본 발명의 실시예 모드로서, 스위칭이 각각의 새로운 프레임에서 생성되는 경우가 고려된다. 제 1 프레임에서, 비디오 신호 라인(1127)의 출력은 스위치(1231)를 통해 통과하고 스위치(1203)를 '1'로 연결하는 것에 의해 아날로그 메모리(1207) 및 스위치(1211)로 연결된다. 비디오 신호 라인(1227)의 신호는 스위치(1211)를 통해 아날로그 메모리(1215)와 아날로그 버퍼 회로(1219)로 입력된다. 스위치(1223)는 제 1 프레임의 '1'로 연결되며 따라서 아날로그 버퍼 회로(1219)의 출력은 소스 신호 라인(S1)으로 연결된다. 유사하게, 비디오 신호 라인들(1228, 1229, 및 1230)의 출력들은 각각 소스 신호 라인들(S2, S3 및 S4)로 연결된다.

다음, 제 2 프레임에서, 비디오 신호 라인(1127)의 출력은 스위치(1231)를 통해 통과하고 스위치(1204)를 '2'로 연결하는 것에 의해 아날로그 메모리(1208) 및 스위치(1212)로 연결된다. 비디오 신호 라인(1227)의 신호는 스위치(1212)를 통해 아날로그 메모리(1216)와 아날로그 버퍼 회로(1220)로 입력된다. 스위치(1224)는 제 2 프레임의 '2'로 연결되며 따라서 아날로그 버퍼 회로(1220)의 출력은 소스 신호 라인(S1)으로 연결된다. 유사하게, 비디오 신호 라인들(1228, 1229, 및 1230)의 출력들은 각각 소스 신호 라인들(S2, S3 및 S4)로 연결된다.

이후, 제 3 프레임에서, 비디오 신호 라인(1127)의 출력은 스위치(1231)를 통해 통과하고 스위치(1205)를 '3'으로 연결하는 것에 의해 아날로그 메모리(1209) 및 스위치(1213)로 연결된다. 비디오 신호 라인(1227)의 신호는 스위치(1213)를 통해 아날로그 메모리(1217)와 아날로그 버퍼 회로(1221)로 입력된다. 스위치(1225)는 제 3 프레임의 '3'으로 연결되며 따라서 아날로그 버퍼 회로(1221)의 출력은 소스 신호 라인(S1)으로 연결된다. 유사하게, 비디오 신호 라인들(1228, 1229, 및 1230)의 출력들은 각각 소스 신호 라인들(S2, S3 및 S4)로 연결된다.

이후, 제 4 프레임에서, 비디오 신호 라인(1127)의 출력은 스위치(1231)를 통해 통과하고 스위치(1206)를 '4'로 연결하는 것에 의해 아날로그 메모리(1210) 및 스위치(1214)로 연결된다. 비디오 신호 라인(1227)의 신호는 스위치(1214)를 통해 아날로그 메모리(1218)와 아날로그 버퍼 회로(1222)로 입력된다. 스위치(1226)는 제 4 프레임의 '4'로 연결되며 따라서 아날로그 버퍼 회로(1222)의 출력은 소스 신호 라인(S1)으로 연결된다. 유사하게, 비디오 신호 라인들(1228, 1229, 및 1230)의 출력들은 각각 소스 신호 라인들(S2, S3 및 S4)로 연결된다.

이러한 방법으로, 비디오 신호 라인(1227)의 출력은 각 프레임에서 소스 신호 라인(S1)으로 연결된다. 이는 일반적인 이미지를 얻는 동안 새로운 프레임이 시작되는 매 시간 하나에서 다른 하나로 아날로그 버퍼 회로들의 스위칭을 가능하게 한다. 유사하게, 임의의 프레임에서, 비디오 신호 라인들(1128, 1129, 및 1130)의 출력들은 각각 소스 신호 라인들(S2, S3, 및 S4)로 연결된다.

[실시예 6]

본 발명의 실시예 모드와 실시예 1에서, 스위칭 수단의 스위칭은 미리 정해진 순서로 주기적으로 행해진다. 그러나, 스위칭이 항상 고정된 순서로 행해져야 하는 것은 아니다. 예를 들어, 소스 신호 라인(S1)이 이를 주기적으로 반복하기 위하여 제 1 의 4개의 프레임들에서 아날로그 버퍼 출력들(A,D,C, 및 B)에, 다음 4개의 프레임들에서 A,D,C, 및 B에 순차적으로 연결되는 실시예 모드는, S1이 제 1 의 4개의 프레임들에서 A,D,C 및 B에, 다음 4개의 프레임들에서 B,D,A, 및 C에 순차적으로 연결되고 이로써 랜덤한 순서로 셋업되도록 변경될 수 있다. 이러한 경우에, 실시예들 1 내지 5에 도시된 회로들은 자유롭게 조합될 수 있다.

본 발명의 디스플레이 디바이스는 본 실시예의 소스 신호 라인 구동기 회로 구조에 제한되지 않으며 임의의 알려진 소스 신호 라인 구동기 회로 구조가 사용될 수 있다.

[실시예 7]

본 실시예는 본 발명의 디스플레이 디바이스의 게이트 신호 라인 구동기 회로의 구조의 예를 도 9를 참조하여 설명한다.

게이트 신호 라인 구동기 회로는 시프트 레지스터, 스케닝 방향 스위칭 회로 및 다른 구성요소들로 구성된다. 도면에는 도시되지 않았지만, 레벨 시프터, 버퍼 등이 필요에 따라 추가될 수 있다.

시프트 레지스터는 스타트 펄스(GSP), 클럭 펄스(GCL), 및 다른 것들을 수신하고 게이트 신호 라인 선택 신호를 출력한다.

901로 표시된 시프트 레지스터는, 클럭된 반전기들(902 및 903), 반전기(904), 및 NAND(907)로 구성된다. 스타트 펄스(GSP)는 시프트 레지스터(901)로 입력되고, 클럭 펄스(GCL) 및 GCL의 극성을 변환하는 것에 의해 얻어지는 변환된 클럭 펄스(GSPb)는 클럭된 반전기들(902 및 903)을 도통 및 비도통으로 변환시킨다. 샘플링 펄스들이 따라서 NAND(907)로부터 순차적으로 출력된다.

스캐닝 방향 스위칭 회로는 스위치들(905 및 906)로 구성되고, 시프트 레지스터의 동작 방향을 도면을 향하여 좌우측으로 스위칭한다. 스캐닝 방향 스위칭 신호(U/D)가 Lo신호일 때, 시프트 레지스터는 샘플링 펄스들을 도 9의 좌측에서 우측으로 순차적으로 출력한다. 이와 달리, 스캐닝 방향 스위칭 신호(U/D)가 Hi 신호이면, 시프트 레지스터는 샘플링 펄스들을 도면을 향하여 우측에서 좌측으로 출력한다.

시프트 레지스터로부터 출력된 샘플링 펄스들은 NOR(908)로 입력되고 인에이블 신호들(ENB)과 계산된다. 이러한 계산의 목적은 둔해진 샘플링 펄스들에 의해 동시에 야기되는 선택 근접 게이트 신호 라인들의 에러를 회피하기 위한 것이다. NOR(908)로부터 출력된 신호들은 버퍼들(909 및 910)을 통해 게이트 신호 라인들(G1 내지 Gy)로 출력된다.

시프트 레지스터들이 수신하는 스타트 펄스(GSP), 클럭 펄스(GCL) 및 다른 것들이 외부 타이밍 제어기로부터 입력된다.

본 발명의 디스플레이 디바이스는 본 실시예의 게이트 신호 라인 구동기 회로 구조에 한정되지 않으며 임의의 알려진 게이트 신호 라인 구동기 회로 구조를 자유롭게 사용할 수 있다. 본 실시예는 본 발명의 다른 실시예들과 조합될 수 있다.

[실시예 8]

도 15는 디지털 입력 소스 신호 라인 구동기 회로의 예를 도시한다. 시프트 레지스터(1501)의 출력은 버퍼 회로(1502)를 통해 래치(latch) 회로(1503)로 입력된다. 래치 회로는 버퍼 회로의 출력이 활성화될 때 디지털 비디오 신호를 취하고 저장하는 기능을 갖는다. 하나의 라인 기간동안, 시프트 레지스터는 필요가 발생함에 따라 디지털 비디오 신호들을 취하고 디지털 데이터의 하나의 라인이 저장된다. 데이터의 하나의 라인 저장이 끝난 후에, 래치 펄스들은 귀선 기간에서 입력되고 래치 회로(1503)의 데이터는 래치 회로(1504)로 보내진다.

래치 회로(1504)의 데이터는 다음 귀선 기간때까지 유지된다. 래치 회로(1504)에서 보관되는 동안, 데이터는 D/A 반전기(1505)에 의해 아날로그 변환을 수신한다. D/A 반전기의 출력은 아날로그 버퍼 회로(1506)와 스위치(1510)를 통해 소스 신호 라인들을 구동시키기 위해 사용된다. 이러한 실시예는 본 발명의 다른 실시예들과 조합될 수 있다.

스위치 회로(1510)는 실시예 모드에서 스위치가 행하는 바와 동일한 방법으 로 동작하며, 소스 신호 라인(S1)을 제 1 프레임의 아날로그 버퍼 회로(1506)와, 제 2 프레임의 아날로그 버퍼 회로(1509)와, 제 3 프레임의 아날로그 버퍼 회로(1508)와, 제 4 프레임의 아날로그 버퍼 회로(1507)로 연결한다. 이러한 방법으로, 아날로그 버퍼 회로들의 출력 변동은 실시예 모드에서와 같이 평균화된다. 따라서 디스플레이 불균일성이 감소되고 화질이 개선된다. 이러한 실시예는 본 발명의 다른 실시예들과 조합될 수 있다.

[실시예 9]

도들 16a 내지 16c는 실시예 8에 도시된 래치 회로들의 특정한 실시예들을 도시한다. 도 16a의 래치 회로는 클럭된 반전기를 사용하고 이는 또한 위에서 설명된 신호 라인 구동기 회로의 시프트 레지스터에 사용된다. 도 16b의 래치 회로는 반전기들과 아날로그 스위치들의 조합이다. 도 16c의 래치 회로는 도 16b로부터 하나의 아날로그 스위치를 제거함으로써 얻어진다. 도 16c의 두개의 반전기 회로들 중 하나의 출력은 아날로그 스위치의 구동 성능보다 적은 구동 성능을 갖도록 설계되는 아날로그 스위치로 연결되며, 따라서 메모리 상태는 아날로그 스위치를 구동시키는 것에 의해 변화될 수 있다. 이러한 래치 회로들의 임의의 것이 사용될 수 있다. 또한, 본원에 도시된 것들과 다른 회로들이 사용될 수도 있다. 이러한 실시예는 본 발명의 다른 실시예들과 조합될 수 있다.

[실시예 10]

도 13은 시프트 레지스터를 생성하기 위해 유니폴라 TFT들을 사용하는 예를 도시한다. 도 13에 도시된 예는 n-채널 TFT들을 사용한다. P-채널 유니폴라 TFT들이 n-채널 TFT들 대신 사용될 수 있다. 유니폴라 프로세스의 사용은 마스크들의 개수를 감소시키는 것을 가능하게 한다.

도 13에서, 스타트 펄스가 스캐닝 방향 스위칭 스위치(1302)로 입력되고, 스위칭 TFT(1311)를 통해 시프트 레지스터(1301)로 입력된다. 시프트 레지스터(1301)는 부트 스트랩을 사용하는 세트 리셋형 시프트 레지스터이다. 시프트 레지스터(1301)의 동작이 이하에 설명될 것이다.

스타트 펄스가 TFT(1303)의 게이트와 TFT(1306)의 게이트로 입력된다. TFT(1306)가 턴온되면, TFT(1304)의 게이트가 TFT(1304)를 턴오프하도록 Lo로 설정된다. TFT(1310)의 게이트가 또한 TFT(1310)를 턴오프하도록 Lo로 설정된다. TFT(1303)의 게이트의 전위는 파워 서플라이 전위의 레벨로 상승된다. 따라서, TFT(1309)의 게이트의 전위가 파워 서플라이 전위(-Vgs)의 레벨로 먼저 상승된다. 출력 1의 초기 전위가 Lo이므로, TFT(1309)는 출력 1 및 캐패시터(1308)가 변화하는 동안 소스 전위를 상승시킨다. TFT(1309)의 게이트가 파워 서플라이 전위 -Vgs에 도달하면, TFT(1309)는 출력(1)이 전위에서 계속 상승하도록 여전히 온이다. TFT(1309)의 게이트는 전기 방전 경로를 갖지 않으며 따라서 파워 서플라이 전위를 지나 그 소스를 따라 전위에서 계속 상승한다.

TFT(1309)의 드레인과 그의 소스가 동일한 전위에 도달함에 따라, 출력으로의 전류 흐름은 TFT(1309)의 전위에서의 상승을 정지시키기 위해 정지된다. 출력(1)은 따라서 파워 서플라이 전위와 동일한 Hi 전위를 출력할 수 있다. 이 시점에서, CLb의 전위가 Hi로 설정된다. CLb가 Lo로 하강하면, 캐패시터(1308)의 전하들은 출력(1)을 Lo로 하강시키기 위해 TFT(1309)를 통해 CLb로 보내진다. 출력(1)의 펄스들은 다음 단의 시프트 레지스터로 전송된다. 위는 실시예 10의 회로의 동작이다. 이러한 실시예는 본 발명의 다른 실시예들과 조합될 수 있다.

[실시예 11]

도 14는 본 발명의 액정 디스플레이 디바이스의 평면도이다. 도 14에서, 액티브 매트릭스 기판은 픽셀부(1403), 소스 신호 라인 구동기 회로(1401), 게이트 신호 라인 구동기 회로(1402), FPC 단자(1408)가 접합되는 외부 입력 단자(1404), 외부 입력 단자를 각 회로의 입력부로 연결시키기 위한 배선들(1407a 및 1407b) 등을 갖는다. 액티브 매트릭스 기판은 컬러 필터 및 다른 구성요소들을 갖는, 두 기판들 사이에 삽입된 밀봉 재료(1410)를 갖는 반대 기판(1411)과 접합된다.

광차폐층(1405)은 반대편 기판 쪽에 제공되어 소스 신호 라인 구동기 회로(1401)를 오버랩한다. 광차폐층(1406)은 반대편 기판 쪽에 형성되어 게이트 신호 라인 구동기 회로(1402)를 오버랩한다. 컬러 필터(1409)는 픽셀부(1403) 위의 반대편 기판 쪽 상에 제공되고, 광차폐층과 각 픽셀에 따라 적색(R), 녹색(G), 및 청색(G)의 3개의 컬러들로 착색된 층들로 구성된다. 실질적인 디스플레이에서, 적색(R)으로 착색된 층, 녹색(G)으로 착색된 층, 및 청색(B)으로 착색된 층은 모든 컬러 이미지를 형성한다. 3가지 컬러들로 착색된 층들은 임의로(arbitrarily) 배열 될 수 있다.

컬러 필터(1409)가 여기서는 컬러 이미지를 얻기 위하여 반대편 기판 상에 위치되지만, 특별히 제한되지는 않는다. 색상 필터는 액티브 매트릭스 기판의 제조동안 액티브 매트릭스 기판상에 형성될 수 있다.

색상 필터에서, 광차폐층은 광에 대하여 디스플레이 영역과 다른 부분들을 차페하기 위하여 인접 픽셀들 사이에 제공된다. 구동기 회로들을 덮는 영역들의 광차폐층들(1405 및 1406)은 구동기 회로들을 덮는 영역들이 액정 디스플레이 디바이스가 전자 장치에 디스플레이부로서 설치될 때 덮어지기 때문에 생략될 수 있다. 대안적으로, 액티브 매트릭스 기판이 액티브 매트릭스 기판의 제조동안 광차페층에 제공될 수 있다.

상기 광차폐층들을 사용하지 않고 광에 대하여 디스플레이 영역(픽셀 전극들 사이의 갭들)과 구동기 회로들과 다른 부분들을 차페하는 것이 또한 가능하다. 이러한 경우에, 컬러 필터를 구성하는 복수의 착색된 층들이 적층되고 반대편 기판과 반대편 전극 사이에 적절히 배열되어 광에 대한 이러한 영역들을 차폐한다.

따라서 액정 디스플레이 디바이스가 완성된다. 이러한 실시예는 전달형 액티브 매트릭스 액정 디스플레이 디바이스의 제조 방법을 도시하지만 반사형 액티브 매트릭스 액정 디스플레이 디바이스가 유사한 방법으로 제조될 수 있다. 이러한 실시예는 본 발명의 다른 실시예들과 조합될 수 있다.

[실시예 12]

위와 같이 제조된 액정 디스플레이 디바이스는 액정 모듈을 구성할 수 있고 다양한 전자 장치의 디스플레이부로서 사용될 수 있다. 이하에서 주어지는 것은 본 발명에 따라 제조된 액정 디스플레이 디바이스가 디스플레이 매체로서 포함되는 전자 장치에 대한 설명이다.

이러한 전자 장치의 예들로는, 비디오 카메라들, 디지털 카메라들, 고글형 디스플레이들(헤드 장착형 디스플레이들), 항법 시스템들, 오디오 재생 디바이스들(자동차 오디오들, 오디오 컴포넌트들, 등), 노트북형 개인 컴퓨터들, 게임기들, 휴대 정보 단말들(이동 컴퓨터들, 이동 전화들, 이동형 게임기들, 및 전자책들, 등), 기록매체를 갖는 이미지 재생 디바이스들(특히, 디지털 다기능 디스크(DVD) 등과 같은 기록 매체를 재생할 수 있고 이들의 이미지를 디스플레이할 수 있는 디스플레이 디바이스를 갖는 디바이스들), 등이 주어질 수 있다. 이들 전자 장치의 예들이 도 17에 도시된다.

도 17a는 프레임(2001), 지지 베이스(2002), 디스플레이부(2003), 스피커부(2004), 비디오 입력 단말(2005), 등으로 구성되는 디스플레이 디바이스이다. 본 발명에 따라 제조된 발광 디바이스는 디스플레이 디바이스의 제조에 디스플레이부(2003)로 사용된다. 발광 소자를 갖는 발광 디바이스가 자체-발광형(self-luminous type)이면 백라이트가 필요 없고, 이에 의해 액정 디스플레이 디바이스보다 얇은 디스플레이부를 얻는 것이 가능하다. 디스플레이 디바이스라는 용어는 이를테면, 개인용 컴퓨터들을 위한, TV 방송 수신을 위한, 광고를 위한, 정보를 디스플레이 하기 위한 모든 디스플레이 디바이스들을 포함한다는 것에 유의한다.

도 17b는 본체(2101), 디스플레이부(2102), 이미지 수신부(2103), 조작 키들(2104), 외부 접속 포트(2105), 셔터(2106), 등으로 구성되는 디지털 스틸 카메라이다. 본 발명에 따라 제조된 발광 디바이스는 디지털 스틸 카메라의 제조에 디스플레이부(2102)로 사용된다.

도 17c는 본체(2201), 프레임(2202), 디스플레이부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등으로 구성되는 노트북형 개인 컴퓨터이다. 본 발명에 따라 제조된 발광 디바이스는 노트북형 개인 컴퓨터의 제조에 디스플레이부(2203)로 사용된다.

도 17d는 본체(2301), 디스플레이부(2302), 스위치(2303), 조작키들(2304), 적외부(2305), 등으로 구성되는 이동 컴퓨터이다. 본 발명에 따라 제조된 발광 디바이스는 이동 컴퓨터의 제조에 디스플레이부(2302)로 사용된다.

도 17e는 본체(2401), 프레임(2402), 디스플레이부 A(2403), 디스플레이부 B(2404), 기록매체(DVD와 같은) 판독부(2405), 조작 키들(2406), 스피커부(2407) 등으로 구성되는 기록 매체(특히, DVD 재생 디바이스)가 제공된 휴대 이미지 재생 디바이스이다. 디스플레이부 A(2403)은 주로 이미지 정보를 디스플레이하고, 디스플레이부 B(2404)는 주로 문자 정보를 디스플레이하며, 본 발명에 따라 제조된 발광 디바이스는 휴대 이미지 재생 디바이스의 제조에 디스플레이부 A(2303) 및 디스플레이부 B(2404)로 사용된다. 기록 매체가 제공된 재생 디바이스들은 가정용의 게임기들 등을 포함한다는 것에 유의한다.

도 17f는 본체(2501), 디스플레이부(2502), 암(2503) 등으로 구성되는 고글 형 디스플레이(헤드 장착형 디스플레이)이다. 본 발명에 따라 제조된 발광 디바이스는 고글형 디스플레이의 제조에 디스플레이부(2502)로 사용된다.

도 17g는 본체(2601), 디스플레이부(2602), 프레임(2603), 외부 접속 포트(2604), 원격 제어 수신부(2605), 이미지 수신부(2606), 밧데리(2607), 오디오 입력부(2608), 조작 키들(2609), 아이피스 부(2610), 등으로 구성되는 비디오 카메라이다. 본 발명에 따라 제조된 발광 디바이스는 비디오 카메라의 제조에 디스플레이부(2602)로 사용된다.

도 17h는 본체(2701), 프레임(2702), 디스플레이부(2703), 오디오 입력부(2704), 오디오 출력부(2705), 조작키들(2706), 외부 접속 포트(2707), 안테나(2708) 등으로 구성되는 이동 전화이다. 본 발명에 따라 제조된 발광 디바이스는 이동 전화의 제조에 디스플레이부(2703)로 사용된다. 흑색의 배경 상에 백색의 문자들을 디스플레이함으로써, 디스플레이부(2703)는 이동 전화의 전력 소비를 억제할 수 있음에 유의한다.

위에서 설명된 바와 같이, 본 발명의 제조 방법에 따라 제조된 발광 디바이스의 응용 범위는 매우 넓어서 본 발명의 발광 디바이스는 전자 장치의 임의의 분야에서 사용될 수 있다. 또한 본 실시예의 전자 장치는 실시예들 1 내지 4를 조합하는 것에 의해 형성된 임의의 조합으로 이루어질 수 있다.

출력들을 위해 아날로그 버퍼 회로들을 사용하는 종래의 액정 디스플레이 디바이스들은 아날로그 버퍼 회로들의 변동으로 인한 수직의 줄무늬들과 이미지 품질이 보다 낮다는 문제점을 가진다.

본 발명에 따라, 아날로그 버퍼 회로들의 출력들은 출력 전압 변동을 평균화 시키기 위하여 하나에서 다른 하나로 주기적으로 스위칭되고 출력에서의 변동이 따라서 감소된다.

발명의 효과

절연 기판 상에 형성된 아날로그 버퍼 회로들이 출력에서 변화되어도 수직의 줄무늬들이 스크린 상에 디스플레이되는 것으로부터 방지된다.

(57) 청구의 범위

청구항 1.

절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 상기 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스에 있어서,

상기 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고,

스위칭 회로가 상기 아날로그 버퍼 회로들과 상기 소스 신호 라인들 사이에 제공되며,

상기 복수의 소스 신호 라인들 및 상기 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고,

상기 회로 그룹의 상기 아날로그 버퍼 회로들에 연결된 상기 회로 그룹의 상기 소스 신호 라인들은 상기 스위칭 회로에 의해 그들의 연결들이 다른 회로들로 주기적으로 스위칭되는, 액정 디스플레이 디바이스.

청구항 2.

절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 상기 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스에 있어서,

상기 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고,

스위칭 회로가 상기 아날로그 버퍼 회로들과 상기 소스 신호 라인들 사이에 제공되며,

상기 복수의 소스 신호 라인들 및 상기 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고,

상기 회로의 상기 아날로그 버퍼 회로들에 연결된 상기 회로 그룹의 상기 소스 신호 라인들은 상기 스위칭 회로에 의해 그들의 연결들이 다른 회로들로 시간적으로 랜덤하게 스위칭되는, 액정 디스플레이 디바이스.

청구항 3.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스에 있어서,

스위칭 회로가 상기 아날로그 버퍼 회로들과 상기 소스 신호 라인들 사이에 제공되고,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 주기적으로 반복되고,

상기 회로 그룹의 아날로그 버퍼 회로들에 연결된 상기 회로 그룹의 상기 소스 신호 라인들은 상기 스위칭 회로에 의해 그들의 연결들이 다른 회로들로 매 기간마다 스위칭되는, 액정 디스플레이 디바이스.

청구항 4.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이 트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스에 있어서,

스위칭 회로가 상기 아날로그 버퍼 회로들과 상기 소스 신호 라인들 사이에 제공되고,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 시간적으로 랜덤하게 반복되고,

상기 회로의 아날로그 버퍼 회로들에 연결된 상기 회로 그룹의 상기 소스 신호 라인들은 상기 스위칭 회로에 의해 그들의 연결들이 다른 회로들로 매 기간마다 스위칭되는, 액정 디스플레이 디바이스.

청구항 5.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스에 있어서,

스위칭 회로가 상기 아날로그 버퍼 회로들과 상기 소스 신호 라인들 사이에 제공되고,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 주기적으로 반복되고,

r번째 기간(r은 $1 \leq r \leq n$을 만족하는 자연수)에서, 상기 스위칭 회로는 상기 스위칭 그룹의 m번째 소스 신호 라인(m은 $1 \leq m \leq n-r+1$을 만족하는 자연수)을 (m+r-1)번째 아날로그 버퍼 회로로, l번째 소스 신호 라인(l은 $n-r+2 \leq l \leq n$을 만족하는 자연수)을 (l-n+r-1)번째 아날로그 버퍼 회로로 각각 연결하는, 액정 디스플레이 디바이스.

청구항 6.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스에 있어서,

스위칭 회로가 상기 아날로그 버퍼 회로들과 상기 소스 신호 라인들 사이에 제공되고,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 시간적으로 랜덤하게 반복되고,

r번째 기간(r은 1≤r≤n을 만족하는 자연수)에서, 상기 스위칭 회로는 상기 스위칭 그룹의 m번째 소스 신호 라인(m은 1≤m≤n-r+1을 만족하는 자연수)을 (m+r-1)번째 아날로그 버퍼 회로로, l번째 소스 신호 라인(l은 n-r+2≤l≤n을 만족하는 자연수)을 (l-n+r-1)번째 아날로그 버퍼 회로로 각각 연결하는, 액정 디스플레이 디바이스.

청구항 7.
제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 아날로그 버퍼 회로들은 소스 팔로어 회로들인, 액정 디스플레이 디바이스.

청구항 8.
제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 아날로그 버퍼 회로들은 전압 팔로어 회로들인, 액정 디스플레이 디바이스.

청구항 9.
제 1 항 내지 제 6 항 중 어느 한 항을 따른 액정 디스플레이 디바이스를 포함하는 전자 장치.

청구항 10.
절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 상기 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스를 구동하는 방법에 있어서,

상기 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고,

상기 복수의 소스 신호 라인들 및 상기 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고,

상기 회로 그룹의 상기 소스 신호 라인들 각각은 상기 회로 그룹의 상기 다른 아날로그 버퍼 회로들에 의해 주기적으로 구동되는, 액정 디스플레이 디바이스 구동 방법.

청구항 11.
절연 기판 상에 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 복수의 픽셀들과, 상기 소스 신호 라인들을 구동하기 위한 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스를 구동하는 방법에 있어서,

상기 소스 신호 라인 구동기 회로는 복수의 아날로그 버퍼 회로들을 갖고,

상기 복수의 소스 신호 라인들 및 상기 복수의 아날로그 버퍼 회로들은 회로 그룹을 형성하고,

상기 회로 그룹의 상기 소스 신호 라인들 각각은 상기 회로 그룹의 상기 다른 아날로그 버퍼 회로들에 의해 시간적으로 랜덤하게 구동되는, 액정 디스플레이 디바이스 구동 방법.

청구항 12.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스 구동 방법으로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스 구동 방법에 있어서,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 주기적으로 반복되고,

상기 회로 그룹의 상기 소스 신호 라인들 각각은 상기 회로 그룹의 다른 아 날로그 버퍼 회로들에 의해 매 기간마다 구동되는, 액정 디스플레이 디바이스 구동 방법.

청구항 13.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기

회로를 갖는 액정 디스플레이 디바이스 구동 방법으로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 복수의 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스 구동 방법에 있어서,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 시간적으로 랜덤하게 반복되고,

상기 회로 그룹의 상기 소스 신호 라인들 각각은 상기 회로 그룹의 다른 아날로그 버퍼 회로들에 의해 매 기간마다 구동되는, 액정 디스플레이 디바이스 구동 방법.

청구항 14.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스 구동 방법으로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스 구동 방법에 있어서,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 주기적으로 반복되고,

r번째 기간(r은 $1 \le r \le n$을 만족하는 자연수)에서, 상기 회로 그룹의 m번째 소스 신호 라인(m은 $1 \le m \le n-r+1$을 만족하는 자연수)은 $(m+r-1)$번째 아날로그 버퍼 회로에 의해 구동되고, l번째 소스 신호 라인(l은 $n-r+2 \le l \le n$을 만족하는 자연수)은 $(l-n+r-1)$번째 아날로그 버퍼 회로에 의해 구동되는, 액정 디스플레이 디바이스 구동 방법.

청구항 15.
절연 기판 상에 복수의 픽셀들과, 복수의 소스 신호 라인들과, 복수의 게이트 신호 라인들과, 소스 신호 라인 구동기 회로를 갖는 액정 디스플레이 디바이스 구동 방법으로서, 상기 소스 신호 라인 구동기 회로는 상기 소스 신호 라인들을 구동하기 위한 아날로그 버퍼 회로들을 갖는, 상기 액정 디스플레이 디바이스 구동 방법에 있어서,

n(n은 자연수이며 2와 같거나 그보다 크다)개의 소스 신호 라인들 및 n개의 아날로그 버퍼 회로들이 회로 그룹을 형성하며,

n개 기간들의 세트가 시간적으로 랜덤하게 반복되고,

r번째 기간(r은 $1 \le r \le n$을 만족하는 자연수)에서, 상기 회로 그룹의 m번째 소스 신호 라인(m은 $1 \le m \le n-r+1$을 만족하는 자연수)은 $(m+r-1)$번째 아날로그 버퍼 회로에 의해 구동되고, l번째 소스 신호 라인(l은 $n-r+2 \le l \le n$을 만족하는 자연수) 은 $(l-n+r-1)$번째 아날로그 버퍼 회로에 의해 구동되는, 액정 디스플레이 디바이스 구동 방법.

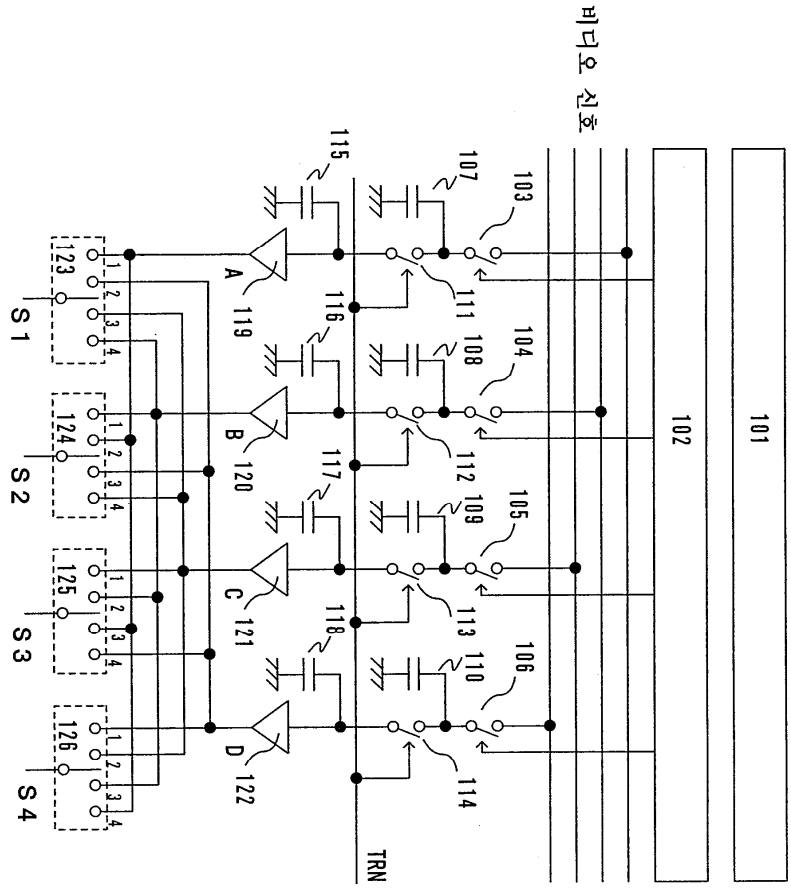
청구항 16.
제 10 항 내지 제 15 항 중 어느 한 항에 있어서, 상기 아날로그 버퍼 회로들은 소스 팔로어 회로들인, 액정 디스플레이 디바이스 구동 방법.

청구항 17.
제 10 항 내지 제 15 항 중 어느 한 항에 있어서, 상기 아날로그 버퍼 회로들은 전압 팔로어 회로들인, 액정 디스플레이 디바이스 구동 방법.

청구항 18.
제 10 항 내지 제 15 항 중 어느 한 항에 있어서, 상기 스위칭 회로는 아날로그 스위칭 회로를 포함하는, 액정 디스플레이 디바이스.

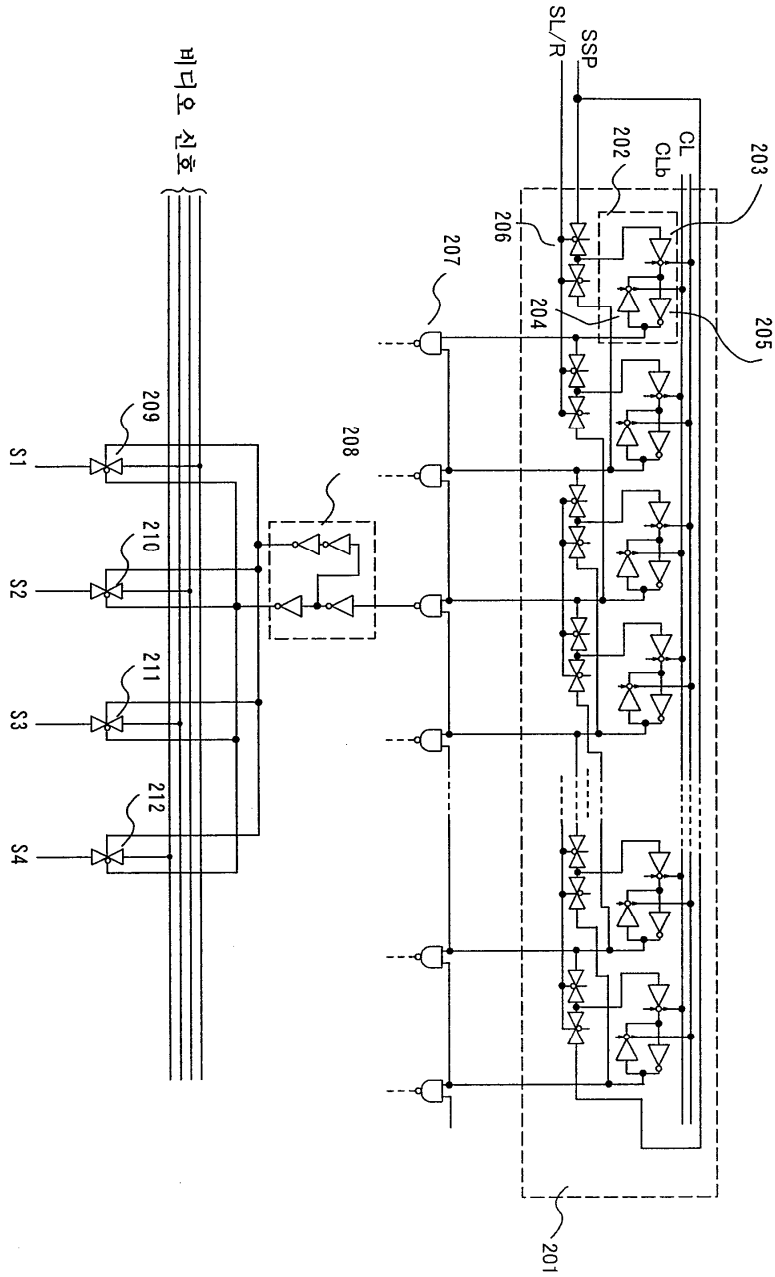
도면

도면1

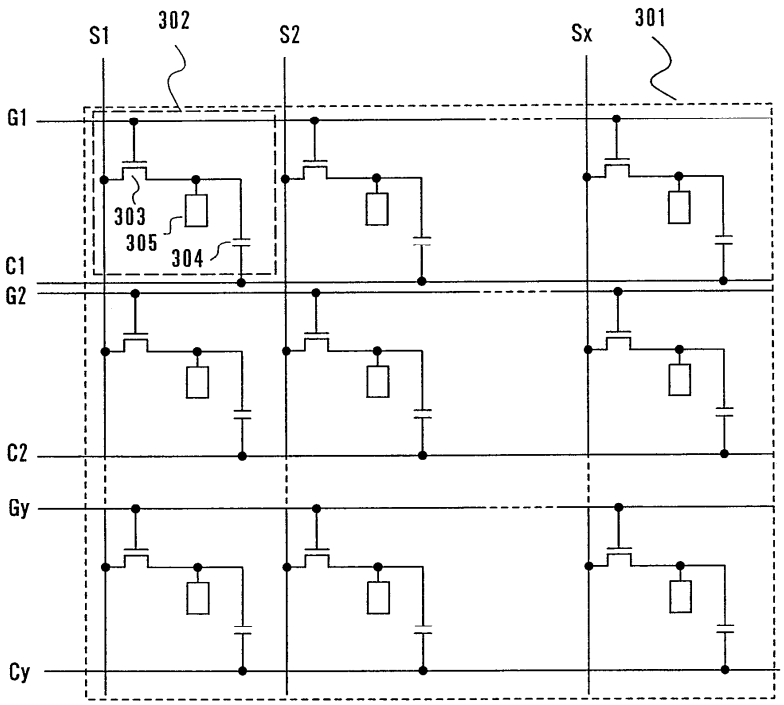

비디오 신호
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
A
B
C
D
S1
S2
S3
S4
TRN

도면2

종래기술

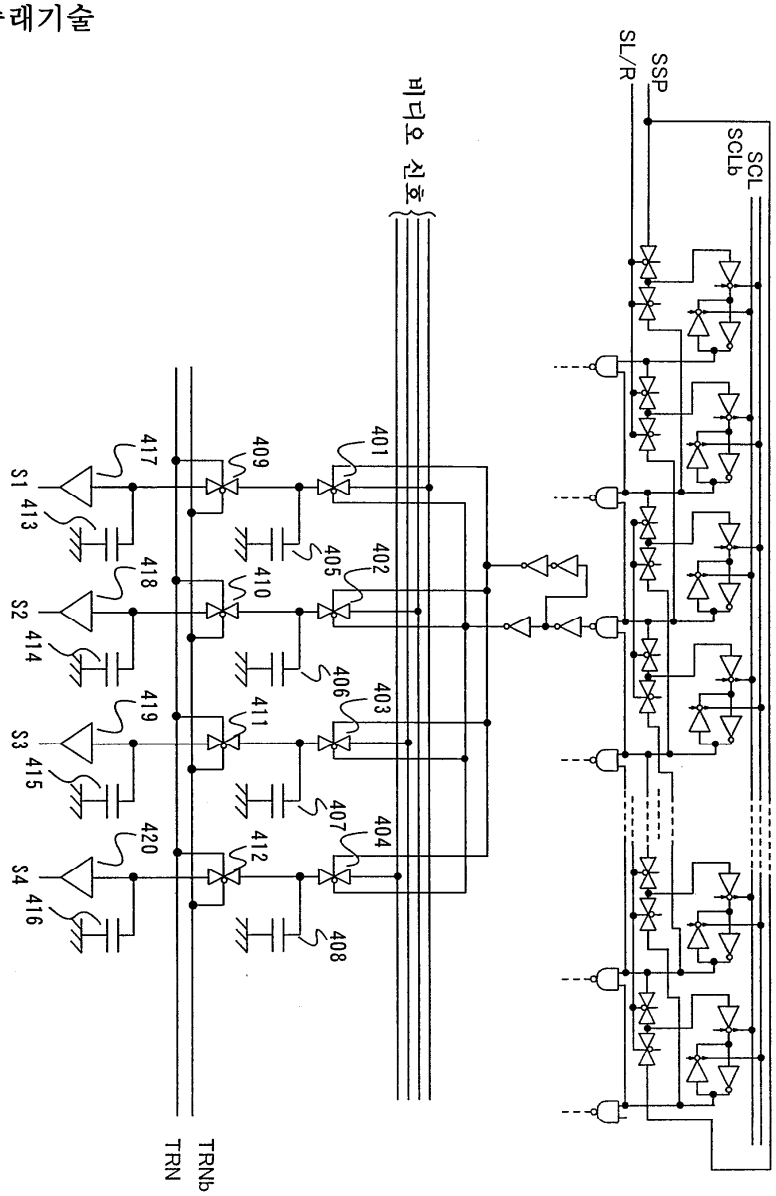

비디오 신호
SL/R
SSP
CL
CLb
202
203
206
207
204
205
209
208
S1
210
S2
211
S3
212
S4
201

도면3

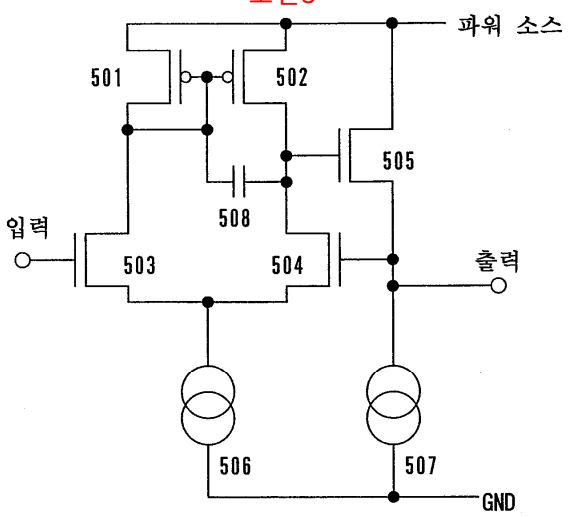


도면4

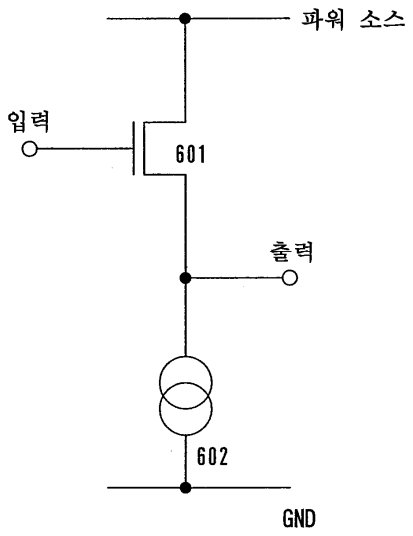
종래기술


SL/R
SSP
SCLb
SCL
비디오 신호
S1 413
S2 414
S3 415
S4 416
417
418
419
420
409
410
411
412
401
402
403
404
405
406
407
408
TRN
TRNb

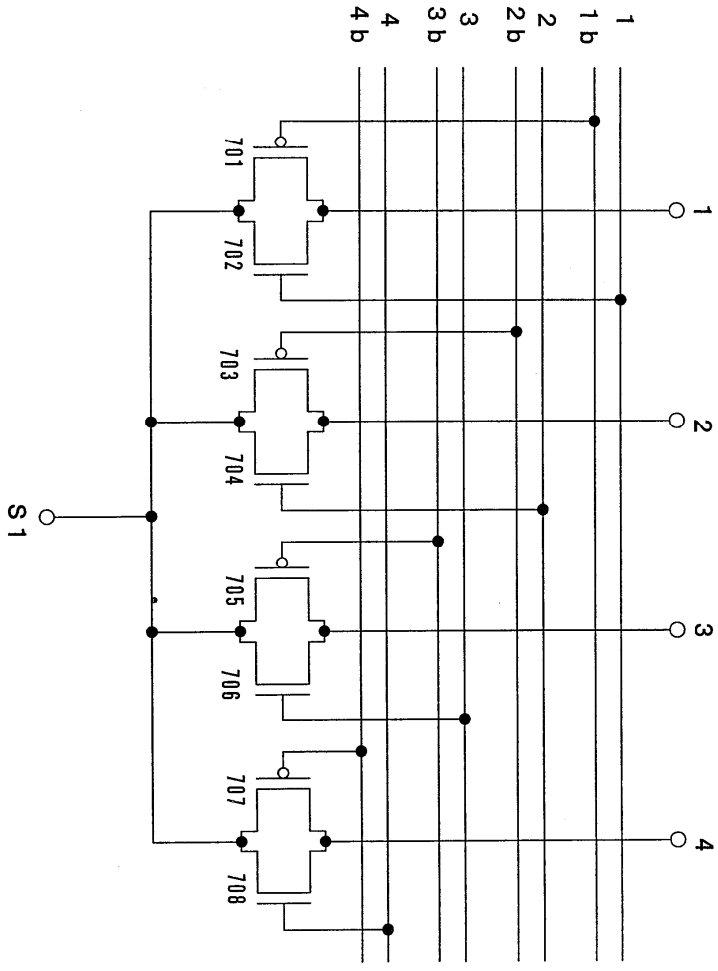
도면5


파워 소스
501
502
505
508
입력
503
504
출력
506
507
GND

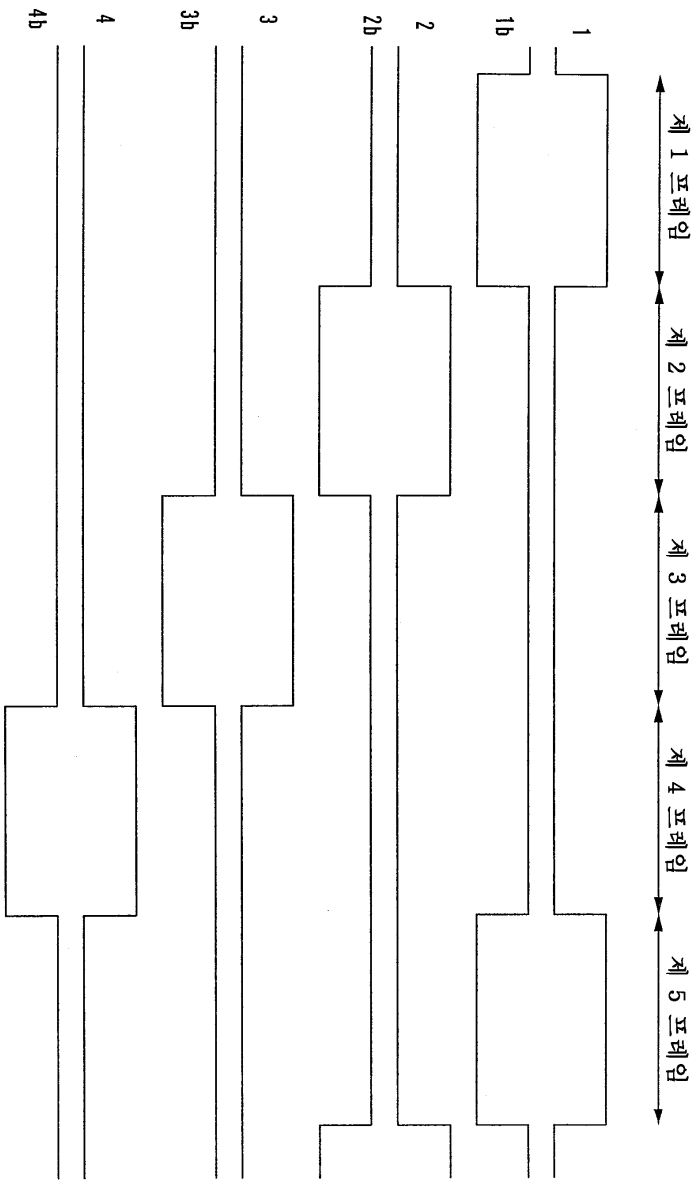
도면6


파워 소스
입력
601
출력
602
GND

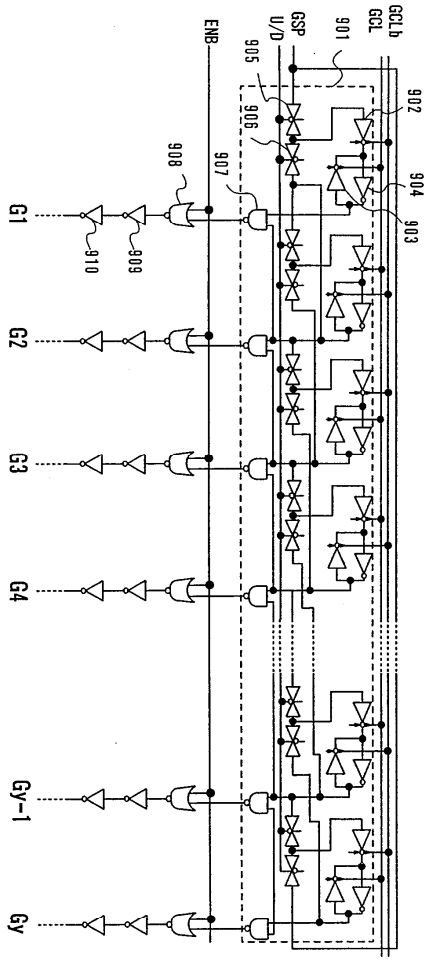
도면7


1
1 b
2
2 b
3
3 b
4
4 b
S 1
701
702
703
704
705
706
707
708
1
2
3
4

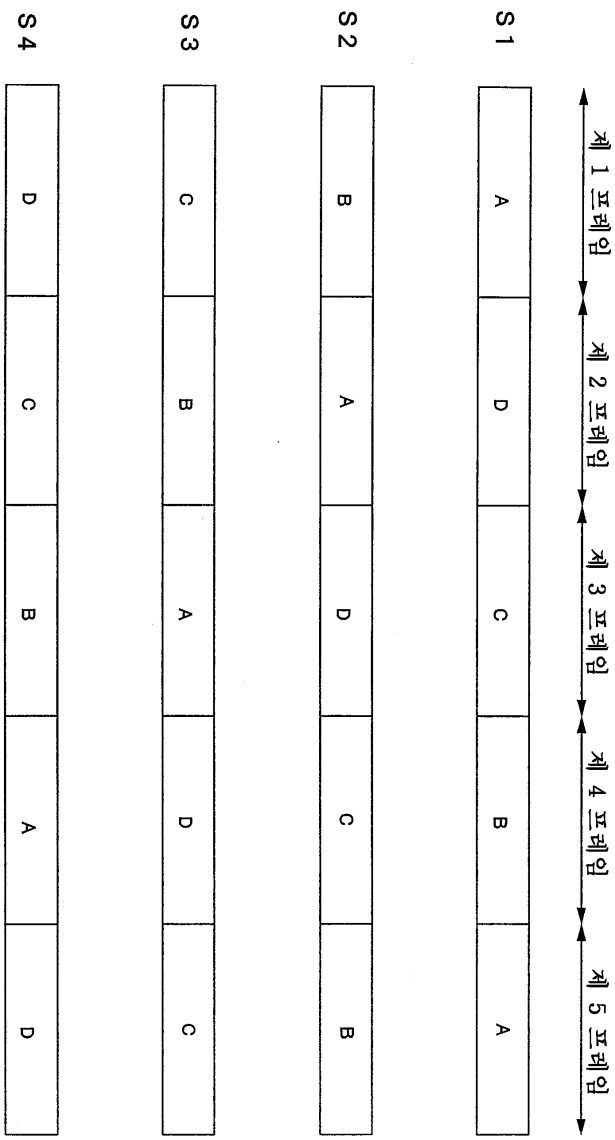
도면8



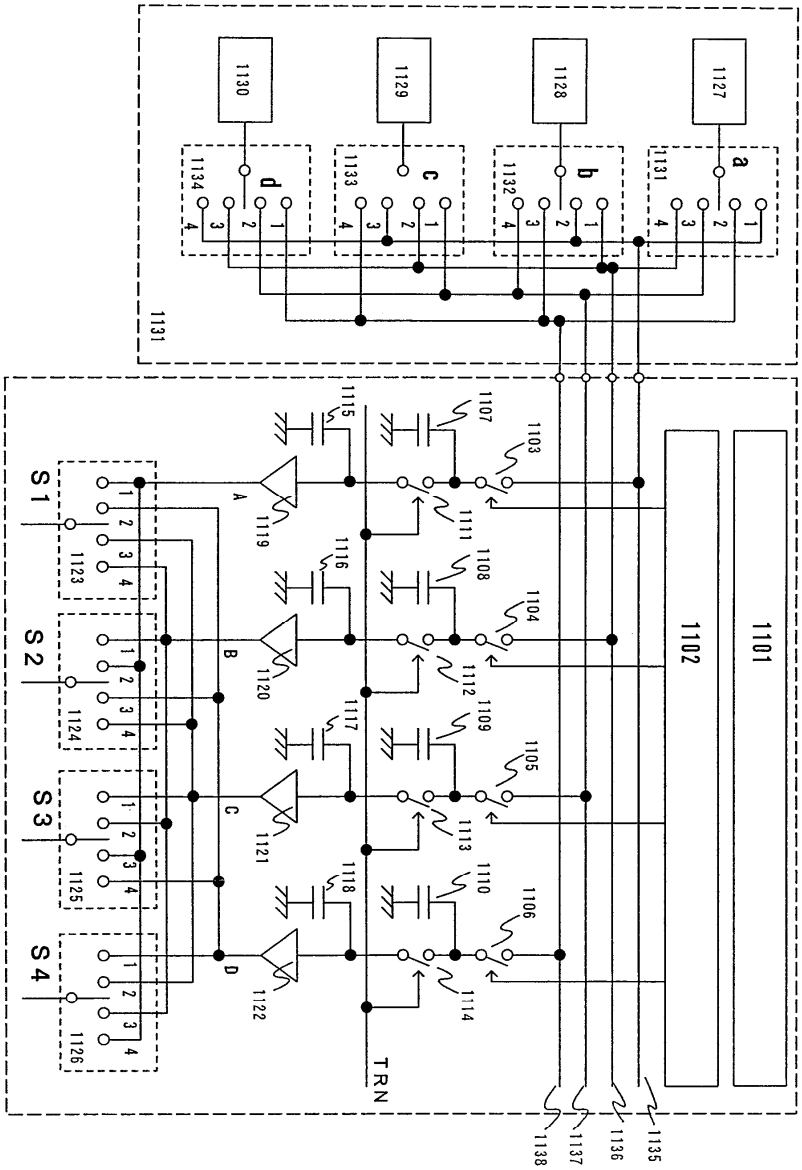
도면9


GCLb
GCL
901
902
903
904
905
906
907
908
909
910
GSP
U/D
ENB
G1
G2
G3
G4
Gy-1
Gy

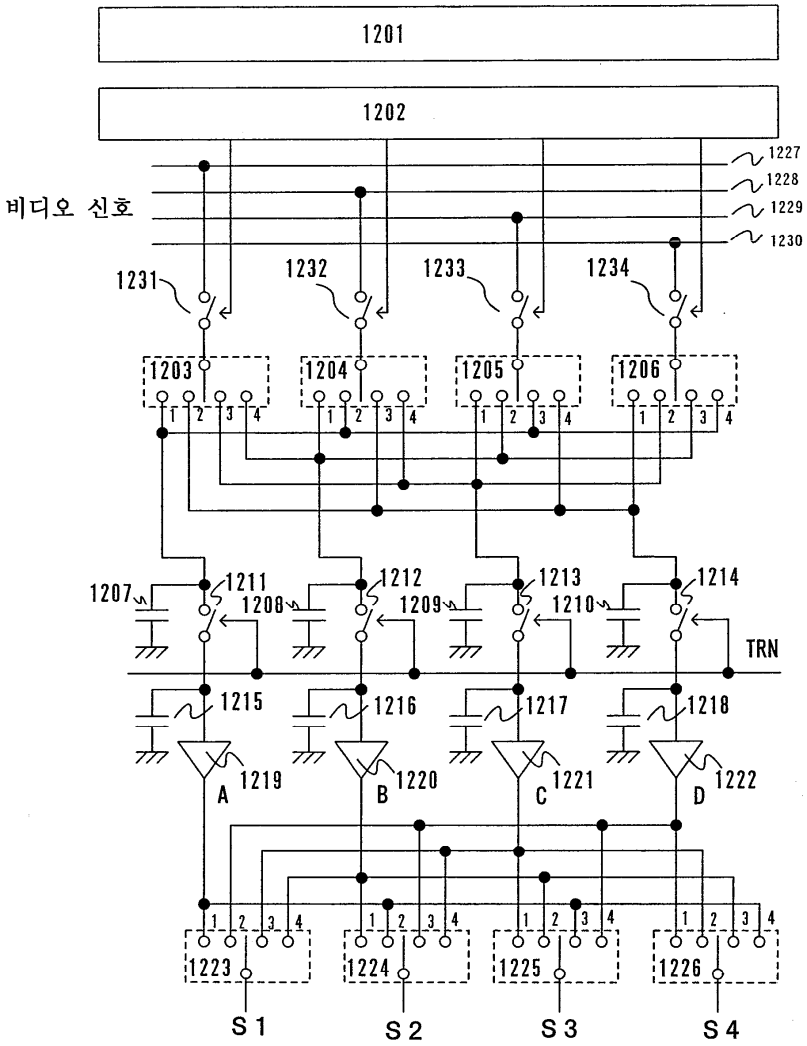
도면10



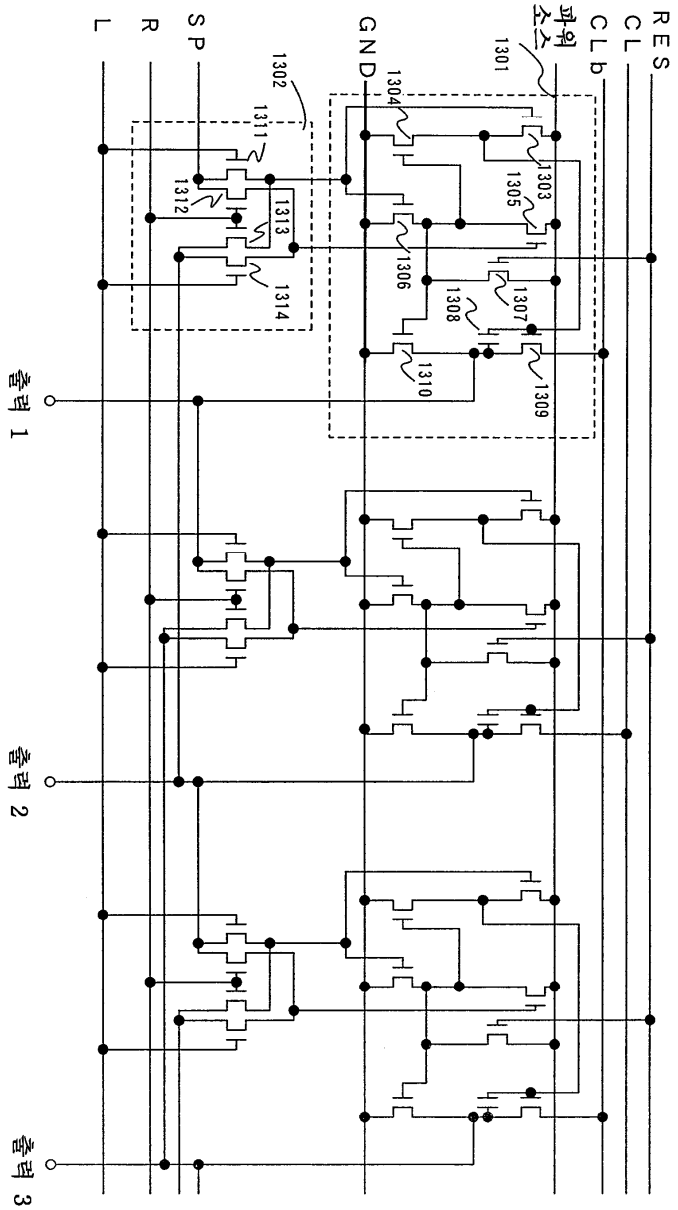
도면11


1131
1130
1129
1128
1127
d
c
b
a
1134
1133
1132
1131
1101
1102
1103
1104
1105
1106
1107
1108
1109
1110
1111
1112
1113
1114
1115
1116
1117
1118
1119
1120
1121
1122
1123
1124
1125
1126
S1
S2
S3
S4
A
B
C
D
TRN
1135
1136
1137
1138

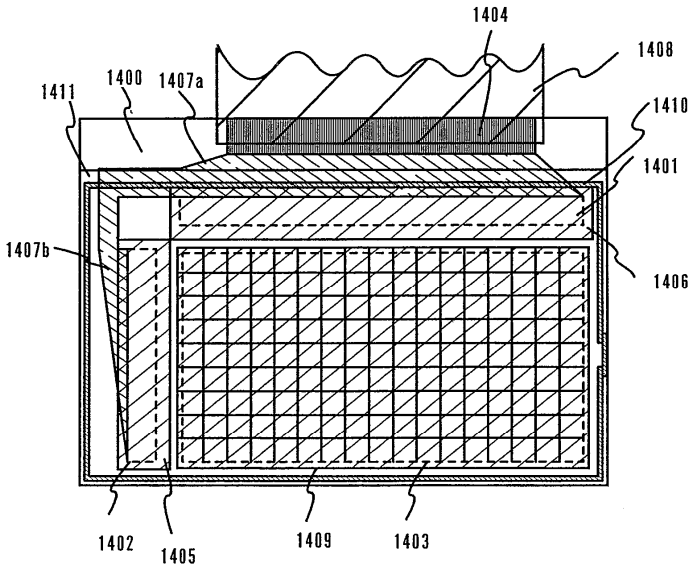
도면12


1201
1202
비디오 신호
1227
1228
1229
1230
1231
1232
1233
1234
1203
1204
1205
1206
1207
1208
1209
1210
1211
1212
1213
1214
TRN
1215
1216
1217
1218
A
B
C
D
1219
1220
1221
1222
1223
1224
1225
1226
S1
S2
S3
S4

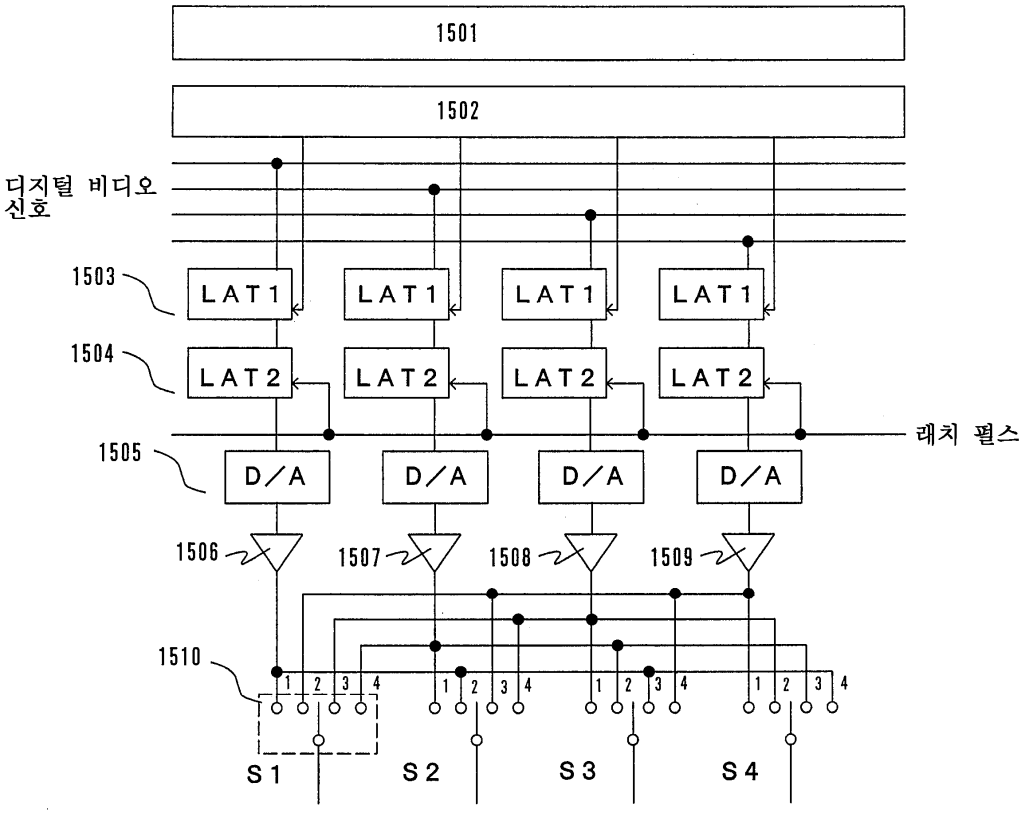
도면13


L
R
SP
GND
파워
CLb
CL
RES
1301
1302
1303
1304
1305
1306
1307
1308
1309
1310
1311
1312
1313
1314
출력 1
출력 2
출력 3

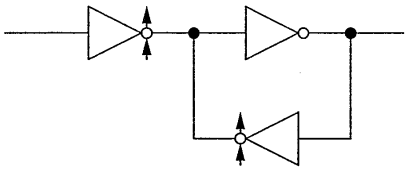
도면14


1404
1408
1411
1400
1407a
1410
1401
1407b
1406
1402
1405
1409
1403

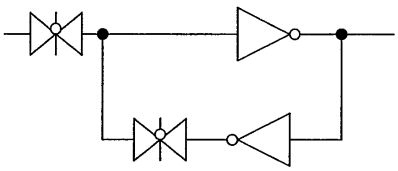
도면15



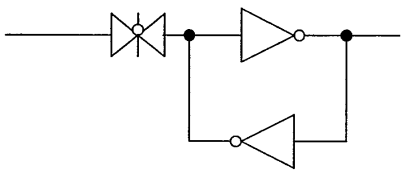
도면16a



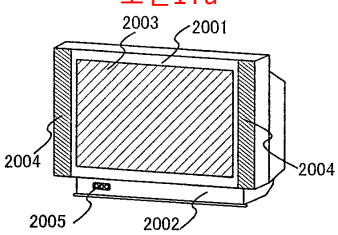
도면16b



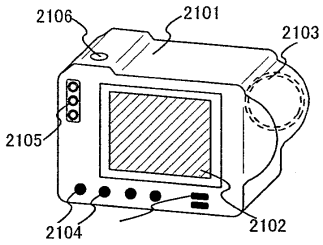
도면16c



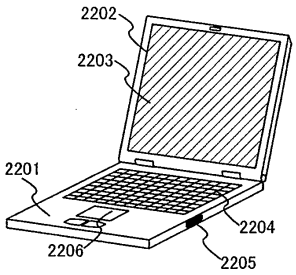
도면17a



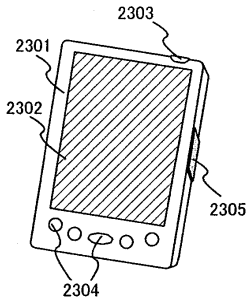
도면17b



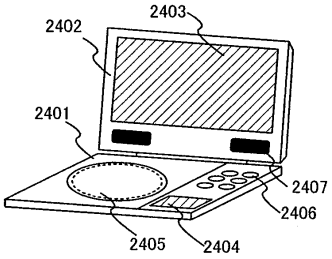
도면17c



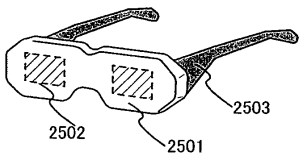
도면17d



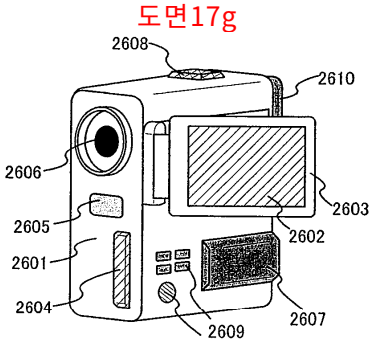
도면17e



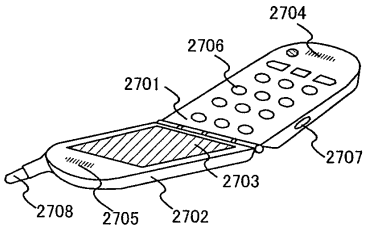
도면17f



도면17g



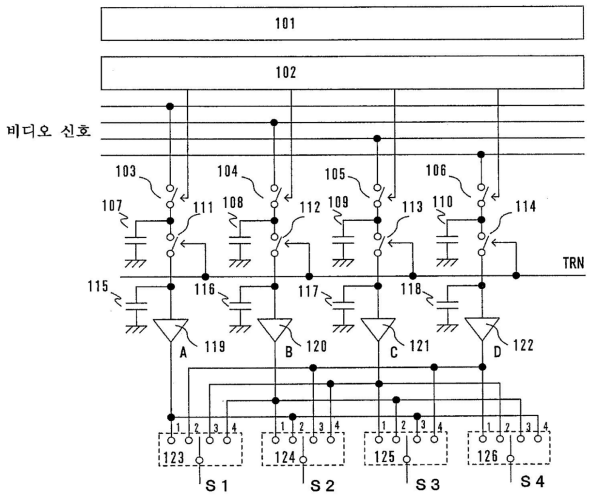
도면17h



专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	KR1020040020844A	公开(公告)日	2004-03-09
申请号	KR1020030061152	申请日	2003-09-02
[标]申请(专利权)人(译)	株式会社半导体能源研究所 夏普株式会社		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦 夏普株式会社		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦 夏普株式会社		
[标]发明人	KOYAMA JUN 코야마준 SHIONOIRI YUTAKA 시오노이리유타카 MIYAKE HIROYUKI 미야키히로유키 HIRAYAMA YASUHIRO 히라야마야수히로 LEE BUYEOL 이부열		
发明人	코야마준 시오노이리유타카 미야키히로유키 히라야마야수히로 이부열		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2320/0233 G09G2310/0297 G09G3/3688 G09G3/3648		
代理人(译)	李，何炳 李昌勋		
优先权	2002257210 2002-09-02 JP		
其他公开文献	KR101012604B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其具有缓冲电路，并且亮度变化减小。它具有多个alalog缓冲电路，其中源信号线驱动电路组织多个alalog缓冲电路，以及多个源信号线和电路组。连接到alalog缓冲器电路的源信号线在每次启动新周期时将其连接切换到其他alalog缓冲器电路。因此，可以使alalog缓冲电路之间的输出变化相等，并且可以在屏幕上显示偶数图像。液晶显示，变化，alalog缓冲电路，开关，均衡。


101
102
비디오 신호
103
104
105
106
107
111
108
112
109
113
110
114
TRN
115
116
117
118
A
119
B
120
C
121
D
122
123
124
125
126
S1
S2
S3
S4