(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2001-0062081
(43) 공개일자 2001년07월07일

(21) 출원번호 10-2000-0072650
(22) 출원일자 2000년12월02일

(30) 우선권주장 1999-345344 1999년12월03일 일본(JP)

(71) 출원인 닛본 덴기 가부시끼가이샤
가네꼬 히사시
일본국 도꾜도 미나도꾸 시바 5쪼메 7방 1고

(72) 발명자 니시무라미쯔히사
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내

(74) 대리인 장수길
주성민

심사청구 : 있음

(54) 액정 표시 장치의 구동 회로

요약

화상 데이터를 액정 패널로 전송하는 액정 표시 장치의 구동 회로에 있어서, 버스 라인에서 전송되는 데이터의 각 비트 값의 변화량을 저감시킬 수 있는 액정 표시 장치의 구동 회로를 실현한다.

컨트롤러(2)는, 4개의 출력 포트마다, 버스 라인으로의 출력에 극성의 변화를 생기게 하는 데이터 신호가 과반수이상 있는 경우에는, 전 데이터 신호의 극성을 반전하여, 각 출력 포트로부터 각각 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24를 버스 라인으로 출력한다. 또한, 컨트롤러(2)는, 4개의 출력 포트마다, 버스 라인으로 출력되는 데이터 신호의 극성이 반전되는 것을 나타내는 극성 반전 신호 INV-A D를 출력하도록 하여, 버스 라인으로의 출력의 극성의 변화량을 전송하는 데이터 신호의 반(1/2)수 이하로 저감시킬 수 있다.

대표도
도 1

색인어
액정 표시 장치, 액정 패널, 화상 데이터, 버스 라인, 소스 드라이버

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구동 회로의 구성을 나타내는 블록도.

도 2는 동일한 실시예에 따른 컨트롤러(2)에 구비되는 데이터 출력부(4)의 구성을 나타내는 블록도.

도 3은 도 2에 도시된 데이터 출력부(4)의 입출력 신호의 위상 관계를 나타내는 파형도.

도 4는 도 2에 도시된 데이터 극성 반전 판정·생성부(10-1 4)의 일 구성예를 나타내는 블록도.

도 5는 도 4에 도시된 데이터 극성 반전 판정·생성부의 동작을 나타내는 파형도.

도 6은 도 5에 도시된 데이터 극성 반전 판정 회로(11)의 일 구성예를 나타내는 회로도.

도 7은 도 6에 도시된 극성 변화 검출 회로(21)의 동작을 설명하기 위한 표.

도 8a 내지 도 8d는 도 1에 도시된 일 실시예에 의해 얻어지는 효과를 설명하기 위한 표.

도 9는 도 1에 도시된 일 실시예에 따른 액정 표시 장치의 구동 회로를 이용하여 액정 패널(1)을 구동했을 때의 EMI 특성의 측정 결과를 나타내는 파형도.

도 10은 종래의 액정 표시 장치의 구동 회로의 구성을 나타내는 블록도.

도 11은 종래의 액정 표시 장치의 구동 회로를 이용하여 액정 패널(1)을 구동했을 때의 EMI 특성의 측정 결과를 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 액정 패널

2 : 컨트롤러

3-1 4 : 소스 드라이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 컴퓨터등의 표시 장치에 이용되는 액정 표시 장치에 관한 것으로, 특히 액정 패널의 구동 회로에 이용하기에 적합한 액정 표시 장치의 구동 회로에 관한 것이다.

최근, CRT (Cathode Ray Tube)보다도 밝기와 고해상도를 비교적 양립시키기 쉬운 액정 패널을 이용한 액정 표시 장치가, 컴퓨터나 휴대 단말등의 표시 장치로서 사용되고 있다.

도 10은 이러한 액정 표시 장치의 액정 패널을 구동하는 종래의 구동 회로의 구성을 나타내는 블록도이다. 이 도면에

있어서, 참조 번호 1은 화상을 표시하는 액정 패널, 참조 번호 101은 액정 패널(1)에 의해 표시되는 화상 데이터를 48비트의 데이터 BUS1 48로서 1개의 포트로부터, 48비트의 버스 라인을 통해 출력하는 컨트롤러, 102-m(m은 1 이상의 정수)은 이 컨트롤러(101)에 의해 출력되는 데이터 BUS1 48로부터, 화상을 표시하기 위한 구동 신호를 발생시켜 액정 패널(1)을 구동하는 소스 드라이버(이하, SD라고 칭함)이다.

또, 이 SD의 갯수를 나타내는 m이 10인 경우에 대해 이하에 설명한다. 또한, 도 10에 있어서, SD102-5 10은 도시하지 않는다.

이 도 10에 도시된 컨트롤러(101)가 출력하는 데이터 BUS1 24는, SD102-1-10 중에서 홀수번째의 각 SD102-l, 3, 5, 7, 9에 접속된다. 마찬가지로, 컨트롤러(101)가 출력하는 클럭 CLK3 및 제어 신호 SP3도, 홀수번째의 각 SD102-1, 3, 5, 7, 9에 접속된다.

한편, 컨트롤러(101)가 출력하는 데이터 BUS25 48은, SD102-1 10 중에서 짝수번째의 각 SD102-2, 4, 6, 8, 10에 접속되고, 마찬가지로 컨트롤러(101)가 출력하는 클럭 CLK4 및 제어 신호 SP4도, 짝수번째의 각 SD102-2, 4, 6, 8, 10에 접속된다.

또, 상기 데이터 BUS1 24와 데이터 BUS25 48 각각의 24비트의 신호의 내역은, 적(R), 녹(G), 청(B)의 각 8비트의 신호이고, 이들 R, G, B 신호에 의해 256 계조의 컬러 표시가 실현된다.

이러한 구성의 종래의 액정 표시 장치의 구동 회로에서는, 홀수번째의 각 SD102-1, 3, 5, 7, 9는, 각각 컨트롤러(101)로부터 클럭 CLK3에 동기하여 출력되는 데이터 BUS1 24를 제어 신호 SP3의 타이밍으로 래치한다. 한편, 짝수번째의 각 SD102-2, 4, 6, 8, 10은, 각각 컨트롤러(101)로부터 클럭 CLK4에 동기하여 출력되는 데이터 BUS25 48을 제어 신호 SP4의 타이밍으로 래치한다.

계속해서, 각 SD102-1 10은, 액정 패널(1)로의 구동 개시를 지시하는 각 구동 개시 신호(도시되지 않음)가 입력되면, 각각에 래치한 데이터 BUS1 24 또는 25 48에 기초를 둔 구동 신호를 발생시킨다. 이들 각 SD102-1 10에 의해 발생되는 구동 신호가 액정 패널(1)에 입력되면, 그 액정 패널(1) 상에 화상이 표시된다.

또, 액정 패널(1)을 구동하는 SD102-1 10에는, 화상 데이터의 전송 주파수인 입력되는 클럭 CLK3, 4의 주파수에 일정한 제한이 있다. 그 제한 주파수 이하로 화상 데이터의 전송 주파수를 내리기 때문에, 컨트롤러(101)로부터 각 SD102-1 10으로 화상 데이터를 전송하는 버스 라인을 24비트씩 나누어, 홀수번째의 각 SD102-l, 3, 5, 7, 9와 짝수번째의 각 SD102-2, 4, 6, 8, 10에 각각 전송한다.

발명이 이루고자 하는 기술적 과제

그러나, 상술된 종래의 액정 표시 장치의 구동 회로에서는, 버스 라인에서 전송되는 데이터 BUS1 48의 각 비트 값의 변화량이 많으면, 액정 표시 장치의 구동 회로의 소비 전력이 커진다고 하는 문제가 있다.

또한, 그 데이터 BUS1 48을 전송하는 버스 라인은, 액정 패널(1) 주위의 가로 방향으로 배선되므로 길어지고, 또한 그 갯수도 많으므로 안테나 효과를 초래하는 경우가 있다. 그 때문에, 그 버스 라인에서 전송되는 데이터 BUS1 48의 각 비트 값의 변화량이 많으면, 이 각 비트 값의 변화에 기인하여 방사되는 전자 방해 잡음이 커져 전자 방해 잡음 특성(EMI 특성)이 나빠진다. 이 방사되는 전자 방해 잡음은, 주변의 전자 기기에 오동작 등의 악영향을 끼치는 원인이 되는 것으로, 정밀 전자 기기의 근방이나 계산기실등에서 사용되는 액정 표시 장치에 있어서, 이 EMI 특성이 나쁜 경우에는, 매우 큰 문제가 된다.

또한, 그 전자 방해 잡음의 방사를 저감시키기 위해 고가의 EMI 대책용 부품을 사용할 필요가 있어, 액정 표시 장치의 비용이 커진다.

또한, 그 방사되는 전자 방해 잡음이 버스 라인에 기인하는 노이즈인지의 여부를 판단하는 것이 어렵고, 그 방사 요인의 특정을 할 수 없다고 하는 문제도 있다.

또한, 그 데이터 BUS1 48의 각 비트 값의 변화량이 많은 경우에는, 버스 라인 사이에서, 크로스토크 노이즈가 발생하여 데이터 오류의 원인이 된다고 하는 문제도 있다.

본 발명은, 이러한 사정을 고려하여 이루어진 것으로, 그 목적은 화상 데이터를 액정 패널로 전송하는 액정 표시 장치의 구동 회로에서, 버스 라인에서 전송되는 데이터의 각 비트 값의 변화량을 저감시킬 수 있는 액정 표시 장치의 구동 회로를 제공하는 것에 있다.

상기된 과제를 해결하기 위해, 청구항1에 기재된 발명은, 복수의 전송 데이터 신호가 출력되는 상기 전송 데이터 신호수 폭의 버스 라인을 갖는 액정 표시 장치의 구동 회로에 있어서, 상기 복수의 전송 데이터 신호로서 상기 버스 라인으로 출력되는 복수의 데이터 신호 중에서, 과반수 이상이 상기 버스 라인으로의 출력에 극성의 변화를 생기게 하는 경우에, 상기 복수의 데이터 신호의 극성을 전부 반전하여 상기 버스 라인으로 출력하는 것을 나타내는 극성 반전 신호를 출력하는 데이터 극성 반전 판정 수단과, 상기 데이터 극성 반전 판정 수단으로부터 출력되는 상기 극성 반전 신호에 따라, 입력되는 상기 복수의 데이터 신호의 극성을 전부 반전하여 상기 복수의 전송 데이터 신호로서 출력하는 극성 반전 수단을 포함한다.

청구항2에 기재된 발명은, 청구항1에 기재된 발명에 있어서, 상기 데이터 극성 반전 판정 수단과 상기 극성 반전 수단을 복수의 버스 라인 각각에 구비하는 것을 특징으로 한다.

청구항3에 기재된 발명은, 복수의 전송 데이터 신호가 출력되는 상기 전송 데이터 신호수 폭의 버스 라인을 갖는 액정 표시 장치의 구동 회로에서, 복수의 입력 데이터 신호를 입력 클럭에 동기하여 래치하고 복수의 제1 데이터 신호로서 출력하는 제1 래치 회로와, 입력되는 제1 극성 반전 신호가 소정의 반전 지시 레벨의 경우에, 상기 복수의 제1 데이터 신호의 극성을 모두 반전하고, 복수의 제2 데이터 신호로서 출력하는 극성 반전 회로와, 상기 복수의 입력 데이터 신호와 상기 복수의 제2 데이터 신호의 대응하는 신호끼리에서, 극성이 다른 수가 상기 신호수의 과반수 이상인 경우에, 제2 극성 반전 신호를 상기 반전 지시 레벨로서 출력하는 데이터 극성 반전 판정 회로와, 상기 제2 극성 반전 신호를 상기 입력 클럭에 동기하여 래치하고, 상기 제1 극성 반전 신호로서 출력하는 제2 래치 회로를 포함한다.

청구항4에 기재된 발명은, 청구항3에 기재된 발명에 있어서, 상기 복수의 제2 데이터 신호를 상기 입력 클럭에 동기하여 래치하고, 상기 복수의 전송 데이터 신호로서 출력하는 제3 래치 회로와, 상기 제1 극성 반전 신호를 상기 입력 클럭에 동기하여 래치하고, 제3 극성 반전 신호로서 출력하는 제4 래치 회로를 포함한다.

청구항5에 기재된 발명은, 청구항4에 기재된 발명에 있어서, 상기 제1 내지 제4 래치 회로와 상기 극성 반전 회로와 상기 데이터 극성 반전 판정 회로를 복수의 버스 라인 각각에 구비하는 것을 특징으로 한다.

청구항6에 기재된 발명은, 청구항5에 기재된 발명에 있어서, 상기 입력 클럭은, 상기 복수의 버스 라인의 반(1/2)수에 대응하는 상기 입력 클럭과 나머지 반수에 대응하는 상기 입력 클럭에서 위상이 반주기 어긋나는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 도면을 참조하여, 본 발명의 일 실시예에 대해 설명한다.

도 1은 동일한 실시예에 따른 액정 표시 장치의 구동 회로의 구성을 나타내는 블록도이다. 이 도면에 있어서, 참조 번호

1은 화상을 표시하는 액정 패널, 참조 번호 2는 액정 패널(1)에 의해 표시되는 화상 데이터를 24비트씩 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24로서 4개의 포트로 분할하여 출력하고, 그 화상 표시를 제어하는 컨트롤러, 3-m(m은 1 이상의 정수)은 이 컨트롤러(2)에 의해 출력되는 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24로부터, 화상을 표시하기 위한 구동 신호를 발생시켜 액정 패널(1)을 구동하는 소스 드라이버(이하, SD라고 칭함)이다. 이 액정 패널(1)을 구동하는 SD3-m은, 1개의 SD에서 복수의 화소 표시에 대응하는 각 구동 신호를 발생시키는 것으로서, m 개의 SD3-m에 의해 액정 패널(1) 전체가 구동되어 화상이 표시된다. 예를 들면, 도 1에 도시된 일 실시예에 있어서는, 액정 패널(1)의 화소수는 1280이고, 1개의 SD의 구동 화소수는 128, SD의 갯수를 나타내는 m은 10이다. 이 10개의 SD3-1 10 중, 3-1이 제1번째의 SD, 3-2가 제2번째의 SD, 3-3이 제3번째의 SD, 3-4가 제4번째의 SD이고, 제5번째로부터 제10번째의 SD3-5 10은 도시하지 않는다. 또, 각 SD3-l 10은, 1 화소당 적(R), 녹(G), 청(B)의 3원색분을 구동하므로, 1개당 SD의 출력수는 128의 3배인 384로 되어 있지만, 도 1에서는 이들 384개의 출력을 1개로 대표하여 나타내고 있다.

도 1에 도시된 컨트롤러(2)가 출력하는 데이터 BUS-A1 24와 BUS-B1 24는, 각각 24비트 폭의 버스 라인을 통해, SD3-1 10 중에서 홀수번째의 각 SD3-1, 3, 5, 7, 9에 접속된다. 마찬가지로, 컨트롤러(2)가 출력하는 극성 반전 신호 INV-A, INV-B와 클럭 CLK1 및 제어 신호 SP1도, 홀수번째의 각 SD3-1, 3, 5, 7, 9에 접속된다.

한편, 컨트롤러(2)가 출력하는 데이터 BUS-C1 24와 BUS-D1 24는, 각각 24비트 폭의 버스 라인을 통해, SD3-1 10 중에서 짝수번째의 각 SD3-2, 4, 6, 8, 10에 접속되고, 마찬가지로 컨트롤러(2)가 출력하는 극성 반전 신호 INV-C, INV-D와 클럭 CLK2 및 제어 신호 SP2도, 짝수번째의 각 SD3-2, 4, 6, 8, 10에 접속된다.

또한, 상술된 도 1에 도시된 일 실시예에 있어서는, 홀수번째의 각 SD3-1, 3, 5, 7, 9와 짝수번째의 각 SD3-2, 4, 6, 8, 10과 각각 2 포트의 출력을 할당함에 따라, 클럭 CLK1 또는 CLK2의 1 클럭당 구동 화소수를 2 화소로 하여 각 클럭 주파수를 1/2로 줄인다. 예를 들면, SD3-1에 있어서는, 클럭 CLK1의 1 클럭 시간에서, 동시에 데이터 BUS-A1 24와 데이터 BUS-B1 24의 데이터가 각각 2개의 화소로 공급된다.

또한, 상기 데이터 BUS-A1 24, B1 24, C1 24, D1 24 각각 24비트의 신호의 내역은, 적(R), 녹(G), 청(B)의 각 8비트의 신호이고, 이들 R, G, B 신호에 의해 256 계조의 컬러 표시가 실현된다.

이어서, 상술된 도 1에 도시된 구성의 액정 표시 장치의 구동 회로에서, 액정 패널(1)이 구동되어 화상이 표시되는 동작에 대해 설명한다.

우선, 홀수번째의 각 SD3-1, 3, 5, 7, 9에는 컨트롤러(2)로부터 클럭 CLK1에 동기하여 출력되는 데이터 BUS-A1 24, BUS-B1 24, 극성 반전 신호 INV-A, INV-B의 각 신호가 입력되고, 마찬가지로 입력되는 제어 신호 SP1의 타이밍에서 이들 입력되는 신호는 래치된다. 이 래치된 극성 반전 신호 INV-A는, 마찬가지로 래치된 데이터 BUS-A1 24의 극성이 반전되는지의 여부를 나타내고, 또한 래치된 극성 반전 신호 INV-B는, 마찬가지로 래치된 데이터 BUS-B1 24의 극성이 반전되는지의 여부를 나타낸다. 계속해서, 이들 래치한 극성 반전 신호 INV-A, INV-B에 따라, 각 SD3-1, 3, 5, 7, 9는 래치한 데이터 BUS-A1 24, BUS-B1 24의 극성을 반전한다.

한편, 짝수번째의 각 SD3-2, 4, 6, 8, 10에는 컨트롤러(2)로부터 클럭 CLK2에 동기하여 출력되는 데이터 BUS-C1 24, BUS-D1 24, 극성 반전 신호 INV-C, INV-D의 각 신호가 입력되고, 마찬가지로 입력되는 제어 신호 SP2의 타이밍에서 이들 입력되는 신호는 래치된다. 이 래치된 극성 반전 신호 INV-C는 래치된 데이터 BUS-C1 24의 극성이 반전되는지의 여부를 나타내고, 마찬가지로 래치된 극성 반전 신호 INV-D는 래치된 데이터 BUS-D1 24의 극성이 반전되는지의 여부를 나타낸다. 계속해서, 각 SD3-2, 4, 6, 8, 10은, 이들 극성 반전 신호 INV-C, INV-D에 따라 데이터 BUS-C1 24, BUS-D1 24의 극성을 반전한다.

계속해서, 각 SD3-1 10은, 액정 패널(1)로의 구동 개시를 지시하는 각 구동 개시 신호(도시되지 않음)가 입력되면, 각각에 극성이 반전되거나 혹은 미반전의 데이터 BUS-A1 24, BUS-B1 24 또는 데이터 BUS-C1 24, BUS-D1 24에 기초를 둔 구동 신호를 발생시킨다. 이들 각 SD3-1 10에 의해 발생되는 구동 신호가 액정 패널(1)에 입력되면, 그 액정 패널(1) 상에 화상이 표시된다.

이어서, 도 2 도 7을 참조하여, 상술된 컨트롤러(2)에 구비되는 데이터 출력부(4)의 구성과 그 동작에 대해 설명한다.

우선, 도 2는 그 컨트롤러(2)에 구비되는 데이터 출력부(4)의 구성을 나타내는 블록도이다. 이 도 2에 도시된 바와 같이, 데이터 출력부(4)는 4개의 포트 A D를 갖고 있다. 이들 각 포트 A D가, 상술된 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24 및 INV-A D의 각 신호를 각각 생성하여 출력한다. 이 각 포트 A D로부터 출력되는 신호는 포트 A D마다 설치되는 데이터 극성 반전 판정·생성부(10-1 10-4)에 의해 생성된다.

이들 데이터 극성 반전 판정·생성부(10-1 10-4)에는, 96비트의 데이터 BUS1 96이, 24비트씩 4개로 분할되어 입력된다. 이 네개로 분할되는 데이터 BUS1 96 중, 데이터 BUS1 24는 데이터 극성 반전 판정·생성부(10-1)에, 데이터 BUS25 48은 데이터 극성 반전 판정·생성부(10-2)에, 데이터 BUS49 72는 데이터 극성 반전 판정·생성부(10-3)에, 데이터 BUS73 96은 데이터 극성 반전 판정·생성부(10-4)에 각각 입력된다. 또한, 클럭 CLK1은 데이터 극성 반전 판정·생성부(10-1, 10-21)로 입력되고, 클럭 CLK2는 데이터 극성 반전 판정·생성부(10-3, 10-4)로 입력된다. 이들 클럭 CLK1, 2는, 상술된 바와 같이, 컨트롤러(2)로부터 출력된다.

계속해서, 포트 A의 데이터 극성 반전 판정·생성부(10-1)는 데이터 BUS1 24의 극성을 반전하는지의 여부를 판정하고, 이 판정 결과에 따라 데이터 극성을 반전하여 데이터 BUS-A1 24로 하여 출력한다. 또한, 이 출력되는 데이터 BUS-A1 24의 극성이 반전될 때에는, 동시에 극성이 반전되는 것을 나타내는 극성 반전 신호 INV-A를 「H」로서 출력한다. 또한, 다른 포트 B D의 각 데이터 극성 반전 판정·생성부(10-2 4)에 있어서는, 마찬가지로 각각 입력되는 데이터 BUS25 48, BUS49 72, BUS73 96의 극성을 반전하는지의 여부를 판정하고, 이들 판정 결과에 따라 데이터 극성을 반전하여 데이터 BUS-B1 24, BUS-C1 24, BUS-D1 24로서 출력한다. 또한, 이들 출력하는 데이터 BUS-Bl 24, BUS-C1 24, BUS-D1 24의 극성이 반전될 때에는, 동시에 각 포트 B D가 출력하는 극성 반전 신호 INV-B D를 각각 「H」로 하여 출력한다.

도 3은, 상술된 클럭 CLK1, 2 및 데이터 BUS1 96, BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24의 위상 관계를 나타내는 파형도이다. 도 3의 (a) 도 3의 (c)에 도시된 바와 같이, 데이터 BUS1 48은 클럭 CLK1의 상승 엣지(도 3에서는 PA1 3의 타이밍)에 동기하여 변화하고, 데이터 BUS-A1 24, BUS-B1 24는 클럭 CLK1의 하강 엣지(도 3에서는 PB1 3의 타이밍)에 동기하여 변화한다. 한편, 도 3의 (d) 도 3의 (f)에 도시된 바와 같이, 데이터 BUS49 96은 클럭 CLK2의 상승 엣지(도 3에서는 PB1 3의 타이밍)에 동기하여 변화하고, 데이터 BUS-C1 24, BUS-D1 24는 클럭 CLK2의 하강 엣지(도 3에서는 PA1 3의 타이밍)에 동기하여 변화한다. 또한, 도 3의 (a), 도 3의 (d)에 도시된 바와 같이, 클럭 CLK1의 위상과 클럭 CLK2의 위상은 반주기(180°) 어긋나 있다.

그런데, 상술된 바와 같이, 컨트롤러(2)로부터는 데이터 BUS1 96이 4개의 포트 A D로 분리되어 출력되지만, 이들 포트 A D가 동일 타이밍에서 각 신호를 변화하여 출력하면 컨트롤러(2)의 순간 전류가 커져 버린다. 이 문제를 해결하기 위해, 상기된 바와 같이 클럭 CLK1의 위상과 클럭 CLK2의 위상을 반주기 어긋나고, 포트 A, B의 출력 변화와 포트 C, D의 출력 변화는 반주기 어긋난 타이밍으로 하고 있다. 이와 같이 포트 A, B와 포트 C, D의 각 출력 변화를 변이시킴에 따라, 4개의 포트 A D로 나누어 출력하는 경우에도 동시에 출력이 변화하는 것은 기껏해야 2 포트분이므로, 컨트롤러(2)의 순간 전류를 2개의 포트로 출력하는 경우의 순간 전류와 동일한 정도로 억제할 수 있다.

이어서, 데이터 극성 반전 판정·생성부(10-1 4)의 구성과 그 동작에 대해 설명한다. 도 4는 데이터 극성 반전 판정·생성부(10-1 4) 중 어느 하나의 일 구성예를 나타내는 블록도로서, 데이터 극성 반전 판정·생성부(10-1 4)는 모두 동일한 구성이다.

도 4에 있어서, 도 2의 각 데이터 극성 반전 판정·생성부(10-1 4)로의 입력인 데이터 BUS1 24, BUS25 48, BUS49 72, BUS73 96이 입력되는 데이터 da1 24이고, 클럭 CLK1, 2가 입력되는 클럭 clk이다. 또한, 출력되는 데이터 dd1 24가 각 데이터 극성 반전 판정·생성부(10-1 4)로부터 출력되는 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24이고, 출력되는 신호 inv3이 극성 반전 신호 INV-A D이다. 참조 번호 11은 데이터 da1 24와 데이터 dc1 24의 각 24비트 내에서 값이 다른 비트가 과반수 이상(13비트 이상)인 경우에, 데이터 극성의 반전을 지시하는 신호 inv1을 「H」로 하여 출력하는 데이터 극성 반전 판정 회로이고, 참조 번호 12는 입력되는 신호 inv2가 「H」의 구간에 입력되는 데이터 db1 24의 전비트의 극성을 반전하여 출력하는 극성 반전 회로이다. 참조 번호 13-1 24는 입력되는 데이터 da1 24를 클럭 clk의 하강 엣지로 각각 래치하고, 데이터 db1 24로서 출력하는 D 플립플롭이며, 참조 번호 14-1 24는 입력되는 데이터 dc1 24를 클럭 clk의 하강 엣지로 각각 래치하고, 데이터 dd1 24로서 출력하는 D 플립플롭이다. 참조 번호 15, 16은 각각 입력되는 신호 inv1, inv2를 클럭 clk의 하강 엣지로 래치하고, 신호 inv2, inv3로서 각각 출력하는 D 플립플롭이다.

도 5는 상술된 도 4에 도시된 데이터 극성 반전 판정·생성부(10-1 4)의 각부의 파형을 나타내는 파형도이다. 지금, 입력 클럭 clk를 도 5의 (a)에, 또한 입력 데이터 da1 24를 도 5의 (b)에 도시하는 것으로 한다. 도 5의 (b)에 도시된 바와 같이 입력 데이터 da1 24는 처음 24비트 모두가 1이고, 클럭 clk의 상승 엣지 t1의 타이밍에서 24비트 모두가 1로부터 0으로 변화하고, 상승 엣지 t3의 타이밍에서 24비트 모두가 0으로부터 1로 변화한다. 이와 같이 변화하는 데이터 da1 24가 입력되면 D 플립플롭(13-1 24)의 출력은 도 5의 (c)에 도시된 파형이 되고, 클럭 clk의 하강 엣지 t2의 타이밍에서 24비트 모두가 1로부터 0으로 변화하고, 하강 엣지 t4의 타이밍에서 24비트 모두가 0으로부터 1로 변화한다.

도 5의 (d)는 극성 반전 회로(12)의 출력 데이터 dc1 24의 파형을 나타내고, 도 5의 (e)의 파형으로 나타내는 D 플립플롭(15)의 출력 신호 inv2가 「H」의 구간에 입력되는 데이터 db1 24의 모든 비트가, 극성 반전 회로(12)에 의해 0으로부터 1로 반전되어 출력된다. 도 5의 (b)의 데이터 da1 24와 도 5의 (d)의 데이터 dc1 24가 데이터 극성 반전 회로(11)에 입력되면, t1의 타이밍에서 데이터 da1 24가 모두 0이 됨에 따라 데이터 dc1 24와 다른 비트수가 과반수 이상이 되고, 데이터 극성 반전 회로(11)는 신호 inv1을 「H」로 하여 출력한다. 이 데이터 극성 반전 회로(11)로부터 출력되는 신호 inv1의 「H」를 t2의 타이밍에서 D 플립플롭(15)이 래치하여 신호 inv2에 「H」를 출력한다. 계속해서, t3의 타이밍으로 데이터 da1 24가 전부 1이 됨에 따라 데이터 dc1 24와 다른 비트수가 과반수 미만이 되고, 데이터 극성 반전 회로(11)는 신호 inv1을 「L」로 하여 출력하고, t4의 타이밍에서 D 플립플롭(15)에 의해 래치되고, 신호 inv2는「L」이 된다.

도 5의 (f)는 D 플립플롭(14-1 24)이 출력하는 데이터 dd1 24의 파형을 나타내고, 도 5의 (d)에 도시된 데이터 dc1 24가 클럭 clk의 하강 엣지의 타이밍에서 래치되어 출력되고 있고, 모든 비트는 변화없이 1이다. 또한, 도 5의 (g)는 D 플립플롭(16)이 출력하는 신호 inv3의 파형을 나타내고, 입력 데이터 da1 24의 극성이 0으로부터 1로 반전되어 데이터 dd1 24에 출력되는 타이밍 t4 t5의 구간에 「H」가 된다.

이어서, 도 6은 데이터 극성 반전 판정 회로(11)의 일 구성예를 나타내는 회로도이다. 이 도면에 있어서, 참조 번호 21은 24개의 EOR(Exclusive OR) 회로(23)로 구성되고, 도 4의 데이터 da1 24와 데이터 dc1 24의 대응하는 각 비

트끼리 배타적 논리합을 취함에 따라, 데이터 dc1 24로부터 데이터 da1 24로의 각 비트의 극성의 변화를 검출하는 극성 변화 검출 회로이고, 참조 번호 22는 24개의 EOR 회로(23)의 출력으로부터 13개의 출력을 선택하여 논리곱을 취하는 조합수만큼의 13 입력 AND 회로(24)와 이들 13 입력 AND 회로(24)의 모든 출력의 논리합을 취하는 OR 회로(25)로 구성되는 다수결 회로이다. 이 다수결 회로에 의해, 극성 변화 검출 회로(21)의 각 출력 A1 24 중, 「H」가 되는 출력수가 과반수의 13 이상인 경우에 출력 신호 inv1을 「H」라고 하고, 「H」가 되는 출력수가 과반수 미만의 12 이하의 경우에 출력 신호 inv1을 「L」로 한다.

도 7은 극성 변화 검출 회로(21)의 동작에 대해 설명하기 위한 표이고, 제1 행째는 입력 데이터 da1 24, dc1 24 및 극성 변화 검출 회로(21)의 출력 A1 24의 각 비트 번호 n(n은 1 24의 정수)이고, 제2 제4행째는 각 비트 번호 n에 대응하는 데이터 dan, dcn, EOR 회로(23)의 출력 An의 값의 예이다. 이 표에서,비트 번호2 5, 23의 데이터 dan, dcn의 값이 다르고, 이들 값이 다른 비트에 대응하는 비트 번호2 5, 23의 출력 An의 값이 「H」가 된다. 이와 같이 검출된 다른 비트의 수가 과반수인 13 이상인 경우에, 출력 신호 inv1에는 「H」가 출력된다.

도 8a 내지 도 8d는 상술된 데이터 출력부(4)에 있어서, 출력 포트를 4개의 포트 A D로 분할하고, 포트 A D마다 데이터 극성을 반전함으로써 얻을 수 있는 효과에 대해 설명하기 위한 표이다.

또, 설명의 편의상, 데이터 극성 반전 판정·생성부에 입력되는 데이터의 총비트수를 24로 하고, 출력 포트를 2개의 포트로 분할하여 12비트씩 데이터 극성을 반전하는 경우에 대해 설명한다.

도 8a 도 8d에서, 제1 행째는 제2 제4행째에 나타내는 데이터의 비트 번호 n(n은 1 24의 정수)이고, 제2행째는 1클럭 전의 출력 데이터 Xn, 제3행째는 현재의 입력 데이터 Yn, 제4행째는 제3행째에 나타나는 현재의 입력 데이터 Yn에 대응하는 출력 데이터 Zn 이다.

또, 도 8a 도 8d에 나타낸 표 중의 데이터 Xn, Yn, Zn의 값은 일례이고, 이들 표에서는 데이터 Xn에 대해, 데이터 Yn의 24비트 중에서 절반인 12비트의 극성이 변화하는 예가 나타내어지고 있다. 또한, 도 8a에 나타낸 표는 데이터 극성 반전 판정·생성부를 1개 이용하여, 24비트 단위로 데이터 반전을 행한 경우의 예이고, 도 8b 도 8d에 나타낸 표는 데이터 극성 반전 판정·생성부를 2개 이용하여, 24비트의 데이터를 비트 번호 1 12와 13 24의 2개로 분할하여, 12비트 단위로 데이터 반전을 행한 경우의 예이다.

우선, 도 8a에 나타낸 표의 데이터 Xn은 전부 「L」이고, 데이터 Yn은 비트 번호 1 7, 13 17의 12비트가 「H」이다. 이 도 8a의 경우에는, 24비트 단위로 과반수 이상의 데이터의 변화가 있는지의 여부가 판정되므로, 과반수 미만의 12비트의 변화를 위해 데이터 반전되지 않고 데이터 Yn이 그대로 출력 데이터 Zn이 된다. 이 결과, 데이터 출력의 변화량은 12비트가 되고, 24비트 단위로 데이터 반전을 행하는 경우의 최대 변화량이 된다.

계속해서, 도 8b에 나타낸 표의 데이터 Xn은 전부 「L」이고, 데이터 Yn은 비트 번호 1 7, 13 17의 12비트가 「H」이고, 도 8a의 경우와 동일하다. 그러나, 이 도 8b의 경우에는, 12비트 단위로 과반수 이상의 데이터의 변화가 있는지의 여부가 판정되므로, 비트 번호 1 12의 판정 결과는 과반수 이상의 7비트의 변화 때문에 데이터 반전이 되고, 비트 번호 1 12의 출력 데이터 Zn은 데이터 Yn이 데이터 반전되는 것으로 된다. 한편, 비트 번호 13 24에서는 5비트밖에 변화하지 않고, 변화량이 과반수에 미치지 않기 때문에 데이터 반전은 행해지지 않는다. 이 결과, 데이터 출력의 변화량은 비트 번호 8 12의 5비트분과 비트 번호 13 17의 5비트분의 합계 10비트가 되어, 24비트 단위로 데이터 반전을 행하는 경우에 비해 2비트분 변화량이 적다.

마찬가지로, 도 8c에 나타낸 표의 경우에는, 비트 번호 1 12의 데이터 Yn이 데이터 반전되어 데이터 Zn으로 하여 출력된 결과, 이 데이터 출력의 변화량은 비트 번호 9 l2의 4비트분과 비트 번호 13 16의 5비트분의 합계 8비트가 되고, 24비트 단위로 데이터 반전을 행하는 경우에 비해 4비트분 변화량이 적어진다.

또한, 도 8d에 나타낸 표의 경우에는, 비트 번호 1 12의 데이터 Yn이 데이터 반전되어 데이터 Zn으로 하여 출력된 결과, 이 데이터 출력의 변화량은 비트 번호 10 12의 3비트분과 비트 번호 13 15의 3비트분의 합계 6비트가 되고, 24비트 단위로 데이터 반전을 행하는 경우에 비해 6비트분 변화량이 적어져, 변화량을 1/2으로 억제할 수 있다.

또한, 도시하지 않았지만, 데이터 Yn의 비트 번호 1 11, 13의 12비트가 「H」인 경우에는, 마찬가지로 데이터 Yn이 데이터 반전되어 데이터 Zn으로서 출력된 결과, 이 데이터 출력의 변화량은 비트 번호 12, 13의 2비트분이 된다. 또한, 데이터 Yn의 비트 번호 1 12의 12비트가 「H」인 경우에는, 마찬가지로 데이터 Yn이 데이터 반전되어 데이터 Zn으로서 출력된 결과, 이 데이터 출력의 변화량은 0비트분(출력에 극성의 변화없음)이 된다.

상술된 바와 같이 24비트 중에서 동일한 12비트의 변화량의 데이터 입력에 대해 12비트씩 둘로 분할하여 데이터 반전을 행함에 따라, 24비트 단위로 데이터 반전을 행하는 경우의 최대 변화량이 12비트일 때에, 둘로 분할하여 데이터 반전한 경우의 최소 변화량은 2비트가 된다. 즉, 12비트씩 2개로 분할하여 데이터 반전을 행함에 따라, 24비트 단위로 데이터 반전을 행하는 경우에 비해 데이터 출력의 변화량을 최대한 0으로 줄일 수 있다.

또, 도 8a 내지 도 8d에서는 설명의 편의상, 입력되는 데이터의 비트수를 24로 하여 출력 포트를 2개의 포트로 분할하는 예에 대해 설명했지만, 상술된 일 실시예와 같이 96비트의 데이터 BUS1 96을 4개의 포트 A D로 분할하고, 24비트 단위로 데이터 반전하는 경우에도 데이터 출력의 변화량을 줄이는 효과를 얻을 수 있다. 또한, 상술된 일 실시예에서는, R, G, B 각 8비트씩의 합계 24비트 단위로 데이터 반전하는 구성으로 했지만, 각 색마다의 8비트 단위로 데이터 반전하는 구성으로 해도 좋다.

또, 상술한 일 실시예에서는, 256 계조 3색 표시의 경우에 대해 나타냈지만, 계조수 또는 색수에 대해서는 여러가지로 변경할 수 있다.

이와 같이 데이터 출력의 변화량이 감소함에 따라, 데이터 출력부(4)의 데이터 출력에 필요한 소비 전력이 저감되는 효과를 얻을 수 있다. 이 소비 전력이 저감되는 효과에 따라, 상술된 일 실시예에 따른 액정 표시 장치의 구동 회로에서는, 데이터 반전 기능을 사용하지 않은 종래의 액정 표시 장치의 구동 회로에 비해, 소비 전력이 25%나 저감하였다.

또한, 데이터 출력의 변화에 기인하여 발생하는 노이즈가 저감된다고 하는 효과도 얻을 수 있다.

도 9는 이 노이즈가 저감된다고 하는 효과를 얻을 수 있는 측정 결과를 나타내는 파형도로서, 이 도면에 도시된 파형은, 상술된 일 실시예에 따른 액정 표시 장치의 구동 회로를 이용하여 액정 패널(1)을 구동시켰을 때의 전자 방해 잡음 특성(EMI 특성)의 측정 결과이다. 또, 도 9에 도시된 EMI 특성의 측정에서는, 액정 표시 장치에 부착되는 실드판을 걷어내고, 액정 표시 장치의 구동 회로 및 액정 패널(1)로부터 직접 방사되는 전자 방해 잡음을 측정하였다.

또한, 도 11에 도시된 파형은, 도 9에 도시된 EMI 특성의 측정과 동일 조건에서 측정된 파형으로서, 데이터 반전 기능을 사용하지 않은 종래의 액정 표시 장치의 구동 회로를 이용하여 액정 패널(1)을 구동했을 때의 EMI 특성을 나타낸다.

도 9와 도 11에 도시된 파형에서, 횡축은 전자 방해 잡음의 주파수를 메가헤르쯔(㎒) 단위로 나타내고, 종축은 전자 방해 잡음의 강도를 데시벨(㏈) 단위로 나타낸다. 이들 도 9와 도 11의 파형에 나타낸 EMI 특성을 비교하면, 상술된 일 실시예에 따른 액정 표시 장치의 구동 회로를 이용함으로써, 40 230㎒의 주파수 대역에서 10㏈ 이상의 전자 방해 잡음의 저감 효과를 얻을 수 있었다.

발명의 효과

이상 설명된 바와 같이, 본 발명에 따르면, 화상 데이터를 액정 패널로 전송하기 위한 버스 라인을 갖는 액정 표시 장치의 구동 회로에서, 버스 라인으로의 출력에 극성의 변화를 생기게 하는 데이터 신호가 과반수이상 있는 경우에, 모든 데이터 신호의 극성을 반전하여 버스 라인으로 출력하고, 또한 이 버스 라인으로 출력되는 데이터 신호의 극성이 반전되는 것을 나타내는 극성 반전 신호를 출력하도록 하여, 버스 라인으로의 출력의 극성의 변화량을 전송하는 데이터 신호를 반수 이하로 저감시킬 수 있다.

그 결과, 종래의 액정 표시 장치의 구동 회로에 비해 소비 전력을 적게 하는 것이 가능하다.

또한, 종래의 액정 표시 장치의 구동 회로에 비해 EMI 특성이 개선된다고 하는 효과를 얻을 수 있다.

또한, 그 EMI 특성이 개선됨으로써, 종래의 액정 표시 장치의 구동 회로에서 필요한 고가의 EMI 대책용 부품을 사용할 필요가 없어지므로, 종래의 액정 표시 장치에 비해 비용을 저감시킬 수 있다.

또한, 본 발명을 사용한 액정 표시 장치의 EMI 특성과 미사용의 액정 표시 장치의 EMI 특성을 비교함으로써, 버스 라인에 기인하는 노이즈가 어떤 주파수로 방사되고 있는지 알 수 있으므로, 종래에는 곤란하던 액정 표시 장치로부터 방사되는 전자 방해 잡음이 버스 라인에 기인하는 노이즈인지의 여부를 판단하는 것이 가능해진다.

또한, 버스 라인으로의 출력의 극성의 변화량이 저감됨으로써, 데이터 오류의 원인이 되는 버스 라인 사이의 크로스토크 노이즈가 저감된다고 하는 효과도 얻을 수 있다.

또한, 데이터 극성 반전 판정 수단과 극성 반전 수단을 버스 라인마다 설치하도록 했으므로, 버스 라인마다 데이터의 극성이 반전됨으로써, 버스 라인으로의 출력의 극성 변화량을 보다 저감시킬 수 있다.

또한, 반수의 버스 라인의 클럭과 다른 반수의 버스 라인의 클럭에서는 위상을 반주기 어긋나도록 했으므로, 버스 라인으로의 출력에 있어서 동시에 극성이 변화하는 량을 줄이게 하는 것이 가능해져, 버스 라인을 구동하는 컨트롤러(2)의 순간 전류를 저감시킬 수 있다.

(57) 청구의 범위

청구항 1.

복수의 전송 데이터 신호가 출력되는 상기 전송 데이터 신호수 폭의 버스 라인을 갖는 액정 표시 장치의 구동 회로에 있어서,

상기 복수의 전송 데이터 신호로서 상기 버스 라인으로 출력되는 복수의 데이터 신호 중에서, 과반수 이상이 상기 버스 라인으로의 출력에 극성의 변화를 생기게 하는 경우에, 상기 복수의 데이터 신호의 극성을 전부 반전하여 상기 버스 라인으로 출력하는 것을 나타내는 극성 반전 신호를 출력하는 데이터 극성 반전 판정 수단, 및

상기 데이터 극성 반전 판정 수단으로부터 출력되는 상기 극성 반전 신호에 따라, 입력되는 상기 복수의 데이터 신호의 극성을 모두 반전하여 상기 복수의 전송 데이터 신호로서 출력하는 극성 반전 수단,

을 포함하는 액정 표시 장치의 구동 회로.

청구항 2.

제1항에 있어서,

상기 데이터 극성 반전 판정 수단과 상기 극성 반전 수단을 복수의 버스 라인 각각에 포함하는 액정 표시 장치의 구동 회로.

청구항 3.

복수의 전송 데이터 신호가 출력되는 상기 전송 데이터 신호수 폭의 버스 라인을 갖는 액정 표시 장치의 구동 회로에 있어서,

복수의 입력 데이터 신호를 입력 클럭에 동기하여 래치하고, 복수의 제1 데이터 신호로서 출력하는 제1 래치 회로,

입력되는 제1 극성 반전 신호가 소정의 반전 지시 레벨인 경우에, 상기 복수의 제1 데이터 신호의 극성을 모두 반전하고, 복수의 제2 데이터 신호로서 출력하는 극성 반전 회로,

상기 복수의 입력 데이터 신호와 상기 복수의 제2 데이터 신호의 대응하는 신호끼리에서, 극성이 다른 수가 상기 신호수의 과반수이상 있는 경우에, 제2 극성 반전 신호를 상기 반전 지시 레벨로 하여 출력하는 데이터 극성 반전 판정 회로, 및

상기 제2 극성 반전 신호를 상기 입력 클럭에 동기하여 래치하고, 상기 제1 극성 반전 신호로서 출력하는 제2 래치 회로,

를 포함하는 액정 표시 장치의 구동 회로.

청구항 4.

제3항에 있어서,

상기 복수의 제2 데이터 신호를 상기 입력 클럭에 동기하여 래치하고, 상기 복수의 전송 데이터 신호로서 출력하는 제3 래치 회로, 및

상기 제1 극성 반전 신호를 상기 입력 클럭에 동기하여 래치하고, 제3 극성 반전 신호로서 출력하는 제4 래치 회로

를 포함하는 액정 표시 장치의 구동 회로.

청구항 5.

제4항에 있어서,

상기 제1 내지 제4 래치 회로와 상기 극성 반전 회로와 상기 데이터 극성 반전 판정 회로를 복수의 버스 라인 각각에 포함하는 액정 표시 장치의 구동 회로.

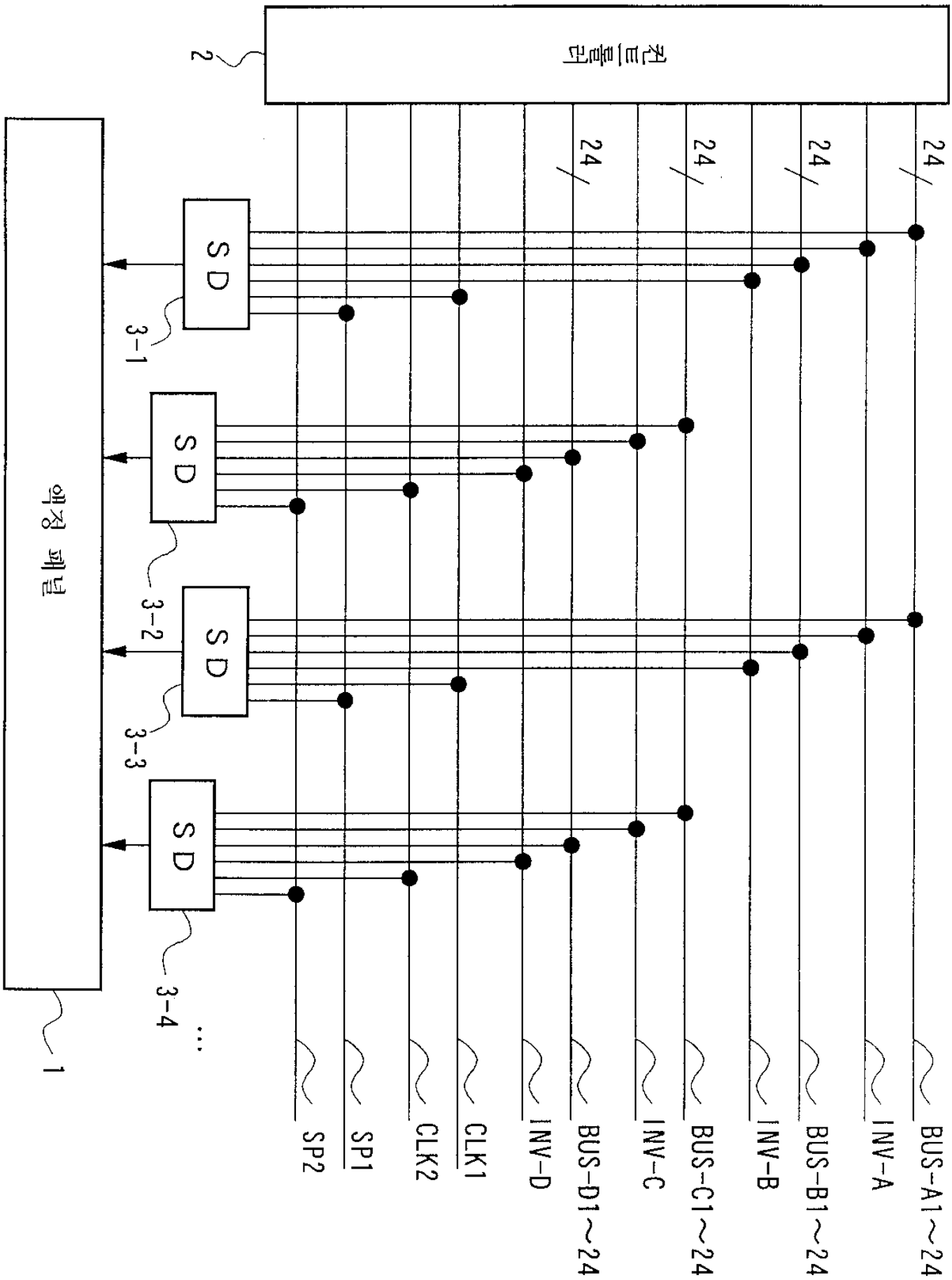
청구항 6.

제5항에 있어서,

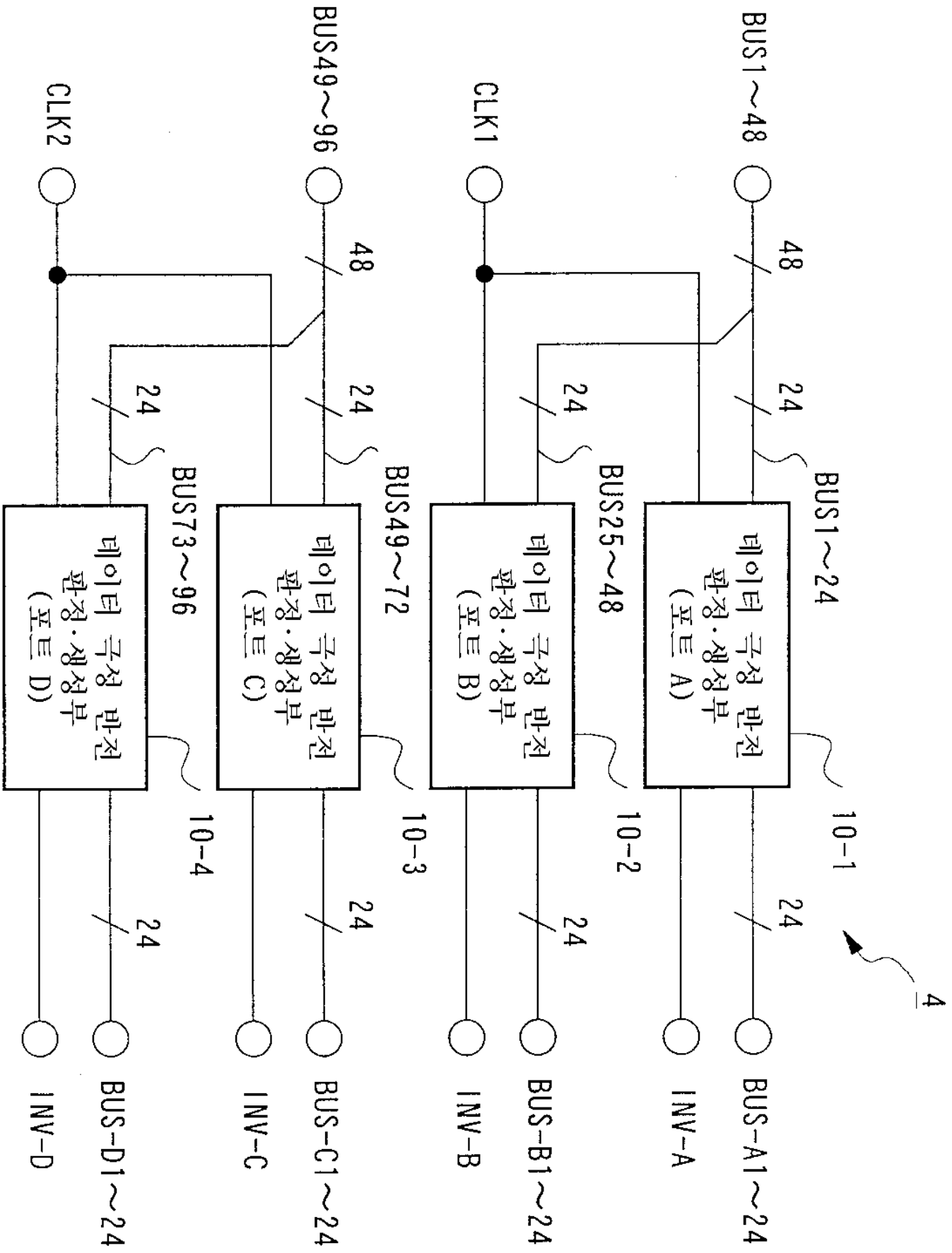
상기 입력 클럭은, 상기 복수의 버스 라인의 반(1/2)수에 대응하는 상기 입력 클럭과 나머지 반수에 대응하는 상기 입력 클럭이 위상이 반주기 어긋나 있는 액정 표시 장치의 구동 회로.

도면

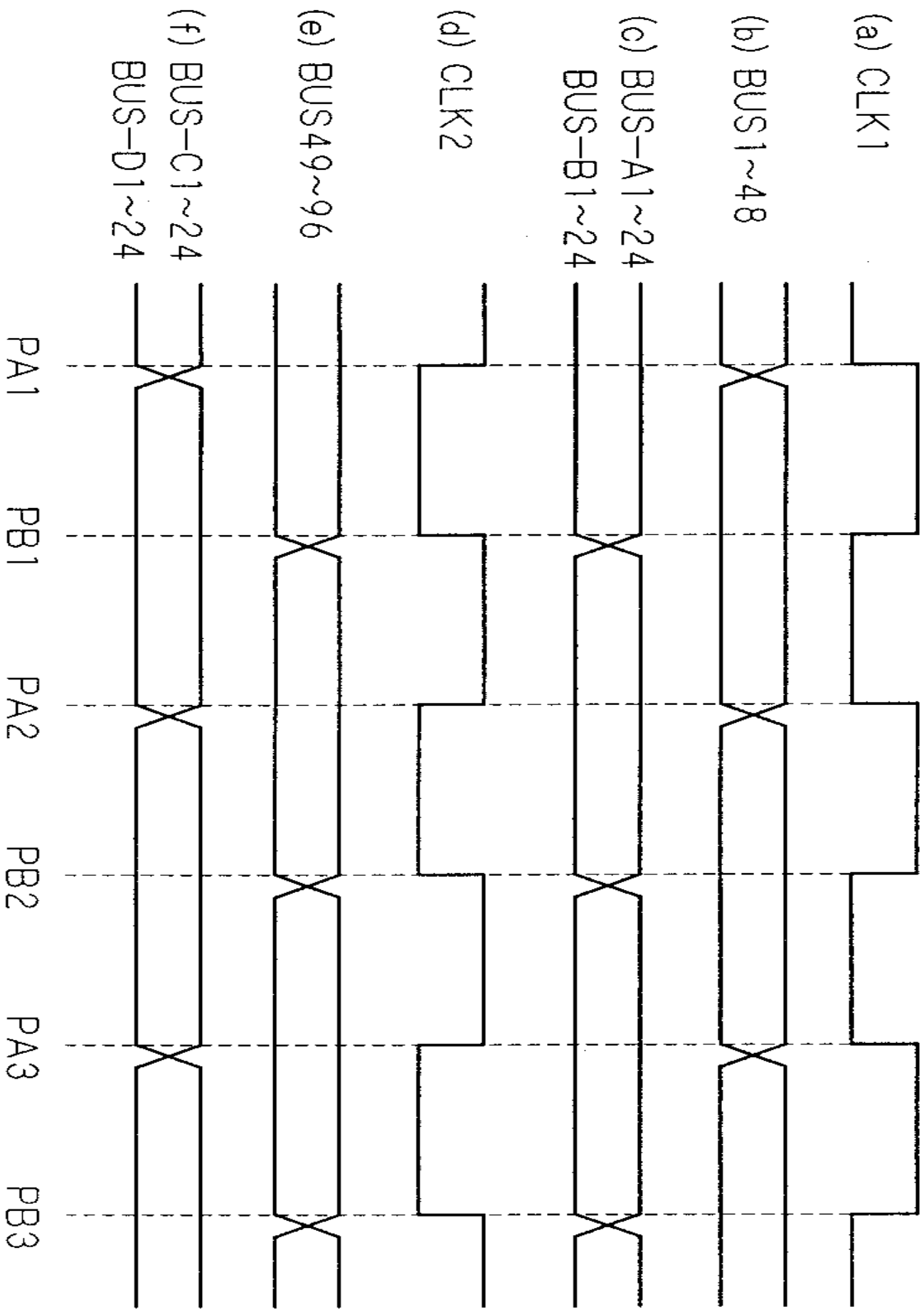
도면 1


2
콘트롤러
24
BUS-A1~24
INV-A
BUS-B1~24
INV-B
BUS-C1~24
INV-C
BUS-D1~24
INV-D
CLK1
CLK2
SP1
SP2
SD
3-1
3-2
3-3
3-4
...
액정 패널
1

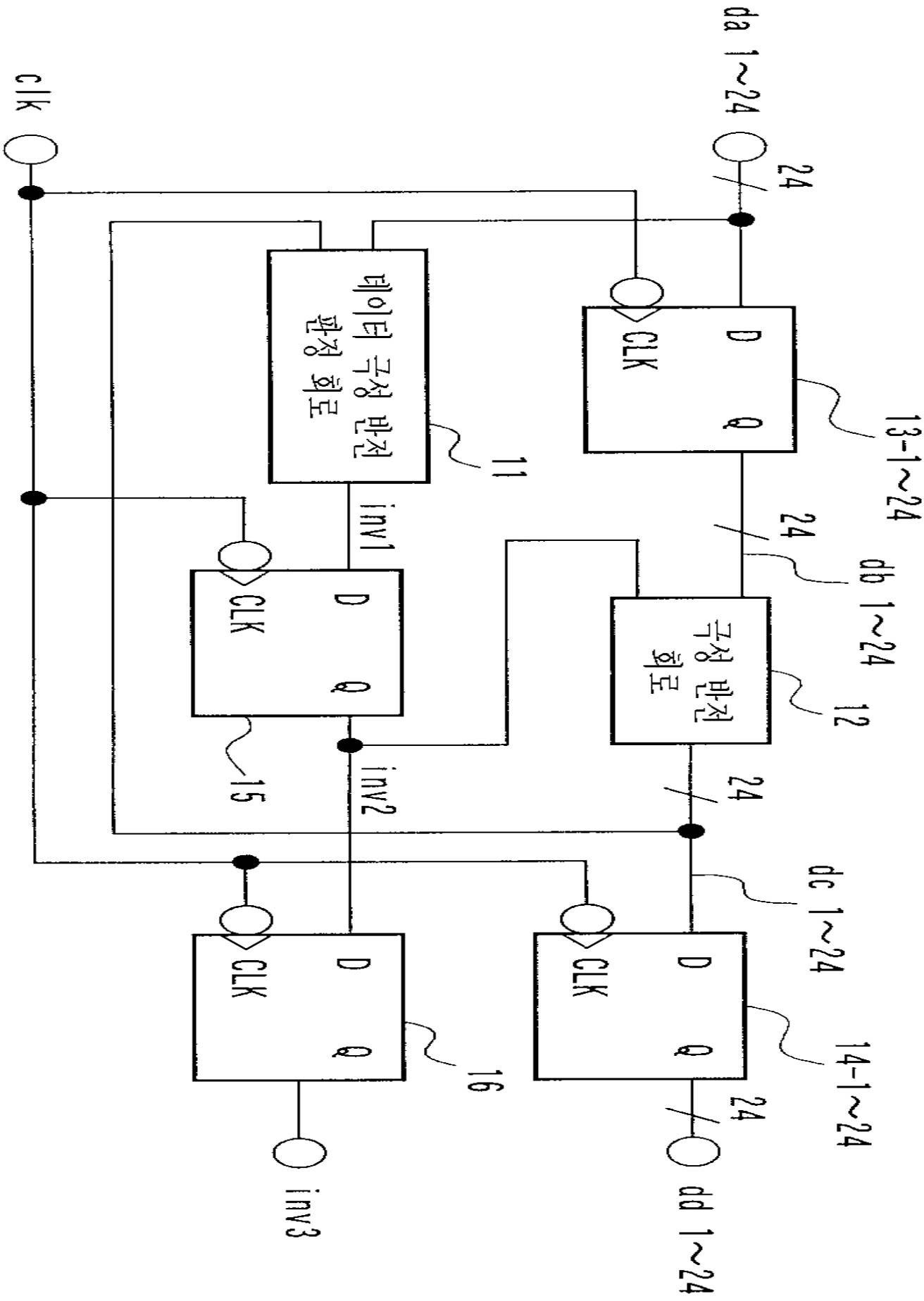
도면 2


BUS1~48
CLK1
CLK2
BUS49~96
48
24
24
48
BUS1~24
BUS25~48
BUS49~72
BUS73~96
데이터 극성 반전 판정·생성부 (포트 A)
데이터 극성 반전 판정·생성부 (포트 B)
데이터 극성 반전 판정·생성부 (포트 C)
데이터 극성 반전 판정·생성부 (포트 D)
10-1
10-2
10-3
10-4
4
24
24
24
24
BUS-A1~24
BUS-B1~24
BUS-C1~24
BUS-D1~24
INV-A
INV-B
INV-C
INV-D

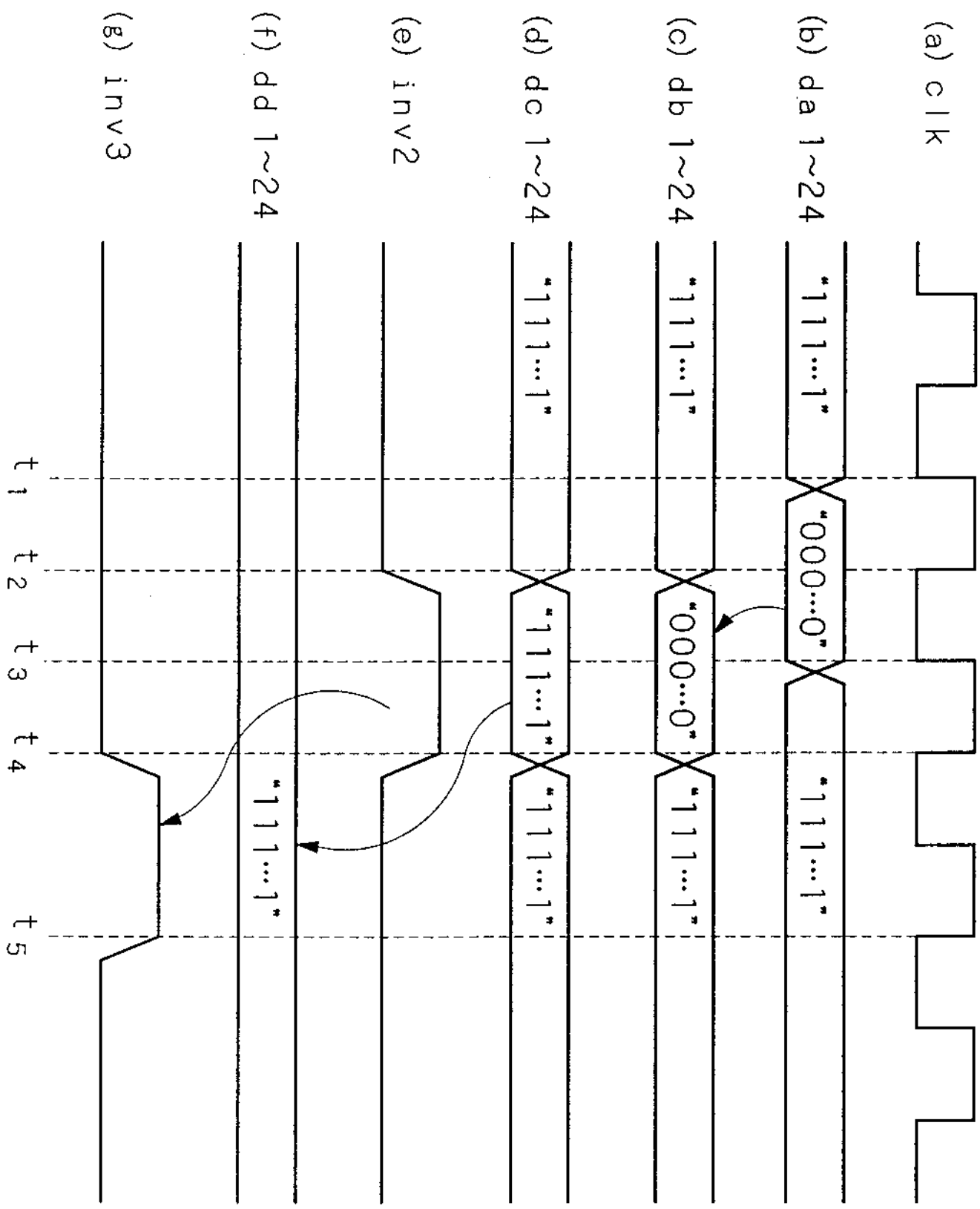
도면 3


(a) CLK1
(b) BUS1~48
(c) BUS-A1~24
BUS-B1~24
(d) CLK2
(e) BUS49~96
(f) BUS-C1~24
BUS-D1~24
PA1
PB1
PA2
PB2
PA3
PB3

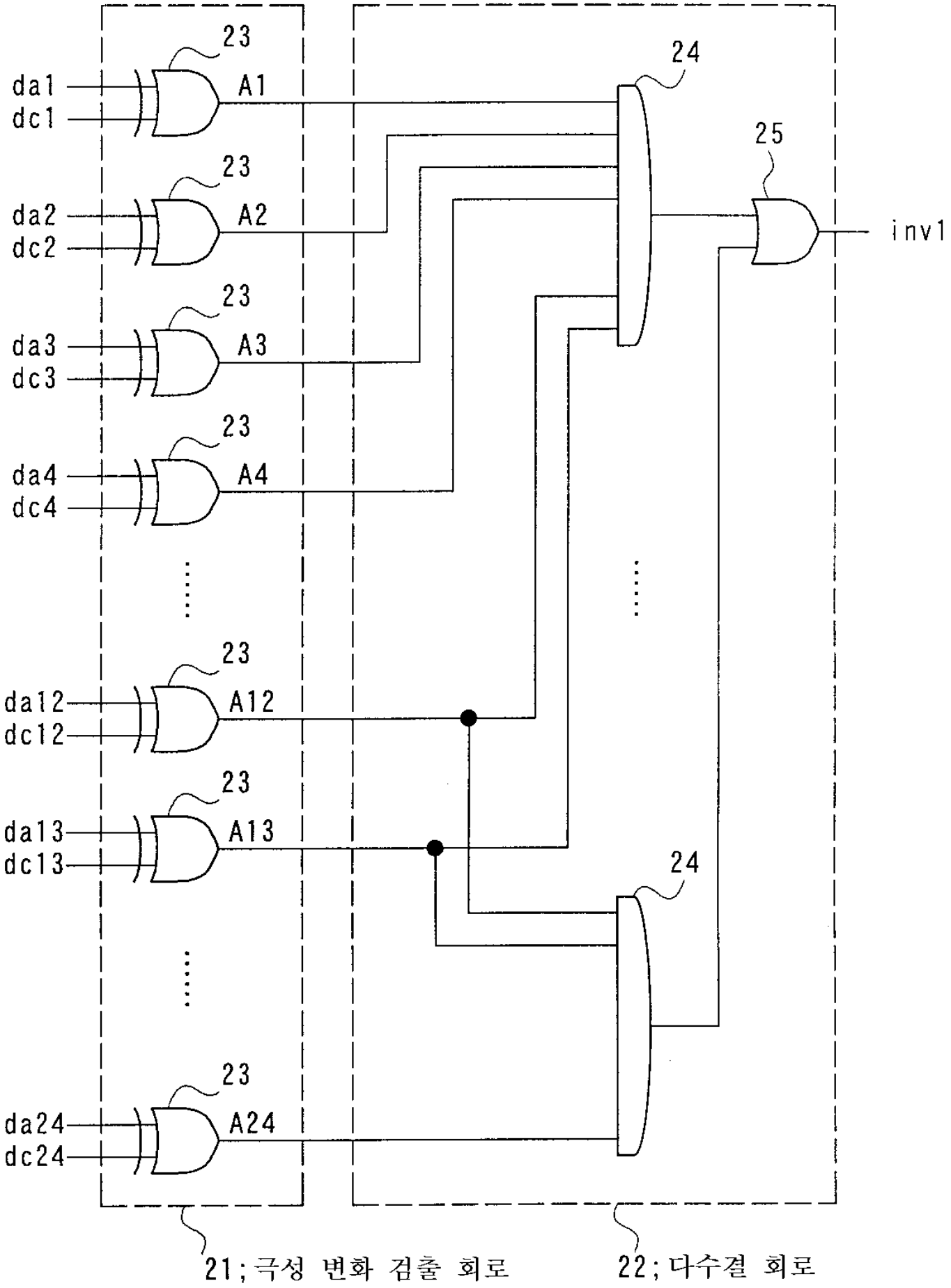
도면 4


da 1~24
clk
24
CLK
D
Q
13-1~24
데이터 극성 반전 회로
11
inv1
db 1~24
24
극성 반전 회로
12
CLK
D
Q
15
inv2
24
dc 1~24
CLK
D
Q
16
CLK
D
Q
14-1~24
24
dd 1~24
inv3

도면 5


(a) clk
(b) da 1~24
(c) db 1~24
(d) dc 1~24
(e) inv2
(f) dd 1~24
(g) inv3
"111…1"
"000…0"
"111…1"
"000…0"
"111…1"
"111…1"
"111…1"
"111…1"
t1
t2
t3
t4
t5

도면 6


23
A1
da1
dc1
23
A2
da2
dc2
23
A3
da3
dc3
23
A4
da4
dc4
23
A12
da12
dc12
23
A13
da13
dc13
23
A24
da24
dc24
24
25
inv1
24
21;극성 변화 검출 회로
22;다수결 회로

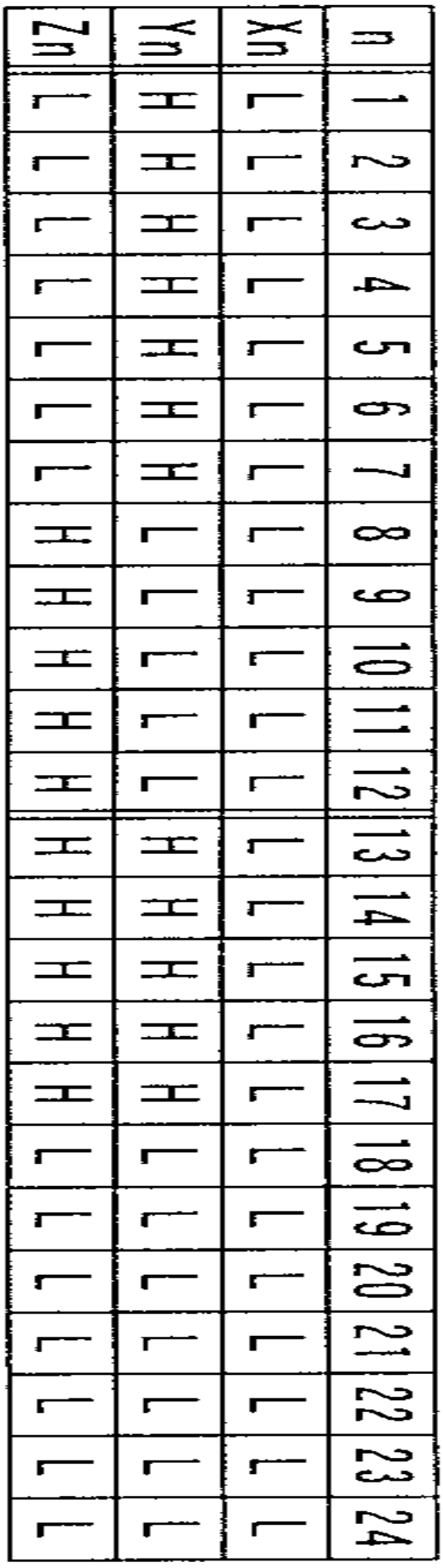
도면 7

n	1	2	3	4	5	·····	22	23	24
dan	H	H	L	H	H	·····	H	H	H
dcn	H	L	H	L	L	·····	H	L	H
An	L	H	H	H	H	·····	L	H	L

도면 8a

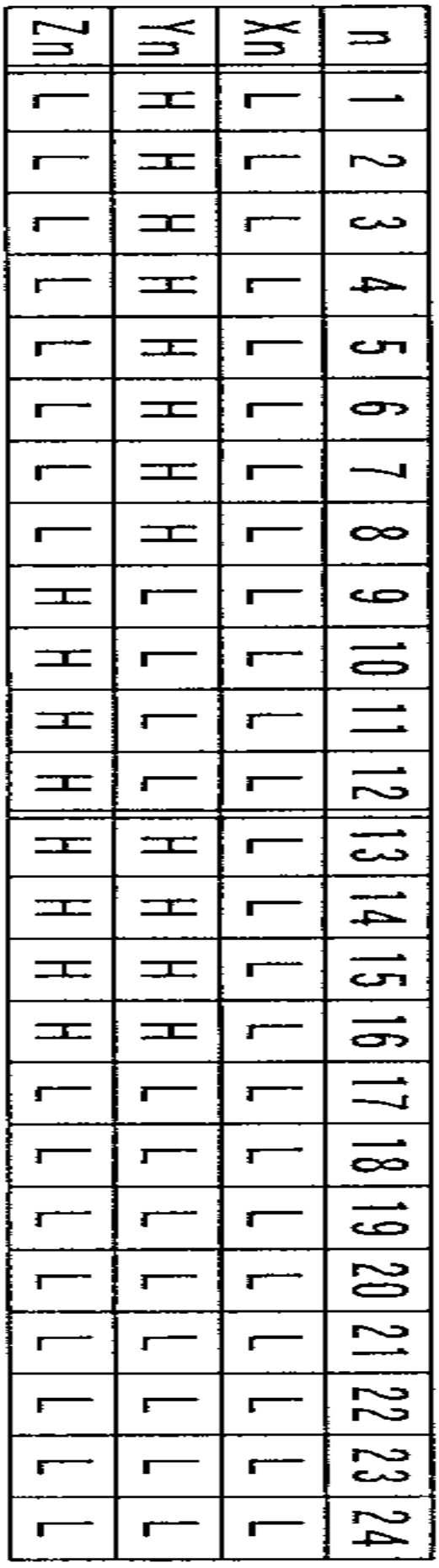
n	Xn	Yn	Zn
1	L	H	H
2	L	H	H
3	L	H	H
4	L	H	H
5	L	H	H
6	L	H	H
7	L	H	H
8	L	L	L
9	L	L	L
10	L	L	L
11	L	L	L
12	L	L	L
13	L	H	H
14	L	H	H
15	L	H	H
16	L	H	H
17	L	H	H
18	L	L	L
19	L	L	L
20	L	L	L
21	L	L	L
22	L	L	L
23	L	L	L
24	L	L	L

도면 8b



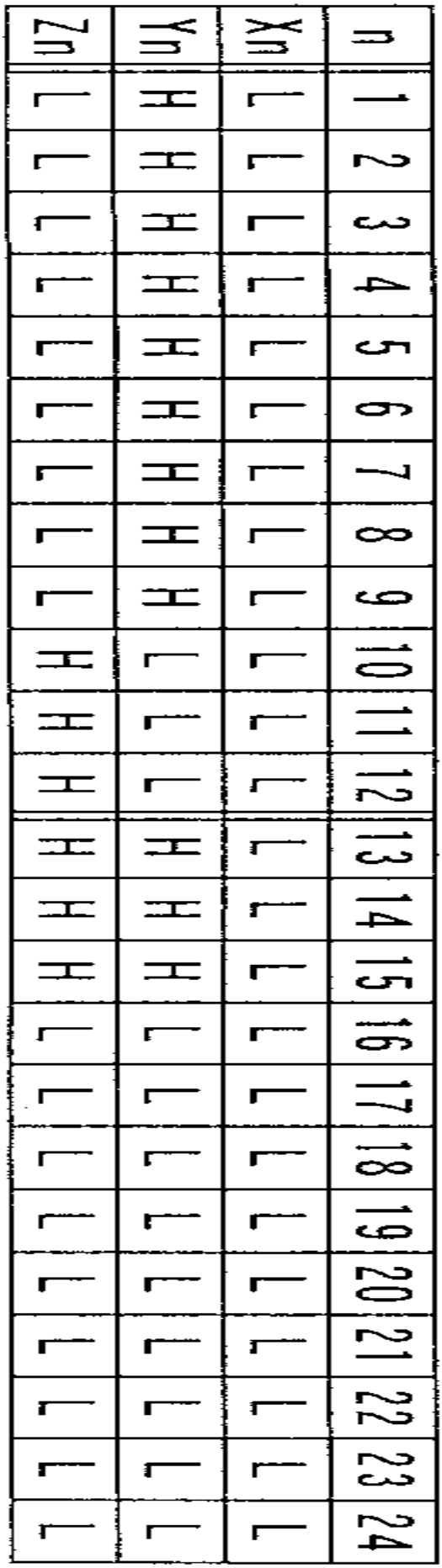
n	Xn	uY	uZ
1	L	H	L
2	L	H	L
3	L	H	L
4	L	H	L
5	L	H	L
6	L	H	L
7	L	H	L
8	L	L	H
9	L	L	H
10	L	L	H
11	L	L	H
12	L	L	H
13	L	H	H
14	L	H	H
15	L	H	H
16	L	H	H
17	L	H	H
18	L	L	L
19	L	L	L
20	L	L	L
21	L	L	L
22	L	L	L
23	L	L	L
24	L	L	L

도면 8c



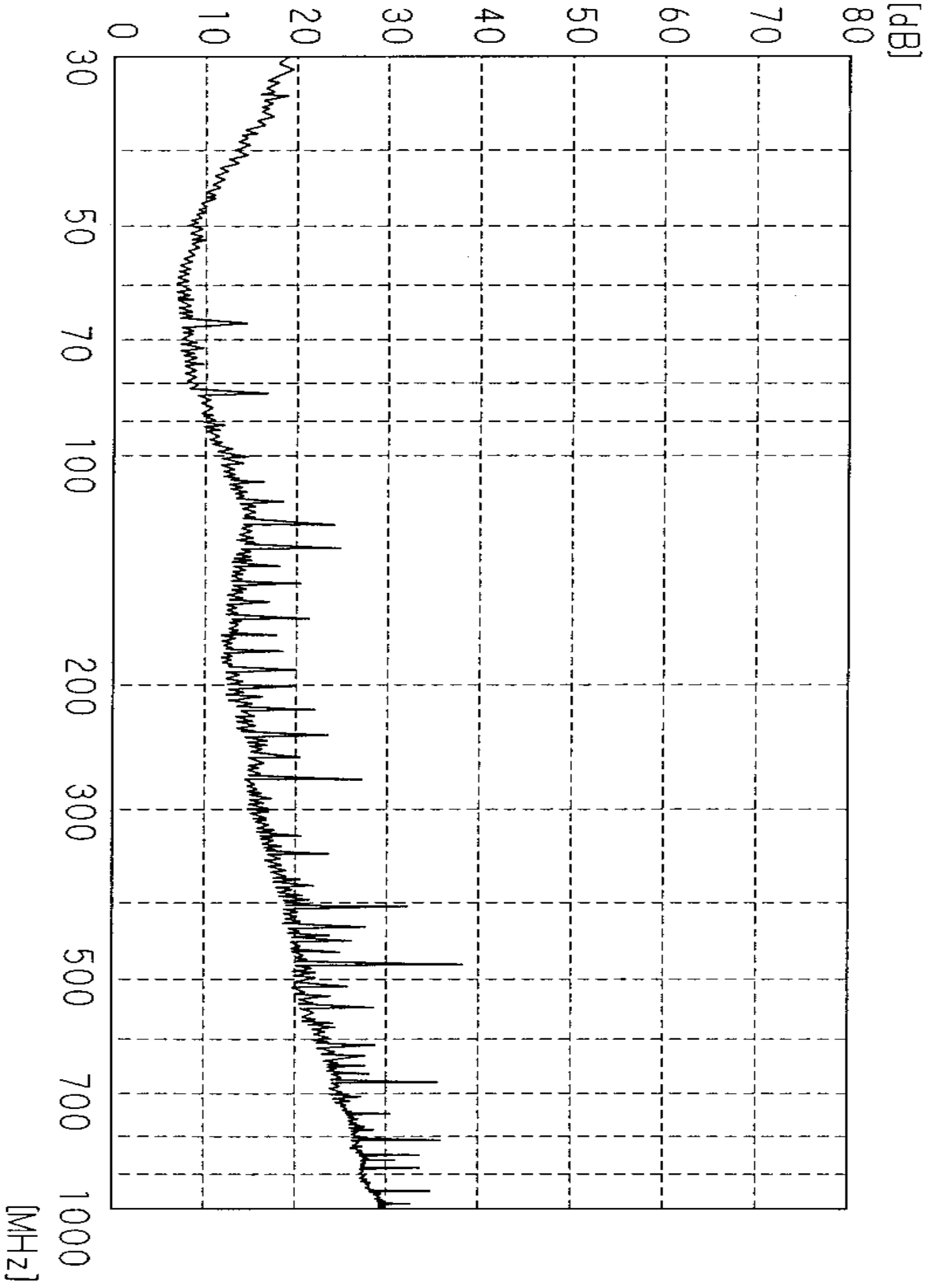
n	UX	UY	UZ
1	L	H	L
2	L	H	L
3	L	H	L
4	L	H	L
5	L	H	L
6	L	H	L
7	L	H	L
8	L	H	L
9	L	L	H
10	L	L	H
11	L	L	H
12	L	L	H
13	L	H	H
14	L	H	H
15	L	H	H
16	L	H	H
17	L	L	L
18	L	L	L
19	L	L	L
20	L	L	L
21	L	L	L
22	L	L	L
23	L	L	L
24	L	L	L

도면 8d

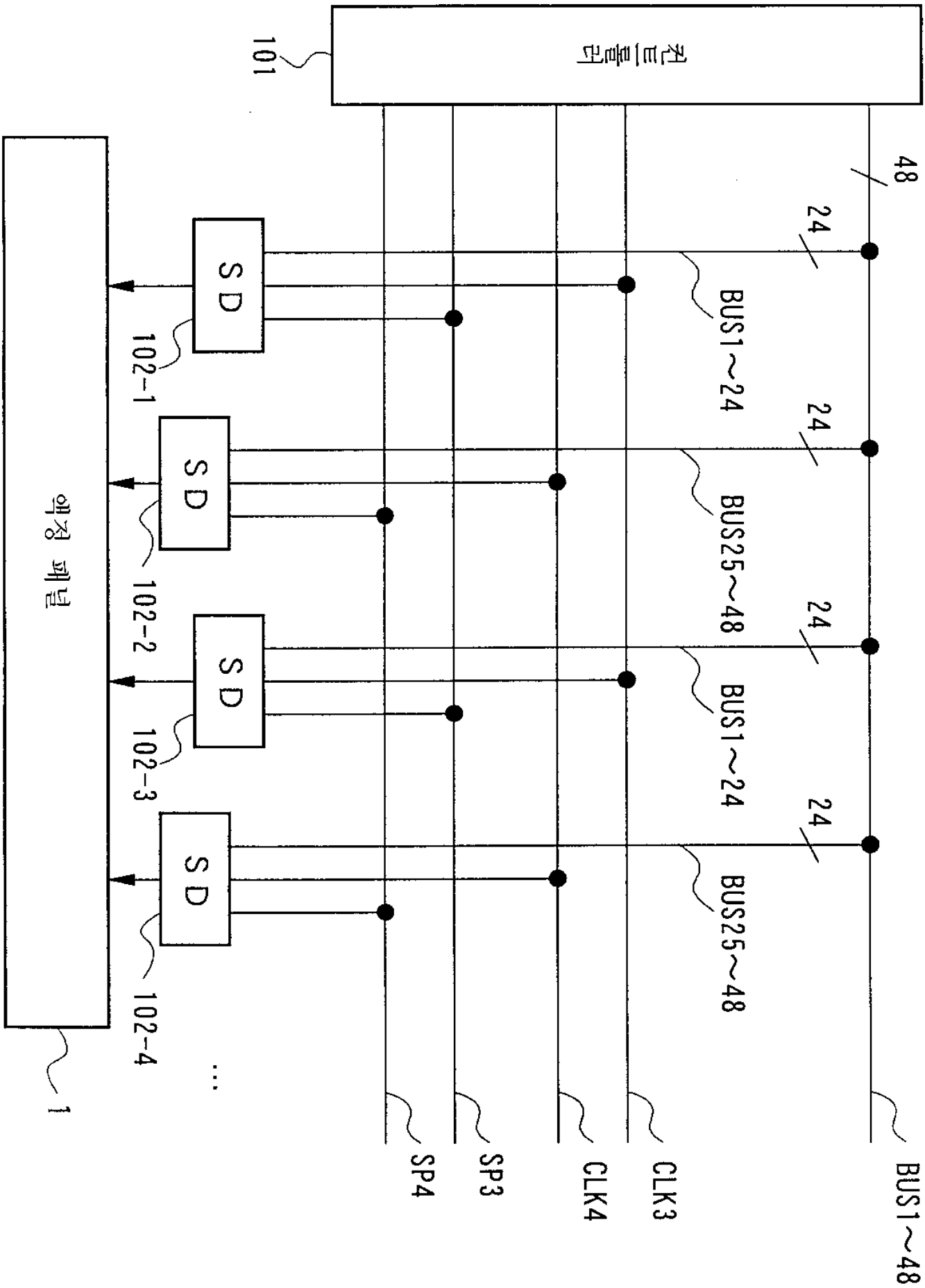


n	Xn	Yn	Zn
1	L	H	L
2	L	H	L
3	L	H	L
4	L	H	L
5	L	H	L
6	L	H	L
7	L	H	L
8	L	H	L
9	L	H	L
10	L	L	H
11	L	L	H
12	L	L	H
13	L	H	H
14	L	H	H
15	L	H	H
16	L	L	L
17	L	L	L
18	L	L	L
19	L	L	L
20	L	L	L
21	L	L	L
22	L	L	L
23	L	L	L
24	L	L	L

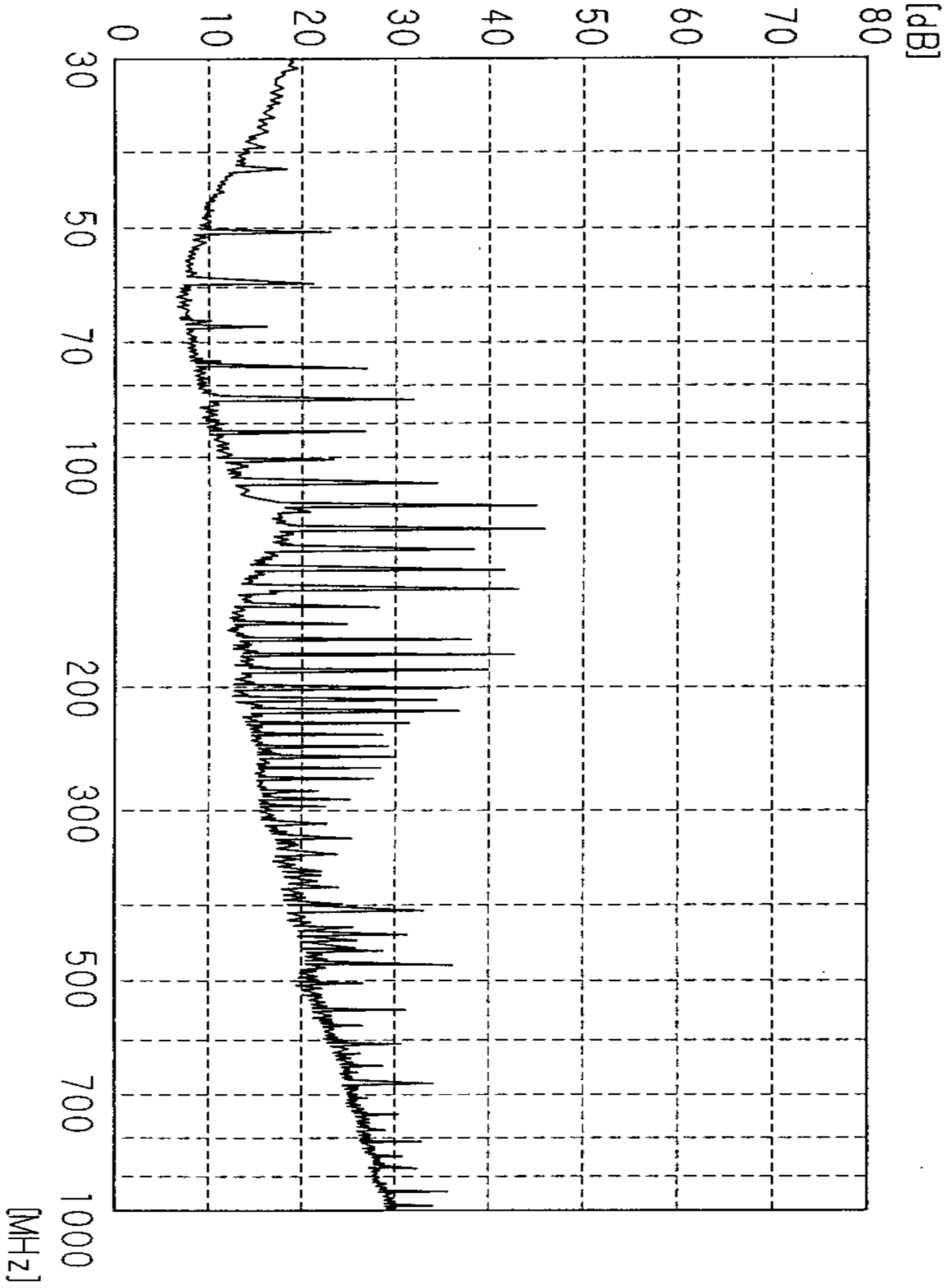
도면 9



도면 10


전원회로
101
48
24
BUS1~24
BUS25~48
SD
102-1
102-2
102-3
102-4
액정 패널
1
BUS1~48
CLK3
CLK4
SP3
SP4

도면 11



专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	KR1020010062081A	公开(公告)日	2001-07-07
申请号	KR1020000072650	申请日	2000-12-02
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	NISHIMURA MITSUHISA		
发明人	NISHIMURA,MITSUHISA		
IPC分类号	G09G3/36 G02F1/133 H04N G09G H04N9/30 G09G3/20 H04N5/66 G02F		
CPC分类号	G09G2310/027 G09G2320/0209 G09G2310/0297 G09G3/3614		
代理人(译)	CHANG, SOO KIL CHU，晟敏		
优先权	1999345344 1999-12-03 JP		
其他公开文献	KR100368702B1		
外部链接	Espacenet		

摘要(译)

对于利用液晶面板传输图像数据的液晶显示装置的驱动电路，实现了液晶显示装置的驱动电路，该驱动电路减少了从总线传输的数据的每个位值的变化量。在控制器（2）具有数据信号的情况下，该数据信号是在输出端口4的总线输出中产生的极性的变化，其大部分反转了前一数据信号的极性。它从各输出端口向总线输出各自的数据BUS-A1~24，BUS-B1~24，BUS-C1~24，BUS-D1~24。此外，控制器（2）输出极性反转信号INV-A~D，其在输出端口4处示出输出数据信号的极性反向变为总线。它比传输的数据信号炉少一半（1/2）数可以减少输出到总线的极性变化量。液晶显示器，液晶面板，图像数据，总线，源极驱动器。