



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월15일
(11) 등록번호 10-0804342
(24) 등록일자 2008년02월11일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2004-0019613

(22) 출원일자 2004년03월23일

심사청구일자 2006년04월26일

(65) 공개번호 10-2004-0086190

(43) 공개일자 2004년10월08일

(30) 우선권주장

JP-P-2003-00093903 2003년03월31일 일본(JP)

(56) 선행기술조사문헌

KR1020020057243 A

JP11053081 A

KR1020020094893 A

전체 청구항 수 : 총 5 항

(73) 특허권자

샤프 가부시키키가이샤

일본 오사카후 오사카시 아베노구 나가이쵸 22
방 22고

(72) 발명자

야마자끼히로시

일본가나가와켄가와사키시나카하라꾸가미코다나까
4쵸메1-1후지쯔디스플레이테크놀로지스코퍼레이션
내

(74) 대리인

구영창, 장수길, 주성민

심사관 : 이동윤

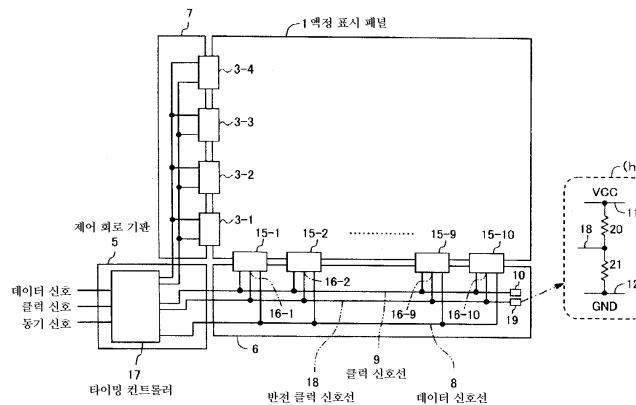
(54) 액정 표시 장치

(57) 요약

클럭 신호나 데이터 신호를 원인으로 하는 전자파 방사를 효과적으로 저감할 수 있도록 한 액정 표시 장치를 제공한다.

타이밍 컨트롤러(17)는 클럭 신호 및 반전 클럭 신호를 출력한다. 클럭 신호 및 반전 클럭 신호는, 각각 평행하게 배치되어 있는 클럭 신호선(9) 및 반전 클럭 신호선(18)으로 전송된다. 클럭 신호선(9)은, 데이터 드라이버 IC(15-1~15-10)의 정규 단자에 접속되고, 반전 클럭 신호선(18)은 데이터 드라이버 IC(15-1~15-10)의 더미 단자(16-1~16-10)에 접속되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

액정 표시 패널과,
상기 액정 표시 패널의 데이터선을 구동하는 복수의 데이터 드라이버 IC와,
상기 복수의 데이터 드라이버 IC에 제1 클럭 신호를 전송하는 제1 클럭 신호선을 갖는 액정 표시 장치에 있어서,
상기 제1 클럭 신호선과 평행하게 설치되며, 상기 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선과,
상기 제1, 제2 클럭 신호를 각각 상기 제1, 제2 클럭 신호선으로 출력하는 타이밍 컨트롤러와,
상기 제2 클럭 신호선의 부하 용량을 상기 제1 클럭 신호선의 부하 용량과 동일하게 하기 위한 부하 수단을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서,
상기 부하 수단은, 상기 데이터 드라이버 IC에 더미 단자를 설치하고, 상기 더미 단자에 상기 제2 클럭 신호선을 접속하는 것에 의해 구성되어 있거나, 또는, 캐패시터를 종단 회로에 포함하여 구성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제1항에 있어서,
홀수 도트의 데이터 신호를 전송하는 홀수 도트용 데이터 신호선과,
짝수 도트의 데이터 신호를 전송하는 짝수 도트용 데이터 신호선을 갖고,
상기 타이밍 컨트롤러는, 각 수평 라인마다, 상기 홀수 도트의 데이터 신호와 상기 짝수 도트의 데이터 신호를 180° 어긋나게 하여 출력하며,
상기 데이터 드라이버 IC는, 상기 제1, 제2 클럭 신호를 입력하고, 상기 홀수 도트의 데이터 신호를 상기 제1 클럭 신호로 래치하며, 상기 짝수 도트의 데이터 신호를 상기 제2 클럭 신호로 래치하는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제3항에 있어서,
상기 타이밍 컨트롤러는, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호용의 출력 핀을 배치하고 있는 것을 특징으로 하는 액정 표시 장치.

청구항 5

액정 표시 패널과,
상기 액정 표시 패널의 데이터선을 구동하는 복수의 데이터 드라이버 IC와,
상기 복수의 데이터 드라이버 IC에 제1 클럭 신호를 전송하는 제1 클럭 신호선을 갖는 액정 표시 장치에 있어서,
상기 제1 클럭 신호선과 평행하게 설치되며, 상기 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선과,
상기 제1, 제2 클럭 신호를 각각 상기 제1, 제2 클럭 신호선으로 출력하는 타이밍 컨트롤러를 갖고,
상기 복수의 데이터 드라이버 IC 각각은, 상기 제1, 제2 클럭 신호와 선택 신호를 입력하고, 상기 선택 신호에

기초하여 상기 제1 또는 제2 클럭 신호를 선택하고, 상기 제1 또는 제2 클럭 신호로 데이터 신호를 래치하는 것이 선택 가능하게 되어 있는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <35> 본 발명은, 퍼스널 컴퓨터의 모니터 등에 이용되는 액정 표시 장치에 관한 것이다.
- <36> 최근, 예를 들면, 액정 표시 장치를 이용하는 퍼스널 컴퓨터에서는, 그 보급에 수반하여, 시장에서는 대화면화·고정밀화가 강하게 요망되고 있으며, 이 때문에, 액정 표시부를 확대함과 동시에, 각종 구동 회로를 고성능화할 필요가 있다.
- <37> 도 19는 종래의 액정 표시 장치의 일례의 주요부를 도시하는 개략적인 구성도이다. 도 19에서, 참조 부호 1은 액티브 매트릭스형의 액정 표시 패널, 참조 부호 2-1, 2-2, 2-9, 2-10은 액정 표시 패널(1)에 형성되어 있는 데이터선에 데이터 신호를 출력하는 데이터 드라이버 IC이며, 데이터 드라이버 IC(2-3~2-8)는 도시를 생략하고 있다.
- <38> 참조 부호 3-1~3-4는 액정 표시 패널(1)에 형성되어 있는 게이트선에 게이트 신호를 출력하는 게이트 드라이버 IC, 참조 부호 4는 퍼스널 컴퓨터 본체로부터 공급되는 데이터 신호, 클럭 신호, 동기 신호 등을 입력하여 데이터 드라이버 IC(2-1~2-10) 및 게이트 드라이버 IC(3-1~3-4)에 각종 신호를 공급하는 타이밍 컨트롤러이다.
- <39> 참조 부호 5는 타이밍 컨트롤러(4)가 실장된 제어 회로 기판, 참조 부호 6은 데이터 드라이버 IC(2-1~2-10)에 대응하여 설치되어 있는 배선 기판, 참조 부호 7은 게이트 드라이버 IC(3-1~3-4)에 대응하여 설치되어 있는 배선 기판이다.
- <40> 참조 부호 8은 타이밍 컨트롤러(4)로부터 출력되는 데이터 신호를 데이터 드라이버 IC(2-1~2-10)로 전송하는 데이터 신호선, 참조 부호 9는 타이밍 컨트롤러(4)로부터 출력되는 클럭 신호를 데이터 드라이버 IC(2-1~2-10)로 전송하는 클럭 신호선이다.
- <41> 참조 부호 10은 클럭 신호선(9)의 종단부에 설치된 종단 회로이다. (g)는 종단 회로(10)의 회로 구성을 나타내고 있으며, 참조 부호 11은 전원 전압 VCC(예를 들면, 3.3V)를 공급하는 전원선, 참조 부호 12는 접지 전압 GND를 공급하는 접지선, 참조 부호 13, 14는 종단 저항이다.
- <42> 데이터 드라이버 IC(2-1~2-10)는, 클럭 신호를 기준 신호로 하여 액정 표시 패널(1)의 데이터선을 구동하지만, 대화면화·고정밀화에 수반하여 화소수가 증가하고, 모든 화소에 데이터 전압을 기입하기 위해, 클럭 신호를 고속화해야만 하는 상황으로 되었다. 이 때문에, 클럭 신호의 고속화를 원인으로 하는 전자파 방해(EMI)가 문제로 되어, 그 대책이 중요해지고 있다.
- <43> 종래, 클럭 신호를 원인으로 하는 전자파 방사를 저감시키는 기술로서, 예를 들면, 위상이 반전된 2상의 클럭 신호를 이용하여, 각각의 클럭 신호를 지연시켜 시간적으로 상승 타이밍이 어긋난 복수의 클럭 신호를 생성하여 각 회로 블록에 다른 클럭 신호를 공급하고, 동시 스위칭 수를 줄이는 기술이 제안되어 있다(일본 특개2001-84053호 공보 참조).

발명이 이루고자 하는 기술적 과제

- <44> 그러나, 일본 특개2001-84053호 공보에 기재된 기술을 도 19에 도시한 종래의 액정 표시 장치에 적용하였다고 해도, 구조상, 상승 타이밍이 어긋난 복수의 클럭 신호를 전송하기 위한 클럭 신호선은 길어지게 된다. 이 때문에, 클럭 신호선의 안테나화에 의해, 전자파 방사를 효과적으로 저감할 수 없다고 하는 문제점이 있었다.
- <45> 본 발명은, 이러한 점을 감안하여 이루어진 것으로, 클럭 신호나 데이터 신호를 원인으로 하는 전자파 방사를 효과적으로 저감할 수 있도록 한 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <46> 본 발명 중, 제1 발명은, 액정 표시 패널과, 액정 표시 패널의 데이터선을 구동하는 복수의 데이터 드라이버 IC와, 이들 복수의 데이터 드라이버 IC에 제1 클럭 신호를 전송하는 제1 클럭 신호선을 갖는 액정 표시 장치로서, 제1 클럭 신호선과 평행하게 설치되며, 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선과, 제1, 제2 클럭 신호를 각각 제1, 제2 클럭 신호선으로 출력하는 타이밍 컨트롤러와, 제2 클럭 신호선의 부하 용량을 제1 클럭 신호선의 부하 용량과 동일 내지 대략 동일하게 하기 위한 부하 수단을 갖는 것이다.
- <47> 제1 발명에 따르면, 제1 클럭 신호를 전송하는 제1 클럭 신호선의 부하 용량과, 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선의 부하 용량을 동일 내지 대략 동일하게 할 수 있기 때문에, 제1, 제2 클럭 신호 사이에 상쇄 효과가 생성되어, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있다.
- <48> 본 발명 중, 제2 발명은, 액정 표시 패널과, 액정 표시 패널의 데이터선을 구동하는 복수의 데이터 드라이버 IC와, 이들 복수의 데이터 드라이버 IC에 제1 클럭 신호를 전송하는 제1 클럭 신호선을 갖는 액정 표시 장치로서, 제1 클럭 신호선과 평행하게 설치되며, 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선과, 제1, 제2 클럭 신호를 각각 제1, 제2 클럭 신호선으로 출력하는 타이밍 컨트롤러를 갖고, 데이터 드라이버 IC는, 제1, 제2 클럭 신호를 입력하며, 제1 또는 제2 클럭 신호로 데이터 신호를 래치하는 것이 선택 가능하게 되어 있는 것이다.
- <49> 제2 발명에 따르면, 예를 들면, 반수의 데이터 드라이버 IC는 제1 클럭 신호로 데이터 신호를 래치하고, 나머지 반수의 데이터 드라이버 IC는 제2 클럭 신호로 데이터 신호를 래치하도록 제어함으로써, 제1, 제2 클럭 신호선의 부하 용량을 동일 내지 대략 동일하게 할 수 있기 때문에, 제1, 제2 클럭 신호 사이에 상쇄 효과가 생성되어, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있다.
- <50> 이하, 도 1~도 18을 참조하여, 본 발명의 제1 실시예~제5 실시예에 대하여 설명한다.
- <51> (제1 실시예...도 1~도 8)
- <52> 도 1은 본 발명의 제1 실시예의 주요부를 도시하는 개략적인 구성도이다. 본 발명의 제1 실시예는, 도 19에 도시한 데이터 드라이버 IC(2-1~2-10)와 구성이 다른 데이터 드라이버 IC(15-1~15-10)를 구비하고 있다(단, 데이터 드라이버 IC(15-3~15-8)는 도시를 생략함). 데이터 드라이버 IC(15-1~15-10)는, 각각 더미 단자(16-1~16-10)를 구비하고, 그 외에 대해서는 종래 주지와 같이 구성되어 있다.
- <53> 또한, 도 19에 도시한 타이밍 컨트롤러(4)와 회로 구성이 다른 타이밍 컨트롤러(17)를 구비하고 있다. 타이밍 컨트롤러(17)는, 클럭 신호와, 이 클럭 신호와 반전 관계에 있는 클럭 신호를 출력하도록 구성되며, 그 외에 대해서는 종래 주지와 같이 구성되어 있다.
- <54> 또한, 클럭 신호선(9)과 평행하며, 타이밍 컨트롤러(17)로부터 출력되는 반전 클럭 신호를 전송하는 반전 클럭 신호선(18)을 구비함과 함께, 반전 클럭 신호선(18)의 종단부에 종단 회로(19)를 구비하고 있다. (h)는 종단 회로(19)의 회로 구성을 나타내고 있으며, 참조 부호 20, 21은 종단 저항이다.
- <55> 그리고, 본 실시예에서는, 클럭 신호선(9)은, 데이터 드라이버 IC(15-1~15-10)의 정극의 클럭 입력 단자에 접속되며, 반전 클럭 신호선(18)은, 데이터 드라이버 IC(15-1~15-10)의 더미 단자(16-1~16-10)에 접속되어 있고, 그 외에 대해서는 도 19에 도시한 종래의 액정 표시 장치와 마찬가지로 구성되어 있다.
- <56> 도 2, 도 3은 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제1 시뮬레이션을 설명하기 위한 도면이다. 도 2는 제1 시뮬레이션에 사용한 제1 클럭 신호선 모델을 도시하는 도면으로, (a)는 개략적인 사시도, (b)는 개략적인 단면도이다.
- <57> 도 2의 (a)에서, 참조 부호 22는 프런트 기판, 참조 부호 23은 클럭 신호원 IC, 참조 부호 24는 클럭 신호원 IC(23)로부터 출력되는 클럭 신호를 전송하는 클럭 신호선, 참조 부호 25는 클럭 신호선(24)의 종단부에 설치된 종단 회로이며, 참조 부호 26, 27은 종단 저항이다.
- <58> 참조 부호 28은 프런트 기판(22)과 평행하게 배치된 프런트 기판, 참조 부호 29는 클럭 신호원 IC(23)가 출력하는 클럭 신호와 반전 관계에 있는 반전 클럭 신호를 출력하는 반전 클럭 신호원 IC이다.
- <59> 참조 부호 30은 반전 클럭 신호원 IC(29)로부터 출력되는 반전 클럭 신호를 전송하는 반전 클럭 신호선, 참조 부호 31은 반전 클럭 신호선(30)의 종단부에 설치된 종단 회로로서, 종단 회로(25)와 마찬가지로 구성되어

있다.

- <60> 프린트 기판(22, 28)은, 치수를 210mm×20mm, 간격을 10mm로 하고, 클럭 신호선(24) 및 반전 클럭 신호선(30)은, 길이를 160mm, 폭을 0.1mm로 하며, 종단 저항(26, 27)은 저항값을 120Ω으로 하고 있다.
- <61> 도 2의 (b)에서, 프린트 기판(22)에서, 참조 부호 32는 클럭 신호층, 참조 부호 33은 GND 베타층이며, 클럭 신호선(24)과 GND 베타층(33) 사이의 유전체층은 도시를 생략하고 있다.
- <62> 프린트 기판(28)에서, 참조 부호 34는 반전 클럭 신호층, 참조 부호 35는 GND 베타층이며, 반전 클럭 신호선(30)과 GND 베타층(35) 사이의 유전체층은 도시를 생략하고 있다. 또한, 클럭 신호층(32), 반전 클럭 신호층(34) 및 GND 베타층(33, 35)은, 층 두께를 0.1mm로 하고 있다.
- <63> 이와 같이 구성된 클럭 신호선 모델에서는, 클럭 신호선(24)의 부하 용량과 반전 클럭 신호선(30)의 부하 용량은 동일하게 되기 때문에, 제1 발명의 제1 실시예의 효과를 검증할 수 있다.
- <64> 도 3은 제1 시뮬레이션의 결과를 도시하는 도면이다. 제1 시뮬레이션에서는, 도 2에 도시한 제1 클럭 신호선 모델의 전자파 방사량(노이즈 레벨)과 프린트 기판(22)이 1장만인 경우의 전자파 방사량을 비교한 결과를 나타내고 있다. 제1 시뮬레이션에서는, 690MHz 근방에서 전자파 방사량이 역전되어 있는 것 이외에는, 도 2에 도시한 클럭 신호선 모델쪽이 전체적으로 전자파 방사량이 감소되어 있는 것을 알 수 있다.
- <65> 도 4, 도 5는 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제2 시뮬레이션을 설명하기 위한 도면이다. 도 4는 제2 시뮬레이션에 사용한 클럭 신호선 모델을 도시하는 도면으로, (a)는 제2 클럭 신호선 모델의 개략적인 사시도, (b)는 제2 클럭 신호선 모델의 개략적 단면도, (c)는 제3 클럭 신호선 모델의 개략적인 사시도, (d)는 제3 클럭 신호선 모델의 개략적인 단면도이다.
- <66> 도 4의 (a)에서, 참조 부호 36은 프린트 기판, 참조 부호 37은 클럭 신호원 IC, 참조 부호 38은 클럭 신호원 IC(37)로부터 출력되는 클럭 신호를 전송하는 클럭 신호선, 참조 부호 39는 클럭 신호선(38)의 종단부에 설치된 종단 회로이다.
- <67> 도 4의 (b)에서, 참조 부호 40은 클럭 신호층, 참조 부호 41은 반전 클럭 신호층, 참조 부호 42는 클럭 신호원 IC(37)가 출력하는 클럭 신호와 반전 관계에 있는 반전 클럭 신호를 출력하는 반전 클럭 신호원(도시 생략)으로부터 출력되는 반전 클럭 신호를 전송하는 반전 클럭 신호선으로, 클럭 신호선(38)과 평행, 동일한 길이로 형성되어 있다.
- <68> 참조 부호 43은 GND 베타층이며, 클럭 신호층(40)과 반전 클럭 신호층(41) 사이 및 반전 클럭 신호층(41)과 GND 베타층(43) 사이의 유전체층은 도시를 생략하고 있다. 반전 클럭 신호선(42)에 대응하여 설치되어 있는 종단 회로도 도시를 생략하고 있다. 또한, 클럭 신호층(40), 반전 클럭 신호층(41) 및 GND 베타층(43)은, 층 두께를 0.1mm로 하고 있다.
- <69> 도 4의 (c)에서, 참조 부호 44는 프린트 기판, 참조 부호 45는 클럭 신호원 IC, 참조 부호 46은 클럭 신호원 IC(45)로부터 출력되는 클럭 신호를 전송하는 클럭 신호선, 참조 부호 47은 클럭 신호선(46)의 종단부에 설치된 종단 회로이다.
- <70> 참조 부호 48은 클럭 신호원 IC(45)가 출력하는 클럭 신호와 반전 관계에 있는 반전 클럭 신호를 출력하는 반전 클럭 신호원 IC, 참조 부호 49는 반전 클럭 신호원 IC(48)로부터 출력되는 반전 클럭 신호를 전송하는 반전 클럭 신호선, 참조 부호 50은 반전 클럭 신호선(49)의 종단부에 설치된 종단 회로이다.
- <71> 도 4의 (d)에서, 참조 부호 51은 클럭 신호층, 참조 부호 52는 GND 베타층이며, 클럭 신호층(51)과 GND 베타층(52) 사이의 유전체층은 도시를 생략하고 있다. 또한, 클럭 신호층(51) 및 GND 베타층(52)은, 층 두께를 0.1mm로 하고, 클럭 신호선(46)과 반전 클럭 신호선(49)과의 간격을 10mm로 하고 있다. 또한, 클럭 신호 및 반전 클럭 신호의 주파수는 30MHz로 하고 있다.
- <72> 도 5는 제2 시뮬레이션의 결과를 도시하는 도면이다. 반전 클럭이 없는 경우와 비교하여, 도 4의 (a)에 도시한 제2 클럭 신호선 모델(인접층 주행 모델)에서는 전 주파수 영역에서 전자파 방사량이 작고, 도 4의 (b)에 도시한 제3 클럭 신호선 모델(동일층 주행 모델)에서도 390MHz 미만에서는 전자파 방사량이 최대 5dB 많지만, 390MHz 이상에서는, 반전 클럭 신호가 없는 것보다 전자파 방사량이 적은 결과로 되었다.
- <73> 도 6, 도 7은 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제3 시뮬레이션을 설명하기 위한 도면이다. 도 6은 제3 시뮬레이션에 사용한 클럭 신호선 모델을 도시하는 개략적인 단면도로서, (a)는 종래

의 클럭 신호선 모델의 일례, (b)는 종래의 클럭 신호선 모델의 다른 예, (c)는 제4 클럭 신호선 모델, (d)는 제5 클럭 신호선 모델, (e)는 제6 클럭 신호선 모델, (f)는 제7 클럭 신호선 모델이다.

- <74> 도 6의 (a)에서, 참조 부호 53은 GND 베타층, 참조 부호 54는 클럭 신호층이다. 도 6의 (b)에서, 참조 부호 55는 GND 베타층, 참조 부호 56은 클럭 신호층, 참조 부호 57은 VCC 베타층이다. 도 6의 (c)에서, 참조 부호 58은 GND 베타층, 참조 부호 59는 클럭 신호층, 참조 부호 60은 반전 클럭 신호층이다.
- <75> 도 6의 (d)에서, 참조 부호 61은 GND 베타층, 참조 부호 62는 클럭 신호층, 참조 부호 63은 반전 클럭 신호층, 참조 부호 64는 VCC 베타층이다. 도 6의 (e)에서, 참조 부호 65는 GND 베타층, 참조 부호 66은 클럭 신호층, 참조 부호 67은 GND 베타층, 참조 부호 68은 반전 클럭 신호층이다. 도 6의 (f)에서, 참조 부호 69는 GND 베타층, 참조 부호 70은 클럭 신호층, 참조 부호 71은 GND 베타층, 참조 부호 72는 반전 클럭 신호층, 참조 부호 73은 VCC 베타층이다.
- <76> 도 7은 제3 시뮬레이션의 결과를 도시하는 도면이다. 도 6에 도시한 각각의 모델의 시뮬레이션 결과이다. 도 6의 (d)에 도시한 제5 클럭 신호선 모델 및 도 6의 (f)에 도시한 제7 클럭 신호선 모델이 거의 같은 정도이며, 도 6의 (a), 도 6의 (b)에 도시한 종래의 클럭 신호선 모델의 일례 및 다른 예와 비교하여, 전 주파수 영역에서 전자파 방사량(노이즈 레벨)이 감소되어 있는 것을 알 수 있다.
- <77> 이것은, 기관 구성이 스트립 라인화(신호층의 상하층이 GND 또는 전원의 베타층)로 되며, 또한, 반전 클럭 신호에 의해 상쇄 효과가 생겼기 때문이다. 만약, 스트립 라인화만인 경우에는, 도 6의 (a), 도 6의 (b)에 도시한 종래의 클럭 신호선 모델의 일례 및 다른 예에서는, 전자파 방사 저감의 현격한 효과를 얻을 수 없다.
- <78> 도 8, 도 9는 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제4 시뮬레이션을 설명하기 위한 도면이다. 도 8은 제4 시뮬레이션에 사용된 제8 클럭 신호선 모델을 도시하는 도면이다.
- <79> 도 8에서, 참조 부호 74~78은 5pF의 캐패시터이고, 제8 클럭 신호선 모델은, 도 4의 (a)에 도시한 제2 클럭 신호선 모델에 캐패시터(74~78)를 접속한 것이다. 또한, 반전 클럭 신호선 및 반전 클럭 신호선에 접속한 캐패시터는 도시를 생략하고 있다. 또한, 5pF는 데이터 드라이버 IC의 클럭 입력 용량이다.
- <80> 도 9는 제4 시뮬레이션의 결과를 도시하는 도면이다. 도 9에서는, 반전 클럭 신호선에는 용량을 추가하지 않고, 클럭 신호선에만 용량을 추가한 모델과, 제2 클럭 신호선 모델과, 제8 클럭 신호선 모델의 시뮬레이션 결과를 도시하고 있다.
- <81> 제2 클럭 신호선 모델과 비교하여, 클럭 신호선에만 용량을 추가한 모델은 방사량이 증가하지만, 제8 클럭 신호선 모델의 경우에는 제2 클럭 신호선 모델보다 전자파 방사량이 감소하였다. 이에 의해, 클럭 신호선과 반전 클럭 신호선의 부하 조건을 동일하게 할 필요가 있는 것을 알 수 있다.
- <82> 이상과 같이, 본 발명의 제1 실시예에 따르면, 클럭 신호선(9)에 평행하게 반전 클럭 신호선(18)을 설치함과 함께, 반전 클럭 신호선(18)을 데이터 드라이버 IC(15-1~15-10)의 더미 단자(16-1~16-10)에 접속하고, 클럭 신호의 부하 용량과 반전 클럭 신호의 부하 용량을 대략 동일하게 하며, 타이밍 컨트롤러(17)로부터 클럭 신호선(9) 및 반전 클럭 신호선(18)에 대하여 각각 클럭 신호 및 반전 클럭 신호를 출력하도록 하였기 때문에, 클럭 신호와 반전 클럭 신호간에 상쇄 효과를 발생시켜, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있다.
- <83> (제2 실시예...도 10)
- <84> 도 10은 본 발명의 제2 실시예의 주요부를 도시하는 개략적인 구성도이다. 본 발명의 제2 실시예는, 도 1에 도시한 타이밍 컨트롤러(17)를 구비하고 있다. 또한, 클럭 신호선(9)과 평행하며, 타이밍 컨트롤러(17)로부터 출력되는 반전 클럭 신호를 전송하는 반전 클럭 신호선(79)을 설치함과 함께, 반전 클럭 신호선(79)의 종단부에 종단 회로(80)를 설치하고 있다.
- <85> (i)는 종단 회로(80)의 회로 구성을 나타내고 있으며, 참조 부호 81, 82는 종단 저항, 참조 부호 83, 84는 반전 클럭 신호선(79)의 부하 용량이 클럭 신호선의 부하 용량과 동일 내지 대략 동일하게 되도록 설치된 캐패시터이다. 캐패시터(83, 84)의 합성 용량값이 데이터 드라이버 IC(2-1~2-10)의 클럭 입력 용량의 합계값으로 되어 있다. 그 외에 대해서는 도 19에 도시한 종래의 액정 표시 장치와 마찬가지로 구성되어 있다.
- <86> 이상과 같이, 본 발명의 제2 실시예에 따르면, 클럭 신호선(9)에 평행하게 반전 클럭 신호선(79)을 설치함과 함께, 종단 회로(80)에 캐패시터(83, 84)를 설치하며, 클럭 신호의 부하 용량과 반전 클럭 신호의 부하 용량을 동

일 내지 대략 동일하게 하고, 타이밍 컨트롤러(17)로부터 클럭 신호선(9) 및 반전 클럭 신호선(79)에 대하여 각각 클럭 신호 및 반전 클럭 신호를 출력하도록 하였기 때문에, 클럭 신호와 반전 클럭 신호 사이에 상쇄 효과를 발생시켜, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있다.

<87> (제3 실시예··도 11~도 14)

<88> 도 11은 본 발명의 제3 실시예의 주요부를 도시하는 개략적인 구성도이다. 도 11에서, 참조 부호 85는 홀수 도트의 데이터 신호를 전송하는 홀수 도트용 데이터 신호선, 참조 부호 86은 짝수 도트의 데이터 신호를 전송하는 짝수 도트용 데이터 신호선이다.

<89> 본 발명의 제3 실시예는, 도 1에 도시한 타이밍 컨트롤러(17) 및 데이터 드라이버 IC(15-1~15-10)와 구성이 다른 타이밍 컨트롤러(87) 및 데이터 드라이버 IC(88-1~88-10)를 설치하고 있다. 단, 데이터 드라이버 IC(88-3~88-8)는 도시를 생략하고 있다.

<90> 타이밍 컨트롤러(87)는, 짝수 도트의 데이터 신호를 홀수 도트의 데이터 신호에 대하여 위상을 180° 지연시켜 출력하도록 구성되며, 그 외에 대해서는 도 1에 도시한 타이밍 컨트롤러(17)와 마찬가지로 구성되어 있다.

<91> 데이터 드라이버 IC(88-1~88-10)는, 클럭 신호 및 반전 클럭 신호를 입력하도록 구성되어 있다. 그 외에 대해서는 도 1에 도시한 제1 발명의 제1 실시예와 마찬가지로 구성되어 있다.

<92> 도 12는 데이터 드라이버 IC(88-1~88-10)의 구성을 도시하는 블록도이다. 도 12에서, CLK는 클럭 신호, /CLK는 반전 클럭 신호, R00~R70는 홀수 도트의 적색 데이터 신호, G00~G70는 홀수 도트의 녹색 데이터 신호, B00~B70는 홀수 도트의 청색 데이터 신호, R0E~R7E는 짝수 도트의 적색 데이터 신호, G0E~G7E는 짝수 도트의 녹색 데이터 신호, B0E~B7E는 짝수 도트의 청색 데이터 신호, VH0~VH255, VL0~VL255는 기준 전압이다.

<93> 참조 부호 89는 클럭 신호 CLK의 상승 타이밍에 동기하여 홀수 도트의 데이터 신호 R00~R70, G00~G70, B00~B70를 래치하는 데이터 래치, 참조 부호 90은 반전 클럭 신호 /CLK의 상승 타이밍에 동기하여 짝수 도트의 데이터 신호 R0E~R7E, G0E~G7E, B0E~B7E를 래치하는 데이터 래치이다.

<94> 참조 부호 91은 클럭 신호 CLK 및 반전 클럭 신호 /CLK를 시프트하는 시프트 레지스터, 참조 부호 92는 시프트 레지스터(91)의 병렬 출력에 동기하여 홀수 도트의 데이터 신호 R00~R70, G00~G70, B00~B70와 짝수 도트의 데이터 신호 R0E~R7E, G0E~G7E, B0E~B7E를 교대로 샘플링하여 기억하는 샘플링 메모리이다.

<95> 참조 부호 93은 기준 전압 VH0~VH255, VL0~VL255를 γ 보정한 256×2 레벨의 전압을 발생하는 기준 전압 발생 회로, 참조 부호 94는 샘플링 메모리(92)가 기억한 각 도트의 데이터 신호를 아날로그화하는 D/A 컨버터, 참조 부호 95는 256계조×2의 아날로그 신호를 출력하는 출력 회로이다.

<96> 도 13은 본 발명의 제3 실시예의 동작을 도시하는 타이밍차트이다. 타이밍 컨트롤러(87)로부터 출력되는 홀수 도트의 데이터 신호 ODD, 짝수 도트의 데이터 신호 EVEN, 클럭 신호 CLK, 반전 클럭 신호 /CLK를 나타내고 있다.

<97> 본 발명의 제3 실시예에서는, 데이터 드라이버 IC(88-1~88-10)는, 홀수 도트의 데이터 신호 ODD를 클럭 신호 CLK의 상승 타이밍에서 래치하고, 짝수 도트의 데이터 신호 EVEN을 반전 클럭 신호 /CLK의 상승 타이밍에서 래치하게 된다.

<98> 이 결과, 데이터 신호의 동시 스위칭 수를 도 19에 도시한 종래의 액정 표시 장치의 경우의 1/2로 할 수 있다. 또한, 도 14는 도 19에 도시한 종래의 액정 표시 장치의 동작을 도시하는 타이밍차트이다.

<99> 따라서, 본 발명의 제3 실시예에 따르면, 클럭 신호 및 반전 클럭 신호를 모두 데이터 드라이버 IC(88-1~88-10)에 입력하는 것으로 함으로써, 클럭 신호선(9)의 부하 용량과 반전 클럭 신호선(18)의 부하 용량을 동일 내지 대략 동일하게 할 수 있기 때문에, 클럭 신호와 반전 클럭 신호 사이에 상쇄 효과를 발생시켜, 클럭 신호를 원인으로 하는 전자파 방사의 저감을 도모할 수 있음과 함께, 데이터 신호의 동시 스위칭 수를 도 19에 도시한 종래의 액정 표시 장치의 경우의 1/2로 할 수 있으므로, 데이터 신호의 동시 스위칭에 의해 발생하는 전자파 방사의 저감을 도모할 수 있다.

<100> (제4 실시예··도 15)

<101> 도 15는 본 발명의 제4 실시예의 주요부를 도시하는 개략적인 구성도이다. 본 발명의 제5 실시예는, 도 11에 도시한 타이밍 컨트롤러(87)와 편 배치가 다른 타이밍 컨트롤러(108)를 구비함과 함께, 도 11에 도시한 데이터

드라이버 IC(88-1~88-10)와 핀 배치가 다른 데이터 드라이버 IC(109-1~109-10)를 구비하고 있다. 단, 데이터 드라이버 IC(109-2~109-10)는 도시를 생략하고 있다.

- <102> 타이밍 컨트롤러(108)는, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호용의 출력 핀을 배치하고 있다. 즉, 적색 데이터 신호 Ri0, RiE용의 출력 핀(단, $i=0, 1, \dots, 7$), 녹색 데이터 신호 Gi0, GiE용의 출력 핀, 청색 데이터 신호 Bi0, BiE용의 출력 핀은, 각각 인접하도록 배치되어 있다.
- <103> 데이터 드라이버 IC(109-1~109-10)는, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호용의 입력 핀을 배치하고 있다. 즉, 적색 데이터 신호 Ri0, RiE용의 출력 핀, 녹색 데이터 신호 Gi0, GiE용의 입력 핀, 청색 데이터 신호 Bi0, BiE용의 입력 핀은 각각 인접하도록 배치되어 있다.
- <104> 따라서, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호선을 배치할 수 있다. 즉, 적색 데이터 신호 Ri0, RiE용의 데이터 신호선, 녹색 데이터 신호 Gi0, GiE용의 데이터 신호선, 청색 데이터 신호 Bi0, BiE용의 데이터 신호선을, 각각 인접하도록 배치하고 있다. 그 외에 대해서는 도 11에 도시한 본 발명의 제3 실시예와 마찬가지로 구성되어 있다.
- <105> 또한, 도 16은 도 19에 도시한 종래의 액정 표시 장치의 일부분의 개략적인 구성도로서, 타이밍 컨트롤러(4)의 데이터 신호용의 출력 핀의 배치, 데이터 드라이버 IC(2-1)의 데이터 신호용의 입력 핀의 배치 및 데이터 신호선의 배치를 나타내고 있다.
- <106> 본 발명의 제4 실시예에 따르면, 본 발명의 제3 실시예와 마찬가지로, 클럭 신호를 원인으로 하는 전자파 방사의 저감을 도모할 수 있음과 함께, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호선을 배치하고 있기 때문에, 데이터 신호의 동시 스위칭에 의해 발생하는 전자파 방사의 저감을 본 발명의 제3 실시예 이상으로 할 수 있다.
- <107> (제5 실시예···도 17, 도 18)
- <108> 도 17은 본 발명의 제5 실시예의 주요부를 도시하는 개략적인 구성도이다. 본 발명의 제5 실시예는, 도 1에 도시한 데이터 드라이버 IC(15-1~15-10)와 구성이 다른 데이터 드라이버 IC(96-1~96-10)를 설치하고 있다. 단, 데이터 드라이버(96-3~96-8)는 도시를 생략하고 있다.
- <109> 데이터 드라이버 IC(96-1~96-10)는, 클럭 신호 및 반전 클럭 신호를 입력함과 함께, 선택 신호에 의해 클럭 신호 또는 반전 클럭 신호를 선택할 수 있도록 구성되어 있다. 그 외에 대해서는 도 1에 도시한 본 발명의 제1 실시예와 마찬가지로 구성되어 있다. 이러한 구성을 취함으로써, 반전 클럭 신호선의 부하 용량을 클럭 신호선의 부하 용량과 동일 내지 대략 동일하게 할 수 있다.
- <110> 도 18은 데이터 드라이버 IC(96-1~96-10)의 구성을 도시하는 블록도이다. 도 18에서, SL은 클럭 신호 CLK 또는 반전 클럭 신호 /CLK를 선택하는 선택 신호이며, 데이터 드라이버 IC(96-1~96-10)의 각각에 독립적으로 공급되는 것이다.
- <111> 참조 부호 97은 클럭 신호 CLK와 선택 신호 SL을 AND 처리하는 AND 회로, 참조 부호 98은 AND 회로(97)의 출력과 선택 신호 SL을 EXOR(배타적 논리합) 처리하는 EXOR 회로이다.
- <112> 참조 부호 99는 선택 신호 SL을 반전하는 인버터, 참조 부호 100은 반전 클럭 신호 /CLK와 인버터(99)의 출력을 AND 처리하는 AND 회로, 참조 부호 101은 EXOR 회로(98)의 출력과 AND 회로(100)의 출력을 NOR 처리하여 내부 클럭 신호 I-CLK를 출력하는 NOR 회로이다.
- <113> 참조 부호 102는 내부 클럭 신호 I-CLK의 상승 타이밍에 동기하여 홀수 도트의 데이터 신호 R00~R70, G00~G70, B00~B70와, 짝수 도트의 데이터 신호 ROE~R7E, GOE~G7E, BOE~B7E를 교대로 래치하는 데이터 래치이다.
- <114> 참조 부호 103은 내부 클럭 신호 I-CLK를 시프트하는 시프트 레지스터, 참조 부호 104는 시프트 레지스터(102)의 병렬 출력에 동기하여 홀수 도트의 데이터 신호 R00~R70, G00~G70, B00~B70와, 짝수 도트의 데이터 신호 ROE~R7E, GOE~G7E, BOE~B7E를 교대로 샘플링하여 기억하는 샘플링 메모리이다.
- <115> 참조 부호 105는 기준 전압 VH0~VH255, VL0~VL255를 γ 보정한 256×2 레벨의 전압을 발생하는 기준 전압 발생 회로, 참조 부호 106은 샘플링 메모리(104)가 기억한 각 도트의 데이터 신호를 아날로그화하는 D/A 컨버터,

참조 부호 107은 256계조×2의 아날로그 신호를 출력하는 출력 회로이다.

- <116> 이와 같이 구성된 데이터 드라이버 IC에서는, 선택 신호 SL을 H 레벨로 하는 경우에는, 클럭 신호 CLK가 선택되고, 선택 신호 SL을 L 레벨로 하는 경우에는, 반전 클럭 신호 /CLK가 선택된다. 따라서, 예를 들면, 데이터 드라이버 IC(96-1, 96-3, 96-5, 96-7, 96-9)는 선택 신호 SL을 H 레벨, 데이터 드라이버 IC(96-2, 96-4, 96-6, 96-8, 96-10)는 선택 신호 SL을 L 레벨로 한다.
- <117> 이와 같이 하면, 데이터 드라이버 IC(96-1, 96-3, 96-5, 96-7, 96-9)는, 클럭 신호 CLK의 상승 타이밍에서 데이터 신호를 래치하고, 데이터 드라이버 IC(96-2, 96-4, 96-6, 96-8, 96-10)는, 반전 클럭 신호 /CLK의 하강 타이밍에서 데이터 신호를 래치하게 된다.
- <118> 이상과 같이, 본 발명의 제5 실시예에 따르면, 클럭 신호의 부하 용량과 반전 클럭 신호의 부하 용량을 동일 내지 대략 동일하게 할 수 있기 때문에, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있음과 함께, 반전 클럭 신호선도 데이터 신호를 데이터 드라이버 IC(96-1~96-10)에 공급하기 위해 이용할 수 있기 때문에, 낭비 없이 배선을 행할 수 있다.
- <119> 또한, 클럭 신호의 상승 타이밍에서 데이터 신호를 공급하도록 설정하는 데이터 드라이버 IC와, 반전 클럭 신호의 하강 타이밍에서 데이터 신호를 공급하도록 설정하는 데이터 드라이버 IC가 동수개, 교대로 배열되도록 하는 것이, 클럭 신호를 원인으로 하는 전자파 방사 저감의 효과가 최대로 된다. 또한, 클럭 신호 입력 핀과 반전 클럭 신호 입력 핀 사이의 피치는 작은 쪽이 보다 효과가 크다.
- <120> 여기서, 본 발명을 정리하면, 본 발명에는, 이하에 설명하는 액정 표시 장치, 액정 표시 장치용의 데이터 드라이버 IC 및 액정 표시 장치용의 타이밍 컨트롤러가 포함된다.
- <121> (부기 1)
- <122> 액정 표시 패널과, 해당 액정 표시 패널의 데이터선을 구동하는 복수의 데이터 드라이버 IC와, 해당 복수의 데이터 드라이버 IC에 제1 클럭 신호를 전송하는 제1 클럭 신호선을 갖는 액정 표시 장치에 있어서, 상기 제1 클럭 신호선과 평행하게 설치되며, 상기 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선과, 상기 제1, 제2 클럭 신호를 각각 상기 제1, 제2 클럭 신호선으로 출력하는 타이밍 컨트롤러와, 상기 제2 클럭 신호선의 부하 용량을 상기 제1 클럭 신호선의 부하 용량과 동일 내지 대략 동일하게 하기 위한 부하 수단을 포함하는 것을 특징으로 하는 액정 표시 장치.
- <123> (부기 2)
- <124> 상기 부하 수단은, 상기 데이터 드라이버 IC에 더미 단자를 설치하고, 해당 더미 단자에 상기 제2 클럭 신호선을 접속함으로써 구성되어 있는 것을 특징으로 하는 부기 1에 기재된 액정 표시 장치.
- <125> (부기 3)
- <126> 상기 부하 수단은, 캐패시터를 중단 회로에 포함하여 구성되어 있는 것을 특징으로 하는 부기 1에 기재된 액정 표시 장치.
- <127> (부기 4)
- <128> 상기 캐패시터는, 상기 데이터 드라이버 IC의 제1 클럭 신호의 입력 용량과 동등한 용량값을 갖는 것을 특징으로 하는 부기 3에 기재된 액정 표시 장치.
- <129> (부기 5)
- <130> 홀수 도트의 데이터 신호를 전송하는 홀수 도트용 데이터 신호선과, 짝수 도트의 데이터 신호를 전송하는 짝수 도트용 데이터 신호선을 갖고, 상기 타이밍 컨트롤러는, 각 수평 라인마다, 상기 홀수 도트의 데이터 신호와 상기 짝수 도트의 데이터 신호를 180° 어긋나게 하여 출력하며, 상기 데이터 드라이버 IC는, 상기 제1, 제2 클럭 신호를 입력하고, 상기 홀수 도트의 데이터 신호를 상기 제1 클럭 신호로 래치하며, 상기 짝수 도트의 데이터 신호를 상기 제2 클럭 신호로 래치하는 것을 특징으로 하는 부기 1에 기재된 액정 표시 장치.
- <131> (부기 6)
- <132> 상기 타이밍 컨트롤러는, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호용의 출력 핀을 배치하고 있는 것을 특징으로 하는 부기 5에 기재된 액정 표시 장치.

- <133> (부기 7)
- <134> 액정 표시 패널과, 해당 액정 표시 패널의 데이터선을 구동하는 복수의 데이터 드라이버 IC와, 해당 복수의 데이터 드라이버 IC에 제1 클럭 신호를 전송하는 제1 클럭 신호선을 갖는 액정 표시 장치에 있어서, 상기 제1 클럭 신호선과 평행하게 설치되며, 상기 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선과, 상기 제1, 제2 클럭 신호를 각각 상기 제1, 제2 클럭 신호선으로 출력하는 타이밍 컨트롤러를 갖고, 상기 데이터 드라이버 IC는, 상기 제1, 제2 클럭 신호를 입력하며, 상기 제1 또는 제2 클럭 신호로 데이터 신호를 래치하는 것이 선택 가능하게 되어 있는 것을 특징으로 하는 액정 표시 장치.
- <135> (부기 8)
- <136> 상기 데이터 드라이버 IC는, 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호용의 입력 핀을 배치하고 있는 것을 특징으로 하는 부기 7에 기재된 액정 표시 장치.
- <137> (부기 9)
- <138> 제1 클럭 신호와, 해당 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 입력하고, 홀수 도트의 데이터 신호를 상기 제1 클럭 신호로 래치하며, 짝수 도트의 데이터 신호를 상기 제2 클럭 신호로 래치하는 것을 특징으로 하는 액정 표시 장치용의 데이터 드라이버 IC.
- <139> (부기 10)
- <140> 제1 클럭 신호와, 해당 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 입력하고, 상기 제1 또는 제2 클럭 신호로 데이터 신호를 래치하는 것이 선택 가능하게 되어 있는 것을 특징으로 하는 액정 표시 장치용의 데이터 드라이버 IC.
- <141> (부기 11)
- <142> 각 수평 라인마다, 홀수 도트의 데이터 신호와 짝수 도트의 데이터 신호를 180° 어긋나게 하여 출력하는 것을 특징으로 하는 액정 표시 장치용의 타이밍 컨트롤러.
- <143> (부기 12)
- <144> 각 색의 각 비트의 홀수 도트의 데이터 신호와 동일 비트의 짝수 도트의 데이터 신호가 인접하도록 데이터 신호용의 출력 핀을 배치하고 있는 것을 특징으로 하는 액정 표시 장치용의 타이밍 컨트롤러.

발명의 효과

- <145> 이상과 같이, 본 발명 중, 제1 발명에 따르면, 제1 클럭 신호를 전송하는 제1 클럭 신호선의 부하 용량과, 제1 클럭 신호와 반전 관계에 있는 제2 클럭 신호를 전송하는 제2 클럭 신호선의 부하 용량을 동일 내지 대략 동일하게 할 수 있기 때문에, 제1, 제2 클럭 신호 사이에 상쇄 효과가 생성되어, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있다.
- <146> 또한, 제2 발명에 따르면, 예를 들면, 반수의 데이터 드라이버 IC는 제1 클럭 신호로 데이터 신호를 래치하고, 나머지 반수의 데이터 드라이버 IC는 제2 클럭 신호로 데이터 신호를 래치하도록 제어함으로써, 제1, 제2 클럭 신호선의 부하 용량을 동일 내지 대략 동일하게 할 수 있기 때문에, 제1, 제2 클럭 신호 사이에 상쇄 효과가 생성되어, 클럭 신호를 원인으로 하는 전자파 방사를 저감할 수 있다.

도면의 간단한 설명

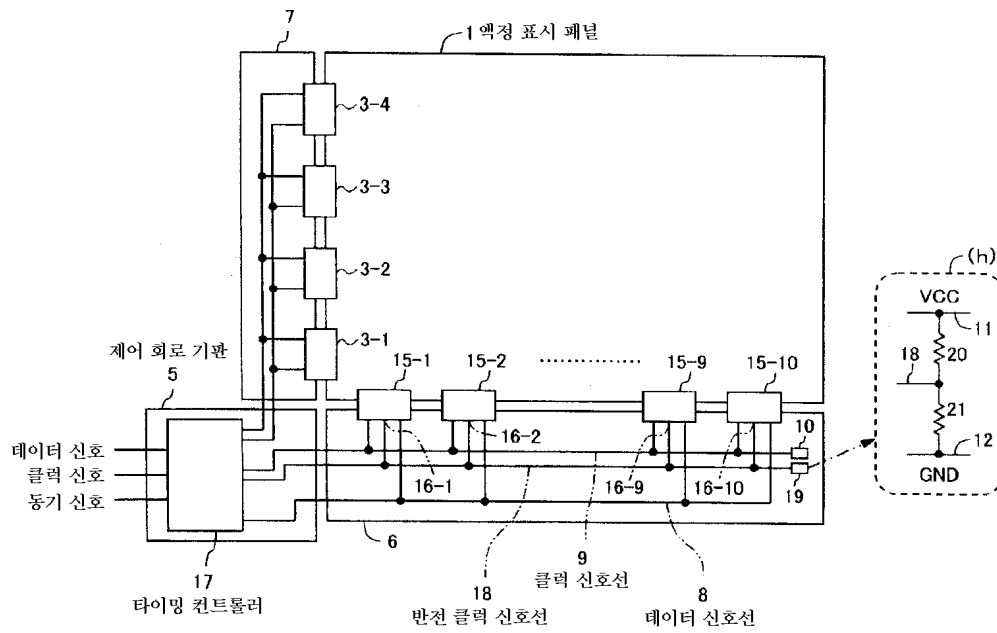
- <1> 도 1은 본 발명의 제1 실시예의 주요부를 도시하는 개략적인 구성도.
- <2> 도 2는 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제1 시뮬레이션에 사용한 제1 클럭 신호선 모델을 도시하는 도면.
- <3> 도 3은 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제1 시뮬레이션의 결과를 도시하는 도면.
- <4> 도 4는 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제2 시뮬레이션에 사용한 클럭 신호

선 모델을 도시하는 도면.

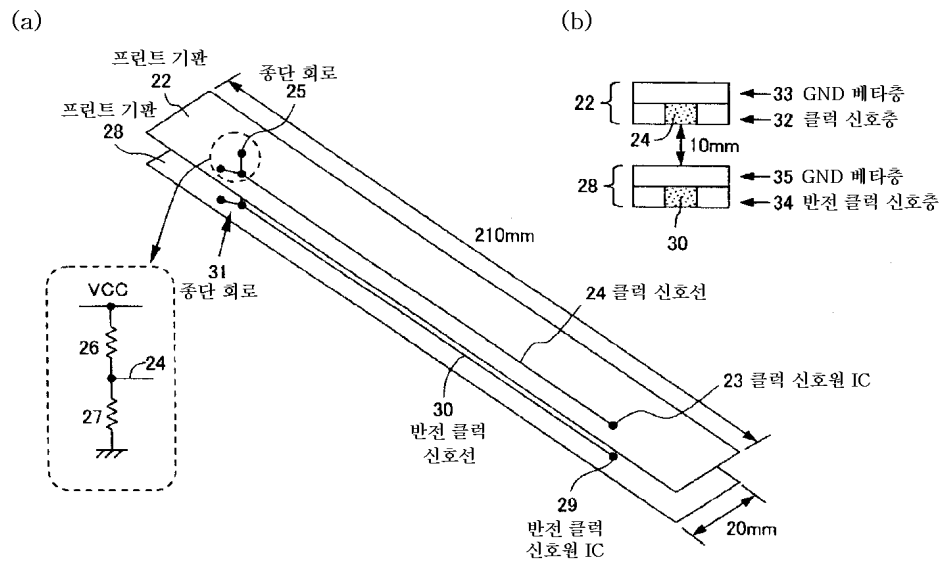
- <5> 도 5는 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제2 시뮬레이션의 결과를 도시하는 도면.
- <6> 도 6은 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제3 시뮬레이션에 사용한 클럭 신호선 모델을 도시하는 개략적인 단면도.
- <7> 도 7은 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제3 시뮬레이션의 결과를 도시하는 도면.
- <8> 도 8은 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제4 시뮬레이션에 사용한 제8 클럭 신호선 모델을 도시하는 도면.
- <9> 도 9는 본 발명의 제1 실시예의 효과를 검증하기 위해 본 발명자가 실행한 제4 시뮬레이션의 결과를 도시하는 도면.
- <10> 도 10은 본 발명의 제2 실시예의 주요부를 도시하는 개략적인 구성도.
- <11> 도 11은 본 발명의 제3 실시예의 주요부를 도시하는 개략적 구성도.
- <12> 도 12는 본 발명의 제3 실시예가 구비하는 데이터 드라이버 IC의 구성을 도시하는 블록도.
- <13> 도 13은 본 발명의 제3 실시예의 동작을 도시하는 타이밍차트.
- <14> 도 14는 도 19에 도시한 종래의 액정 표시 장치의 동작을 도시하는 타이밍차트.
- <15> 도 15는 본 발명의 제4 실시예의 주요부를 도시하는 개략적인 구성도.
- <16> 도 16은 도 19에 도시한 종래의 액정 표시 장치의 일부분의 개략적인 구성도.
- <17> 도 17은 본 발명의 제5 실시예의 주요부를 도시하는 개략적인 구성도.
- <18> 도 18은 본 발명의 제5 실시예가 구비하는 데이터 드라이버 IC의 구성을 도시하는 블록도.
- <19> 도 19는 종래의 액정 표시 장치의 일례의 주요부를 도시하는 개략적 구성도.
- <20> <도면의 주요 부분에 대한 부호의 설명>
- <21> 1 : 액정 표시 패널
- <22> 2-1~2-10 : 데이터 드라이버
- <23> IC3-1~3-4 : 게이트 드라이버 IC
- <24> 8 : 데이터 신호선
- <25> 9 : 클럭 신호선
- <26> 10 : 종단 회로
- <27> 15-1~15-10 : 데이터 드라이버 IC
- <28> 16-1~16-10 : 더미 단자
- <29> 18, 79 : 반전 클럭 신호선
- <30> 19, 80 : 종단 회로
- <31> 85 : 홀수 도트용 데이터 신호선
- <32> 86 : 짝수 도트용 데이터 신호선
- <33> 88-1~88~10 : 데이터 드라이버 IC
- <34> 96-1~96-10 : 데이터 드라이버 IC

도면

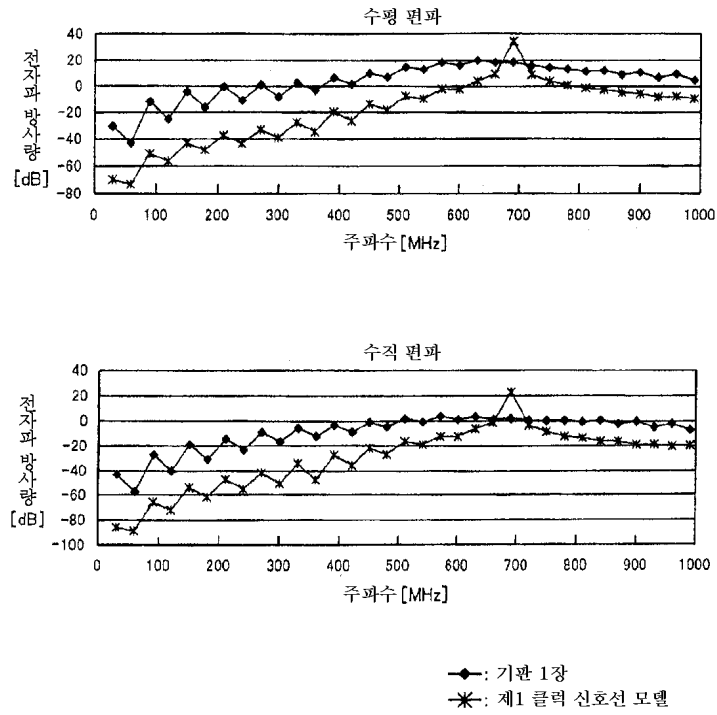
도면1



도면2



도면3

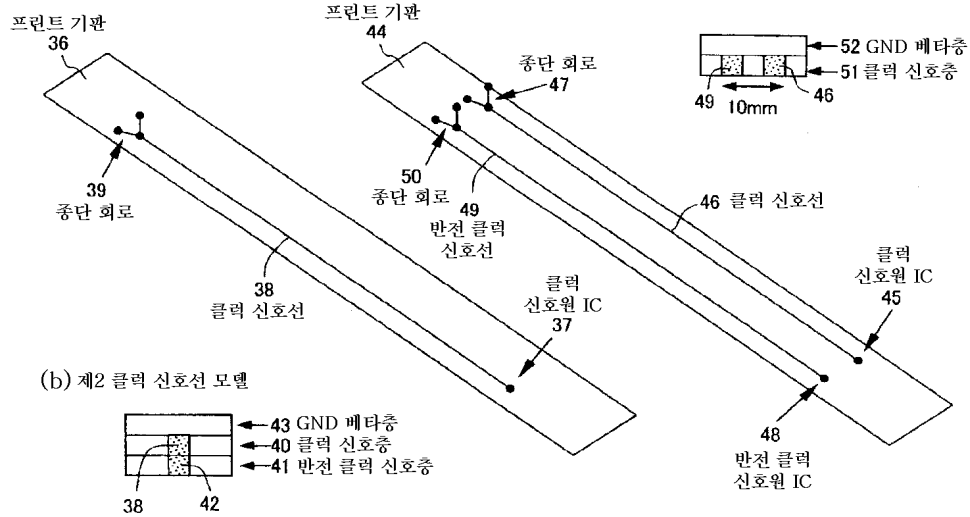


도면4

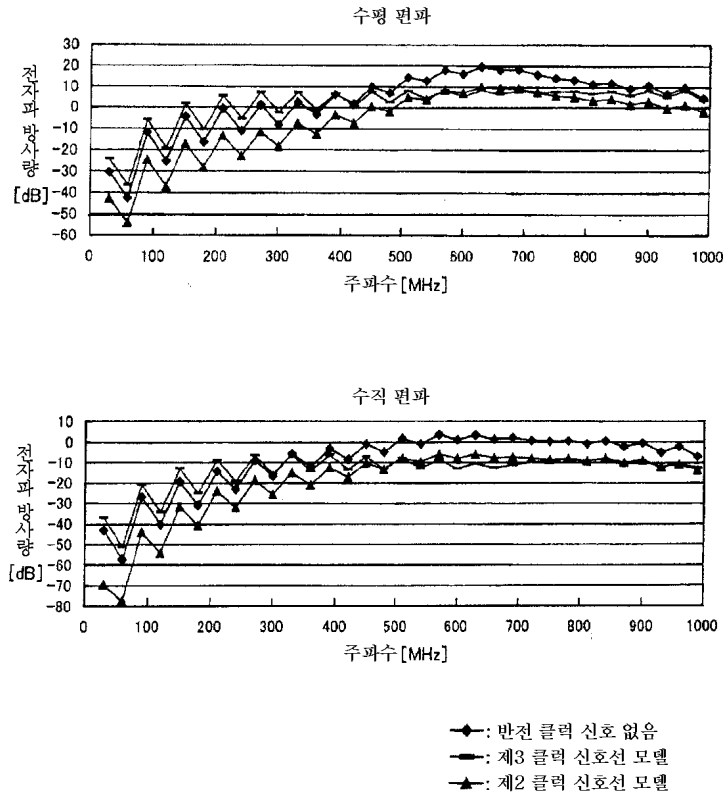
(a) 제2 클럭 신호선 모델

(c) 제3 클럭 신호선 모델

(d) 제3 클럭 신호선 모델

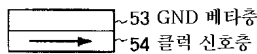


도면5

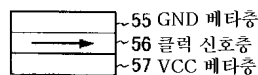


도면6

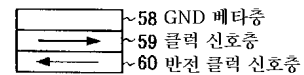
(a) 종래의 클럭 신호선 모델의 일례



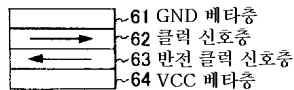
(b) 종래의 클럭 신호선 모델의 다른 예



(c) 제4 클럭 신호선 모델



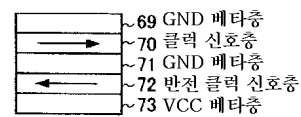
(d) 제5 클럭 신호선 모델



(e) 제6 클럭 신호선 모델

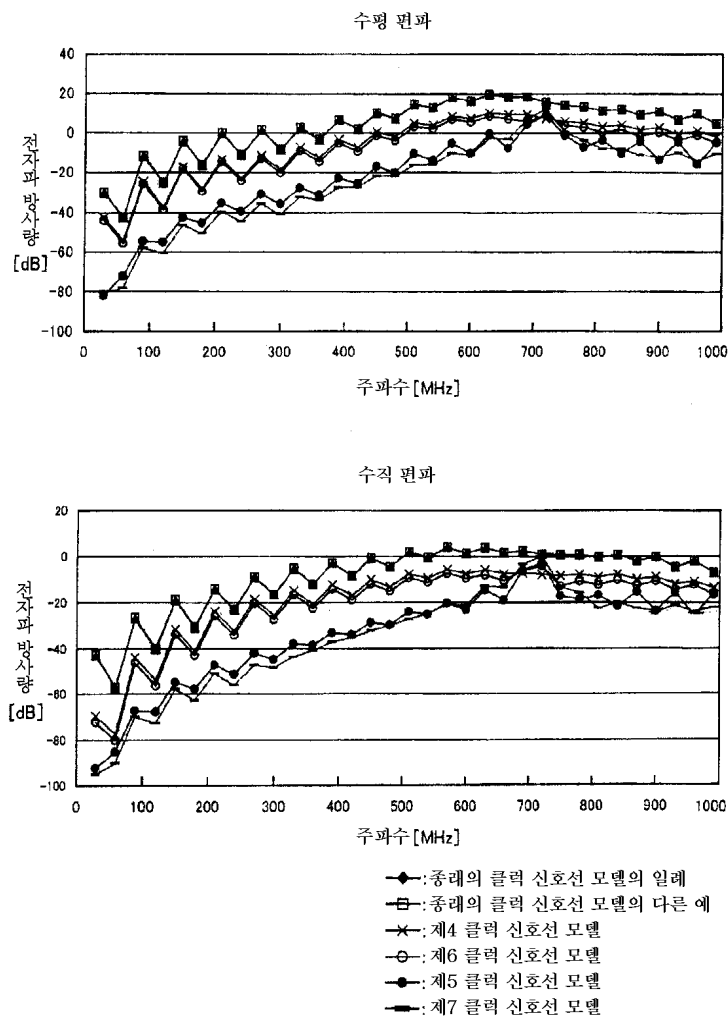


(f) 제7 클럭 신호선 모델

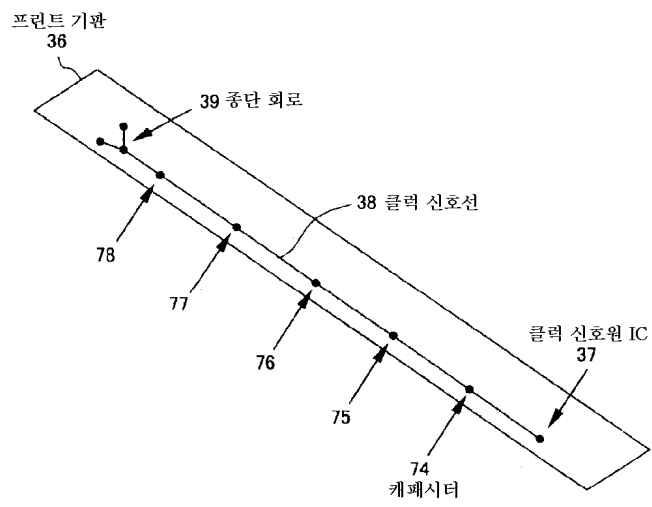


→ : 클럭 신호
← : 반전 클럭 신호

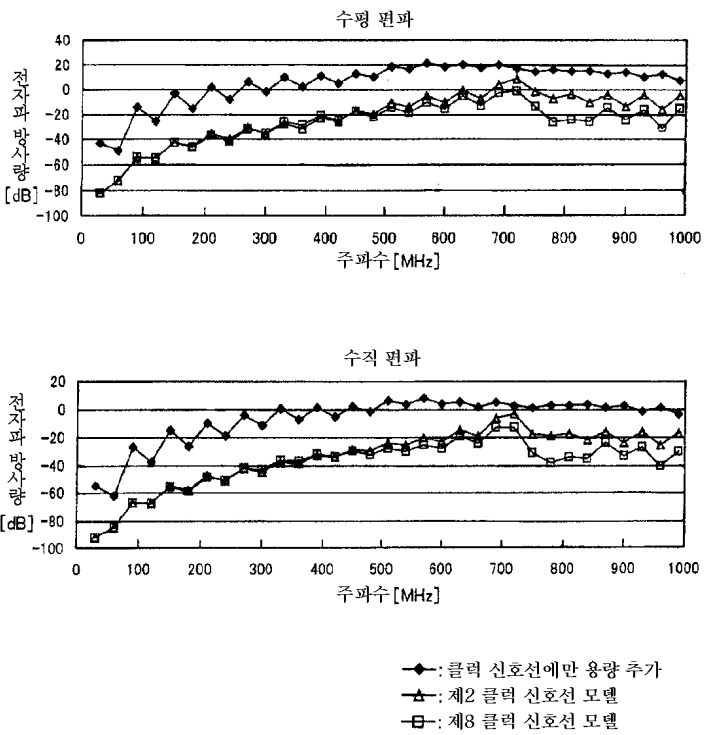
도면7



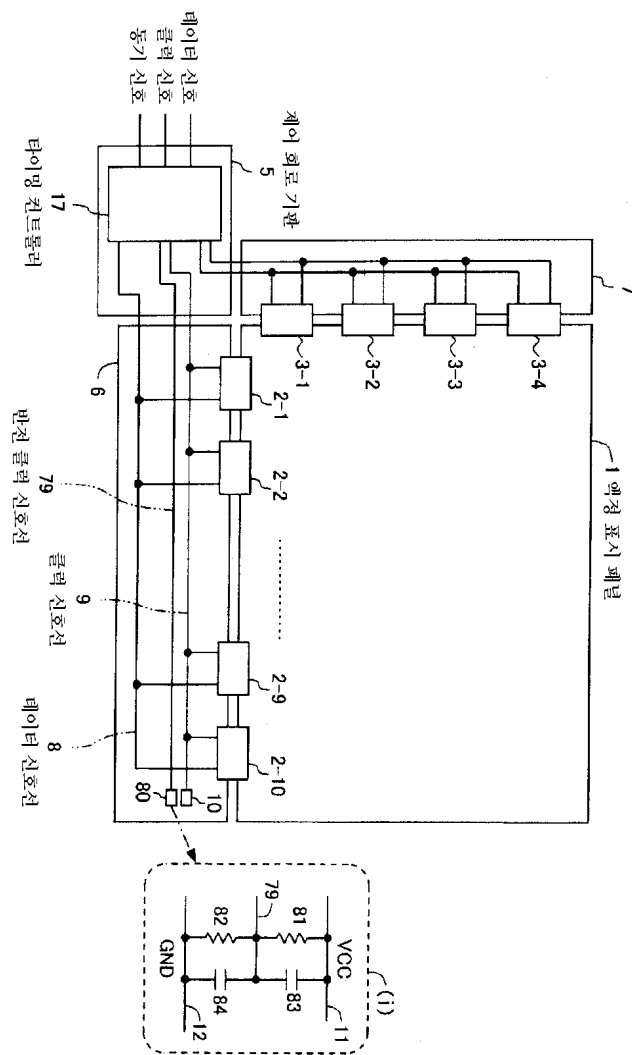
도면8



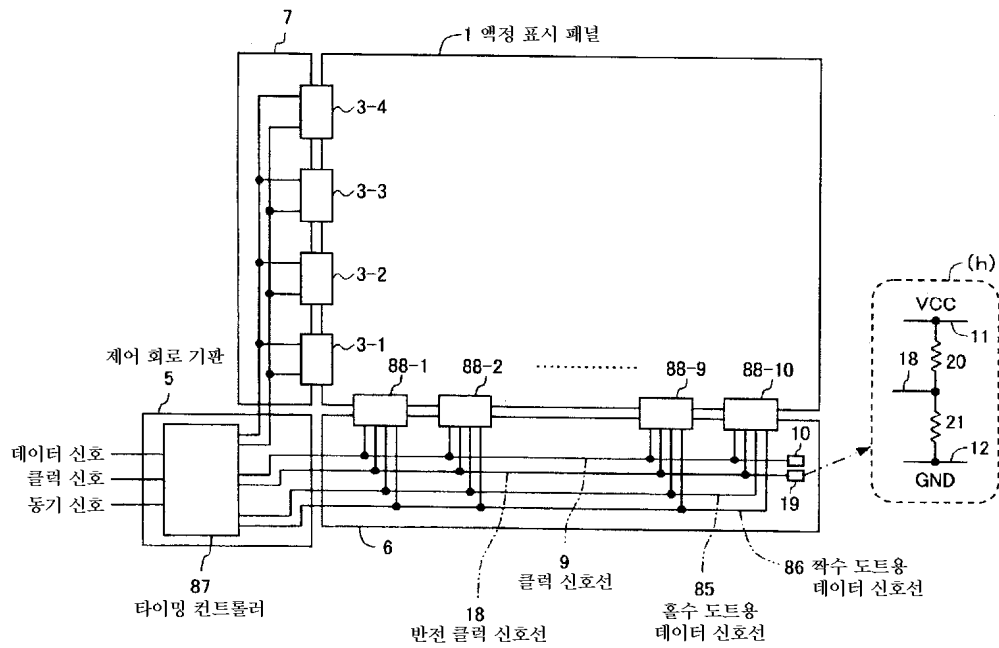
도면9



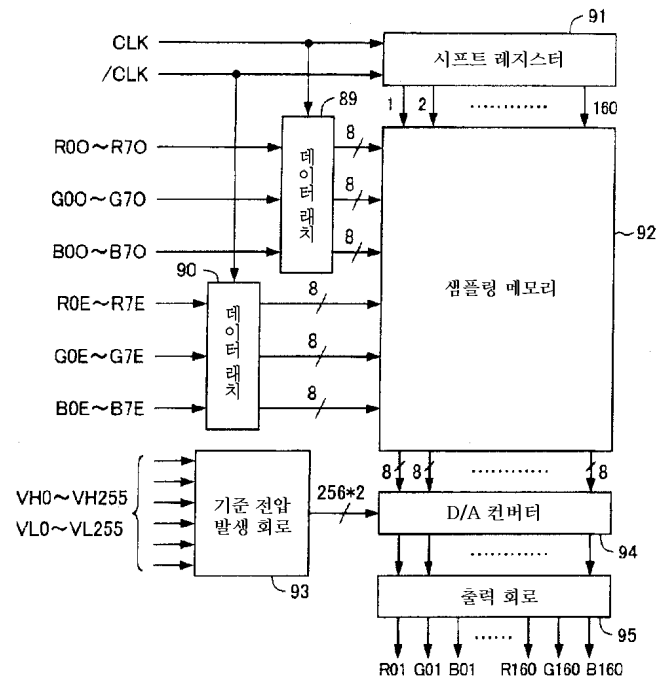
도면10



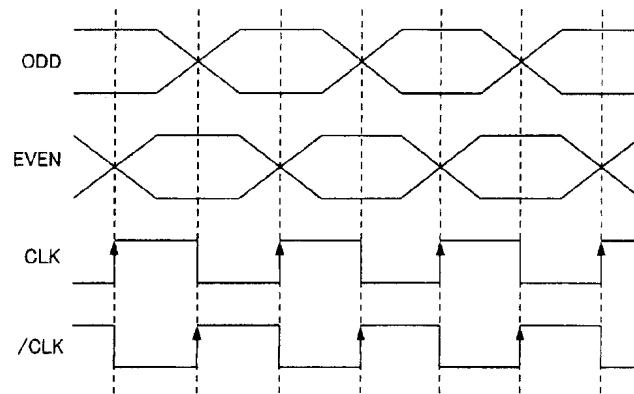
도면11



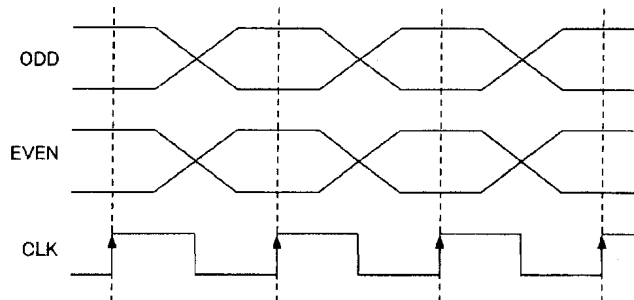
도면12



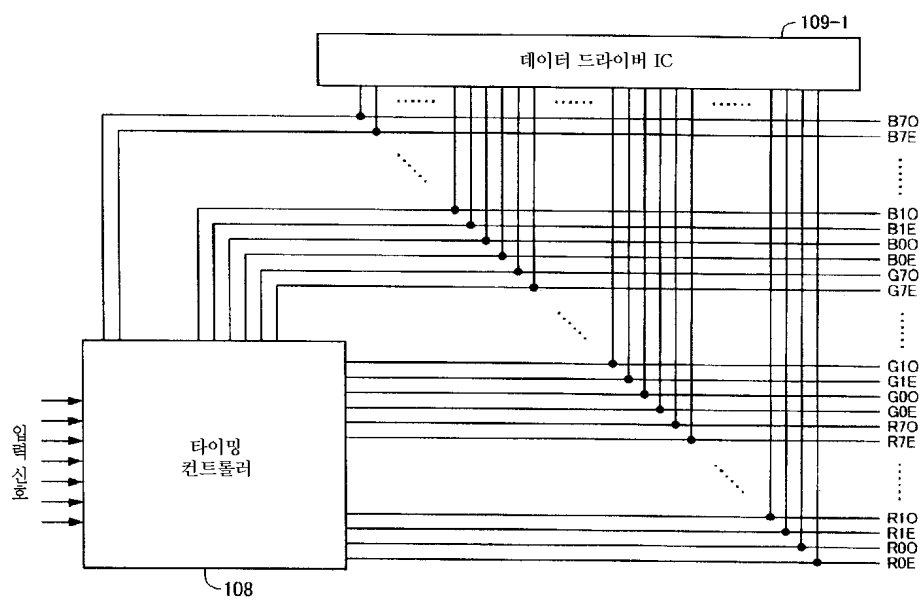
도면13



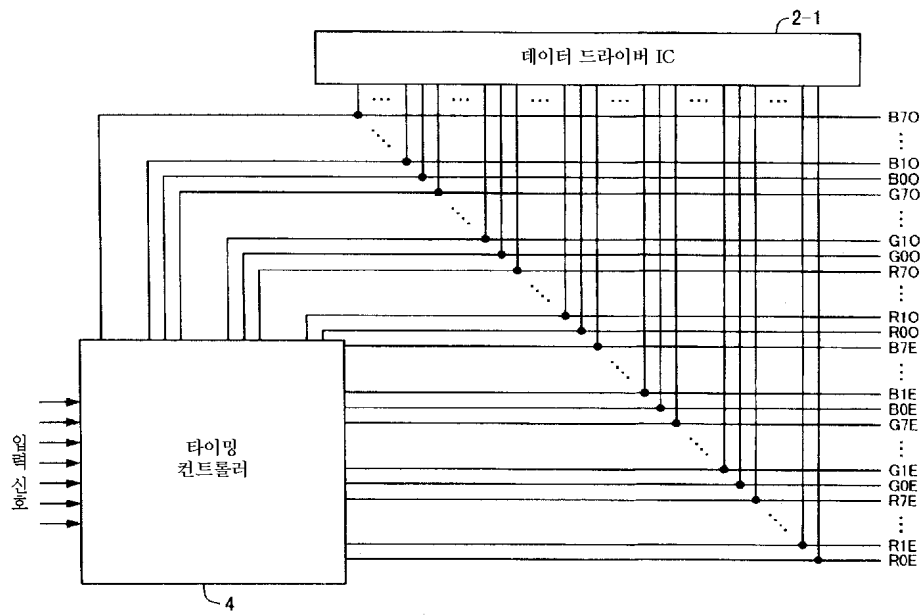
도면14



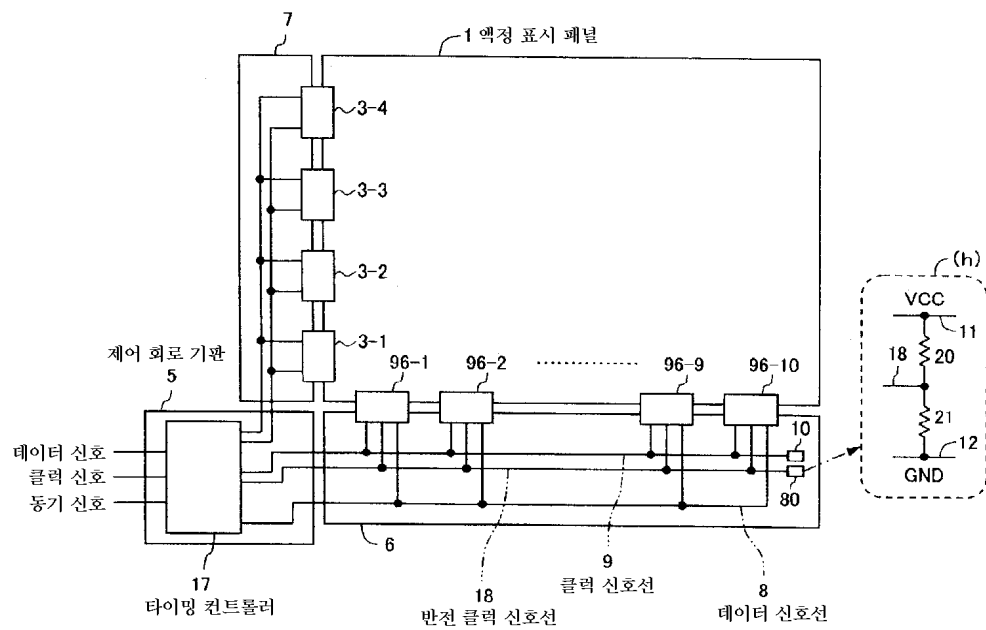
도면15



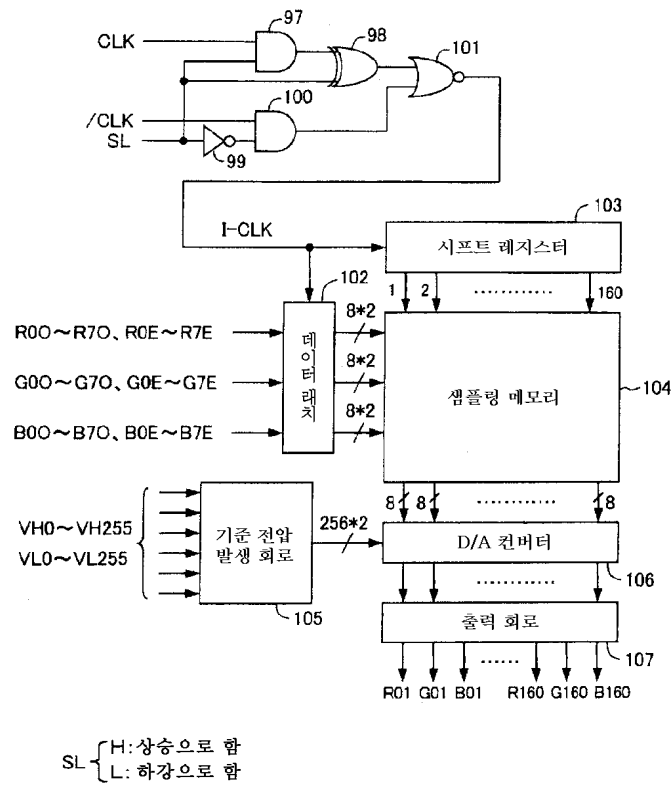
도면 16



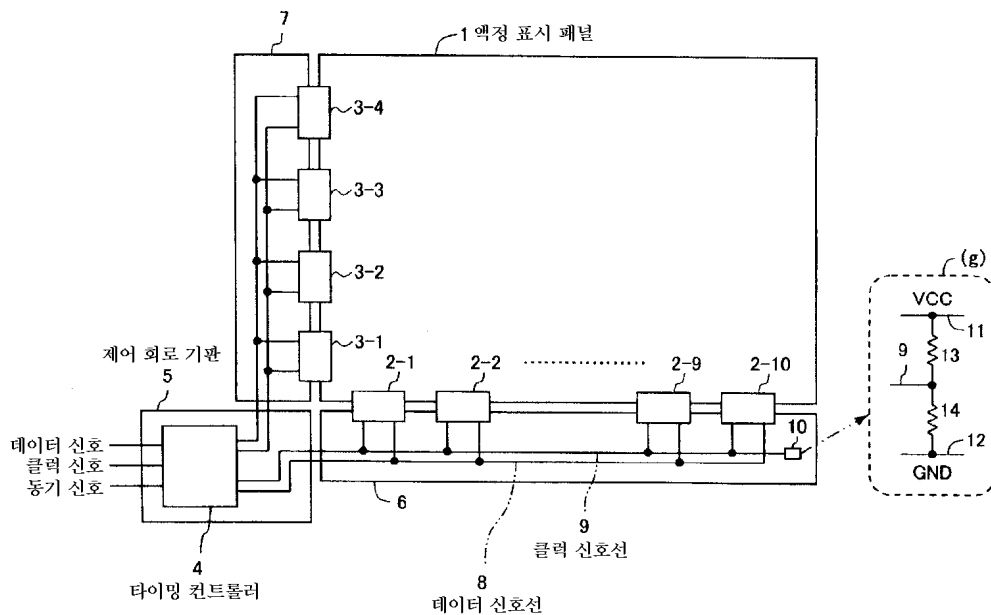
도면17



도면18



도면19



专利名称(译)	液晶显示器		
公开(公告)号	KR100804342B1	公开(公告)日	2008-02-15
申请号	KR1020040019613	申请日	2004-03-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	YAMAZAKI HIROSHI 야마자끼히로시		
发明人	야마자끼히로시		
IPC分类号	G02F1/133 G02F1/1345 G02F1/13 G09F9/00 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G3/3685 G02F1/13452 G09G5/006		
代理人(译)	Jangsugil Juseongmin		
优先权	2003093903 2003-03-31 JP		
其他公开文献	KR1020040086190A		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，能够有效地减少由时钟信号或数据信号引起的电磁波辐射。时序控制器17输出时钟信号和反相时钟信号。时钟信号和反相时钟信号分别被发送到并行排列的时钟信号线9和反相时钟信号线18。时钟信号线9连接到数据驱动器IC 15-1到15-10的常规端子，反相时钟信号线18连接到虚拟端子16。-1到16-10。专利文献No.10-0804342

