

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
G09G 3/36

(45) 공고일자 2005년03월22일  
(11) 등록번호 10-0477624  
(24) 등록일자 2005년03월10일

(21) 출원번호 10-2002-0040171  
(22) 출원일자 2002년07월11일

(65) 공개번호 10-2003-0007110  
(43) 공개일자 2003년01월23일

(30) 우선권주장 JP-P-2001-00214530 2001년07월13일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.  
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자  
코가코이치  
일본국도쿄도미나토구시바5-7-1닛뽀텐끼가부시끼가이샤내  
  
오쿠조노노보루  
일본국도쿄도미나토구시바5-7-1닛뽀텐끼가부시끼가이샤내  
  
야마구치마치히코  
일본국도쿄도미나토구시바5-7-1닛뽀텐끼가부시끼가이샤내

(74) 대리인 최달용

심사관 : 퇴-김진우

(54) 액정 표시 제어 회로

요약

본 발명은 데이터 인에이블 신호의 변동 등에 의한 표시 얼룩의 발생을 억제하기 위한 것으로서, 본 발명에 따른 액정 표시 제어 회로(1)는 컴퓨터(3)로부터 라인 단위의 표시 데이터에 동기하는 데이터 인에이블 신호(DE)를 입력하여 액정 표시 장치(2)를 제어한다. 게이트 드라이버(23)가 출력하는 게이트 구동 신호는 DE의 상승에 동기하는 수직 클럭 신호(VCK)에 의해 동작하고, 상기 DE의 상승 타이밍의 지연 및 최종 라인 후의 VCK의 지연에 기인하는 화소 전극의 충전 기간의 변동을 방지하기 위해, 액정 표시 제어 회로(1)에 게이트 인에이블 신호 발생 회로(10)를 마련하여 상기 지연에 의한 게이트 구동 신호의 펄스의 연장분의 출력을 금지한다.

대표도

도 6

색인어

액정 표시 장치, 데이터 제어, 펄스

명세서

도면의 간단한 설명

도 1은 종래의 액정 표시 시스템의 전체 구성을 도시한 도면.

도 2는 종래의 액정 표시 시스템의 각 여러 지점의 신호 형태를 도시한 도면.

도 3은 액정 표시 장치를 제어하는 여러 신호를 발생하는 액정 표시 제어 회로의 종래 예를 도시한 도면.

도 4는 특정한 소스선과 특정한 게이트선의 구동 동작 및 계조 전압의 기록(충전) 기간을 도시한 도면.

도 5는 표시 얼룩이 생기는 원리를 도시한 도면.

도 6은 본 발명의 액정 표시 제어 회로의 실시예를 도시한 도면.

도 7은 본 실시예의 액정 표시 제어 회로의 기능 및 출력 신호의 예를 도시한 도면.

도 8은 본 실시예에 있어서의 특정한 소스선과 특정한 게이트선의 구동 동작 및 계조 전압의 기록(충전) 기간을 도시한 도면.

도 9는 본 발명의 액정 표시 제어 회로의 실시예를 도시한 블록도.

도 10은 본 실시예의 동작에 의한 값(tx)의 결정 방법을 도시한 도면.

<도면의 주요 부분에 대한 간단한 설명>

1, 5 : 액정 표시 제어 회로 2, 6 : 액정 표시 장치

3, 7 : 컴퓨터 10 : 게이트 인에이블 신호 발생 회로

11, 21 : 상승 검출 회로 12, 23 : OR 회로

13, 22 : 수평 카운터 14, 25 : 디코더

15 : 최대값 검출 회로 16, 27, 182 : 일치 검출회로

17 : tx치 설정 회로 18 : VOE 발생 회로

22, 62 : 소스 드라이버 23, 63 : 게이트 드라이버

26, 28, 151, 152, 172, 173 : 레지스터

29, 153 : 큰값 검출 회로 30 : 데이터 변환부

31, 71 : 그래픽 칩 컨트롤러 174 : 작은값 검출 회로

171, 183 : RS 플립플롭 회로 231 : 시프트 레지스터

232 : 금지 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치의 표시를 제어하기 위한 액정 표시 제어 회로에 관한 것이다.

최근에, 컴퓨터 또는 OA기기, 이동 단말 기기 등에는 액정 표시 장치(LCD)가 가장 일반적인 표시 장치로서 이용되고 있다. 종래의 컴퓨터에 있어서의 TFT 액정 표시 장치의 개요에 관해 도면을 참조하여 이하 설명한다.

도 1 및 도 2는 각각 액정 표시 시스템의 전체 구성 및 각 지점의 신호 형태를 도시한 도면이다.

액정 표시 시스템의 전체 구성은 도 1에 도시한 바와 같이 디지털 표시 데이터(표시 데이터)를 클럭 신호, 제어 신호와 함께 출력하는 컴퓨터(7)와, 액정 표시 장치 본체(액정 표시 장치; 6)와, 컴퓨터(7)로부터의 각 신호를 입력하여 액정 표시 장치(6)를 구동 및 제어하는 액정 표시 제어 회로(5)로 구성된다.

액정 표시 장치(6)는 기관상에 표시용의 화소 전극과, 상기 화소 전극에 전압을 인가하는 TFT 트랜지스터를 매트릭스 형상으로 배치한 액정 표시 패널(61)과, 상기 액정 표시 패널(61)의 상면에 배치한 소스 드라이버(62)와 좌면에 배치한 게이트 드라이버(63)를 구비하고, 소스 드라이버(62)에 있어서 수평 방향의 1라인 단위로 래치한 표시 데이터를 D/A 변환하여 계조 전압으로서 상기 액정 표시 패널(61)의 화소 전극에 수평 방향의 1라인 단위로 윗쪽으로부터

터 아래쪽으로 차례로 기록함에 의해, 화소 전극과 공통 전극간에 화소 마다의 전압을 인가하고, 인가 전압치에 대응해서 그 전극간의 액정의 투과도를 제어하여 표시하도록 구성된다.

한편, 컴퓨터(7)는 그래픽 칩 컨트롤러(71) 등을 구비하고 상기 그래픽 칩 컨트롤러(71)는 화상 데이터를 처리하고 그에 따라 라인 단위로 구분한 표시 데이터(DATA), 상기 표시 데이터(DATA)에 동기하는 단일의 동기 제어 신호(이하, 데이터 인에이블 신호라고 한다; DE) 및 도트 클럭 신호(DCK)를 버스를 통하여 액정 표시 장치측에 출력한다.

액정 표시 제어 회로(5)는 상기 3종류의 신호(DATA, DE, DCK)에 응답하여 액정 표시 장치(6)에 대한 각종 신호를 생성하여 소스 드라이버(62) 및 게이트 드라이버(63)를 제어하고 상기 드라이버(62, 63)는 액정 표시 패널(61)을 구동한다.

이하, 액정 표시 제어 회로에 있어서의 신호 처리의 개요 및 액정 표시 패널의 구동 방법 등에 관해 도 2를 참조하여 설명한다.

도 2에 있어서, 표시 데이터(DATA)는 화상 데이터를 시간축상에서 1라인 단위로 구분한 표시용의 데이터이고, 도트 클럭 신호(DCK)는 상기 표시 데이터의 데이터 레이트(반복 주파수)를 갖는 클럭 신호이다. 그리고, 데이터 인에이블 신호(DE)는 상기 표시 데이터의 1라인의 데이터 기간을 유효한 표시 데이터로 나타내는 하이 레벨, 데이터 사이를 무효 기간으로서 나타내는 로우 레벨, 프레임의 사이, 즉 1프레임의 최후의 1라인과 다음 프레임의 최초의 1라인 사이를 나타내는 긴(long) 로우 레벨로 하는 동기 제어 신호이다. 즉, 데이터 인에이블 신호(DE)는 로우 레벨로부터 하이 레벨로의 상승에서 수평 동기 제어, 긴 로우 레벨 기간에 의해 수직 동기 제어를 각각 행하기 위한 동기 제어 신호라고도 말할 수 있다. 이들의 신호는 전술한 바와 같이 컴퓨터측에서 공급된다.

액정 표시 제어 회로(1)에서는 데이터 인에이블 신호(DE)의 1라인 마다의 하이 레벨의 상승 타이밍을 검출하여 출력되는 기준 신호 및 후술하는 프레임의 최후의 1라인 후의 긴 로우 레벨에 출력되는 더미 기준 신호로 이루어지는 기준 신호(HRST)를 출력하고 상기 HRST에 동기하여 몇 도트 클럭 후에 발생하는 수평 주사의 시작을 제어하는 수평 스타트 펄스 신호(HSP), 수평 클럭 신호(HCK)를 출력하고 또한 DE의 긴 로우 레벨을 검출하여 수직 주사의 수직 스타트 펄스 신호(VSP)를 출력한다.

상기 더미 기준 신호(HRST)는 기준 신호(HRST) 마다 바로 이전의 기준 신호(HRST)까지의 간격을 계측하고, 항상 그 최대 간격(최대값)을 갱신 기억하고, 1프레임 최후의 DE의 하이 레벨의 말단 엣지(tail edge)로부터 상기 최대값을 경과하더라도 다음 DE의 상승이 일어나지 않을 때에 발생한다.

또한, 액정 표시 제어 회로(5)에서는 상기 기준 신호(HRST) 및 더미 기준 신호(HRST)에서 리셋되고, DCK를 계수하는 카운터를 사용하여 DE의 말단 엣지보다 조금 앞쪽에 발생하는 수직 동기용의 수직 클럭 신호(게이트 클럭)(VCK)와, 마찬가지로 DE의 말단 엣지보다 조금 뒷쪽에 발생하는 1라인 단위의 표시 데이터의 래치를 행하기 위한 데이터 래치 펄스 신호(DLP)를 출력한다.

도 3은 상기 각 신호를 발생하는 액정 표시 제어 회로의 구체예를 도시한 도면이다. 상승 검출 회로(21), 수평 카운터(22), 디코더(25), 상기 최대 간격(최대값)을 검출하는 TD치(최대값) 결정 회로부, 일치(coincidence) 검출 회로(27) 및 데이터 변환부(30) 등을 구비한다. 수평 카운터(22)는 OR 회로(23)로부터 출력하는 상승 검출 회로(21)의 기준 신호(HRST)에 의해 리셋되어 DCK를 계수하여 항상 계수값을 출력한다. TD치(최대값) 결정 회로부는 상기 기준 신호의 발생 시점의 수평 카운터(22)의 계수값을 래치하는 레지스터(26)와, 최대 간격의 데이터를 보존하기 위한 레지스터(28)(초기치 0)와, 상기 양 레지스터의 출력을 비교하여 어느 큰 쪽의 데이터를 상기 레지스터(28)에 갱신 보존하는 큰값 검출 회로(29)에 의해 항상 그때까지의 최대 간격 상당의 계수값(최대값)을 갱신 기억하고, 일치 검출 회로(27)는 DE의 긴 로우 레벨기간에 있어서 수평 카운터(22)의 계수값이 레지스터(28)의 기억 데이터(TD치)를 넘을 때 더미 기준 신호(HRST)를 발생하여 OR 회로(23)에 출력한다. OR 회로(23)는 결과적으로 더미 기준 신호를 포함하는 HRST를 출력한다. 또한, 이상의 동작중에 있어서의 수평 카운터(22)가 출력하는 계수값을 디코더(25)에서 소정의 계수값과 비교함에 의해 DE의 상승 타이밍에 동기하는 전술한 HSP, HCK, DLP, VCK 등을 출력한다. 또한, 데이터 변환부(30)는 1화소 마다 RGB 각각 6비트로 구성되는 18비트(6비트×3)의 시리얼 데이터로 이루어지는 상기 표시 데이터를 도트 클럭 신호(DCK)에 동기하여 입력하고, 해당 표시 데이터를 병렬 데이터로 변환하여 수평 클럭 신호(HCK)에 동기하여 출력한다. (일본특허공개공보 H10-301544호 참조).

또한, DCK는 액정 표시 제어 회로(5)에 입력하는 상기 표시 데이터에 동기하는 외부 클럭 신호이고, HCK는 액정 표시 제어 회로(5)로부터 출력하는 표시 데이터에 동기하는 내부 클럭 신호이다. HCK는 소스 드라이버의 드라이버 구성 및 소스 드라이버의 입력 형식 등에 의해 결정되는 출력 표시 데이터의 형식에 따른 형태로서 DCK로부터 만들어진다. 또한, 수직 클럭 신호(VCK)는 게이트 드라이버가 출력하는 게이트 구동 신호의 펄스 폭을 규정한다.

액정 표시 패널(61)의 소스 드라이버(62) 및 게이트 드라이버(63)는 이상의 신호에 의해 제어된다. 소스 드라이버(62) 및 게이트 드라이버(63)의 동작은 이하와 같다.

소스 드라이버(62)는 수평 스타트 펄스 신호(HSP)를 스타트(수평 동기) 신호로서 DE의 하이 레벨 기간의 데이터를 수평 클럭 신호(HCK)에 의해 차례로 판독하고, 1라인분의 데이터를 판독하면 DLP에 의해 내부의 래치 회로에 래치하여 D/A 변환하여 1라인분의 화소에 대응하는 수의 계조 전압으로 하고 대응하는 TFT 트랜지스터의 소스선에 공급하는 동작을 반복한다.

게이트 드라이버(63)는 VSP를 스타트(수직 동기) 신호로서 수직 클럭 신호(VCK)의 펄스 간격의 게이트 구동 신호를 게이트선에 차례로 출력하고, 1라인분의 TFT 트랜지스터를 차례로 구동하여 라인 단위의 트랜지스터를 ON 상태로 하는 동작을 반복한다.

도 4는 특정한 게이트선 및 소스선의 구동 동작시의 신호를 도시한 도면이다. 데이터 래치 펄스 신호(DLP), 수직 클럭 신호(VCK), 게이트선의 게이트 구동 신호(게이트 온 시간을 제어하는 신호) 및 데이터 출력(계조 전압)에 의한 소스선의 충전 전압(이하, 단지 데이터 출력이라고도 한다)를 도시하고 있다. 소스 드라이버(62)는 DLP의 펄스 간격 동안 소스선에 계조 전압으로 출력하고, 게이트 드라이버(63)는 VCK의 펄스 간격 동안 게이트선을 구동한다. 이때 소스선에 공급된 계조 전압은 소스선 및 화소 전극을 충전하는 충전 파형이 되고, 화소 전극에 최종적인 충전 전압은 게이트 온 시간의 말단 엣지에서의 충전 전압이 되고 상기 전압은 다음 프레임까지 보존되어 액정 표시 패널의 화소 단위의 투과도를 결정한다.

이상과 같이, 소스 드라이버(62)는 1라인분의 데이터를 받아들임 계조 전압으로서 출력하는 기간은 1라인분의 데이터의 받아들임 후의 DLP의 펄스로부터 다음 DLP의 펄스까지의 기간, 즉, 1라인 앞의 데이터를 그 후의 다음 라인에 걸치는 기간에 기록을 행한다는 타이밍 관계가 된다. 또한, 계조 전압의 출력의 최후의 타이밍을 규정하는 DLP와, 게이트 온 시간의 말단 엣지를 규정하는 VCK는 어느것이나 DE의 상승을 기준으로 DCK를 계수하여 출력하기 때문에 다음 라인이 존재하지 않는 프레임의 최후의 1라인에 대한 상승시에 더미 기준 신호(HRST)는 필수 불가결하다.

데이터 인에이블 신호(DE)를 사용하여 액정 표시용의 표시 데이터를 출력하는 표시 데이터 공급 장치(컴퓨터 등)에 있어서는 화상 데이터를 액정 표시 패널의 세밀도 등에 응한 라인 단위의 표시 데이터 등으로 변환하는 처리 등에 기인하여 출력하는 표시 데이터의 라인 단위의 데이터간의 간격, 즉, 데이터 인에이블 신호(DE)의 상승 타이밍은 지연(로우 레벨의 말단 엣지의 지연)되는 경우가 있다. 또한, 데이터 인에이블 신호의 수직 동기용의 긴 로우 레벨 기간에 발생하는 유사한 HRST(더미 HRST)는 그 직전의 DE의 상승(HRST)에 대하여 원칙적으로 그때까지의 각 라인 단위의 HRST의 펄스 간격에 비하여 역시 발생 타이밍이 지연되게 된다(일본특허공개공보 H10-301544호 참조).

이상과 같이 HRST의 발생 타이밍은 데이터 인에이블 신호(DE)의 상승 타이밍 및 더미 기준 신호(HRST)의 발생 타이밍의 지연 변동에 의해 변동하기 때문에 DLP 및 VCK의 발생 타이밍도 지연 변동하여 액정 표시 패널의 표시에 영향을 준다.

도 5는 액정 표시 패널의 표시에 영향을 주는 메카니즘을 나타낸 도면이다. 도 5의 점선으로 도시한 바와 같이 DE의 수평 동기용의 로우 레벨기간이 길게 되거나 수직 동기용의 긴 로우 레벨에서 발생하는 더미 기준 신호(HRST)가 늦은 경우에 DLP 및 VCK도 지연된다. 이 결과, 도 5에 점선으로 도시한 바와 같이 DLP 및 VCK의 지연에 의해 계조 전압에 의한 충전 시간이 길게 되고 TFT 트랜지스터의 온(ON) 기간도 길게 되기 때문에 화소 전극에 대한 최종적인 충전 전압이 변동되어 액정 표시 패널의 투과도가 영향을 받게 되어 표시 얼룩 등의 표시 품질의 악화의 원인이 된다.

**발명이 이루고자 하는 기술적 과제**

본 발명의 목적은 데이터 인에이블 신호의 변동 등에 의한 표시 얼룩의 발생을 억제할 수 있는 액정 표시 제어 회로 및 액정 표시 장치를 제공하는데 있다.

본 발명의 특징에 따른 액정 표시 제어 회로는 도트 클럭(DCK)과 라인 단위의 표시 데이터 (DATA)와 해당 표시 데이터에 동기하는 데이터 인에이블 신호(DE)를 입력하고, 데이터 인에이블 신호의 상승 타이밍 및 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍에서 발생한 기준 신호(HRST)에 동기하는 수직 클럭 신호(VCK)에 의해 게이트 드라이버(예를 들면 도 6의 23)가 출력하는 게이트 구동 신호의 펄스 폭을 규정하는 액정 표시 제어 회로에 있어서, 상기 수직 클럭 신호(VCK)로부터 소정 시간 폭(예를 들면 도 7의 tx)의 게이트 드라이버 출력 인에이블 신호(예를 들면 도 7의 VOE)를 출력하는 게이트 인에이블 신호 발생 회로(예를 들면 도 6의 10)를 구비하고, 상기 게이트 드라이버 출력 인에이블 신호(예를 들면 도 7의 VOE)의 상기 소정 시간(예를 들면 도 7의 tx)만큼 상기 게이트 구동 신호의 출력을 가능하게 상기 게이트 드라이버(예를 들면 도 6의 23)를 제어하고, 데이터 인에이블 신호의 상승 타이밍의 변동(예를 들면 도 7의 ts)에 의한 표시에의 영향을 억제하는 것을 특징으로 한다.

또한, 상기 액정 표시 제어 회로는 상기 기준 신호에 동기하여 소스 드라이버에 대한 표시 데이터(예를 들면 도 7의 DATA), 수평 클럭 신호(HCK), 수평 스타트 펄스 신호(예를 들면 도 7의 HSP), 라인 단위의 표시 데이터의 래치를 제어하는 데이터 래치 펄스 신호(예를 들면 도 7의 DLP), 소스 드라이버에 대한 수직 스타트 펄스 신호(예를 들면 도 7의 VSP)를 출력하는 것을 특징으로 한다.

상기 각 액정 표시 제어 회로에 있어서, 상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간(예를 들면 도 7의 tx)은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 최대값이며, 또한 프레임간의 최소값로서 설정하는 것을 특징으로 하고,

구체적으로는 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호로 리셋되고 상기 도트 클럭을 계수하는 수평 카운터(예를 들면 도 9의 13)와, 상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교(예를 들면 도 9의 153)하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터(예를 들면 도 9의 152)와, 상기 프레임 내 최대값 보존 레지스터에 보존한 계수값을 프레임 단위로 차례로 비교(예를 들면 도 9의 174)하여 작은 쪽의 계수값을 보존하는 프레임간 최소값 보존 레지스터(예를 들면 도 9의 173)와, 상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터의 계수값을 비교함에 의해, 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍의 상기 기준 신호(예를 들면 도 9의 더미 기준 신호(HRST))를 발생하여 상기 수평 카운터를 리셋하는 디코더(예를 들면 도 9의 14)와, 상기 수직 클럭 신호에 의해 리셋되어 도트 클럭을 계수하는 카운터(예를 들면 도 9의 181)의 계수값과 상기 프레임간 최소값 보존 레지스터(예를 들면 도 9의 173)의 계수값을 비교(예를 들면 도 9의 182)함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호(예를 들면 도 9의 VOE)를 출력하는 상기 게이트 인에이블 신호 발생 회로(예를 들면 도 9의 18)를 갖는 것을 특징으로 한다.

또한, 상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 최대값 이하의 고정치로서 설정하는 것을 특징으로 하고,

구체적으로는 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호로 리셋되고, 상기 도트 클럭을 계수하는 수평 카운터와, 상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터(예를 들면 도 9의 152)와, 상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터의 계수값을 비교함에 의해, 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더(예를 들면 도 9의 14)와, 상기 수직 클럭 신호에 의해 리셋되어 도트 클럭을 계수하는 카운터(예를 들면 도 9의 181)의 계수값과 상기 고정치에 대응하는 고정 수치(예를 들면 도 9의 17 대신에 고정 수치를 설정)를 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로(예를 들면 도 9의 18)를 갖는 것을 특징으로 한다.

상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 최소값으로서 설정하는 것을 특징으로 하고,

구체적으로는 상기 기준 신호로 리셋되고, 상기 도트 클럭을 계수하는 수평 카운터와, 상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터(예를 들면 도 9의 152)와, 상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 작은 쪽의 계수값을 보존하는 프레임 내 최소값 보존 레지스터와, 상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터에 보존한 계수값을 비교함에 의해, 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더(예를 들면 도 9의 14)와, 상기 수직 클럭 신호에 의해 리셋되어 도트 클럭을 계수하는 카운터의 계수값과 상기 프레임 내 최소값 보존 레지스터의 계수값을 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로를 포함하는 것을 특징으로 한다.

상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 평균치 또는 발생 빈도가 가장 높은 계수값으로서 설정하는 것을 특징으로 하고,

구체적으로는 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호로 리셋되고 상기 도트 클럭을 계수하는 수평 카운터와, 상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터와, 수평 카운터의 상기 최대의 계수값의 평균의 계수값 또는 발생 빈도가 가장 높은 계수값을 출력하는 연산 수단과, 상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터의 계수값을 비교함에 의해, 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 상기 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더와, 상기 수직 클럭 신호에 의해 리셋되어 도트 클럭을 계수하는 카운터의 계수값과 상기 연산 수단의 출력의 계수값을 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로를 포함하는 것을 특징으로 한다.

데이터 인에이블 신호의 상승 타이밍의 변동에 기인하는 게이트 구동 신호의 말단 엣지의 변동에 의한 화소 전극의 충전 기간의 변동을 방지하여 액정 표시 패널의 표시에의 영향을 방지하기 위해 소정 시간 폭만큼 게이트 드라이버로부터 게이트선에의 출력을 가능하게 하는 제어 신호(게이트 드라이버 출력 인에이블이라고 한다)를 생성하고, 게이트 드라이버로부터 출력하는 게이트 구동 신호의 말단 엣지부의 지연 출력을 금지한다. 게이트 드라이버 출력 인에이블 신호의 폭은 라인 내의 최대값이고 프레임간의 최소값으로서 설정한다. 또는 소정의 고정치, 1수평 기간의 최소값, 1수평 기간 등에 있어서의 평균치 또는 최빈도치 등으로 할 수 있다.

**발명의 구성 및 작용**

본 발명의 액정 표시 제어 회로의 실시예에 관해 이하 도면을 참조하여 설명한다.

도 6은 본 실시예의 구성을 도시한 도면이다. 본 실시예의 액정 표시 시스템의 전체 구성은 종래 기술과 같이 컴퓨터(3)와, 액정 표시 장치 본체(액정 표시 장치; 2)와, 상기 컴퓨터(3)로부터의 각 신호를 입력하여 액정 표시 장치(2)를 구동 및 제어하는 액정 표시 제어 회로(1)로 구성된다.

본 실시예의 액정 표시 장치(2)는 게이트 드라이버(22)에 그 출력을 제어하는 제어 신호를 입력하는 게이트 인에이블 단자(230)를 구비하고, 액정 표시 제어 회로(1)는 상기 게이트 드라이버(22)의 출력을 제어하는 상기 제어 신호인 게이트 드라이버 출력 인에이블 신호를 생성하는 게이트 인에이블 신호 발생 회로(10)를 구비하는 점에서 특징을 갖는다. 각 부의 구성 및 기능은 이하와 같다.

액정 표시 장치(2)는 종래 기술과 유사한 구성으로서 기관상에 표시용의 화소 전극과, 상기 화소 전극에 전압을 인가하는 TFT 트랜지스터를 매트릭스 형상으로 배치한 액정 표시 패널(21)과, 상기 액정 표시 패널(21)의 상면에 배치한 소스 드라이버(22) 및 좌면에 배치한 게이트 드라이버(23)를 구비하고, 소스 드라이버(22)에 있어서 수평 방향의 1라인 단위로 래치한 표시 데이터를 D/A 변환하여 계조 전압으로서 상기 액정 표시 패널(21)의 화소 전극에 수평 방향의 1라인 단위로 차례로 기록함에 의해 화소 전극과 공통 전극간에 화소 마다의 전압을 인가하고, 인가 전압에 따라 그 전극 사이의 액정의 투과도를 제어하여 표시하는 구성을 갖는다.

또한, 액정 표시 장치(2)의 게이트 드라이버(23)는 시프트 레지스터(231)와, 상기 시프트 레지스터(231)로부터의 라인 단위의 복수의 출력을 각각 금지 제어하는 금지 회로(232)로 구성되고, 금지 회로(232)는 게이트 인에이블 신호 발생 회로(10)로부터 입력하는 게이트 드라이버 출력 인에이블 신호에 의해 시프트 레지스터(231)로부터 게이트선에 출력하는 게이트 구동 신호의 지연된 테일(tail; 말단 엣지)를 금지 제어하는 기능을 갖는다.

컴퓨터(3)는 내부의 그래픽 칩 컨트롤러(31) 등으로부터 종래 기술과 같은 라인 단위로 구분한 표시 데이터(DATA), 상기 표시 데이터(DATA)에 동기하는 단일의 데이터 인에이블 신호(DE) 및 표시 데이터의 데이터 레이트(반복 주파수)의 도트 클럭 신호(DCK)의 3종류의 신호를 출력한다.

액정 표시 제어 회로(1)는 상기 3종류의 신호에 의해 종래 기술과 같은 각종 신호를 액정 표시 장치(2)에 출력한다. 즉, 데이터 인에이블 신호의 상승 타이밍 및 상기 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍에서 발생한 기준 신호(HRST)에 의거하여 이것에 동기하는 수평 스타트 펄스 신호(HSP), 수평 클럭 신호(HCK), 데이터 래치 펄스 신호(DLP) 및 수직 클럭 신호(VCK), 상기 데이터 인에이블 신호의 프레임의 최초에 발생하는 수직 스타트 펄스 신호(VSP)를 출력한다. 또한 액정 표시 제어 회로(1)는 종래 기술과 같은 데이터 변환부를 구비하고, 1화소가 RGB 각각 6비트로 구성되는 18비트(6비트×3)의 시리얼 데이터로 이루어지는 상기 표시 데이터를 도트 클럭 신호(DCK)에 동기하여 입력하고, 해당 표시 데이터를 병렬 데이터로 변환하여 수평 클럭 신호(HCK)에 동기하여 출력한다. 여기서 DCK는 상기 표시 데이터에 동기하는 외부 클럭 신호이고, HCK는 액정 표시 제어 회로(5)로부터 출력하는 표시 데이터에 동기하는 내부 클럭 신호이다. HCK는 소스 드라이버의 드라이버군 구성 및 소스 드라이버의 입력 형식 등에 의해 결정되는 출력 표시 데이터의 형식에 따른 형태로서 DCK에서 만들어진다. 또한, 수직 클럭 신호(VCK)는 게이트 드라이버가 출력하는 게이트 구동 신호의 펄스 폭을 규정한다.

액정 표시 제어 회로(1)는 또한 게이트 인에이블 신호 발생 회로(10)로부터 게이트 드라이버의 게이트 구동 신호를 소정 기간 만큼 통과시키는 게이트 드라이버 출력 인에이블 신호(VOE)를 생성하여 액정 표시 패널(21)의 게이트 드라이버(23)를 제어하여, 데이터 인에이블 신호(DE)의 상승 타이밍의 지연에 의한 표시 얼룩을 방지하는 기능을 갖는다.

도 7은 본 실시예의 액정 표시 제어 회로의 기능 및 출력 신호의 예를 도시한 도면이다. 본 예에서는 컴퓨터(3)로부터 액정 표시 제어 회로(1)에 출력되는 상기 3종류의 신호는 1라인 단위로 구분된 표시 데이터(DATA)와 상기 표시 데이터의 1라인의 데이터 기간을 유효한 표시 데이터로서 나타내는 하이 레벨, 라인 사이를 무효 기간으로서 나타내는 로우 레벨, 프레임 사이, 즉 1프레임의 최후의 1라인과 다음 프레임의 최초의 1라인의 사이를 나타내는 긴 로우 레벨로 이루어지는 데이터 인에이블(DE)은 하이 레벨에의 상승 타이밍이  $t_s$ 와 같이 지연되고  $t_s$  시점의 HSP와 그 직전의 HSP와의 간격은 보다 길게 되고 또한, 최후의 1라인의 표시 데이터(D) 후에 발생하는 HRST는 그때까지의 HSP의 간격의 최대값 이상(최대값 + 소정의 마진)으로서 발생되기 때문에 마찬가지로 HRST와 그 직전의 HSP와의 간격도 보다 길게 되는 예로서 도시되어 있다.

본 실시예에서는 게이트 인에이블 신호 발생 회로(10)는 VCK의 펄스를 기준으로 게이트 드라이버 출력 인에이블 신호(VOE)를 발생한다. 게이트 드라이버 출력 인에이블 신호(VOE)로서는 VCK의 펄스를 기준으로 직후의 VCK 펄스의 발생이 지연되었을 때, 해당 직후의 VCK 펄스가 원래 발생되어야 할 시점(tx)에서 상승하고, 해당 직후의 VCK 펄스에서 하강하는 펄스 신호로서 발생된다.

게이트 드라이버 출력 인에이블 신호(VOE)는 게이트 드라이버(23)의 게이트 인에이블 단자(230)에 출력되고, 게이트 드라이버(23)는 상기 게이트 드라이버 출력 인에이블 신호(VOE)의 하이 레벨의 기간만큼 시프트 레지스터(231)로부터 게이트선에 공급하는 게이트 구동 신호는 금지 회로(232)에 의해 차단되고 소스선에 인가된 게조 전압의 기록 기간은 모두 동일하게 되도록 제어된다.

도 8은 본 실시예에 있어서의 소스선과 특정한 게이트선의 구동 동작 및 화소 전극에의 게조 전압의 기록(충전) 기간(게이트 온(ON) 기간)을 도시한 도면이다. 동 도면에는 데이터 인에이블 신호의 상승 지연의 영향을 도시하고 있다. 수직 클럭 신호(VCK) 및 데이터 래치 펄스 신호(DLP)가 데이터 인에이블 신호의 상승 지연에 기인하여, 예를 들면 점선과 같이 지연되면 수직 클럭 신호(VCK)에 의해 발생하는 게이트 구동 신호도 점선과 같이 연장된다. 그 결과, 소스 드라이버로부터의 해당 라인의 기록을 위한 데이터 출력(게조 전압)에 의한 충전 기간이 다른 라인의 충전 기간보다 연장되는 동시에, 해당 라인의 모든 TFT 트랜지스터의 온(ON) 기간도 연장되어, 해당 라인의 화소 전극에 대한 소스선으로부터의 최종 충전 전압의 값에 영향을 준다. 그러나, 본 실시예에서는 게이트 드라이버 출력 인에이블 신호(VOE)에 의해 게이트 구동 신호의 말단 엣지부는 게이트 드라이버로부터 출력되지 않기 때문에, TFT 트랜지스터의 ON 기간은 일정하게 되고 최종 충전 전압의 값에 대한 영향은 억제된다. 즉, 데이터(B) 및 데이터(D)의 기록 기간은 데이터 인에이블 신호(DE)의 상승의 지연시간에 상당하는 기간만큼 연장되지 않고 전 라인 함께 일정하게 되어 화소 전극에의 게조 전압의 충전 전압이 항상 일정하게 표시 얼룩의 발생은 방지된다.

도 9는 본 발명의 액정 표시 제어 회로(1)의 실시예를 도시한 블록도이다. 본 실시예에서는 VOE의 하이 레벨의 상승 타이밍인 tx의 결정을 "프레임 내의 최대"이며 또한 "프레임간의 최소"의 기간으로서 설정하는 예를 도시한 도면이다. 또한, 액정 표시 제어 회로에는 전술한 데이터 변환부도 존재하지만 그에 대한 도시는 생략한다.

상기 회로는 데이터 인에이블 신호(DE)의 상승을 검출하여 그 타이밍에서 펄스를 출력하는 상승 검출 회로(11), 데이터 인에이블 신호(DE)의 상승에서 리셋되어 도트 클럭 신호(DCK)를 계수하고 계수값 데이터를 출력하는 수평 카운터(13), 수평 카운터(13)의 계수값 데이터를 디코더(14)에 의해 상기 DE에 동기하는 소스 드라이버에의 수평 동기용의 수평 스타트 펄스 신호(HSP)와, 수평 클럭 신호(HCK)와, 데이터 래치 펄스 신호(DLP)와, 수직 클럭 신호(VCK)를 출력하는 디코더(14), 1라인내의 HSP의 펄스의 간격을 상기 계수값 데이터에 의해 차례로 비교하여 항상 그 최대 간격의 계수값 데이터의 값(최대값)(t0)을 결정하는 최대값 검출 회로(15), 1 프레임 내의 상기 최대값(t0)을 차례로 비교하여 프레임 내의 최대이며 또한 프레임간의 최소의 tx를 결정하는 tx 설정 회로(17), tx 설정 회로(17)에서 결정한 tx에 의해 VOE를 출력하는 VOE 발생 회로(18)로 구성된다.

도 9에 도시한 본 실시예의 동작을 도 7에 도시한 출력 신호예에 의해 상세히 설명한다.

상승 검출 회로(11)는 데이터 인에이블 신호(DE)를 도트 클럭 신호(DCK)에 의해 판독하여 DE의 상승 펄스를 출력한다. 수평 카운터(13)는 DCK을 계수하고 계수값은 상기 DE의 상승 펄스에 의해 세트된다. 즉, 수평 카운터(13)는 DE의 상승 펄스 간격 내에서 DCK의 계수값을 반복 출력한다. 디코더(14)는 상기 계수값을 디코딩하고 DE의 상승

타이밍으로부터 몇 도트 클럭(5도트 클럭) 정도 지연되는 HSP에 더하고 DE의 하강 전 및 하강 후의 타이밍에서 각각 수직 동기용의 수직 클럭 신호(VCK) 및 데이터 래치 펄스 신호(DLP)를 출력한다.

최대값 검출 회로(15)는 레지스터(151), 최대값 보존용의 레지스터(152), 큰값 검출 회로(153)로 이루어지고, 레지스터(151)는 수평 카운터(13)의 계수값을 DE의 상승 타이밍에서 래치하여 보존한다. 이 때, 큰값 검출 회로(153)는 이전에 보존되어 있는 최대값 보존용의 레지스터(152)의 값과 상기 계수값을 비교하여 큰 쪽의 값을 큰값으로서 레지스터(152)에 출력하고, OR 회로(12)를 통하는 DE의 상승 타이밍에 의해 래치하여 보존한다. 즉, 항상 OR 회로(12)의 출력의 타이밍에서 그때까지의 최대의 간격에 상당하는 계수값(t0)이 레지스터(152)에 보존된다.

일치(coincidence) 검출 회로(16)는 최대값 검출 회로(15)의 레지스터(152)가 보존하는 계수값(tmax)에 일정한 마진을 더한 값(t0)=(tmax + a)과 수평 카운터(13)의 계수값 데이터를 비교하여 일치하는 타이밍에서 더미 기준 신호(HRST)를 출력한다. 그 때문에, 일치 검출 회로(16)는 프레임의 라인 단위로 HRST를 출력하지 않고 프레임과 프레임 사이의 긴 로우 레벨의 기간만큼 수평 카운터(13)의 계수값이 t0의 값에 도달하여 HRST를 발생한다.

tx 설정 회로(17)에 있어서는, RS 플립플롭(171)은 1프레임의 최초의 DE의 상승 타이밍에서 세트되고, HRST에 의해 리셋되고, 프레임 단위의 펄스를 출력한다. 레지스터(172)는 프레임의 최초의 시점에서 15의 최대값 보존용의 레지스터(152)에 보존되고 있는 계수값을 래치하여 보존하고, 직전까지의 최소의 계수값을 보존하고 있는 레지스터(173)의 값을 작은값 검출 회로(174)가 비교하여 보다 작은 값을 출력하여 레지스터(173)에 래치하여 보존한다. 즉, 레지스터(173)에는 프레임 내에서는 최대이지만 프레임간에서는 최소인 값(tx)을 출력한다.

다음에, VOE 발생 회로(18)는 VCK에서 리셋되어 도트 클럭 신호(DCK)를 계수하는 카운터(181)의 계수값과 상기 값(tx)을 일치 회로(182)에서 비교하여 일치한 시점에서 플립플롭(183)을 세트하고, VCK에 의해 리셋함에 의해 VOE를 출력한다. 즉, 플립플롭(183)으로부터 VCK 펄스로부터 프레임 내에서는 최대이지만 프레임간에서는 최소인 값(tx)만큼 경과한 시점에서만 상승하고 다음의 VCK 펄스에 의해 하강하는 VOE의 펄스 신호를 출력한다.

이상과 같은 동작에 의해 액정 표시 제어 회로(1)에서 발생한 게이트 인에이블 신호(VOE)는 게이트 드라이버(23)의 금지 회로(232)를 차단하여 게이트 구동 신호의 말단 옛지측의 연장부의 통과를 금지한다. 따라서, 데이터 인에이블 신호(DE)의 로우 레벨의 변동에도 불구하고 소스 드라이버(22)로부터 출력되는 데이터출력(제조 전압)에 의한 화소 전극에의 기록(충전) 기간은 일정하게 되어 표시 얼룩의 발생을 방지하는 것이 가능해진다.

전술한 동작에 있어서, tx 설정 회로(17)의 프레임 내에서는 최대이지만 프레임간에서는 최소인 값(tx)의 결정에 관하여 도 10을 이용하여 보다 상세히 설명한다.

도 10은 상기 실시예의 동작에 의한 값(tx)의 결정 방법을 도시한 도면으로서, 도 10의 a는 프레임 내의 최대값의 추이와 프레임간의 최소값의 예를 경시적으로 도시한 도면이고, 도 10의 b는 HRST의 발생 타이밍을 도시한 도면이고, 도 10의 c는 최종 라인의 기록 기간을 도시한 도면이다.

도 10의 a에 도시한 바와 같이, 경시적인 프레임(1, 2, 3, 4)의 예에서 각각의 프레임 내 최대값(tmax)를 tmax1, tmax2, tmax3, tmax4로 하고, 그 대소관계가 tmax3 < tmax1 < tmax2 < tmax4 라고 하면, 프레임 내 최대값(tmax)은 각각 tmax1, tmax2, tmax3, tmax4로 되고 프레임 내 최대값이며 또한 프레임간 최소값(tx)은 각각 tmax1, tmax2, tmax3, tmax3으로 된다.

따라서, 프레임(1 내지 4) 마다의 더미 기준 신호 HRST의 발생 타이밍은 도 10의 b에 도시한 바와 같이 되고, 또한, 프레임(1 내지 4) 마다의 최종 라인의 기록 기간과 VOE에 의한 비기록 기간은 도 10의 c에 도시한 바와 같이 된다.

본 실시예의 제어에 따르면, 최종 라인의 기록 기간은 최종적으로 표준의 1수평 기간에 가까운 곳으로 근접해 간다.

이상 설명한 실시예에 있어서, tx의 결정에는 여러 방법이 있다. 이하 tx의 다른 결정 방법에 관해 설명한다.

(1) 고정치

표시 데이터를 공급하는 컴퓨터측의 데이터 처리방식에 따라 데이터 인에이블 신호의 상승 타이밍 사이의 최소값이 개략 일정해지고 있는 경우에는 그 최소값에 소망의 마진을 가미한 고정치를 설정하여 상기 tx로서 사용할 수 있다. 이 경우에 도 9에 도시한 tx 설정 회로(17)를 상기 고정치(tx)를 설정하여 출력하는 레지스터 회로 등으로 치환함으로써 실현할 수 있다.

(2) 수평 기간의 최소값

데이터 인에이블 신호의 상승 타이밍 사이의 최소값을 검출하고 모든 라인의 기록 기간을 상기 최소값으로 함으로써 기록 기간의 일정화를 도모할 수 있다. 이 경우에 도 9에 도시한 tx 설정 회로(17)의 레지스터(172)의 데이터 입력 단자(D)에 수평 카운터(13)의 출력의 계수값 데이터를 입력하는 구성으로 치환하는 것, 또는 도 9에 도시한 최대값 검출 회로(15)와 병렬로 큰값 검출 회로(153)를 작은값 검출 회로(예를 들면 도 9의 174)로 바꾼 마찬가지로 구성을 이용하는 구성에 의해 실현할 수 있다. 또한, 상기 고정치 또는 최소값의 설정의 경우에는 VCK에 의해 하강하고 상기 고정치 또는 최소값에 대응하는 소정 시간 후에 상승하는 반복 펄스로 이루어지는 신호가 VOE로서 출력되게 된다.

(3) 평균치, 가장 발생 빈도가 높은 최빈도치

표시 얼룩의 억제를 위해서는 기록 기간이 균일화되면 좋기 때문에 1수평 기간 마다 데이터 인에이블 신호의 상승 타이밍간의 간격의 평균치, 또는 상기 최빈도치로 할 수 있다. 이 경우 도 9에 도시한 tx 설정 회로(17)는 프레임마다 수평 카운터(13)의 출력의 계수값 데이터를 입력하고, 라인 단위의 상기 간격의 이력에 의거한 평균의 계수값 또는 발생 빈도가 높은 계수값을 선택하는 연산 수단을 구성함에 의해 실현할 수 있다. 평균의 계수값의 연산은 예를 들면 계수값의 발생시에 이전에 발생한 모든 계수값에 해당 계수값을 가산하고 그때까지의 상기 모든 계수값의 발생횟수 + 1로 나눈 값으로서 산출할 수 있다. 발생 빈도가 높은 계수값의 연산은 예를 들면 소정의 유효 자리수로 계수값을 묶은 후에 동일 계수값의 발생 빈도가 높은 것을 선택함에 의해 산출할 수가 있다.

**발명의 효과**

본 발명에 의하면, 데이터 인에이블 신호의 상승 타이밍의 간격의 변동이나 프레임의 최종 라인의 더미 기준 신호의 지연에 대하여 게이트 드라이버로부터 출력하는 게이트 구동 신호를 일정화 하도록 구성하고 있기 때문에 액정 표시 패널의 TFT 트랜지스터의 온(ON) 기간을 항상 일정하게 할 수 있어 상기 변동 등에 관계 없이 화소 전극에 대한 충전 전압의 영향을 억제하는 것이 가능하고 표시 얼룩의 억제가 실현될 수 있다.

**(57) 청구의 범위**

**청구항 1.**

도트 클럭 신호와, 라인 단위의 표시 데이터와, 상기 표시 데이터에 동기하는 데이터 인에이블 신호를 수신하고, 데이터 인에이블 신호의 상승 타이밍 및 데이터 인에이블 신호의 프레임 내의 최후의 상승 이후로부터 일정 시간 지연된 타이밍에서 발생된 기준 신호에 동기하는 수직 클럭 신호에 의해 게이트 드라이버로부터 출력되는 게이트 구동 신호의 펄스 폭을 규정하는 액정 표시 제어 회로에 있어서,

상기 액정 표시 제어 회로는 상기 수직 클럭 신호로부터 시작하는 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 게이트 인에이블 신호 발생 회로를 구비하고, 상기 게이트 드라이버는 상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간 동안만 상기 게이트 구동 신호의 출력을 가능하게 제어되어, 표시에 영향을 미치는 데이터 인에이블 신호의 상승 타이밍의 변동이 억제되는 것을 특징으로 하는 액정 표시 제어 회로.

**청구항 2.**

제 1항에 있어서,

상기 기준 신호에 동기하여 소스 드라이버에 대한 표시 데이터, 수평 스타트 펄스 신호, 수평 클럭 신호, 라인 단위의 표시 데이터의 래치를 제어하는 데이터 래치 신호, 및 소스 드라이버에 대한 수직 스타트 펄스 신호를 출력하는 것을 특징으로 하는 액정 표시 제어 회로.

**청구항 3.**

제 1 또는 2항에 있어서,

상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간 폭은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 최대값 및 프레임간의 최소값으로서 설정되는 것을 특징으로 하는 액정 표시 제어 회로.

**청구항 4.**

제 3항에 있어서,

데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호에 의해 리셋되고 그 후 상기 도트 클럭 신호를 계수하는 수평 카운터와,

상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내(inter-frame) 최대값 보존 레지스터와,

상기 프레임 내 최대값 보존 레지스터에 보존한 계수값을 프레임 단위로 차례로 비교하여 작은 쪽의 계수값을 보존하는 프레임 내 최소값 보존 레지스터와,

상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터의 계수값을 비교함에 의해 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더와,

상기 수직 클럭 신호에 의해 리셋되어 도트 클럭 신호를 계수하는 카운터의 계수값과 상기 프레임간 최소값 보존 레지스터의 계수값을 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로를 포함하는 것을 특징으로 하는 액정 표시 제어 회로.

### 청구항 5.

제 1 또는 2항에 있어서,

상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 최대값 이하의 고정치로서 설정되는 것을 특징으로 하는 액정 표시 제어 회로.

### 청구항 6.

제 5항에 있어서,

데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호로 리셋되고 상기 도트 클럭 신호를 계수하는 수평 카운터와,

상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터와,

상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터의 계수값을 비교함에 의해 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더와,

상기 수직 클럭 신호에 의해 리셋되어 도트 클럭 신호를 계수하는 카운터의 계수값과 상기 고정치에 대응하는 고정 수치를 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로를 포함하는 것을 특징으로 하는 액정 표시 제어 회로.

### 청구항 7.

제 1 또는 2항에 있어서,

상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 최소값로서 설정되는 것을 특징으로 하는 액정 표시 제어 회로.

### 청구항 8.

제 7항에 있어서,

상기 기준 신호로 리셋되고 상기 도트 클럭 신호를 계수하는 수평 카운터와,

상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터와,

상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 작은 쪽의 계수값을 보존하는 프레임 내 최소값 보존 레지스터와,

상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터에 보존한 계수값을 비교함에 의해 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더와,

상기 수직 클럭 신호에 의해 리셋되어 도트 클럭 신호를 계수하는 카운터의 계수값과 상기 프레임 내 최소값 보존 레지스터의 계수값을 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로를 포함하는 것을 특징으로 하는 액정 표시 제어 회로.

### 청구항 9.

제 1 또는 2항에 있어서,

상기 게이트 드라이버 출력 인에이블 신호의 상기 소정 시간은 데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호의 간격의 프레임 내의 평균치 또는 발생 빈도가 가장 높은 계수값으로서 설정되는 것을 특징으로 하는 액정 표시 제어 회로.

## 청구항 10.

제 9항에 있어서,

데이터 인에이블 신호의 상승 타이밍에서 발생한 상기 기준 신호로 리셋되고 상기 도트 클록 신호를 계수하는 수평 카운터와,

상기 수평 카운터의 리셋 전의 최대의 계수값을 차례로 비교하여 큰 쪽의 계수값을 보존하는 프레임 내 최대값 보존 레지스터와,

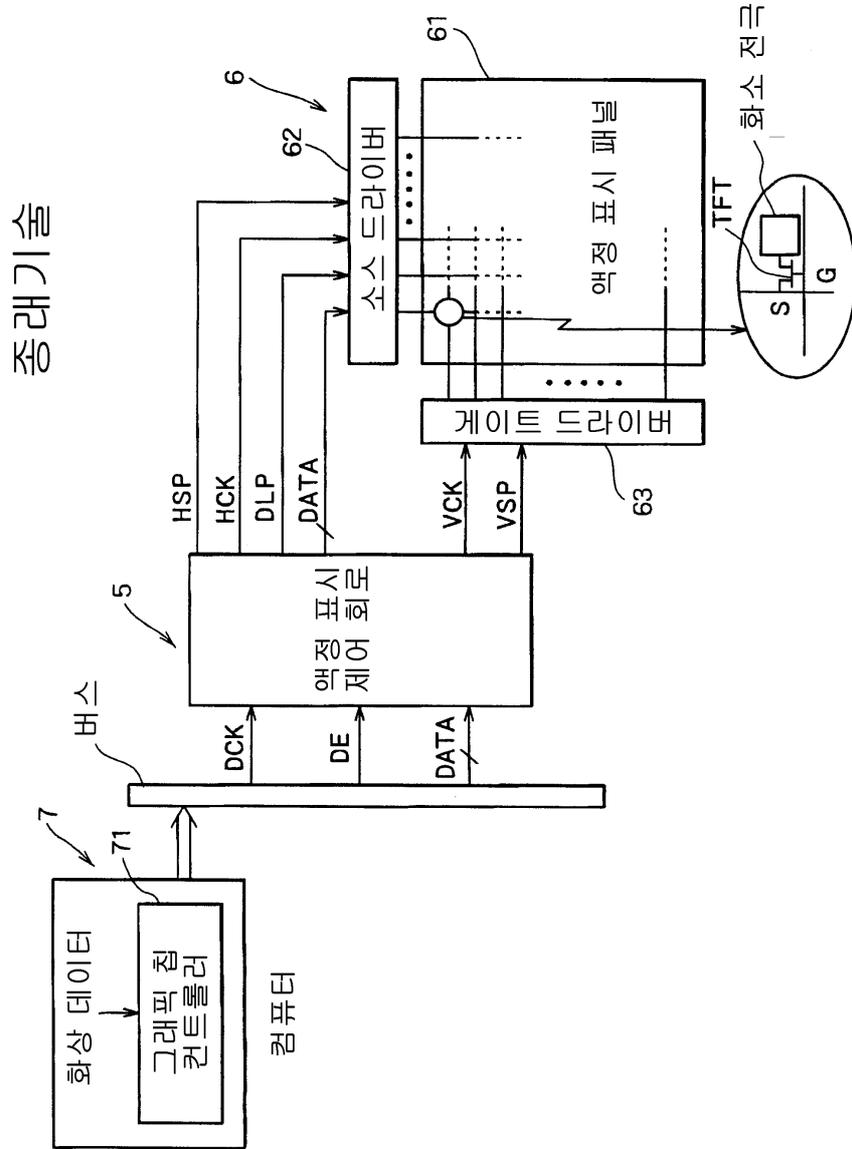
수평 카운터의 상기 최대의 계수값의 평균의 계수값 또는 발생 빈도가 가장 높은 계수값을 출력하는 연산 수단과,

상기 수평 카운터의 계수값과 상기 프레임 내 최대값 보존 레지스터의 계수값을 비교함에 의해 데이터 인에이블 신호의 프레임 내의 최후의 상승으로부터 상기 일정 시간 후의 타이밍의 상기 기준 신호를 발생하여 상기 수평 카운터를 리셋하는 디코더와,

상기 수직 클록 신호에 의해 리셋되어 도트 클록 신호를 계수하는 카운터의 계수값과 상기 연산 수단의 출력의 계수값을 비교함에 의해 소정 시간 폭의 게이트 드라이버 출력 인에이블 신호를 출력하는 상기 게이트 인에이블 신호 발생 회로를 포함하는 것을 특징으로 하는 액정 표시 제어 회로.

도면

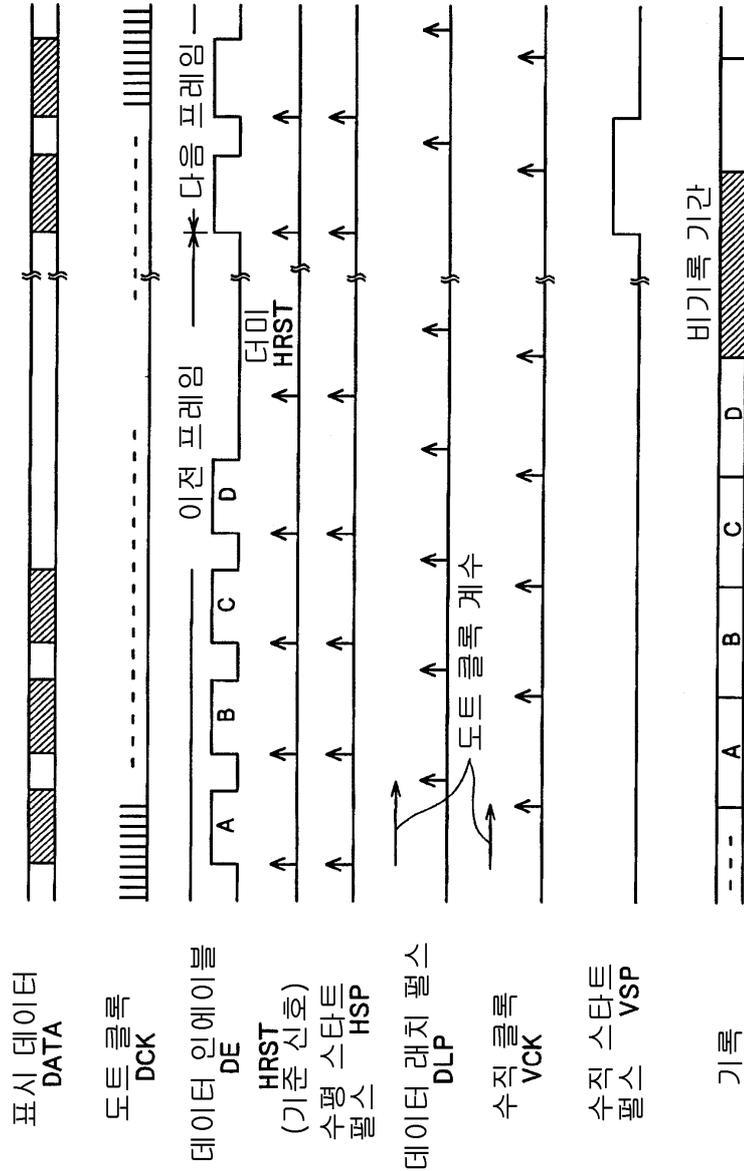
도면1



종래기술

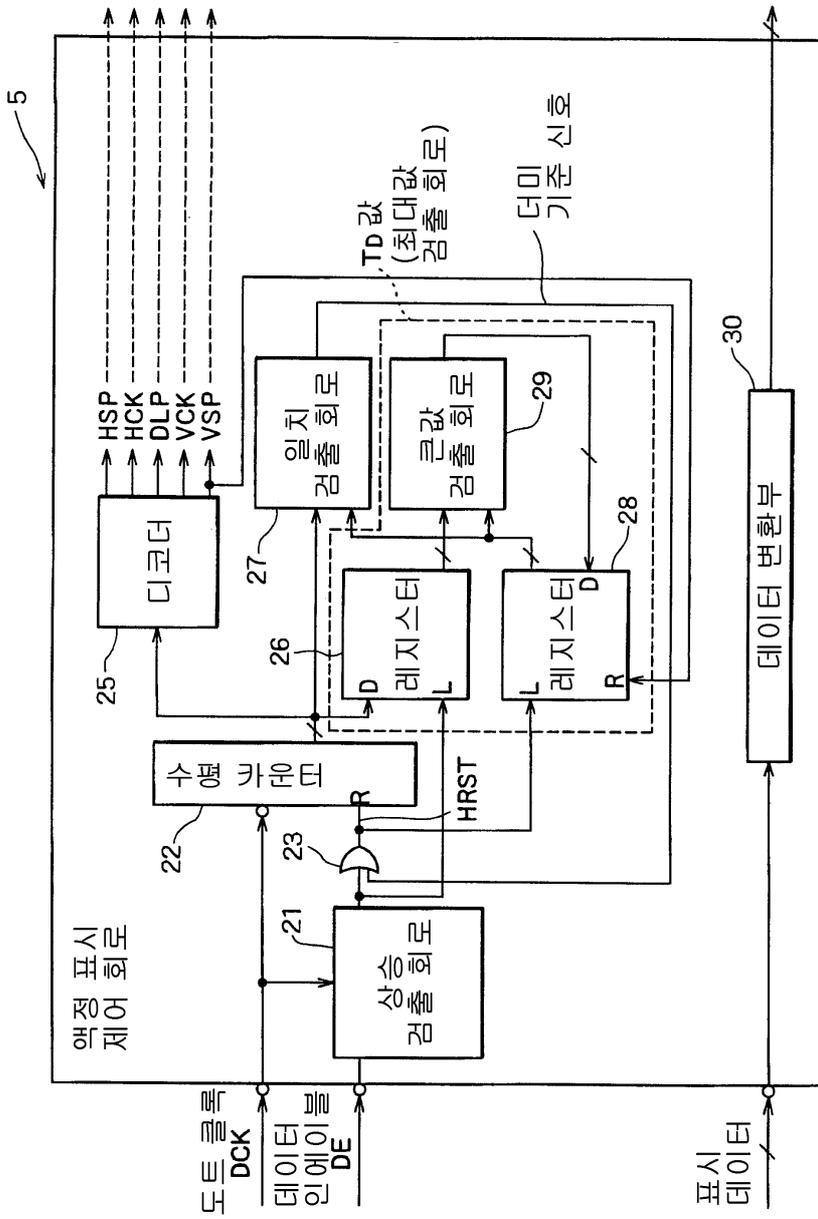
도면2

종래기술



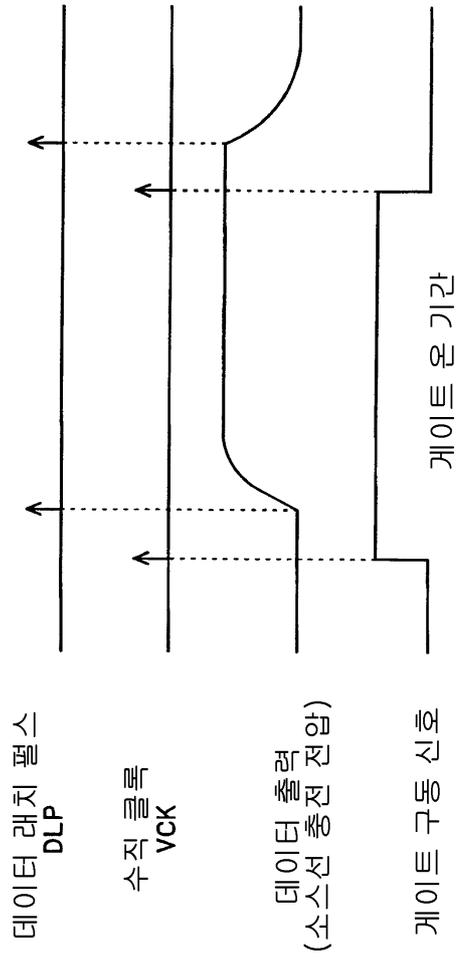
도면3

종래기술



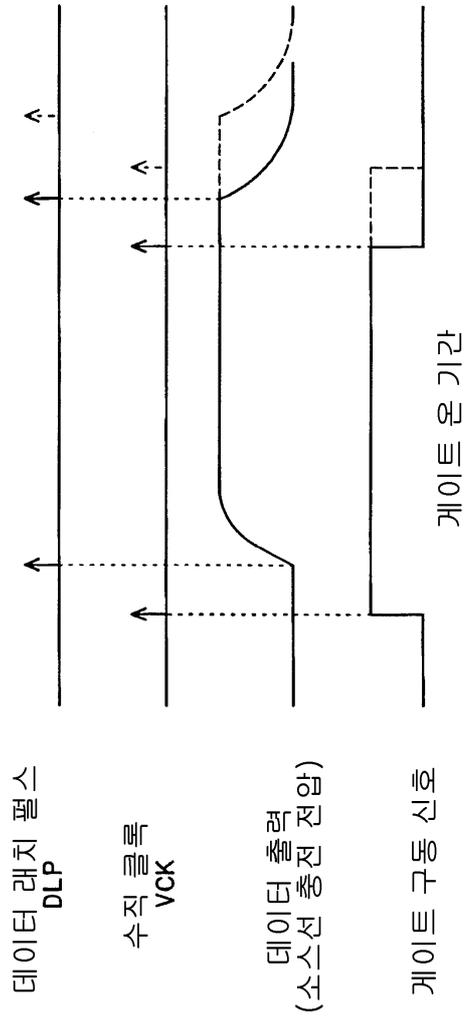
도면4

종래기술



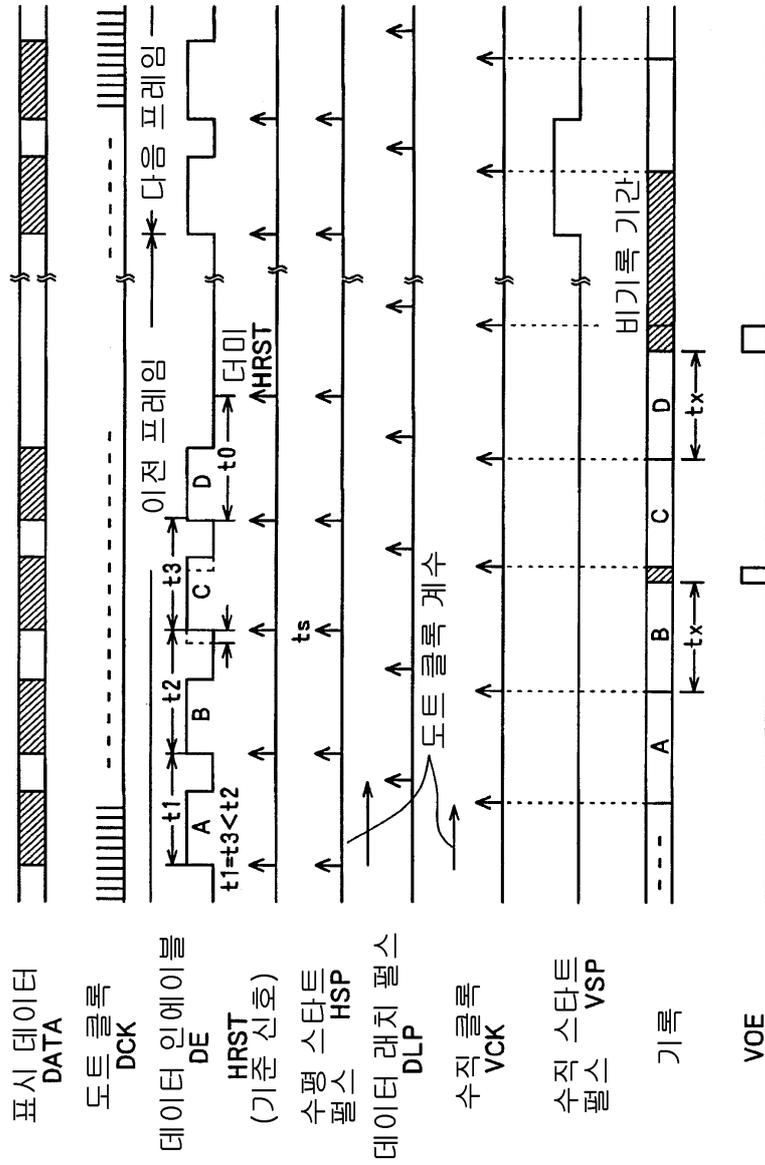
도면5

종래기술

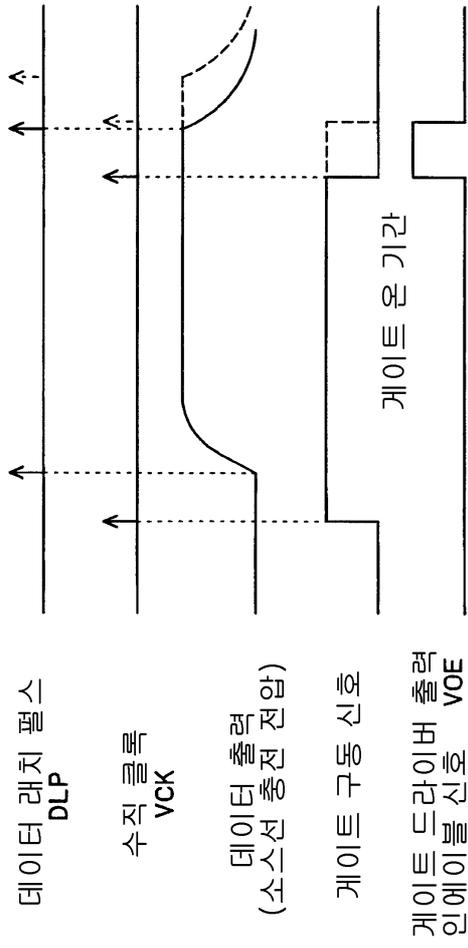




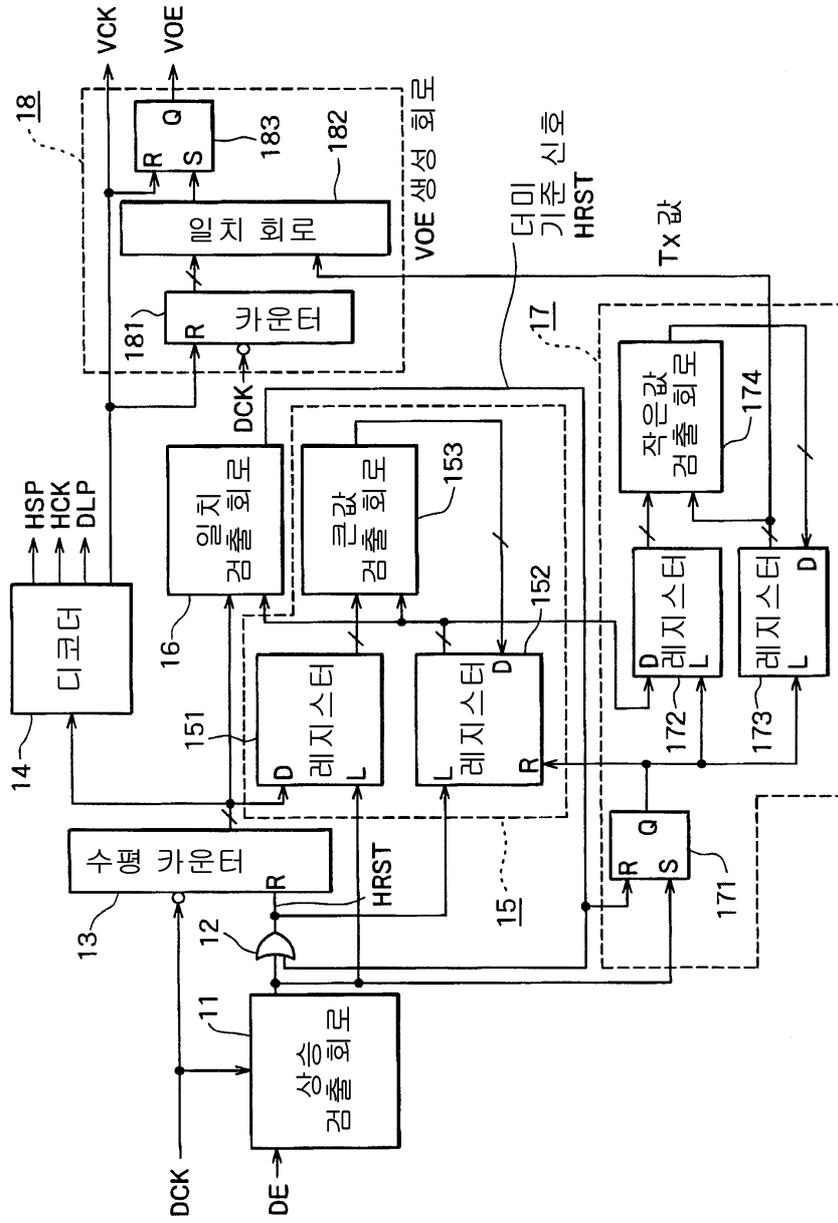
도면7



도면8



도면9



도면10

(a)

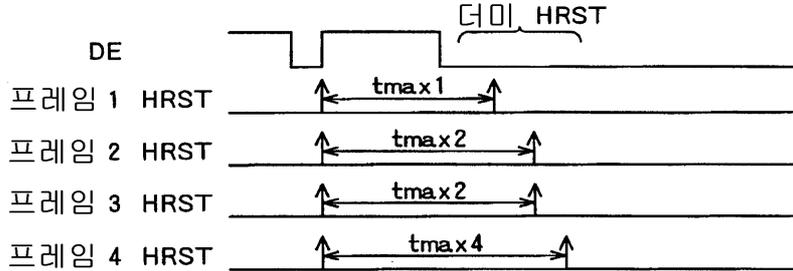
Tx의 결정방법 예 : 프레임 내의 최대값 및 프레임 내의 최소값

프레임	프레임 내의 tmax	tmax	tx
1	tmax1	tmax1	tmax1
2	tmax2	tmax2	tmax1
3	tmax3	tmax2	tmax3
4	tmax4	tmax4	tmax3

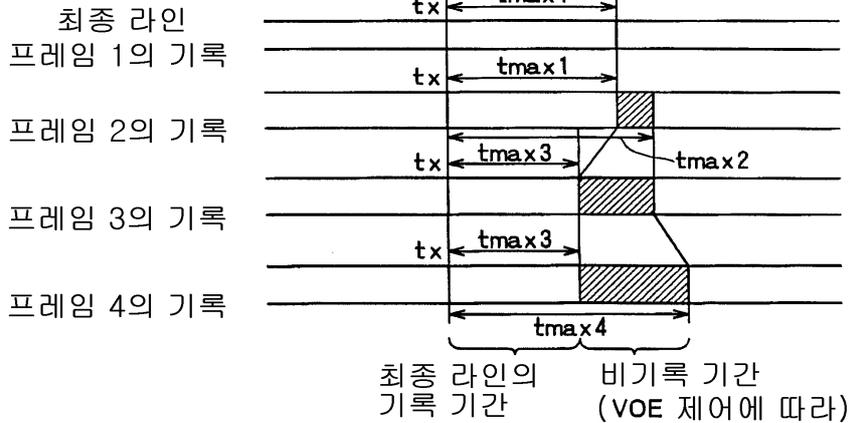
$$tmax3 < tmax1 < tmax2 < tmax4$$

(b)

최종 라인의 기록 (더미 HRST)



(c)



专利名称(译)	液晶显示控制电路		
公开(公告)号	<a href="#">KR100477624B1</a>	公开(公告)日	2005-03-22
申请号	KR1020020040171	申请日	2002-07-11
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	KOGA KOICHI 코가코이치 OKUZONO NOBORU 오쿠조노노보루 YAMAGUCHI MACHIIKO 야마구치마치히코		
发明人	코가코이치 오쿠조노노보루 야마구치마치히코		
IPC分类号	G09G3/20 H04N5/66 G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G09G3/3611		
优先权	2001214530 2001-07-13 JP		
其他公开文献	KR1020030007110A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的液晶显示控制电路 ( 1 ) 是用于控制根据本发明的液晶显示控制电路 ( 1 ) 的电路。液晶显示控制电路 ( 1 ) 包括数据使能信号输入 ( DE ) 以控制液晶显示装置 ( 2 ) 。栅极驱动器23输出的栅极驱动信号由垂直时钟信号VCK操作, 该垂直时钟信号VCK与DE的上升和像素电极的电荷同步, 这是由于DE的上升时序的延迟和最后一行之后的VCK的延迟。为了防止周期的变化, 在液晶显示控制电路1中提供栅极使能信号发生电路10, 以禁止由于延迟而输出栅极驱动信号的脉冲的延长。6 指数方面 液晶显示, 数据控制, 脉冲

