

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/133

(45) 공고일자 2005년03월15일
(11) 등록번호 10-0475975
(24) 등록일자 2005년03월02일

(21) 출원번호	10-2001-0060378	(65) 공개번호	10-2002-0025791
(22) 출원일자	2001년09월28일	(43) 공개일자	2002년04월04일

(30) 우선권주장 JP-P-2000-00300970 2000년09월29일 일본(JP)

(73) 특허권자 샤프 가부시키키가이샤
일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고

(72) 발명자 가쓰타니 마사후미
일본 나라현 나라시 고도노쵸 329-1-217

(74) 대리인 장수길
구영창

심사관 : 고종욱

(54) 액정 표시 장치의 구동 장치 및 구동 방법

요약

본 발명의 액정 표시 장치의 구동 장치는 제1 및 제2 증폭 회로에 의해 화소에 인가되는 오프셋 전압이 연산 증폭기의 스위치 신호 및 교류화 스위치 전환 신호 입력에 기초하여 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록, 제1 및 제2 증폭 회로의 입력 및 출력의 각 전환의 제어를 행하는 전환 제어 회로를 구비하고 있다. 이에 의해, 프레임 간에 의해 오프셋 전압은 상쇄되며, 사람의 눈에 표시 결함으로서 식별되지 않고 양질의 표시를 행하는 액정 표시 장치의 구동 장치 및 구동 방법을 제공할 수 있다.

대표도

도 1

색인어

증폭 회로, 전환 회로, 수평 동기 신호, 연산 증폭기, 액정 표시 장치

명세서

도면의 간단한 설명

도 1은 본 발명의 액정 표시 장치의 구동 장치의 전환 제어 회로의 구성예를 나타내는 회로도.

도 2는 상기한 액정 표시 장치의 구동 장치의 주요부 구성예를 나타내는 블록도.

도 3은 본 발명과 종래 기술의 양쪽을 설명하는 것으로, 상기 액정 표시 장치의 구동 장치의 출력 회로의 상세한 구성을 나타내는 회로도.

도 4는 상기 전환 제어 회로의 입력 신호 파형 및 출력 신호 파형을 나타내는 파형도.

도 5는 액정 표시 패널 상의 화소에서의 상기 출력 회로로부터의 오프셋 전압 출력 분포를 나타내는 설명도.

도 6은 도 5의 1행째 1열째의 화소에 포함되는 오프셋 전압을 14 프레임에 걸쳐서 나타낸 것을 나타내는 설명도.

도 7은 본 발명의 다른 액정 표시 장치의 구동 장치의 주요부 구성예를 나타내는 블록도.

도 8은 본 발명의 다른 액정 표시 장치의 구동 장치의 전환 제어 회로의 구성예를 나타내는 회로도.

도 9는 도 8의 액정 표시 패널 상의 화소에서의, 상기 출력 회로로부터의 오프셋 전압 출력 분포를 나타내는 설명도.

도 10은 도 8의 전환 제어 회로의 입력 신호 파형 및 출력 신호 파형을 나타내는 파형도.

도 11은 본 발명과 종래 기술의 양쪽을 설명하는 것으로, 액티브 매트릭스 방식의 대표예인 TFT 액정 표시 장치의 블록 구성예를 나타내는 설명도.

도 12는 종래의 TFT 액정 패널의 구성을 나타내는 설명도.

도 13은 종래의 액정 구동 파형의 일례를 나타내는 파형도로, 소스 드라이버의 출력 전압이 대향 전극의 전압보다 높을 때 상기 게이트 드라이버의 출력에 의해 TFT가 온하고, 화소 전극으로 대향 전극에 대하여 정극성의 전압이 인가되는 경우를 나타내고 있는 도면.

도 14는 종래의 액정 구동 파형의 일례를 나타내는 파형도로, 소스 드라이버의 출력 전압이 대향 전극의 전압보다 낮을 때 게이트 드라이버의 출력이 TFT를 온하여 화소 전극으로 대향 전극에 대하여 부극성의 전압이 인가되는 경우를 나타내고 있는 도면.

도 15는 종래에서 액정 구동 전압을 교류화할 때의 액정 패널 상의 교류화의 극성 배열의 일례를 나타내는 설명도.

도 16은 종래의 도트 반전 구동에서의 소스 드라이버의 구동 파형예를 나타내는 설명도.

도 17은 종래의 소스 드라이버 IC의 구성예를 나타내는 블록도.

도 18의 (a), 도 18의 (b)는 제1 종래 기술에 따른 도트 반전 구동을 행하는 소스 드라이버 IC의 출력 회로의 블록 구성도.

도 19의 (a), 도 19의 (b)는 제2 종래 기술에 따른 도트 반전 구동을 행하는 소스 드라이버 IC의 출력 회로의 블록 구성도.

도 20은 종래의 연산 증폭기가 우발적인 오프셋 전압을 갖는 경우의 액정 구동 전압 파형예를 나타내는 파형도.

도 21은 도 18의 (a) 및 도 18의 (b)의 구성의 경우의 액정 구동 전압 파형을 나타내는 파형도.

도 22는 제3 종래 기술에 따른 차동 증폭 회로의 구성예를 나타내는 회로도.

도 23은 도 22의 차동 증폭 회로의 동작을 나타내는 설명도.

도 24는 도 22의 차동 증폭 회로의 다른 동작을 나타내는 설명도.

도 25는 도 23의 차동 증폭 회로를 구성하는 트랜지스터 간에 및/또는 부하 저항 간에, 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우의 동작을 나타내는 설명도.

도 26은 도 24의 상기 차동 증폭 회로를 구성하는 트랜지스터 간에 및/또는 부하 저항 간에, 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우의 동작을 나타내는 설명도.

도 27은 상기 제2 종래 기술에 따른 다른 차동 증폭 회로를 나타내는 회로도.

도 28은 도 27의 차동 증폭 회로의 동작을 나타내는 설명도.

도 29는 도 27의 차동 증폭 회로의 다른 동작을 나타내는 설명도.

도 30은 도 28의 상기 차동 증폭 회로를 구성하는 트랜지스터 간에 및/또는 부하 저항 간에, 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우의 동작을 나타내는 설명도.

도 31은 도 29의 상기 차동 증폭 회로를 구성하는 트랜지스터 간에 및/또는 부하 저항 간에, 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우의 동작을 나타내는 설명도.

도 32는 도 22의 차동 증폭 회로의 부하 소자를 전류 미러 구성의 능동 부하로 바꾼 회로 구성을 나타내는 회로도.

도 33은 도 27의 차동 증폭 회로의 부하 소자를 전류 미러 구성의 능동 부하로 바꾼 회로 구성을 나타내는 회로도.

도 34는 도 32에 도시한 차동 증폭 회로와 등가인 차동 증폭 회로와, 스위치 및 출력부를 구체화한 예를 나타내는 회로도.

도 35는 도 34의 연산 증폭기의 동작을 나타내는 회로도.

도 36은 도 34의 연산 증폭기의 다른 동작을 나타내는 회로도.

도 37은 도 33에 도시한 차동 증폭 회로와 등가인 차동 증폭 회로와, 스위치 및 출력부를 구체화한 예를 나타내는 회로도.

도 38은 도 37의 연산 증폭기의 동작을 나타내는 회로도.

도 39는 도 37의 연산 증폭기의 다른 동작을 나타내는 회로도.

도 40은 차동 증폭 회로를 사용한 도트 반전 구동을 행하는 액정 구동 회로의 출력 블록도로, 홀수번째의 출력 단자가 정극성 구동 전압을 출력하고, 짝수번째의 출력 단자가 부극성 구동 전압을 출력하는 경우를 나타내는 도면.

도 41은 차동 증폭 회로를 사용한 도트 반전 구동을 행하는 액정 구동 회로의 출력 블록도로, 홀수번째의 출력 단자가 부극성 구동 전압을 출력하고, 짝수번째의 출력 단자가 정극성 구동 전압을 출력하는 경우를 나타내는 도면.

도 42는 종래의 교류화 스위치 전환 신호 REV 및 연산 증폭기의 스위치 전환 신호 SWP와 출력의 관계를 나타낸 파형도.

<도면의 주요 부분에 대한 부호의 설명>

5003 : EX-OR 게이트(배타적 논리합 회로)

5004 : EX-OR 게이트(배타적 논리합 회로)

5002 : AND 게이트(논리곱 회로)

4409 : 전환 제어 회로

4410 : 전환 제어 회로

4408 : 출력 회로

SWP : 스위치 전환 신호(전환 신호)

REV : 교류화 스위치 전환 신호(교류화 신호)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 회로 규모를 작게 억제하고, 회로의 소비 전력을 저감함과 함께, 제조 상의 변동 등에 따른 우발적으로 발생한 오프셋 전압의 영향을 받지 않는 차동 증폭 회로를 구비한 액정 표시 장치의 구동 장치 및 구동 방법에 관한 것이다.

액티브 매트릭스 방식의 대표예인 TFT(Thin Film Transistor)를 이용한 액정 표시 장치의 블록 구성을 도 11에 나타낸다. 참조 부호 3801은 TFT 액정 패널을 나타내고, 참조 부호 3802는 복수의 소스 드라이버를 구비한 소스 드라이버 IC(Integrated Circuit)를 나타내고, 참조 부호 3803은 복수의 게이트 드라이버를 구비한 게이트 드라이버 IC를 나타내고, 참조 부호 3804는 컨트롤러를 나타내고, 참조 부호 3805는 액정 구동 전원(전원 회로)을 나타낸다.

상기 컨트롤러(3804)는 게이트 드라이버 IC(3803)로 수직 동기 신호를 보냄과 함께, 소스 드라이버 IC(3802) 및 게이트 드라이버 IC(3803)로 수평 동기 신호를 보낸다. 외부로부터 입력된 표시 데이터(여기서는, R, G, B로 분리된 각 표시 데이터)는 컨트롤러(3804)를 통해 디지털 신호로 소스 드라이버 IC(3802)로 입력된다. 소스 드라이버 IC(3802)는 입력된 표시 데이터를 시분할로 내부에 래치하고, 그 후 컨트롤러(3804)로부터의 수평 동기 신호에 동기하여 디지털/아날로그 변환을 행하고, 액정 구동 출력 단자로부터 계조 표시용 아날로그 전압을 출력하도록 되어 있다.

도 12에 TFT 액정 패널의 구성도를 나타낸다. 참조 부호 3901은 화소 전극을 나타내고, 참조 부호 3902는 화소 용량을 나타내고, 참조 부호 3903은 TFT(스위치 소자)를 나타내고, 참조 부호 3904는 소스 신호 라인을 나타내고, 참조 부호 3905는 게이트 신호 라인을 나타내고, 참조 부호 3906은 대향 전극을 나타낸다.

상기 소스 신호 라인(3904)에는 상기 소스 드라이버 IC(3802)로부터 표시 화소의 밝기에 따라 변화하는 게조 표시 전압이 주어진다. 상기 게이트 신호 라인(3905)에는 상기 게이트 드라이버 IC(3803)로부터, 세로 방향으로 배치된 TFT(3903)가 순차 온하도록 주사 신호가 주어진다. 온 상태의 TFT(3903)를 통해 상기 TFT의 드레인에 접속된 화소 전극(3901)에 소스 신호 라인(3904)의 전압이 인가되고, 상기 대향 전극(3906) 간의 화소 용량(3902)에 축적되고, 이것에 의해 액정의 광 투과율이 변화하고, 그 변화에 따른 표시가 행해진다.

도 13 및 도 14에 액정 구동 파형의 일례를 나타낸다. 참조 부호 4001 및 4101은 소스 드라이버로부터 출력되는 구동 파형을 나타내고, 참조 부호 4002 및 4102는 게이트 드라이버로부터 출력되는 구동 파형을 나타내고, 참조 부호 4003 및 4103은 대향 전극의 전위를 나타내고, 참조 부호 4004 및 4104는 화소 전극의 전압 파형을 나타낸다.

액정 재료에 인가되는 전압은 화소 전극(3901)과 대향 전극(3906)의 전위차로, 도면 중에는 사선으로 나타내고 있다. 액정 패널은 장기간 신뢰성을 확보하기 위해서 교류로 구동할 필요가 있다. 도 13은 상기 소스 드라이버의 출력 전압이 대향 전극(3906)의 전압보다 높을 때 상기 게이트 드라이버의 출력에 의해 TFT(3903)가 온하고, 화소 전극(3901)으로 대향 전극(3906)에 대하여 정극성의 전압이 인가되고, 그 후 TFT(3903)가 오프하여 그 전위가 유지되는 경우를 나타내고 있다.

한편, 도 14는 반대로 상기 소스 드라이버의 출력 전압이 대향 전극(3906)의 전압보다 낮을 때 상기 게이트 드라이버의 출력에 의해 TFT(3903)가 온하여, 화소 전극(3901)으로 대향 전극(3906)에 대하여 부극성의 전압이 인가되고, 그 후 TFT(3903)가 오프하여 그 전위가 유지되는 경우를 나타내고 있다. 이와 같이, 도 13의 파형 전압과 도 14의 파형 전압을 교대로 인가함으로써 액정 재료에 가해지는 전압을 교류화하여 구동하는 것이 가능해진다.

도 15에 구동 전압을 교류화할 때 액정 패널(3801) 상의 교류화의 극성 배열의 일례를 나타낸다. 이것은 도트 반전 구동이라고 불리는 방식에 의한 것으로, 하나의 표시 화면(프레임) 내에서는 정극성과 부극성이 상하 좌우로도 교대로 배열되고 또한 프레임마다 극성이 반전된다. 이 방법으로는 소스 드라이버 IC(3802)에 있어서는, 예를 들면 홀수 번째의 출력 단자가 정극성의 전압을 출력하고 있을 때, 짝수 번째의 출력 단자는 부극성의 전압을 출력하고 있고, 반대로 홀수 번째의 출력 단자가 부극성의 전압을 출력하고 있을 때, 짝수 번째의 출력 단자는 정극성의 전압을 출력하고 있다.

도 16에 도트 반전 구동에서의 소스 드라이버의 구동 파형예를 나타낸다. 도 16 중, 참조 부호 4301은 홀수 번째의 상기 출력 단자의 출력 전압 파형을 나타내고, 참조 부호 4302는 짝수 번째의 상기 출력 단자의 출력 전압 파형을 나타내고, 참조 부호 4303은 대향 전극(3906)의 전압을 나타낸다. 도 16에 도시한 바와 같이, 홀수 번째의 출력 단자와 짝수 번째의 출력 단자에 있어서는, 항상 대향 전극(3906)에 대하여 역의 극성의 전압이 출력된다.

도 17은 상기 소스 드라이버 IC(3802)의 구성을 나타내는 블록도의 일례를 나타낸다. 여기서는 관련된 소스 드라이버만 설명한다. 게이트 드라이버는 공지한 것을 사용하기 때문에, 여기서는 설명을 생략한다. 입력된 디지털 신호의 표시 데이터(R, G, B)는 시프트 레지스터(4403)의 동작에 기초하여 시분할로 샘플링 메모리(4404)에 기억되고, 그 후 수평 동기 신호로 홀드 메모리(4405)에 일괄 전송된다. 상기 시프트 레지스터(4403)는 스타트 펄스 및 클럭(CK)에 기초하여 동작하도록 되어 있다. 상기 홀드 메모리(4405)의 데이터는 레벨 시프터 회로(4406)를 통해 D/A(Digital/Analog) 변환 회로(4407)로 아날로그 전압으로 변환되고, 출력 회로(4408)에 의해 액정 구동 출력 단자를 통해 게조 표시 구동 전압(액정 구동 전압)으로서 출력된다. 또 홀드 메모리(4405)에 의해 1 수평 동기 기간, 표시 데이터는 래치되고 유지되고 있다. 그리고, 다음의 수평 동기 신호에 의해 새로운 표시 데이터가 받아들여져서 래치된다.

도 18의 (a) 및 도 18의 (b)에 종래의 기술(제1 종래 기술)에 따른 도트 반전 구동을 행하는 소스 드라이버 IC의 출력 회로의 블록 구성도와 그 동작의 일례를 나타낸다. 도 18의 (a) 및 도 18의 (b)에는 도 17 중, 참조 부호 4405, 4407, 4408로 나타내는 각 블록만을 2 출력 단자분의 회로로서 나타내고 있다.

도 18의 (a) 및 도 18의 (b)에 있어서, 참조 부호 4501은 홀수 번째의 출력 단자를 구동하는 출력 회로에서 연산 증폭기를 사용한 전압 폴로워를 나타내고, 참조 부호 4502는 짝수 번째의 출력 단자를 구동하는 출력 회로에서 참조 부호 4501과 동일한 연산 증폭기를 사용한 전압 폴로워를 나타내고, 참조 부호 4503, 4504, 4505 및 4506은 액정 구동 출력의 출력 전압 극성을 전환하는 출력 교류화 스위치를 각각 나타내고, 참조 부호 4507은 정극성 전압의 디지털/아날로그 변환을 행하는 D/A 변환 회로를 나타내고, 참조 부호 4508은 부극성 전압의 디지털/아날로그 변환을 행하는 D/A 변환 회로를 나타내고, 참조 부호 4509 및 4510은 표시 데이터를 보유하는 홀드 메모리를 각각 나타내고, 참조 부호 4511은 홀수 번째의 출력 단자를 나타내고, 참조 부호 4512는 짝수 번째의 출력 단자를 나타낸다. 또한, 전압 폴로워(4501)의 내부의 참조 부호 4513 및 4502 내부의 참조 부호 4514는 N 채널 MOS(Metal Oxide Semiconductor) 입력의 연산 증폭기를 나타내고, 전압 폴로워(4501)의 내부의 참조 부호 4515 및 4502 내부의 참조 부호 4516은 P 채널 MOS 입력의 연산 증폭기를 나타낸다.

상기 구성을 갖는 회로에 의한 액정 구동 파형의 교류화에 대하여 설명하면, 이하와 같다.

상기 출력 교류화 스위치(4503 내지 4506)가 도 18의 (a)의 상태에 있을 때, 상기 홀드 메모리(4509)에 기억되어 있는 홀수 번째의 출력 단자(4511)의 표시 데이터는 정극성의 D/A 변환 회로(4507)로 입력되고, D/A 변환 후의 아날로그 전압은 전압 폴로워(4501)를 통해 홀수 번째의 출력 단자(4511)로부터 액정 패널(3801)로 출력된다. 이 때의 출력 전압은 정극성의 액정 구동 전압이 된다.

이것에 대하여, 출력 교류화 스위치(4503 내지 4506)가 도 18의 (b)의 상태에 있을 때, 홀드 메모리(4509)에 기억되어 있는 홀수번째의 출력 단자(4511)의 표시 데이터는, 부극성의 D/A 변환 회로(4508)에 입력되고, D/A 변환 후의 아날로그 전압은 전압 폴로워(4501)를 통해 홀수번째의 출력 단자(4511)로부터 액정 패널로 출력된다. 이 때의 출력 전압은 부극성의 구동 전압이 된다.

짝수번째의 출력 단자(4512)의 구동 전압의 극성은 홀수번째의 출력 단자(4511)와 반대가 된다. 즉, 출력 교류화 스위치(4503 내지 4506)가 도 18의 (a)의 상태에 있을 때, 홀드 메모리(4510)에 기억되어 있는 짝수번째의 출력 단자(4512)의 표시 데이터는 부극성의 D/A 변환 회로(4508)에 입력되고, D/A 변환 후의 아날로그 전압은 전압 폴로워(4502)를 통해 짝수번째의 출력 단자(4512)로부터 액정 패널로 출력된다. 이 때의 출력 전압은 부극성의 액정 구동 전압이 된다.

한편, 출력 교류화 스위치(4503 내지 4506)가 도 18의 (b)의 상태에 있을 때, 홀드 메모리(4510)에 기억되어 있는 짝수번째의 출력 단자의 표시 데이터는 정극성의 D/A 변환 회로(4507)에 입력되고, D/A 변환 후의 아날로그 전압은 전압 폴로워(4502)를 통해 짝수번째의 출력 단자(4512)로부터 액정 패널에 출력된다. 이 때의 출력 전압은, 정극성의 액정 구동 전압이 된다. 도 18의 (a) 및 도 18의 (b)에는 이상의 동작 중, 홀수번째의 출력 단자의 신호의 흐름만을 나타낸다. 이와 같이, 도 18의 (a)의 상태와, 도 18의 (b)의 상태를 출력 교류화 스위치(4503 내지 4506)를 이용하여 프레임 반전으로 교대로 전환함으로써 액정 패널(3801)을 구동하기 위해서 필요한 구동 파형의 교류화를 행하고 있다.

도 18의 (a) 및 도 18의 (b)의 회로 구성에 있어서, 하나의 출력 단자는 정극성 전압의 출력의 경우나 부극성 전압의 출력의 경우도, 항상 동일한 연산 증폭기 회로에서 구동된다. 일반적으로, 액정 구동 회로의 출력 단자가 중요한 기능으로서, 동작 전원 전압 폴 레인지의 출력 다이내믹 범위가 요구된다. 통상의 LSI에서 사용되는 증강형의 MOS 트랜지스터를 사용하는 것을 상정하면, 그 임계치 전압에 의한 동작 불가 영역을 없애기 위해서, 도 18의 (a) 및 도 18의 (b)에 도시한 바와 같이, N 채널 MOS 트랜지스터 입력의 연산 증폭기(4513)와 P 채널 MOS 트랜지스터 입력의 연산 증폭기(4515) 양쪽을 하나의 전압 폴로워(4501) 내에 구비해야만 한다. 이 때문에 회로 규모가 커지고, LSI화 한 경우의 칩 사이즈의 증대를 초래한다. 또한, 연산 증폭기가 1 출력당 2 회로 있기 때문에 회로의 소비 전력이 커진다.

도 19의 (a) 및 도 19의 (b)에 다른 종래의 기술(제2 종래 기술)에 따른 도트 반전 구동을 행하는 소스 드라이버 IC의 출력 회로의 블록 구성도와 그 동작의 예를 나타낸다. 도 19의 (a) 및 도 19의 (b)에는 도 17 중에는, 참조 부호 4405, 4407, 4408로 나타내는 각 블록만을 2 출력 단자분의 회로로서 나타내고 있다.

도 19의 (a) 및 도 19의 (b)에 있어서, 참조 부호 4601은 N 채널 MOS 트랜지스터 입력의 연산 증폭기를 사용한 전압 폴로워를 나타내고, 참조 부호 4602는 P 채널 MOS 트랜지스터 입력의 연산 증폭기를 사용한 전압 폴로워를 나타내고, 참조 부호 4603, 4604, 4605 및 4606은 액정 구동 출력의 출력 전압 극성을 전환하는 출력 교류화 스위치를 나타내고, 참조 부호 4607은 정극성의 디지털/아날로그 변환을 행하는 D/A 변환 회로를 나타내고, 참조 부호 4608은 부극성의 디지털/아날로그 변환을 행하는 D/A 변환 회로를 나타내고, 참조 부호 4609 및 4610은 표시 데이터를 유지하는 홀드 메모리를 나타내고, 참조 부호 4611은 홀수번째의 출력 단자를 나타내고, 참조 부호 4612는 짝수번째의 출력 단자를 나타낸다.

도 19의 (a) 및 도 19의 (b)의 출력 전압의 교류화는 도 18의 (a) 및 도 18의 (b)의 경우와 동일하게 출력 교류화 스위치(4603 내지 4606)에 의해 행해진다. 도 18의 (a) 및 도 18의 (b)의 경우와 다른 것은 정극성용 D/A 변환 회로(4607)의 출력은 직접 N 채널 MOS 트랜지스터 입력의 연산 증폭기(4601)로 보내지고, 부극성용 D/A 변환 회로(4608)의 출력은 직접 P 채널 MOS 트랜지스터 입력의 연산 증폭기(4602)로 보내지고 각각의 연산 증폭기의 출력 이 스위치(4603 및 4604)를 통해 원하는 출력 단자로 보내지는 점이다.

여기서는 정극성용 D/A 변환 회로(4607)는 동작 전원 전압의 약 2분의 1 이상의 전압만을 출력하기 위해서, 연산 증폭기로서 N 채널 입력의 회로만으로 충분하고, 마찬가지로 부극성용 D/A 변환 회로(4608)는 동작 전원 전압의 약 2분의 1 이하의 전압만을 출력하기 위해서 연산 증폭기로서 P 채널 입력의 회로만으로 충분하다. 도 19의 (a) 및 도 19의 (b)의 구성에서는 도 18의 (a) 및 도 18의 (b)의 구성에 대하여, 연산 증폭기 회로가 출력 단자당 반 정도로 해결되기 때문에 칩 사이즈의 저감과 저소비 전력화를 도모할 수 있다.

그러나, 도 19의 (a) 및 도 19의 (b)의 구성은 하나의 출력을 구동하는 연산 증폭기 회로가 정극성의 경우와 부극성의 경우는 다르다. 즉, 도 19의 (a) 및 도 19의 (b)의 액정 구동 출력 단자는 정극성 전압을 출력할 때는 연산 증폭기(4601)로 구동된다[도 19의 (a) 참조]. 한편, 부극성 전압을 출력할 때는 연산 증폭기(4602)로 구동된다[도 19의 (b) 참조]. 여기서, 연산 증폭기(4601)와 연산 증폭기(4602)가 제조 상의 변동 등에 따른 우발적으로 발생하는 오프셋 전압을 갖는 경우를 이하에 설명한다.

연산 증폭기(4601)가 우발적으로 발생하는 오프셋 전압 A를 가지고, 연산 증폭기(4602)가 우발적으로 발생하는 오프셋 전압 B를 갖는 경우의 액정 구동 전압 파형을 도 20에 도시한다. 도 20에 있어서, 정극성 전압을 출력할 때와 부극성 전압을 출력할 때에는 기대치 전압으로부터의 편차가 각각 다르다. 따라서, 액정 표시 화소에 인가되는 구동 전압의 평균 전압에는 2개의 편차의 차의 성분($= (A - B) / 2$)이 오차 전압으로서 잔류한다. 이 오차 전압은 구동 출력 단자마다 우발적으로 발생하는 것이므로 액정 표시 장치의 화소 간에서의 인가 전압의 차가 되어, 결과로서 표시 결함이 발생하게 된다.

비교를 위해, 도 21에 도 18의 (a) 및 도 18의 (b)의 구성의 경우의 액정 구동 전압 파형을 나타낸다. 도 18의 (a) 및 도 18의 (b)의 구성에서는 정극성 전압, 부극성 전압 모두 하나의 출력 회로에서 구동되기 때문에, 어느 하나의 경우도 기대치 전압으로부터의 편차는 동일하다. 이 편차는 화소에 인가되는 전압으로서는 정극성의 경우와 부극성의 경우로 상호 상쇄되는 방향이다. 따라서, 도 18의 (a) 및 도 18의 (b)의 구성에서는 액정 구동 출력 단자 간의 편차의 변동은 표시 화소로 평균화되게 되고 표시 상의 문제는 되지 않는다.

상기 제2 종래 기술(도 19 참조)의 경우, 즉 정극성 전압과 부극성 전압을 별개의 연산 증폭기 회로로부터 출력하는 경우에 대하여, 또 다른 회로 규모의 삭감 및 소비 전력의 저감을 실현한 제3 종래 기술(예를 들면, 특개평 11-305735호 공보를 참조)이 알려져 있다. 이 제3 종래 기술에 대하여, 도 22를 참조하면서 설명하면 이하와 같다.

도 22에 상기 제3 종래 기술에 따른 차동 증폭 회로의 구성예를 나타낸다. 또, 도 22는 N 채널 MOS 트랜지스터를 입력 트랜지스터로서 사용한 경우를 나타내는 것이다.

도 22에 있어서, 참조 부호 101 및 102는 N 채널 MOS에 의한 입력 트랜지스터를 각각 나타내고, 참조 부호 103은 상기 차동 증폭 회로에 동작 전류를 제공하는 정전류원을 나타내고, 참조 부호 104는 상기 입력 트랜지스터(101)의 부하 저항(저항 소자)을 나타내고, 참조 부호 105는 상기 입력 트랜지스터(102)의 부하 저항(저항 소자)을 나타내고, 참조 부호 106 및 107은 입력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 108 및 109는 출력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 110은 동상 입력 단자를 나타내고, 참조 부호 111은 역상 입력 단자를 나타내고, 참조 부호 112는 동상 출력 단자를 나타내고, 참조 부호 113은 역상 출력 단자를 나타내고, 참조 부호 114는 상기 스위치(106 내지 109)를 동시에 전환하는 전환 신호 입력 단자를 나타낸다.

상기 입력 트랜지스터(101) 및 상기 부하 저항(104)과, 상기 입력 트랜지스터(102) 및 상기 부하 저항(105)은 증폭 회로를 구성하고 트랜지스터(101, 102)는 차동쌍을 구성한다. 또한, 스위치(106 내지 109)는 전환 신호(114)에 의해 연동하여 제어된다.

도 23은 도 22의 회로 중 하나의 동작 상태를 나타낸다. 도 24는 도 22의 회로의 다른 동작 상태를 나타낸다. 이하에, 도 23 및 도 24를 참조하면서, 상기 차동 증폭 회로의 동작을 설명한다.

도 23에 도시한 상태에서는 동상 입력 단자(110)는 스위치(106)를 통해 입력 트랜지스터(101)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(104)의 작용으로, 스위치(109)를 통해 역상 출력 신호로서 역상 출력 단자(113)로부터 출력된다. 한편, 역상 입력 단자(111)는 스위치(107)를 통해 입력 트랜지스터(102)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(105)의 작용으로, 스위치(108)를 통해 동상 출력 신호로서 동상 출력 단자(112)로부터 출력된다. 즉, 동상 입력 신호는 입력 트랜지스터(101) 및 부하 저항(104)으로 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(102) 및 부하 저항(105)으로 증폭된다.

한편, 도 24에 도시한 상태에서는 동상 입력 단자(110)는 스위치(107)를 통해 입력 트랜지스터(102)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(105)의 작용으로, 스위치(109)를 통해 역상 출력 신호로서 역상 출력 단자(113)로부터 출력된다. 또한, 역상 입력 단자(111)는 스위치(106)를 통해 입력 트랜지스터(101)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(104)의 작용으로 스위치(108)를 통해 동상 출력 신호로서 동상 출력 단자(112)로부터 출력된다. 즉, 동상 입력 신호는 입력 트랜지스터(102) 및 부하 저항(105)으로 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(101) 및 부하 저항(104)으로 증폭된다.

이상과 같이, 도 23과 도 24에 도시한 상태에서는 동상 입력 신호의 증폭 회로와 역상 입력 신호의 증폭 회로를 완전하게 교체하여 사용하고 있다.

여기서, 차동 증폭 회로를 구성하는 입력 트랜지스터(101, 102) 간에 및/또는 부하 저항(104, 105) 간에 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우에 대해 도 25 및 도 26을 참조하면서 이하에 설명한다.

본래 동일한 특성을 구비해야 할 차동 증폭 회로의 2개의 소자에 있어서 차가 생긴 경우, 출력 전압이 이상적인 상태에서 어긋나게 되어 오프셋을 갖는다. 이 어긋남은 입력 단자 한쪽에 정전압원을 접속한 것으로서 모델화할 수 있다. 이 모습을 도 25 및 도 26에 도시한다. 도 25 및 도 26에 도시한 참조 부호 115는 상기 차동 증폭 회로의 오프셋을 하나의 정전압원으로 모델화한 것이다. 또, 도 25에 도시한 스위치 소자는 도 23에 도시한 상태와 동일하고, 도 26에 도시한 스위치 소자는 도 24에 도시한 상태와 동일하다.

도 25에 있어서는, 정전압원(115)은 스위치(107)를 통해 역상 입력 단자(111)와 접속되어 있다. 한편, 도 26에 있어서는 정전압원(115)은 스위치(107)를 통해 동상 입력 단자(110)와 접속되어 있다. 이와 같이, 본 차동 증폭 회로는 스위치(106 내지 109)를 사용하고 있어, 차동 증폭 회로에서 우발적으로 발생하는 변동에 의한 오프셋을 역상 입력 단자(111)측에 입력한 상태와, 동상 입력 단자(110)측에 입력한 상태로 전환할 수 있다. 이들 2개의 상태에서는, 동상 출력 단자(110) 및 역상 출력 단자(111)에 나타내는 오프셋은 부호가 반대이고 절대치가 같은 상태가 된다.

이상으로부터, 연산 증폭기가 제조 상의 변동 등에 따른 우발적으로 발생하는 오프셋 전압을 가지고 있는 경우, 정극성의 오프셋 전압을 출력하는 경우와 부극성의 오프셋 전압을 출력하는 경우에서는 기대치 전압으로부터의 편차가 같아지기 때문에, 액정 표시 화소에 인가되는 구동 전압의 평균 전압에는 2개의 편차의 차의 성분이 오차 전압으로서 잔류하지 않게 되고, 따라서 상기 연산 증폭기를 액정 구동 회로에 사용한 경우, 액정 표시 장치의 화소 간에 인가 전압에 차가 되어 생기지 않고, 표시 결함을 확실하게 회피할 수 있다.

도 27에 차동 증폭 회로의 P 채널 MOS 트랜지스터를 입력 트랜지스터로 사용한 경우를 나타내는 것이다.

도 27에 있어서, 참조 부호 601 및 602는 P 채널 MOS에 의한 입력 트랜지스터를 각각 나타내고, 참조 부호 603은 본 차동 증폭 회로에 동작 전류를 제공하는 정전류원을 나타내고, 참조 부호 604는 입력 트랜지스터(601)의 부하 저항(저항 소자)을 나타내고, 참조 부호 605는 입력 트랜지스터(602)의 부하 저항(저항 소자)을 나타내고, 참조 부호 606 및 607은 입력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 608 및 609는 출력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 610은 동상 입력 단자를 나타내고, 참조 부호 611은 역상 입력 단자를 나타내고,

참조 부호 612는 동상 출력 단자를 나타내고, 참조 부호 613은 역상 출력 단자를 나타내고, 참조 부호 614는 스위치(606 내지 609)를 동시에 전환하는 신호를 입력하기 위한 전환 신호 입력 단자를 나타낸다.

도 27의 동작을 도 28 및 도 29을 이용하여 설명하면 이하와 같다.

도 28에 도시한 상태에서는 동상 입력 단자(610)는 스위치(606)를 통해 입력 트랜지스터(601)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(604)의 작용으로, 스위치(609)를 통해 역상 출력 신호로서 역상 출력 단자(613)로부터 출력된다. 한편, 역상 입력 단자(611)는 스위치(607)를 통해 입력 트랜지스터(602)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(605)의 작용으로 스위치(608)를 통해 동상 출력 신호로서 동상 출력 단자(612)로부터 출력된다. 즉, 동상 입력 신호는 입력 트랜지스터(601) 및 부하 저항(604)으로 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(602) 및 부하 저항(605)으로 증폭된다.

한편, 도 29에 도시한 상태에서는 동상 입력 단자(610)는 스위치(607)를 통해 입력 트랜지스터(602)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(605)의 작용으로, 스위치(609)를 통해 역상 출력 신호로서 역상 출력 단자(613)로부터 출력된다. 또한, 역상 입력 단자(611)는 스위치(606)를 통해 입력 트랜지스터(601)의 게이트에 접속되고, 그 드레인에 접속된 부하 저항(604)의 작용으로, 스위치(608)를 통해 동상 출력 신호로서 동상 출력 단자(612)로부터 출력된다. 즉, 동상 입력 신호는 입력 트랜지스터(602) 및 부하 저항(605)으로 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(601) 및 부하 저항(604)으로 증폭된다.

이상과 같이, 도 28에 도시한 상태와 도 29에 도시한 상태에서는 동상 입력 신호의 증폭 회로와 역상 입력 신호의 증폭 회로를, 완전하게 교체하여 사용하고 있다.

여기서, 차동 증폭 회로를 구성하는 입력 트랜지스터(601, 602) 간에 및/또는 부하 저항(604과 605) 간에 및/또는 부하 저항(604, 605) 간에 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우에 대해, 도 30 및 도 31을 참조하면서 이하에 설명한다.

본래 동일한 특성을 구비해야 할 차동 증폭 회로의 2개의 소자에 있어서 차가 생긴 경우, 출력 전압이 이상적인 상태에서 어긋나게 되어 오프셋을 갖는다. 이 어긋남은 입력 단자의 한쪽에 정전압원을 접속한 것으로서 모델화할 수 있다. 이 모습을 도 30 및 도 31에 도시한다. 도 30 및 도 31에 도시한 참조 부호 615는 상기 차동 증폭 회로의 오프셋을 하나의 정전압원으로 모델화한 것이다. 또, 도 30에 도시한 스위치 소자는 도 28에 도시한 상태와 동일하고, 도 31에 도시한 스위치 소자는 도 29에 도시한 상태와 동일하다.

도 30에 있어서는, 정전압원(615)은 스위치(607)를 통해 역상 입력 단자(611)와 접속되어 있다. 한편, 도 31에서는 정전압원(615)은 스위치(607)를 통해 동상 입력 단자(610)와 접속되어 있다. 이와 같이, 본 차동 증폭 회로는 스위치(606 내지 609)를 사용하고 있기 때문에, 차동 증폭 회로에서의 우발적으로 발생하는 변동에 의한 오프셋을 역상 입력 단자(611)측에 입력한 상태와, 동상 입력 단자(610)측에 입력한 상태로 전환할 수 있다. 이들 2개의 상태에서는 동상 출력 단자(610) 및 역상 출력 단자(611)에 나타내는 오프셋은 부호가 역이며 절대치가 같은 상태가 된다.

이상으로부터, 연산 증폭기가 제조 상의 변동 등에 의해 우발적으로 발생하는 오프셋 전압을 갖는 경우라도, 정극성의 오프셋 전압을 출력하는 경우와 부극성의 오프셋 전압을 출력하는 경우에는 기대치 전압으로부터의 편차가 같아지기 때문에, 액정 표시 화소에 인가되는 구동 전압의 평균 전압에는 2개의 편차의 차의 성분이 오차 전압으로서 잔류하지 않게 되고, 따라서 상기 연산 증폭기를 액정 구동 회로로 사용한 경우, 액정 표시 장치의 화소 간의 인가 전압에 차가 되어 생기지 않고 표시 결함을 확실하게 회피할 수 있다.

도 32에 도 22의 차동 증폭 회로의 부하 소자를 전류 미러 구성의 능동 부하로 바꾼 회로 구성을 나타낸다. 도 32는 N 채널 MOS 트랜지스터를 입력 트랜지스터로서 사용한 경우를 나타내는 것이다.

도 32에 있어서, 참조 부호 1101 및 1102는 N 채널 MOS에 의한 입력 트랜지스터를 각각 나타내고, 참조 부호 1103은 본 회로에 동작 전류를 제공하는 정전류원을 나타내고, 참조 부호 1104는 입력 트랜지스터(1101)의 부하가 되는 P 채널 MOS에 의한 부하 트랜지스터를 나타내고, 참조 부호 1105는 입력 트랜지스터(1102)의 부하가 되는 P 채널 MOS에 의한 부하 트랜지스터를 나타내고, 참조 부호 1106 및 1107은 입력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 1108 및 1109는 출력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 1110은 동상 입력 단자를 나타내고, 참조 부호 1111은 역상 입력 단자를 나타내고, 참조 부호 1112는 동상 출력 단자를 나타내고, 참조 부호 1113은 역상 출력 단자를 나타내고, 참조 부호 1114는 스위치(1106 ~ 1109)를 동시에 전환하는 신호를 입력하기 위한 전환 신호 입력 단자를 나타낸다.

상기 차동 증폭 회로는 부하 소자가 트랜지스터에 의한 전류 미러 구성의 능동 부하인 점에서, 도 22의 구성예(수동 부하)와 다르다. 도 23에 대응하는 상태에서는, 동상 입력 신호는 입력 트랜지스터(1101) 및 부하 트랜지스터(1104)에서 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(1102) 및 부하 트랜지스터(1105)에서 증폭된다. 이것에 대하여, 도 24에 대응하는 상태에서는, 동상 입력 신호는 입력 트랜지스터(1102) 및 부하 트랜지스터(1105)에서 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(1101) 및 부하 트랜지스터(1104)에서 증폭된다.

이상, 어느 하나의 경우라도 상기 부하 트랜지스터(1104, 1105)는 상호, 전류 미러 구성으로 되어 있어, 가령 양 부하 트랜지스터에 특성의 변동이 있어도 부하 트랜지스터(1104, 1105)에 흐르는 전류는 항상 같아지고, 그 결과 동상 입력 신호 및 역상 입력 신호는 동일한 증폭도로 증폭되게 되어 좌우 대칭인 출력 파형이 얻어지게 된다.

이상과 같이, 도 32에 도시한 구성을 갖는 차동 증폭 회로에서도 동상 입력 신호의 증폭 회로와 역상 입력 신호의 증폭 회로를 완전하게 교체하여 사용할 수 있다.

또한, 상기 차동 증폭 회로를 구성하는 입력 트랜지스터(1101, 1102) 간에 있어서 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우라도 상세하게는 설명하지 않았지만, 도 22와 마찬가지로의 구성을 가지고 있다. 따라서, 본 차동 증폭 회로에서는 스위치(1106 내지 1109)를 사용하고 있기 때문에, 차동 증폭 회로에서의 우발적으로 발생하는 변동에 의한 오프셋을, 역상 입력 단자(1111)측에 입력한 상태와, 동상 입력 단자(1110)측에 입력한 상태로 전환할 수 있다. 이들 2개의 상태에서는 동상 출력 단자(1110) 및 역상 출력 단자(1111)에 나타내는 오프셋은 부호가 상호 역이고 절대치가 같은 상태가 된다.

이상으로부터, 연산 증폭기가 제조 상의 변동 등에 의해 우발적으로 발생하는 오프셋 전압을 가지고 있는 경우, 정극성의 오프셋 전압을 출력하는 경우와 부극성의 오프셋 전압을 출력하는 경우에는 기대치 전압으로부터의 편차가 같아지기 때문에, 액정 표시 화소에 인가되는 구동 전압의 평균 전압에는 2개의 편차의 차의 성분이 오차 전압으로서 잔류하지 않게 되고, 따라서 상기 연산 증폭기를 액정 구동 회로로 사용한 경우, 액정 표시 장치의 화소 간에서의 인가 전압에 차가 되어 생기지 않고, 표시 결함을 확실하게 회피할 수 있다.

도 33에 도 27의 차동 증폭 회로의 부하 소자를 전류 미러 구성의 능동 부하에 바꾼 회로 구성을 나타낸다. 도 33은 P 채널 MOS 트랜지스터를 입력 트랜지스터로서 사용한 경우를 나타내는 것이다.

도 33에 있어서, 참조 부호 1201 및 1202은 P 채널 MOS에 의한 입력 트랜지스터를 각각 나타내고, 참조 부호 1203은 본 회로에 동작 전류를 제공하는 정전류원을 나타내고, 참조 부호 1204는 입력 트랜지스터(1201)의 부하가 되는 N 채널 MOS에 의한 부하 트랜지스터를 나타내고, 참조 부호 1205는 입력 트랜지스터(1202)의 부하가 되는 N 채널 MOS에 의한 부하 트랜지스터를 나타내고, 참조 부호 1206 및 1207은 입력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 1208 및 1209은 출력 신호를 전환하는 스위치를 각각 나타내고, 참조 부호 1210은 동상 입력 단자를 나타내고, 참조 부호 1211은 역상 입력 단자를 나타내고, 참조 부호 1212는 동상 출력 단자를 나타내고, 참조 부호 1213은 역상 출력 단자를 나타내고, 참조 부호 1214는 스위치(1206 ~ 1209)를 동시에 전환하는 신호를 입력하기 위한 전환 신호 입력 단자를 나타낸다.

도 33의 구성은 부하 소자가 트랜지스터에 의한 전류 미러 구성의 능동 부하인 점에서, 도 27의 구성(수동 부하)과 다르다. 도 28에 대응하는 상태에서는 동상 입력 신호는 입력 트랜지스터(1201) 및 부하 트랜지스터(1204)에서 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(1202) 및 부하 저항(1205)으로 증폭된다. 이에 대하여, 도 29에 대응하는 상태에서는 동상 입력 신호는 입력 트랜지스터(1202) 및 부하 트랜지스터(1205)로 증폭되는 한편, 역상 입력 신호는 입력 트랜지스터(1201) 및 부하 트랜지스터(1204)로 증폭된다.

이상, 어느 하나의 경우라도, 상기 부하 트랜지스터(1204 및 1205)는 상호, 전류 미러 구성으로 되어 있기 때문에, 양 부하 트랜지스터에 특성의 변동이 있어도 부하 트랜지스터(1204, 1205)에 흐르는 전류는 항상 같아지고, 이 결과 동상 입력 신호 및 역상 입력 신호는 동일한 증폭도로 증폭되게 되며 좌우 대칭인 출력 파형이 얻어지게 된다.

이상과 같이, 도 33에 도시한 구성을 갖는 차동 증폭 회로에서도 동상 입력 신호의 증폭 회로와 역상 입력 신호의 증폭 회로를 완전하게 교체하여 사용하고 있다.

또한, 상기 차동 증폭 회로를 구성하는 입력 트랜지스터(1201, 1202) 간에 있어서, 제조 상의 이유 등에 의해 우발적으로 발생하는 특성의 불일치가 존재하는 경우라도, 상세하게는 설명하지 않았지만, 도 27과 마찬가지로의 구성을 갖고 있다. 따라서, 상기 차동 증폭 회로에서는 스위치(1206 ~ 1209)를 사용하고 있기 때문에, 차동 증폭 회로에서의 우발적인 변동에 의한 오프셋을 역상 입력 단자(1211)측에 입력한 상태와, 동상 입력 단자(1210)측에 입력한 상태로 전환할 수 있다. 이들 2개의 상태에서는 동상 출력 단자(1210) 및 역상 출력 단자(1211)에 나타내는 오프셋은 부호가 상호 역이고 절대치가 같은 상태가 된다.

이에 따라, 연산 증폭기가 제조 상의 변동 등에 의해 우발적으로 생기는 오프셋 전압을 가지고 있는 경우라도, 정극성의 오프셋 전압을 출력하는 경우와 부극성의 오프셋 전압을 출력하는 경우에는 기대치 전압으로부터의 편차가 같아지기 때문에, 액정 표시 화소에 인가되는 구동 전압의 평균 전압에는 2개의 편차의 차의 성분이 오차 전압으로서 잔류하지 않게 되고, 따라서 액정 표시 장치의 화소 간에서의 인가 전압에 차가 되어 생기지 않고, 표시 결함을 확실하게 회피할 수 있다.

다음에, 도 34를 도시한다. 이것은 도 32에 도시한 차동 증폭 회로와 등가인 차동 증폭 회로(1301)와, 스위치 및 출력부를 구체화한 예에 대하여 설명한다. 또, 도 34는 N 채널 MOS 입력의 연산 증폭기이다.

도 34에 있어서, 참조 부호 1301은 도 32에 도시한 차동 증폭 회로를 나타내고, 참조 부호 1302는 동상 입력 단자를 나타내고, 참조 부호 1303은 역상 입력 단자를 나타내고, 참조 부호 1304 및 1305는 스위치 전환 신호 입력 단자를 각각 나타내고, 참조 부호 1306 내지 1309는 스위치를 각각 나타내고, 참조 부호 1310 내지 1313은 스위치를 각각 나타내고, 참조 부호 1314 및 1315는 N 채널 MOS의 입력 트랜지스터를 각각 나타내고, 참조 부호 1316 및 1317은 입력 트랜지스터의 능동 부하가 되는 P 채널 MOS의 부하 트랜지스터를 각각 나타내고, 참조 부호 1318은 P 채널 MOS의 출력 트랜지스터를 나타내고, 1319는 N 채널 MOS의 출력 트랜지스터를 나타내고, 참조 부호 1320은 출력 단자를 나타내고, 참조 부호 1321은 연산 증폭기에 동작점을 제공하기 위한 바이어스 전압 입력 단자를 나타낸다. 여기서, 차동 증폭 회로(1301)를 도 22의 저항 부하의 차동 증폭 회로로 치환한 회로도 이하의 설명과 동일한 동작을 하기 위해서 여기서는 상세한 설명을 생략한다.

도 34에 있어서, 참조 부호 1304 및 1305가 도 32에서 도시한 스위치 전환 신호 입력 단자(1114)에 상당하고, 참조 부호 1304와 1305는 상호 역상의 신호를 입력한다. 스위치 전환 신호 입력에 따른 회로의 동작을 도 35 및 도 36을 참조하면서 이하에 설명한다.

도 34에 있어서, 입력 트랜지스터(1314, 1315)가 도 32에 도시한 입력 트랜지스터(1101, 1102)에 상당하고, 부하 트랜지스터(1316, 1317)가 도 32에 도시한 부하 트랜지스터(1104, 1105)에 상당한다.

또한, 도 34에 있어서, 참조 부호 1307 및 1309가 도 32에서 도시한 스위치(1106)에 상당하고, 참조 부호 1306 및 1308이 도 32에 도시한 스위치(1107)에 상당하고, 참조 부호 1310 및 1313이 도 32에 도시한 스위치(1108)에 상당하고, 참조 부호 1311 및 1312가 도 32에 도시한 스위치(1109)에 상당하고, 트랜지스터(1322)가 도 32에 도시한 정전류원(1103)에 상당한다.

전환 입력 신호(1304)에 "L" 레벨(로우 레벨)이 입력되면, 스위치는 P 채널 MOS 트랜지스터이기 때문에, 도 35에 도시한 바와 같이 스위치(1306, 1307, 1310 및 1311)가 온 상태가 된다. 이 때, 스위치 전환 신호 입력 단자(1305)에는 "H" 레벨(하이 레벨)이 입력되고 있기 때문에, 스위치(1308, 1309, 1312 및 1313)는 오프한다. 동상 입력 신호(1302)는 스위치(1306)를 통해 입력 트랜지스터(1315)로 공급된다. 역상 입력 신호(1303)는 스위치(1307)를 통해 입력 트랜지스터(1314)로 공급된다. 또한, 스위치(1310)를 통해 부하 트랜지스터(1316, 1317)에 게이트 신호가 공급되고, 스위치(1311)를 통해 출력 트랜지스터(1318)로 게이트 신호가 주어진다. 도 35의 경우, 동상 입력 신호를 증폭하는 회로는 트랜지스터(1315) 및 부하 트랜지스터(1317)로써, 역상 입력 신호를 증폭하는 회로는 트랜지스터(1314) 및 부하 트랜지스터(1316)이다.

스위치 전환 신호 입력 단자(1305)에 "L" 레벨이 입력되면, 도 36에 있어서 스위치(1308, 1309, 1312, 1313)가 온 상태가 된다. 이 때, 스위치 전환 신호 입력 단자(1304)에는 "H" 레벨이 입력되고 있기 때문에, 스위치(1306, 1307, 1310, 1311)는 오프한다. 이 때, 동상 입력 신호(1302)는 스위치(1308)를 통해 입력 트랜지스터(1314)로 공급된다. 역상 입력 신호(1303)는 스위치(1309)를 통해 입력 트랜지스터(1315)로 공급된다. 또한, 스위치(1313)를 통해 부하 트랜지스터(1316, 1317)에 게이트 신호가 주어지고, 스위치(1312)를 통해 출력 트랜지스터(1318)로 게이트 신호가 주어진다. 도 36의 경우, 동상 입력 신호를 증폭하는 회로는 입력 트랜지스터(1314) 및 부하 트랜지스터(1316)로써, 역상 입력 신호를 증폭하는 회로는 입력 트랜지스터(1315) 및 부하 트랜지스터(1317)이다.

도 35 및 도 36에 도시한 바와 같이, 본 차동 증폭 회로는 스위치(1306 내지 1313)를 전환함으로써, 동상 입력 신호의 증폭 회로와 역상 입력 신호의 증폭 회로를 교체할 수 있다. 이에 따라, 상술한 바와 같이 차동 증폭 회로에 제조상의 특성 변동 등에 의한 우발적인 오프셋이 발생한 경우라도, 이 오프셋은 이 2개의 상태에서 부호가 상호 역이고 절대치가 같아진다. 따라서, 연산 증폭기에 생기는 오프셋의 변동도 스위치(1306 내지 1313)를 전환함으로써, 오프셋의 부호가 상호 역이고 절대치가 같은 상태를 실현할 수 있어 상기 오프셋을 상쇄할 수 있다.

다음에, 도 37을 참조하면서, 도 33에 도시한 차동 증폭 회로와 등가인 차동 증폭 회로(1601)와, 스위치 및 출력부를 구체화한 예를 설명한다. 또, 도 37은 P 채널 MOS 입력의 연산 증폭기이다.

도 37에 있어서, 참조 부호 1602는 동상 입력 단자를 나타내고, 참조 부호 1603은 역상 입력 단자를 나타내고, 참조 부호 1604 및 1605는 스위치 전환 신호 입력 단자를 각각 나타내고, 참조 부호 1606 ~ 1609는 스위치를 각각 나타내고, 참조 부호 1610 ~ 1613은 스위치를 각각 나타내고, 참조 부호 1614 및 1615는 P 채널 MOS의 입력 트랜지스터를 각각 나타내고, 참조 부호 1616 및 1617은 입력 트랜지스터의 능동 부하가 되는 N 채널 MOS의 부하 트랜지스터를 각각 나타내고, 참조 부호 1618은 N 채널 MOS의 출력 트랜지스터를 나타내고, 참조 부호 1619는 P 채널 MOS의 출력 트랜지스터를 나타내고, 참조 부호 1620은 출력 단자를 나타내고, 참조 부호 1621은 연산 증폭기에 동작점을 제공하기 위한 바이어스 전압 입력 단자를 나타낸다. 여기서, 차동 증폭 회로(1601)를 도 27에서 진술한 저항 부하의 차동 증폭 회로로 치환한 회로도, 이하의 설명과 동일한 동작을 하기 때문에, 여기서는 상세한 설명을 생략한다.

도 37에 있어서, 입력 트랜지스터(1614, 1615)가 도 33에 도시한 입력 트랜지스터(1201, 1202)에 상당하고, 부하 트랜지스터(1616, 1617)가 도 33에 도시한 부하 트랜지스터(1204 및 1205)에 상당한다. 또한, 도 37에 있어서, 참조 부호 1607 및 1609가 도 33에 도시한 스위치(1206)에 상당하고, 참조 부호 1606 및 1608이 도 33에 도시한 스위치(1207)에 상당하고, 참조 부호 1610 및 1613이 도 33에서 도시한 스위치(1208)에 상당하고, 참조 부호 1611 및 1612가 도 33에 도시한 스위치(1209)에 상당하고, 트랜지스터(1622)가 도 33에 도시한 정전류원(1203)에 상당한다.

스위치 전환 신호 입력 단자(1604)에 "H" 레벨(하이 레벨)이 입력되면, 스위치는 N 채널 MOS 트랜지스터이기 때문에, 도 38에 도시한 바와 같이 스위치(1606, 1607, 1610, 1611)가 온 상태가 된다. 이 때, 스위치 전환 신호 입력 단자(1605)에는 "L" 레벨(로우 레벨)이 입력되고 있기 때문에, 스위치(1608, 1609, 1612, 1613)는 오프한다. 동상 입력 신호(1602)는 스위치(1606)를 통해 입력 트랜지스터(1615)로 공급된다. 역상 입력 신호(1603)는 스위치(1607)를 통해 입력 트랜지스터(1614)로 공급된다. 또한, 스위치(1610)를 통해 부하 트랜지스터(1616, 1617)에 게이트 신호가 공급되고, 스위치(1611)를 통해 출력 트랜지스터(1618)로 게이트 신호가 주어진다. 도 38의 경우, 동상 입력 신호를 증폭하는 회로는 입력 트랜지스터(1615) 및 부하 트랜지스터(1617)로써, 역상 입력 신호를 증폭하는 회로는 입력 트랜지스터(1614) 및 부하 트랜지스터(1616)이다.

스위치 전환 신호 입력 단자(1605)에 "H" 레벨이 입력되면, 도 39에 있어서 스위치(1608, 1609, 1612, 1613)가 온 상태가 된다. 이 때, 스위치 전환 신호 입력 단자(1604)에는 "L" 레벨이 입력되어 있기 때문에, 스위치(1606, 1607, 1610, 1611)는 오프한다. 이 때, 동상 입력 신호(1602)는 스위치(1608)를 통해 입력 트랜지스터(1614)로 공급된다. 역상 입력 신호(1603)는 스위치(1609)를 통해 입력 트랜지스터(1615)로 공급된다. 또한, 스위치(1613)를 통해 부하 트랜지스터(1616, 1617)에 게이트 신호가 주어지고, 스위치(1612)를 통해 출력 트랜지스터(1618)로 게이트 신호가 주어진다. 도 39의 경우, 동상 입력 신호를 증폭하는 회로는 입력 트랜지스터(1614) 및 부하 트랜지스터(1616)이고, 역상 입력 신호를 증폭하는 회로는 입력 트랜지스터(1615) 및 부하 트랜지스터(1617)이다.

도 38 및 도 39에 도시한 바와 같이, 상기 차동 증폭 회로는 스위치(1606 ~ 1613)를 전환함으로써, 동상 입력 신호의 증폭 회로와 역상 입력 신호의 증폭 회로를 교체할 수 있다. 이에 따라, 상술한 바와 같이 차동 증폭 회로에 제조상의 변동 등에 의해 우발적으로 발생하는 오프셋이 발생한 경우라도, 이 오프셋은 이 2개의 상태에서 부호가 상호 역이고 절대치가 같아진다. 따라서, 연산 증폭기에 생기는 오프셋의 변동도 스위치(1606 ~ 1613)를 전환함으로써, 오프셋의 부호가 역이고 절대치가 같은 상태를 실현할 수 있다. 또, 도 38 및 도 39에 있어서, 점선은 신호의 흐름을 나타내는 것이다.

도 40 및 도 41은 전술한 자동 증폭 회로를 사용한 도트 반전 구동을 행하는 액정 구동 회로의 출력 블록도로, 인접하는 2개의 출력 회로 부분만을 나타낸다. 도 40 및 도 41은 액정 구동 전압의 극성을 전환한 경우의 동작을 각각 나타내고 있다.

도 40 및 도 41에 있어서, 참조 부호 2101은 도 34에 도시한 N 채널 MOS 트랜지스터 입력의 연산 증폭기를 나타내고, 참조 부호 2102는 도 37에 도시한 P 채널 MOS 트랜지스터 입력의 연산 증폭기를 나타내고, 참조 부호 2103은 정극성의 액정 구동 전압을 발생하는 D/A 변환 회로를 나타내고, 참조 부호 2104는 부극성의 액정 구동 전압을 발생하는 D/A 변환 회로를 나타내고, 참조 부호 2105 ~ 2108은 액정 구동 전압을 교류화하기 위한 스위치를 나타내고, 참조 부호 2109는 홀수번째의 출력 단자의 표시 데이터를 기억하는 래치 회로를 나타내고, 참조 부호 2110은 짝수번째의 출력 단자의 표시 데이터를 기억하는 래치 회로를 나타내고, 참조 부호 2111은 홀수번째의 출력 단자를 나타내고, 참조 부호 2112는 짝수번째의 출력 단자를 나타내고, 참조 부호 2113은 교류화 스위치 전환 신호 입력을 나타내고, 참조 부호 2114는 도 34나 도 37에 도시한 연산 증폭기의 스위치 전환 신호를 나타낸다. 또, 여기서의 래치 회로(2109, 2110)는 도 17의 홀드 메모리(4405)를 나타내고, 레벨 시프터 회로는 생략된 형태로 설명하고 있다.

이하, 이들의 도면을 사용하여 홀수번째의 출력 단자의 동작에 대하여 설명한다. 또, 짝수번째의 출력 단자에 대해서는 그 구동 전압 극성이 반대가 될 뿐이고 동일한 동작을 하기 때문에 상세한 설명을 생략한다.

도 40은 홀수번째의 출력 단자(2111)가 정극성 구동 전압을 출력하고, 짝수번째의 출력 단자(2112)가 부극성 구동 전압을 출력하는 경우를 나타낸다. 이 경우, 홀수번째의 출력 단자의 표시 데이터는 래치 회로(2109) 내지 스위치(2105)를 통해 정극성용 D/A 변환 회로(2103)로 보내지고, 그 출력이 연산 증폭기(2101)에 주어진 후, 스위치(2107)를 통해 홀수번째의 출력 단자(2111)로부터 출력된다(도 40 중 굵은선으로 나타내는 화살표를 참조).

도 41은 홀수번째의 출력 단자(2111)가 부극성 구동 전압을 출력하고, 짝수번째의 출력 단자(2112)가 정극성 구동 전압을 출력하는 경우를 나타낸다. 이 경우, 홀수번째의 출력 단자의 표시 데이터는 래치 회로(2109)로부터 스위치(2106)를 통해 부극성용 D/A 변환 회로(2104)로 보내지고, 그 출력이 연산 증폭기(2102)에 주어진 후, 스위치(2107)를 통해 홀수번째의 출력 단자(2111)로부터 출력된다(도 41 중 굵은선으로 나타내는 화살표를 참조).

여기서, 연산 증폭기가 제조 상의 이유 등으로 특성이 다르고, 우발적으로 발생하는 오프셋 전압을 갖는 경우에 대해 설명한다. 상술한 바와 같이, 여기서 나타내는 연산 증폭기는 스위치 전환 신호에 의해, 그 오프셋의 부호를 반전시킬 수 있고, 이 때의 오프셋 전압의 절대치는 동일하기 때문에, 연산 증폭기(2101)가 오프셋 전압 A 또는 -A로 전환할 수 있고, 연산 증폭기(2102)가 오프셋 전압 B 또는 -B로 전환할 수 있는 것으로 한다. 이 경우, 홀수번째의 출력 단자의 출력 전압은 정극성 출력 시에는 A 또는 -A의 오프셋을 가지고, 부극성 출력 시에는 B 또는 -B의 오프셋을 갖는 것으로 된다. 오프셋의 부호의 선택은 전술한 연산 증폭기의 스위치 전환 신호로 행해진다.

다음에, 도 3은 도 40 및 도 41에서의 자동 증폭 회로(2115)의 구체적 구성예를 나타내는 것으로, 도 3에 있어서, 참조 부호 2301은 도 34에 도시한 N 채널 MOS 트랜지스터 입력의 연산 증폭기에 대응하고, 참조 부호 2302는 도 37에 도시한 P 채널 MOS 트랜지스터 입력의 연산 증폭기에 대응하고 있다. 또, 도 3에 있어서, 참조 부호 2307 및 2308은 도 40 및 도 41에서의 스위치(2107, 2108)에 각각 대응하고 있다. 또한, 도 3에 있어서, 출력 단자(2311, 2312)는 도 40 및 도 41에서의 출력 단자(2111, 2112)에 각각 대응하고 있다. 도 3 중, VBN 및 VBP는 연산 증폭기에 동작점을 제공하기 위한 바이어스 전압 입력 단자를 각각 나타낸다. 또한, 도 3 중 참조 부호 2313은 도 40 및 도 41 중 참조 부호 2113(교류화 스위치 전환 신호 입력 REV)에 대응하고, 도 3 중 참조 부호 2314는 도 40 및 도 41 중 참조 부호 2114(도 34 및 도 37에 도시한 연산 증폭기의 스위치 전환 신호 SWP)에 대응한다.

그리고, 교류화 스위치 전환 신호 REV 및 연산 증폭기의 스위치 전환 신호 SWP와 출력이 관계를 나타낸 것이 도 42와 표 1이다.

도 42에 있어서, 참조 부호 2601은 홀수번째의 출력 단자로부터의 출력 전압에 의해 구동되는 화소 전압의 이상치를 나타내고, 참조 부호 2602는 오프셋 전압이 가미된 실제의 전압을 나타낸다. 교류화 스위치 전환 신호 REV는 1 프레임마다 반전하고 있고, 연산 증폭기의 스위치 전환 신호 SWP는 2 프레임마다 반전하고 있다. 이 결과, 화소 전압의 이상치와 실제의 전압치와의 차는 1 프레임마다 순차, A, B, -A, -B로 변화하고 4 프레임으로 최초의 상태로 되돌아간다.

여기서, 제1 프레임과 제3 프레임의 편차 및 제2 프레임과 제4 프레임의 편차는 상호 역 부호이고 같아진다. 프레임의 주기가 액정 재료의 반응 시간에 대하여 충분히 짧으면, 제1 프레임과 제3 프레임에 의해 편차는 상쇄되고 또한 제2 프레임과 제4 프레임에 의해 편차가 상쇄된다. 짝수번째의 출력 단자라도 마찬가지로 4 프레임마다 편차는 상쇄된다. 이들을 통합하면 표 1과 같아진다.

표 1.

입력 신호		출력 단자	
SWP	REV	홀수번째의 출력 단자	짝수번째의 출력 단자
로우 레벨	로우 레벨	정극성(편차 A)	부극성(편차 B)
로우 레벨	하이 레벨	부극성(편차 B)	정극성(편차 A)
하이 레벨	로우 레벨	정극성(편차 -A)	부극성(편차 -B)
하이 레벨	하이 레벨	부극성(편차 -B)	정극성(편차 -A)

이상으로부터, 액정 구동 출력 단자마다의 편차의 변동은 각각의 표시 화소에서의 상쇄 동작에 의해, 사람의 눈에 표시 결함으로서 식별되지는 않고, 양질의 표시를 행하는 것이 가능해진다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래의 기술에 따르면, 소스 드라이버의 출력 회로부(도 17 참조)를 구성하는 차동 증폭기(연산 증폭기 회로)의 구조 상의 조건의 변동 등에 의해 우발적으로 발생하는 오프셋 전압(이 오프셋 전압은 주로, 차동 증폭기의 입력단을 구성하는 차동부에서 발생한다)이 액정 표시 소자로의 이상의 구동 전압으로부터의 오차가 생성되고, 이에 따라 표시 화상이 적절하게 표시되지 않고, 소위 표시 결함이 발생하고, 표시 품질을 저하시키는 요인이 되고 있었다.

상기 제1 종래 기술에서는, 하나의 출력 단자에 정극성 전압 및 부극성 전압의 쌍방을 출력(풀 레인지)할 수 있도록 N 채널 MOS 트랜지스터를 입력단에 갖는 연산 증폭기와 P 채널 MOS 트랜지스터를 입력단에 갖는 연산 증폭기 2개를 갖는 구성을 나타내었다. 이에 따라, 도 21에 도시한 바와 같이 오프셋 전압에 기인하는 편차 A, -A를 2 프레임에 의해 상쇄하고 있었다.

그러나, 이 회로 구성은 1 출력 단자마다 연산 증폭기 2개를 갖기 때문에, 회로 규모가 커져 칩 사이즈의 증대를 초래한다는 문제점이 있었다. 게다가, 비교적 소비 전력이 큰 연산 증폭기 회로가 많아지기 때문에 저소비 전력화에 장애가 되었다.

한편, 상기 제2 종래 기술에서는 정극성 전압은 입력단에 N 채널 MOS 트랜지스터를 사용한 연산 증폭기로부터 출력함과 함께, 부극성 전압은 입력단에 P 채널 MOS 트랜지스터를 사용한 연산 증폭기로부터 출력하고, 정극성/부극성 전압을 전환 스위치로 전환하여 풀 레인지 출력으로 하고 있었다. 이것에 따르면, 연산 증폭기 회로의 수가 반감하기 때문에 회로 규모의 축소 및 저소비 전력화를 실현할 수 있다.

그러나, 상기 제2 종래 기술에서는 N 채널 MOS 트랜지스터를 사용한 연산 증폭기 회로에서 발생하는 오프셋 전압에 의한 편차 A와, P 채널 MOS 트랜지스터를 사용한 연산 증폭기 회로에서 발생하는 오프셋 전압에 의한 편차 B를 상쇄할 수 없고(도 20 참조), 액정 표시 소자로의 이상적인 구동 전압으로부터의 오차를 해소할 수 없고, 이에 따라 표시 화상이 적절하게 표시되지 않고, 소위 표시 결함이 발생하여 표시 품질을 저하시키는 요인이 되고 있었다.

또한, 상기 제3 종래 기술에서는 전술한 정극성 전압은 입력단에 N 채널 MOS 트랜지스터를 사용한 연산 증폭기로부터 출력함과 함께, 부극성 전압은 입력단에 P 채널 MOS 트랜지스터를 사용한 연산 증폭기 회로로부터 출력하고, 정극성 전압/부극성 전압을 전환 스위치로 전환하여 풀 레인지 출력으로 함에 있어서, 더욱 연산 증폭기 입력 단자(동상 입력 단자 및 역상 입력 단자)로의 입력 신호로서, 동상 입력 신호 혹은 역상 입력 신호를 전환하여 입력함으로써, 전술한 정극성 전압/부극성 전압 외에 입력 신호 전환에 따라 새롭게 정극성 전압/부극성 전압(전술한 정극성 전압/부극성 전압을 반전한 것)을 만들어내는 것에 의해서, N 채널 MOS 트랜지스터를 사용한 연산 증폭기 회로에서 발생하는 오프셋 전압에 의한 편차 A, -A, P 채널 MOS 트랜지스터를 사용한 연산 증폭기에서 발생하는 오프셋 전압에 의한 편차 B와 -B를 프레임 간에 전환하는 것으로 4 프레임 간에 의해 상기 편차를 상쇄하고(도 42 및 표 1을 참조), 소위 표시 결함의 발생을 없애고 있었다.

본 발명의 목적은, 정극성 전압 출력용 연산 증폭기와 부극성 전압 출력용 연산 증폭기를 별도로 설치하고, 동상 입력 신호와 역상 입력 신호를 전환하여 출력하는 액정 표시 장치의 구동 장치 및 구동 방법에 있어서, 간단한 회로의 추가만으로 상기 소스 드라이버를 구성할 수 있는 것으로, 소스 드라이버의 소형화나 저소비 전력화에 영향을 미치지 않고, 액정 구동 출력 단자마다의 편차의 변동이, 각각의 표시 화소에서의 프레임 간에 의한 상해 동작에 의해, 사람의 눈에 표시 결함으로서 식별되지는 않고 양질의 표시를 행할 수 있는 것을 제공하는 데 있다.

발명의 구성 및 작용

본 발명에 따른 액정 표시 장치의 구동 장치는, 상기한 과제를 해결하기 위해, 동상 또는 역상의 입력 신호를 증폭하는 제1 및 제2 증폭 회로와, 이들 2개의 입력 신호를 선택적으로 전환하여 상기한 제1 및 제2 증폭 회로로 입력하는 제1 전환 회로와, 교류화 신호에 기초하여 상기 제1 및 제2 증폭 회로의 출력 신호를 선택적으로 전환하여 매트릭스 형으로 배치된 화소에 출력하는 제2 전환 회로와, 이들 2개의 전환 회로에 의해 상기 화소에 인가되는 오프셋 전압이 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록, 상기 제1 및 제2 전환 회로를 각각 전환하는 전환 제어 회로를 구비하는 것을 특징으로 한다.

상기한 발명에 따르면, 동상 입력 신호와 역상 입력 신호가 제1 전환 회로에 의해 전환됨과 함께, 제1 및 제2 증폭 회로의 출력이 각각 제2 전환 회로에 의해서 전환되어 매트릭스 형으로 배치된 화소로 출력되고, 이에 따라 액정 표시 장치가 구동된다.

본래, 동일한 회로 특성을 구비해야 할 제1 및 제2 증폭 회로에 제조 상의 변동 등에 기인하여, 회로 특성에 있어서 차가 생긴 경우, 출력 신호에 오프셋 전압이 생기게 된다.

그래서, 상기 발명에 있어서는, 화소에 인가되는 오프셋 전압의 극성이 전환 제어 회로에 의해 소정 프레임수마다 전환됨과 함께, 상기 오프셋 전압이 전환 제어 회로에 의해 상기 소정 프레임수의 2배의 수의 프레임에 의해 상쇄되도록 제1 및 제2 전환 회로는 각각 전환된다.

이와 같이, 액정 구동 출력 단자마다의 오프셋 전압의 변동은 각각의 화소에서의 상기 소정수의 프레임 간에 의해 상쇄되기 때문에, 사람의 눈에 표시 결함으로서 식별되지 않고 양질의 표시를 행할 수 있다. 이에 따라, 매우 신뢰성이 높은 액정 표시 장치의 구동 장치를 제공할 수 있다.

본 발명에 따른 액정 표시 장치의 구동 방법은, 상기 목적을 달성하기 위해서, 제1 및 제2 증폭 회로를 구비하고, 전환 신호에 기초하여 동상 입력 신호와 역상 입력 신호를 전환함과 함께, 교류화 신호에 기초하여 상기 증폭 회로의

출력을 각각 전환하여 매트릭스형으로 배치된 화소로 출력하는 액정 표시 장치의 구동 방법에 있어서, 상기 화소에 인가되는 오프셋 전압이 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록 상기 전환 신호 및 상기 교류화 신호를 제어하는 것을 특징으로 한다.

상기한 액정 표시 장치의 구동 방법에 따르면 동상 입력 신호와 역상 입력 신호가 전환 신호에 의해 전환됨과 함께, 제1 및 제2 증폭 회로의 출력이 각각 교류화 신호에 의해 전환되어 매트릭스형으로 배치된 화소로 출력되며, 이것에 의해 액정 표시 장치가 구동된다.

본래, 동일한 회로 특성을 구비해야 할 제1 및 제2 증폭 회로에, 제조 상의 변동 등에 기인하여, 회로 특성에 있어서 차가 생긴 경우, 출력 신호에 오프셋 전압이 생기게 된다.

그래서, 상기 발명에 있어서는 화소에 인가되는 오프셋 전압의 극성이 전환 제어 회로에 의해 소정 프레임수마다 전환됨과 함께, 상기 오프셋 전압이 교류화 신호에 의해 상기 소정 프레임수의 2배의 수의 프레임에 의해 상쇄되도록 전환 신호 및 교류화 신호가 제어된다.

이와 같이, 액정 구동 출력 단자마다 오프셋 전압의 변동은 각각의 화소에서의 상기 소정수의 프레임 간에 의해 상쇄되기 때문에, 사람의 눈에 표시 결함으로서 식별되지 않고 양질의 표시를 행할 수 있다. 이에 따라, 매우 신뢰성이 높은 액정 표시 장치의 구동 장치를 제공할 수 있다.

본 발명의 또 다른 목적, 특징 및 우수한 점은, 이하에 나타낸 기재에 의해 충분히 알 수 있다. 또한, 본 발명의 이점은 첨부 도면을 참조한 다음의 설명으로 명백해질 것이다.

<실시예>

본 발명의 실시 일 형태에 대하여 도 1 내지 도 10에 기초하여 설명하면, 이하와 같다.

본 실시 형태에 따른 TFT를 이용한 액정 표시 장치는 기본적으로는 먼저 도시한 도 11의 구성을 갖고 있고, 종래와의 차이는 소스 드라이버로의 제어 신호로서, 수직 동기 신호와, 짝수/홀수 라인 식별 신호가 추가로 부가된 것이다.

또, 후술하지만, 이 수직 동기 신호와 짝수/홀수 라인 식별 신호의 처리 회로는 컨트롤러에 내장되고, 예를 들면 도 1의 노드 A의 선을 신호선이라고 하면, 종래 기술과 비교하여 제어 신호를 1개만 더 제공하는 것만 필요하다.

도 11의 소스 드라이버(3802)의 블록도를 도 2에 도시한다.

도 2 중의 시프트 레지스터 회로(4403), 샘플링 메모리 회로(4404), 홀드 메모리 회로(4405), 레벨 시프터 회로(4406), D/A 변환 회로(4407), 기준 전압 발생 회로(4402), 입력 래치 회로(4401)는 도 17의 대응하는 회로와 각각 동일하기 때문에 설명을 생략한다. 출력 회로(4408)는 정극성 전압 출력용 연산 증폭기와 부극성 전압 출력용 연산 증폭기를 별도로 설치한 회로 구성이다. 상기 출력 회로(4408)의 상세한 회로 구성을 도 3에 도시한다.

도 2의 카운터 회로로 구성되는 전환 제어 회로(4409)의 회로 구성예를 도 1에 도시한다. 이 전환 제어 회로(4409)에는 후술한 SWP(상기 2개의 연산 증폭기의 스위치 전환 신호)/REV(교류화 스위치 전환 신호) 전환 스위치 회로도 포함되어 있다.

또한, 전환 제어 회로(4409)의 입력 신호 파형 및 출력 신호 파형을 도 4에 도시한다. 또한, 액정 표시 패널 상의 화소에서의 상기 출력 회로(4408)로부터의 오프셋 전압 출력 분포를 도 5 및 도 6에 도시한다. 또, 도 5는 수평 라인수 [도 12에서의 게이트 신호 라인(3905)에 해당하는 행 수]가 짝수의 경우(짝수 라인 패널)를 나타내고 있다.

도 5에서는 행수가 8 라인으로서 표시하고, 열수가 8 라인인 액정 패널로서 표시하고 있지만, 이것은 설명의 편의상인 것으로, 본 발명은 이것에 한정되지는 않는다.

또, 수평 라인수가 홀수인 경우의 방식은, 예를 들면 도 5의 ⑧ 라인 아래에 ⑨ 라인을 설치하는 것 뿐이고, 화면 상부의 ① 라인 ~ ⑧ 라인의 편차의 배치는 동일하기 때문에, 도면을 이용한 설명은 생략하고 있다.

본 실시 형태에서는 수평 동기 신호를 카운트(분주)함으로써 프레임 간에 의한 오프셋의 편차를 상쇄하는 것이다. 도 1에서는, 예를 들면 수평 라인 7개마다 연산 증폭기의 스위치 전환 신호 SWP를 전환한 예를 나타내고 있다.

상기 전환 제어 회로(4409) 중, D 플립플롭으로 구성된 DF/F1 ~ 4는 수평 동기 신호를 주파수가 1/14가 되도록 분주하는 회로(14 분주 회로)이다. 상기 DF/F1 ~ 4의 각 입력 단자 D와 출력 단자 Q를 접속하고, DF/F1의 클럭 입력 단자 CK에 수평 동기 신호를 입력하고, 상기 DF/F1의 출력 단자 Q의 출력을 다음 단 DF/F2의 반전 클럭 입력 단자 /CK에 입력하고, 계속해서 상기 DF/F2의 출력 단자 Q를 다음 단 DF/F3의 반전 클럭 입력 단자 /CK에 접속한다. 상기 DF/F1 ~ 3의 각 출력 단자 Q는 3 입력 NAND 게이트(5001)의 입력 단자에 각각 접속되어 있다.

상기 3 입력 NAND 게이트(5001)의 출력 단자는 상기 DF/F1 ~ 3의 각 리셋 입력 단자 R에 접속되고, 주파수가 1/2이 되도록 분주하는 분주 회로(2 분주 회로)를 구성하고 있는 DF/F4의 클럭 입력 단자 CK에 입력함으로써, 주파수를 1/14로 하는 상기 분주 회로를 간단한 회로 구성으로 실현할 수 있다. 상기 DF/F4의 출력 단자 Q 및 출력 단자 Q로부터의 출력 신호는 인버터(5005, 5006)를 통해, 연산 증폭기의 스위치 전환 신호 SWP 및 /SWP로서 각각

출력된다. 이에 따라, 수평 동기 신호의 상승에 동기하여, 반전하는 연산 증폭기의 스위치 전환 신호 SWP를 생성한다. 또, 도면 중, /SWP는 연산 증폭기의 스위치 전환 신호 SWP의 반전 신호이다.

수직 동기 신호는 DF/F6의 클럭 입력 단자 CK에 인가되고, 이 DF/F6의 출력 단자 Q는 AND 게이트(5002: 논리곱 회로)의 한쪽의 입력 단자에 접속되어 있다. 이 AND 게이트(5002)의 다른 쪽의 입력 단자에는 짝수/홀수 라인 식별 신호(수평 라인이 짝수인 경우에 하이 레벨이 되고, 홀수인 경우에 로우 레벨되는 신호)가 입력된다. 상기 DF/F6의 입력 단자 D는 출력 단자/Q에 접속되어 있다.

상기 AND 게이트(5002)의 출력 단자는 EX-OR 게이트(5003, 5004)의 입력 단자의 한쪽에 각각 접속되어 있다. 상기 EX-OR 게이트(5003)의 다른 쪽의 입력 단자는 DF/F5의 출력 단자 Q에 접속되어 있다. 상기 EX-OR 게이트(5004)의 다른 쪽의 입력 단자는 상기 DF/F5의 출력 단자 /Q에 접속되어 있다. 상기 EX-OR 게이트(5003, 5004)의 출력 신호는 인버터(5007, 5008)를 통해 각각 반전된 후, 교류화 스위치 전환 신호 REV 및 /REV로서 출력된다.

또한, 상기한 교류화 스위치 전환 신호 REV도 1 수평 동기 신호의 상승 시에 동기하여 반전하는 신호이다. /REV는 교류화 스위치 전환 신호 REV의 반전 신호이다.

상기 교류화 스위치 전환 신호 REV의 생성은 액정 표시 패널이 짝수 라인 패널(수평 라인이 짝수)인지 홀수 라인 패널(수평 라인이 홀수)인지에 따라 다음과 같이 다르다.

짝수 라인 패널의 경우(도 5에 상당)는 짝수/홀수 라인 식별 신호는 하이 레벨이 된다. 이에 따라, 노드 A에는 수직 동기 신호의 주파수가 1/2이 되도록 분주한 신호가(AND 게이트(5002)의 출력에 대응한다.) 출력된다. 즉, 1번째의 수직 동기 신호를 받으면, DF/F6의 출력 단자 Q로부터는 하이 레벨의 신호가 AND 게이트(5002)로 보내진다. 2번째의 수직 동기 신호를 받으면, DF/F6의 출력 단자 Q로부터는 로우 레벨의 신호가 AND 게이트(5002)로 보내진다.

AND 게이트(5002)의 출력이 하이 레벨인 경우(1번째의 수직 동기 신호를 받은 경우), DF/F5의 출력 단자 Q로부터의 신호가 EX-OR 게이트(5003) 및 인버터(5007)를 통해 교류화 스위치 전환 신호 REV로서 출력된다. 이것에 대하여, AND 게이트(5002)의 출력이 로우 레벨인 경우(2번째의 수직 동기 신호를 받은 경우), DF/F5의 출력 단자 Q로부터의 신호를 반전한 것이 EX-OR 게이트(5003) 및 인버터(5007)를 통해 교류화 스위치 전환 신호 REV로서 출력된다(도 4 참조). 이후, 3번째, 4번째 ...의 수직 동기 신호에 대하여 마찬가지로 동작이 행해진다. 또, 교류화 스위치 전환 신호/REV는 기본적으로 교류화 스위치 전환 신호 REV와 동일하기 때문에 동작 설명에 대해서는 생략한다.

짝수 라인 패널에 있어서는, 이상과 같이, 교류화 스위치 전환 신호 REV는 DF/F6의 출력 신호에 따라 프레임마다 반전하고, 결과적으로 REV → /REV → REV → /REV로 전환하여 출력되게 된다.

이것에 대하여, 홀수 라인 패널의 경우, 짝수/홀수 라인 식별 신호는 로우 레벨이 되기 때문에, DF/F6의 출력 단자 Q로부터의 신호에 무관하게, AND 게이트(5002)의 출력이 항상 로우 레벨이 된다. 따라서, DF/F5의 출력 단자 Q로부터의 신호를 반전한 것이 EX-OR 게이트(5003) 및 인버터(5007)를 통해, 교류화 스위치 전환 신호 REV로서 출력된다(도 4 참조). 그 때문에, 교류화 스위치 전환 신호 REV는 프레임마다 변화하지 않는다.

도 1에서는 DF/F4 ~ 6의 리세트 입력 단자 R로의 배선은 생략하고 있지만, 여러개의 소스 드라이버로 구성되어 있는 경우, 각 소스 드라이버 내의 상기 각 스위치 전환 신호 SWP 및 REV의 위상을 정합하기 때문에, 전원 투입 시에 리세트 신호를 인가하는 것이 바람직하다.

또, 도 3 중 VBN 및 VBP는 연산 증폭기의 동작점을 제공하기 위한 바이어스 전압 입력 단자이고, 연산 증폭기가 왜곡이 없는 증폭을 행할 수 있도록 적절한 바이어스 전압이 인가되어 있는 것으로 한다.

또한, 도 3에서의 「H」측 DAC로부터는 도 40에서의 참조 부호 2103으로부터의 입력 신호인 한편, 「L」측 DAC로부터는 도 40에서의 참조 부호 2104로부터의 입력 신호이다. 도 3의 연산 증폭기의 스위치 전환 신호 SWP 및 /SWP와, 교류화 스위치 전환 신호 REV 및 /REV를 입력하면, 이들의 신호에 의해 출력 단자에 출력되는 출력 신호의 오프셋 전압은 전술한 표 1에 나타낸다.

여기서, 상기 전환 신호를 사용한 경우에 오프셋 전압이 프레임 간에 의해 상쇄되는 것에 대하여, 도 5를 참조하면서 상세하게 설명한다.

도 5(짝수 라인 패널)의 ① 프레임에서의 ① 라인은 교류화 스위치 전환 신호 REV가 우선 로우 레벨(L)인 한편, 연산 증폭기의 스위치 전환 신호 SWP가 우선, 로우 레벨(L)이라고 하면, 홀수번째의 화소에는 +A의 오프셋 전압이 포함된 신호가 출력되는 한편, 짝수번째의 화소에는 +B의 오프셋 전압이 포함된 신호가 출력되게 된다.

그리고, 다음의 ② 라인에서는 교류화 스위치 전환 신호 REV가 반전하여 하이 레벨(H)이 되는 한편, 연산 증폭기의 스위치 전환 신호 SWP는 7 라인이 로우 레벨(L) 그대로 있는 것으로, 홀수번째의 화소에는 +B의 오프셋 전압이 포함된 신호가 출력되는 한편, 짝수번째의 화소에는 +A의 오프셋 전압이 포함된 신호가 출력된다.

이하, 도 5에 도시한 바와 같이 상기한 바와 마찬가지로의 동작이 반복된 후, ⑧ 라인에서 연산 증폭기의 스위치 전환 신호 SWP가 하이 레벨(H)로 변화한다. 그리고, 다음의 ② 프레임을 걸쳐서 7 라인은 하이 레벨을 유지한다. 이후, 마찬가지로 변화한다.

한편, 교류화 스위치 전환 신호 REV는 수평 라인마다(즉, 1 수평 동기 신호마다) 로우 레벨로부터 하이 레벨로 전환하고, 또한 프레임이 변할 때마다 반전(REV → /REV)하게 된다. 이후, 마찬가지로이다.

그리고, 도 5의 예에서는, ⑧ 프레임으로 P 채널 MOS 트랜지스터가 입력단의 연산 증폭기와 N 채널 MOS 트랜지스터가 입력단의 연산 증폭기 각각의 오프셋 전압 A, B의 극성(+, -)이 전환된다. 이에 따라, 화소에 인가되는 전압에 포함되는 오프셋 전압을 프레임 간에 나타낸 것이 도 6이다.

도 6은 1행째 1열째의 화소 ①-①에 포함되는 오프셋 전압을 14 프레임에 걸쳐서 나타낸 것이고, 이 도 6으로부터 7 프레임으로 극성이 전환하여 14 프레임으로 극성의 편차가 상쇄되어 있는 것을 알 수 있다. 이에 따라, 화소 ①-①에 포함되는 오프셋 전압은 상쇄되게 된다. 이것은 홀수 패널 라인에서도 연산 증폭기의 스위치 전환 신호 SWP 및 교류화 스위치 전환 신호 REV의 신호 상태에 의한 편차 출력 관계는 짝수의 패널 라인과 동일하기 때문에 설명은 생략한다.

이상의 설명에 있어서는, 7 수평 라인마다 연산 증폭기의 스위치 전환 신호 SWP를 전환하고, 또한 1 프레임이 8 수평 라인의 예를 들어 설명하고 있기 때문에, 7 프레임마다 극성이 전환되고 14 프레임에 의해 극성이 상쇄되게 되지만, 화면의 수평 라인수에 대하여, 수평 동기 신호의 카운트수를 상기한 생각에 기초하여 선택함으로써, n 프레임마다 오프셋의 극성을 전환하는 것이 가능해진다. 수평 동기 신호의 카운트 수의 변경은 도 1에서도 알 수 있듯이 용이하게 행할 수 있다.

단, 화면의 수평 라인수가 수평 동기 신호의 카운트 수의 정수배인 경우는 화소에는 동일한 극성의 오프셋 전압이 포함될 뿐이고, 극성의 반전은 발생하지 않는다. 따라서, 화면의 수평 라인수가 수평 동기 신호의 카운트수의 정수배가 되지 않도록 설정할 필요가 있다.

다음에, 본 발명의 다른 실시 형태에 대하여 도 3, 도 7, 도 8, 도 9 및 도 10을 참조하면서, 이하에 설명한다. 전술한 실시 형태와 비교하여 더 간단한 회로에 의해서 실현하고 있다.

도 7에 도시한 바와 같이, 카운터 회로에서 구성된 전환 제어 회로(4410)의 구성이 다르다. 이 전환 제어 회로(4410)는 도 8의 구성을 가지고 있다. 도 8의 구성에 의하면, 예를 들면 수평 동기 신호를 기초하여 2 프레임마다 연산 증폭기의 스위치 전환 신호 SWP가 전환된다.

전환 제어 회로(4410) 중, D 플립플롭을 포함한 DF/F11 및 DF/F12는 수직 동기 신호의 주파수를 1/4로 분주하는 회로(4 분주 회로)이고, DF/F11 및 DF/F12의 각 입력 단자 D와 출력 단자 /Q를 접속하고, DF/F11의 클럭 입력 단자 CK에 수직 동기 신호를 입력하고, DF/F11의 출력 단자 Q의 출력을 다음 단의 DF/F12의 클럭 입력 단자 CK에 입력하고 있고, 상기 DF/F12의 출력 단자 Q 및 /Q로부터의 신호는 인버터(3105, 3106)를 통해 연산 증폭기의 스위치 전환 신호/SWP 및 SWP로서 각각 출력된다. 이에 따라, 수직 동기 신호의 상승에 동기하여 2 프레임마다 반전하는 연산 증폭기의 스위치 전환 신호 SWP가 생성된다(도 10 참조).

한편, DF/F11의 출력 단자 Q는 AND 게이트(3102: 논리곱 회로)의 한쪽의 입력 단자에 접속되어 있다. 이 AND 게이트(3102)의 다른 쪽의 입력 단자에는 짝수/홀수 라인 식별 신호(수평 라인수가 짝수인 경우에 하이 레벨이 되고, 홀수인 경우에 로우 레벨되는 신호)가 입력된다.

상기 AND 게이트(3102)의 출력 단자는 EX-OR 게이트(3103, 3104)의 입력 단자의 한쪽에 각각 접속되어 있다. EX-OR 게이트(3103)의 다른 쪽의 입력 단자는 DF/F13의 출력 단자 Q에 접속되어 있다. 상기 EX-OR 게이트(3104)의 다른 쪽의 입력 단자는 상기 DF/F13의 출력 단자 /Q에 접속되어 있다. 상기 EX-OR 게이트(3103, 3104)의 출력 신호는 인버터(3107, 3108)를 통해 각각 반전된 후, 교류화 스위치 전환 신호 REV 및 /REV로서 출력된다.

상기 교류화 스위치 전환 신호 REV의 생성은 액정 표시 패널이 짝수 라인 패널(수평 라인수가 짝수)인지 홀수 라인 패널(수평 라인수가 홀수)인지에 따라 다음과 같이 다르다.

짝수 라인 패널의 경우(도 9에 상당)는 짝수/홀수 라인 식별 신호는 하이 레벨이 된다. 이에 따라, AND 게이트(3102)의 출력은 상기 DF/F11의 출력 단자 Q로부터의 신호에 따라 변화한다. 즉, 1번째의 수직 동기 신호를 받으면, DF/F11의 출력 단자 Q로부터의 하이 레벨의 신호가 AND 게이트(3102)로 보내진다. 2번째의 수직 동기 신호를 받으면, DF/F11의 출력 단자 Q로부터는 로우 레벨의 신호가 AND 게이트(3102)로 보내진다.

AND 게이트(3102)의 출력이 하이 레벨인 경우(1번째의 수직 동기 신호를 받은 경우), DF/F13의 출력 단자 Q로부터의 신호가 EX-OR 게이트(3103) 및 인버터(3107)를 통해, 교류화 스위치 전환 신호 REV로서 출력된다(수평 동기 신호를 2 분주한 신호가 교류화 스위치 전환 신호 REV로서 출력된다). 이것에 대하여, AND 게이트(3102)의 출력이 로우 레벨인 경우(2번째의 수직 동기 신호를 받은 경우), DF/F13의 출력 단자 Q로부터의 신호를 반전한 것이 EX-OR 게이트(3103) 및 인버터(3107)를 통해 교류화 스위치 전환 신호 REV로서 출력된다. 이후, 3번째, 4번째, ...의 수직 동기 신호에 대하여 마찬가지로 동작이 행해진다. 또, 교류화 스위치 전환 신호 /REV는 기본적으로 교류화 스위치 전환 신호 REV와 동일하기 때문에 동작 설명에 대해서는 생략한다.

짝수 라인 패널에 있어서는, 이상과 같이, 교류화 스위치 전환 신호 REV는 DF/F11의 출력 신호에 따라 프레임마다 반전하고, 결과적으로 REV → /REV → REV → /REV로 전환하여 출력되게 된다.

이것에 대하여, 홀수 라인 패널의 경우, 짝수/홀수 라인 식별 신호는 로우 레벨이 되기 때문에, DF/F11의 출력 단자 Q로부터의 신호에 무관하게, AND 게이트(3102)의 출력이 항상 로우 레벨이 된다. 따라서, DF/F13의 출력 단자 Q로부터의 신호를 반전한 것이 EX-OR 게이트(3103) 및 인버터(3107)를 통해, 교류화 스위치 전환 신호 REV로서 출력된다. 이 때문에, 교류화 스위치 전환 신호 REV는 프레임마다 변화하지 않는다.

이상과 같이, 도 8의 교류화 스위치 전환 신호 REV도 1 수평 동기 신호의 상승 시에 동기하여 반전하는 신호이다. 또, 도 10은 전환 제어 회로(4410)의 주요 파형을 나타내고 있지만, 교류화 스위치 전환 신호 REV는 도 4와 동일하기 때문에, 나타내지 않는다.

여기서, 액정 표시 패널 상의 화소에서의 상기 출력 회로로부터의 오프셋 전압 출력 분포를 도 9에 도시한다. 도 9는 수평 라인수(도 12에서의 게이트 신호 라인(3905)에 해당하는 행 수)가 짝수인 경우를 나타낸다. 연산 증폭기의 스위치 전환 신호 SWP와 교류화 스위치 전환 신호 REV의 상태에 의한 화소로의 오프셋 전압이 포함되는 방법은 전술한 도 4와 동일하다.

도 9에서는 하나의 화소에 인가되는 신호에 포함되는 오프셋 전압의 극성이 2 프레임마다 반전하고 있고, 4 프레임에 의해 그 오프셋 전압이 상쇄되어 있다.

여기서 나타내는 실시 형태에서는 앞의 실시 형태의 경우와는 달리, 액정 패널의 수평 라인수가 변경되어도 수평 동기 신호의 카운트수를 재검토할 필요는 없고, 그 때문에 범용성이 높은 소스 드라이버를 실현할 수 있다.

여기서는, 연산 증폭기의 스위치 전환 신호 SWP를 2 프레임마다 반전시키는 예를 들어 설명하였지만, 연산 증폭기의 스위치 전환 신호 SWP는 짝수 프레임 2m 프레임마다 반전함으로써 프레임 간에 걸친 오프셋 전압(A, B)의 상쇄가 적절하게 행해지는 것으로, 홀수 프레임(2m-1)마다의 반전에서는 극성의 출현에 편차가 생기게 된다.

따라서, 연산 증폭기의 스위치 전환 신호 SWP는 2m(m은 자연수)개의 프레임마다 반전하도록 설정할 필요가 있다.

이상, 설명한 액정 표시 패널의 구동 방법(프레임 간에 정부 역의 오프셋 전압을 포함시키는 구동 방법)의 구체적인 실현 방법은 일례로, 특히 이것에 한정되지는 않는다. 본 주지를 일탈하지 않는 범위에서 여러가지 변경이 가능한 것은 물론이다.

예를 들면, 도 1에서의 전환 회로에 있어서 수평 동기 신호(래치 신호라고도 한다.)를 이용하고 있지만, 수평 동기 신호와 거의 동일한 타이밍으로 출력되는 스타트 펄스 신호[이 경우에는 소스 드라이버 내의 시프트 레지스터 회로(4403)를 전송되어 있지 않은, 즉 도 11의 컨트롤러(3804)로부터 출력된 직후의 신호]를 사용해도 같은 회로 구성으로써 실현할 수 있다.

또한, 도 1에서의 전환 제어 신호는 소스 드라이버 내에 설치된 예로 설명하고 있지만, 전환 제어 회로(4409)를 도 11의 컨트롤러(3804)에 설치하고, 연산 증폭기의 스위치 전환 신호 SWP나 교류화 스위치 전환 신호 REV를 소스 드라이버로 출력하는 구성이라도 되며, 수평 동기 신호의 분주 회로부 혹은 수직 동기 신호의 2 분주 회로부(주파수를 1/2로 분주하는 회로부)나 이것에 부수하는 전환부를 소스 드라이버나 컨트롤러의 회로 규모나 회로 간의 배선을 고려하여, 상기 회로부를 컨트롤러나 소스 드라이버로 분리하여 설치해도 된다. 도 8의 전환 제어 회로(4410)의 경우도 마찬가지이다.

본 발명에 따른 액정 표시 장치의 구동 장치는 이상과 같이, 도트 반전 방식에 의해 액정 표시 장치를 구동하는 액정 구동 장치의 출력단이 동상의 표시 입력 신호와 역상의 표시 입력 신호를 제1 전환 수단으로 전환하여 증폭하고 또한 제2 전환 수단으로 전환하여 출력하는 제1 차동 증폭부와 제2 차동 증폭부에서 구성되어 있는 것으로써, 상기 액정 표시 장치를 주사하는 수평 동기 신호 혹은 1 수평 동기 기간마다 출력되는 신호를 카운트하고, 별도로 설정하는 상기 액정 표시 장치의 수평 주사선 수 k 는 $k \neq c \times n$ (c 및 n 은 모두 자연수)의 관계를 만족시키는 n 치를 카운트하는 카운트 수단과, 상기 카운트 수단의 결과를 기초로, 상기 제1 전환 수단을 전환하는 제어 수단과, 상기 제2 전환 수단을 상기 액정 표시 장치를 주사하는 수평 동기 신호 혹은 1 수평 동기 기간마다 출력되는 신호에 동기를 취하여, 1 수평 동기 기간마다 전환하는 제어 수단을 갖는 것을 특징으로 한다.

본 발명에 따른 다른 액정 표시 장치의 구동 장치는 이상과 같이 도트 반전 방식에 의해 액정 표시 장치를 구동하는 액정 구동 장치의 출력단이 동상의 표시 입력 신호와 역상의 표시 입력 신호를 제1 전환 수단으로 전환하여 증폭하고, 또한 제2 전환 수단으로 전환하여 출력하는 제1 차동 증폭부와 제2 차동 증폭부를 포함함으로써, 프레임의 선두를 나타내는 수직 동기 신호를 카운트하고, $f=2 \times m$ (m 은 자연수로 수직 동기 신호수를 나타낸다)의 관계를 만족시키는 f 값을 카운트하는 카운트 수단과, 상기 카운트 수단의 결과를 기초로, 상기 제1 전환 수단을 전환하는 제어 수단과, 상기 제2 전환 수단을 상기 액정 표시 장치를 주사하는 수평 동기 신호 혹은 1 수평 동기 기간마다 출력되는 신호에 동기를 취하여, 1 수평 동기 기간마다 전환하는 제어 수단을 포함하는 것을 특징으로 한다.

상기 제어 수단에는 상기 액정 표시 장치가 짝수 행 패널인지 홀수 행 패널인지를 식별하고, 이 식별 결과에 의해 상기 수직 동기 신호의 입력마다 상기 제2 전환 수단으로부터의 신호를 동상이나 상기 프레임마다에 따른 동상/역상으로 전환하는 전환 수단을 더 포함하는 것이 바람직하다.

본 발명에 따른 액정 표시 장치의 구동 방법은, 이상과 같이, 도트 반전 방식에 의해 액정 표시 장치를 구동하는 액정 구동 장치의 출력단이 동상의 표시 입력 신호와 역상의 표시 입력 신호를 제1 전환 수단으로 전환하여 증폭하고, 또한 제2 전환 수단으로 전환하여 출력하는 제1 차동 증폭부와 제2 차동 증폭부를 포함함으로써, 상기 제1 차동 증폭부와 제2 차동 증폭부의 출력에 포함되는 각각의 편차가 상기 액정 표시 장치의 화소로의 신호 전압에 가미되어 인가될 때, 상기 액정 표시 장치의 수평 주사선 수 k 는 $k \neq c \times n$ (c 및 n 은 모두 자연수)의 관계로, 프레임 내 혹은 다음의 프레임에 걸쳐 연속하여 순차 주사되는 n 수평 라인마다 상기 화소에는 상기 편차와는 절대치가 동일하게 극성이 다른 편차가 인가되도록 구동하는 것을 특징으로 한다.

본 발명에 따른 다른 액정 표시 장치의 구동 방법은, 이상과 같이 도트 반전 방식에 의해 액정 표시 장치를 구동하는 액정 구동 장치의 출력단이 동상의 표시 입력 신호와 역상의 표시 입력 신호를 제1 전환 수단으로 전환하여 증폭하고 또한 제2 전환 수단으로 전환하여 출력하는 제1 차동 증폭부와 제2 차동 증폭부를 포함함으로써, 상기 제1 차동

증폭부와 제2 차동 증폭부의 출력에 포함되는 각각의 편차가 상기 액정 표시 장치의 화소의 신호 전압에 가미되어 인가될 때, 상기 액정 표시 장치의 $2 \times m$ (m 은 자연수) 프레임마다 상기 화소에는 상기 편차와는 절대치가 동일한 것으로 극성이 다른 편차가 인가되도록 구동하는 것을 특징으로 한다.

상기 액정 표시 장치가 짝수 행 패널인지 홀수 행 패널인지를 식별하고, 이 식별 결과에 의해, 상기 출력부에서의 출력 신호의 전환을 전환 신호를 동상이거나 상기 프레임마다 다른 동상/역상으로 전환하여 구동하는 것이 바람직하다.

상기한 발명에 따르면, 간단한 회로의 부가나, 컨트롤러 소스 드라이버 사이나 각 소스 드라이버 사이의 배선의 증가도 극력 막을 수 있어, 따라서 액정 표시 모듈의 소형화 및 저소비 전력화에는 전혀 문제는 되지 않는다.

또한, 전술한 바와 같이 소비 전력이 큰 연산 증폭기를 삭감한 타입에 적용함에 따른 저소비 전력의 장점은 그대로 유지되고 있다.

이와 같이, 본 발명은 표시 결함을 방지하여 고품위 품질을 실현함과 함께, 액정 표시 장치의 특성을 살린 휴대용 기기로의 전개를 용이하게 하는 것이다.

발명의 효과

본 발명에 따른 액정 표시 장치의 구동 장치는, 이상과 같이, 동상 또는 역상의 입력 신호를 증폭하는 제1 및 제2 증폭 회로와, 이들 2개의 입력 신호를 선택적으로 전환하여 상기한 제1 및 제2 증폭 회로로 입력하는 제1 전환 회로와, 교류화 신호에 기초하여 상기 제1 및 제2 증폭 회로의 출력 신호를 선택적으로 전환하여 매트릭스형으로 배치된 화소에 출력하는 제2 전환 회로와, 이들 2개의 전환 회로에 의해 상기 화소에 인가되는 오프셋 전압이, 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록, 상기 제1 및 제2 전환 회로를 각각 전환하는 전환 제어 회로를 구비하는 것을 특징으로 한다.

상기한 발명에 따르면, 동상 입력 신호와 역상 입력 신호가 제1 전환 회로에 의해 전환됨과 함께, 제1 및 제2 증폭 회로의 출력이 각각 제2 전환 회로에 의해 전환되어 매트릭스형으로 배치된 화소로 출력되며, 이것에 의해 액정 표시 장치가 구동된다.

본래, 동일한 회로 특성을 구비해야 할 제1 및 제2 증폭 회로에, 제조 상의 변동 등에 기인하여 회로 특성에 있어서 차이가 생긴 경우, 출력 신호에 오프셋 전압이 생기게 된다.

그래서, 상기 발명에 있어서는, 화소에 인가되는 오프셋 전압의 극성이 전환 제어 회로에 의해 소정 프레임수마다 전환됨과 함께, 상기 오프셋 전압이 전환 제어 회로에 의해 상기 소정 프레임수의 2배의 수의 프레임에 의해 상쇄되도록 제1 및 제2 전환 회로는 각각 전환된다.

이와 같이, 액정 구동 출력 단자마다의 오프셋 전압의 변동은 각각의 화소에서의 상기 소정수의 프레임 간에 의해 상쇄되기 때문에, 사람의 눈에 표시 결함으로서 식별되지 않고 양질의 표시를 행할 수 있다. 이에 따라, 매우 신뢰성이 높은 액정 표시 장치의 구동 장치를 제공할 수 있다.

상기 전환 제어 회로는 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호를 카운트하고, 이 카운트치의 정수 배가 수평 라인수와 동일하지 않도록 분주한 제1 전환 신호에 기초하여 상기 제1 전환 회로의 전환을 제어함과 함께, 상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 제2 전환 회로의 전환을 제어하는 것이 바람직하다.

상기 전환 제어 회로는 상기 제1 전환 신호를 출력하는 제1 분주 회로와, 상기한 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 신호를 출력하는 제2 분주 회로와, 수직 동기 신호에 동기하여 변화하는 신호를 출력하는 제3 분주 회로와, 상기 수평 라인수가 짝수인지 홀수인지의 상기 식별 결과와, 상기 제3 분주 회로의 출력 신호에 대하여 논리곱 연산을 행하는 논리곱 회로와, 상기 논리곱 회로의 출력 신호와, 상기 제2 분주 회로의 출력 신호에 대하여 배타적 논리합 연산을 행하는 배타적 논리합 회로를 구비하고, 그 배타적 논리합 회로로부터 상기 제2 전환 신호가 생성되는 것이 바람직하다.

이 경우, 논리곱 회로의 출력 신호의 변화에 따라, 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 신호(제2 분주 회로의 출력 신호)가 그대로 또는 반전된 것이 제2 전환 신호로서 출력된다. 즉, 제2 전환 신호는 수평 동기 신호에 동기하여 변화하고, 수평 라인수가 짝수인지 홀수인지의 식별 결과와, 프레임에 관한 정보를 담당하는 수직 동기 신호와의 양쪽이 반영되게 된다. 이들 제1 및 제2 전환 신호에 기초하여, 제1 및 제2 증폭 회로의 입력 및 출력의 전환 제어를 행함으로써, 화소에 인가되는 오프셋 전압은 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄된다.

본 발명에 따른 다른 액정 표시 장치의 구동 장치는, 이상과 같이, 동상 또는 역상의 입력 신호를 증폭하는 제1 및 제2 증폭 회로와, 상기 2개의 입력 신호를 선택적으로 전환하여 상기한 제1 및 제2 증폭 회로로 입력하는 제1 전환 회로와, 교류화 신호에 기초하여 상기 제1 및 제2 증폭 회로의 출력 신호를 선택적으로 전환하여 매트릭스형으로 배치된 화소에 출력하는 제2 전환 회로와, 상기 화소에 인가되는 오프셋 전압이 m 을 자연수로 하면, $2m$ 개의 프레임마다 극성이 전환됨과 함께, $4m$ 개의 프레임에 의해 상쇄되도록, 상기 제1 및 제2 전환 회로를 각각 전환하는 전환 제어 회로를 구비하는 것을 특징으로 한다.

상기한 발명에 따르면, 동상 입력 신호와 역상 입력 신호가 제1 전환 회로에 의해 전환됨과 함께, 제1 및 제2 증폭 회로의 출력이 각각 제2 전환 회로에 의해 전환되어 매트릭스형으로 배치된 화소로 출력되며, 이것에 의해 액정 표시 장치가 구동된다.

본래, 동일한 회로 특성을 구비해야 할 제1 및 제2 증폭 회로에 제조 상의 변동 등에 기인하여 회로 특성에 있어서 차가 생긴 경우, 출력 신호에 오프셋 전압이 생기게 된다.

그래서, 상기 발명에 있어서는, 화소에 인가되는 오프셋 전압의 극성이 전환 제어 회로에 의해 2m개(m은 자연수)의 프레임마다 극성이 전환됨과 함께, 상기 오프셋 전압이 전환 제어 회로에 의해 4m개의 프레임에 의해 상쇄되도록 제1 및 제2 전환 회로는 각각 전환된다.

이와 같이, 액정 구동 출력 단자마다의 오프셋 전압의 변동은, 각각의 화소에서의 상기 소정수의 프레임 간에 의해 상쇄되기 때문에, 사람의 눈에 표시 결함으로서 식별되지 않고, 양질의 표시를 행할 수 있다. 이에 따라, 매우 신뢰성이 높은 액정 표시 장치의 구동 장치를 제공할 수 있다는 효과를 발휘한다.

상기 전환 제어 회로는 수직 동기 신호를 2m 분주한 제3 전환 신호에 기초하여 상기 제1 전환 회로의 전환을 제어함과 함께, 상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 제2 전환 회로의 전환을 제어하는 것이 바람직하다. 이 경우, 가령 수평 라인수가 변경되어도 수평 동기 신호의 분주에 대하여 검토할 필요가 없고, 매우 범용성이 높은 소스 드라이버를 실현할 수 있다.

본 발명에 따른 액정 표시 장치의 구동 방법은, 이상과 같이, 제1 및 제2 증폭 회로를 구비하고, 전환 신호에 기초하여 동상 입력 신호와 역상 입력 신호를 전환함과 함께, 교류화 신호에 기초하여 상기 증폭 회로의 출력을 각각 전환하여 매트릭스형으로 배치된 화소에 출력하는 액정 표시 장치의 구동 방법에 있어서, 상기 화소에 인가되는 오프셋 전압이 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록, 상기 전환 신호 및 상기 교류화 신호를 제어하는 것을 특징으로 한다.

상기한 액정 표시 장치의 구동 방법에 따르면, 동상 입력 신호와 역상 입력 신호가 전환 신호에 의해 전환됨과 함께, 제1 및 제2 증폭 회로의 출력이 각각 교류화 신호에 의해 전환되어 매트릭스형으로 배치된 화소로 출력되며, 이것에 의해 액정 표시 장치가 구동된다.

본래, 동일한 회로 특성을 구비해야 할 제1 및 제2 증폭 회로에, 제조 상의 변동 등에 기인하여 회로 특성에 있어서 차가 생긴 경우, 출력 신호에 오프셋 전압이 생기게 된다.

그래서, 상기 발명에 있어서는, 화소에 인가되는 오프셋 전압의 극성이 소정 프레임수마다 전환됨과 함께, 상기 오프셋 전압이 상기 소정 프레임수의 2배의 수의 프레임에 의해 상쇄되도록 제1 및 제2 전환 회로는 각각 전환된다.

이와 같이, 액정 구동 출력 단자마다의 오프셋 전압의 변동은 각각의 화소에서의 상기 소정수의 프레임 간에 의해 상쇄되기 때문에, 사람의 눈에 표시 결함으로서 식별되지 않고 양질의 표시를 행할 수 있다. 이에 따라, 매우 신뢰성이 높은 액정 표시 장치의 구동 방법을 제공할 수 있다.

수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호를 카운트하고, 이 카운트치의 정수배가 수평 라인수와 동일하지 않도록 분주한 제1 전환 신호에 기초하여 상기 제1 전환 회로의 상기 전환 신호를 제어함과 함께, 상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 교류화 신호를 제어하는 것이 바람직하다.

본 발명에 따른 다른 액정 표시 장치의 구동 방법은, 이상과 같이, 제1 및 제2 증폭 회로를 구비하고, 전환 신호에 기초하여 동상 입력 신호와 역상 입력 신호를 전환함과 함께, 교류화 신호에 기초하여 상기 증폭 회로의 출력을 각각 전환하여 매트릭스형으로 배치된 화소에 출력하는 액정 표시 장치의 구동 방법에 있어서, 상기 화소에 인가되는 오프셋 전압이 m을 자연수로 하면, 2m개의 프레임마다 극성이 전환됨과 함께, 4m개의 프레임에 의해 상쇄되도록, 상기 전환 신호 및 상기 교류화 신호를 제어하는 것을 특징으로 한다.

상기한 발명에 따르면, 동상 입력 신호와 역상 입력 신호가 전환 신호에 의해 전환됨과 함께, 제1 및 제2 증폭 회로의 출력이 각각 교류화 신호에 의해 전환되어 매트릭스형으로 배치된 화소로 출력되며, 이것에 의해 액정 표시 장치가 구동된다.

본래, 동일한 회로 특성을 구비해야 할 제1 및 제2 증폭 회로에, 제조 상의 변동 등에 기인하여 회로 특성에 있어서 차가 생긴 경우, 출력 신호에 오프셋 전압이 생기게 된다.

그래서, 상기 발명에 따르면, 화소에 인가되는 오프셋 전압의 극성이 2m개(m은 자연수)의 프레임마다 극성이 전환됨과 함께, 상기 오프셋 전압이 4m개의 프레임에 의해 상쇄되도록 상기 전환 신호 및 상기 교류화 신호는 각각 전환된다.

이와 같이, 액정 구동 출력 단자마다의 오프셋 전압의 변동은, 각각의 화소에서의 상기 소정수의 프레임 간에 의해 상쇄되기 때문에, 사람의 눈에 표시 결함으로서 식별되지 않고 양질의 표시를 행할 수 있다. 이에 따라, 매우 신뢰성이 높은 액정 표시 장치의 구동 방법을 제공할 수 있다.

발명의 상세한 발명의 항에 있어서 이루어진 구체적인 실시 형태 또는 실시예는, 어디까지나 본 발명의 기술 내용을 명확하게 하는 것으로써, 그와 같은 구체예에만 한정하여 협의로 해석되어서는 안되고, 본 발명의 정신과 다음에 기재된 특허 청구 사항과의 범위 내에서 여러 가지로 변경하여 실시할 수 있는 것이다.

(57) 청구의 범위

청구항 1.

동상 또는 역상의 입력 신호를 증폭하는 제1 및 제2 증폭 회로와,

상기 2개의 입력 신호를 선택적으로 전환하여 상기 제1 및 제2 증폭 회로로 입력하는 제1 전환 회로와,

교류화 신호에 기초하여 상기 제1 및 제2 증폭 회로의 출력 신호를 선택적으로 전환하여 매트릭스형으로 배치된 화소로 출력하는 제2 전환 회로와,

상기 제1 및 제2 증폭 회로에 의해서 상기 화소에 인가되는 출력전압에 대한 오프셋 전압 A 및 B의 극성이 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록, 상기 제1 및 제2 전환 회로를 각각 전환하는 전환 제어 회로를 포함하는 액정 표시 장치의 구동 장치.

청구항 2.

제1항에 있어서,

상기 전환 제어 회로는,

수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호를 카운트하고, 이 카운트치의 정수배가 수평 라인수와 동일하지 않도록 분주한 제1 전환 신호에 기초하여 상기 제1 전환 회로의 전환을 제어함과 함께,

상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 제2 전환 회로의 전환을 제어하는 액정 표시 장치의 구동 장치.

청구항 3.

제2항에 있어서,

상기 전환 제어 회로는,

상기 제1 전환 신호를 출력하는 제1 분주 회로와,

상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 신호를 출력하는 제2 분주 회로와,

수직 동기 신호에 동기하여 변화하는 신호를 출력하는 제3 분주 회로와,

상기 수평 라인수가 짝수인지 홀수인지의 상기 식별 결과와, 상기 제3 분주 회로의 출력 신호에 대하여 논리곱 연산을 행하는 논리곱 회로와,

상기 논리곱 회로의 출력 신호와, 상기 제2 분주 회로의 출력 신호에 대하여 배타적 논리합 연산을 행하는 배타적 논리합 회로를 포함하고, 그 배타적 논리합 회로로부터 상기 제2 전환 신호가 생성되는 액정 표시 장치의 구동 장치.

청구항 4.

동상 또는 역상의 입력 신호를 증폭하는 제1 및 제2 증폭 회로와,

상기 2개의 입력 신호를 선택적으로 전환하여 상기 제1 및 제2 증폭 회로로 입력하는 제1 전환 회로와,

교류화 신호에 기초하여 상기 제1 및 제2 증폭 회로의 출력 신호를 선택적으로 전환하여 매트릭스형으로 배치된 화소로 출력하는 제2 전환 회로와,

상기 화소에 인가되는 출력 전압에 대한 오프셋 전압 A 및 B의 극성이, 2m개(m은 자연수)의 프레임마다 극성이 전환됨과 함께, 4m개의 프레임에 의해 상쇄되도록 상기 제1 및 제2 전환 회로를 각각 전환하는 전환 제어 회로를 포함하는 액정 표시 장치의 구동 장치.

청구항 5.

제4항에 있어서,

상기 전환 제어 회로는,

수직 동기 신호를 2m 분주한 제3 전환 신호에 기초하여 상기 제1 전환 회로의 전환을 제어함과 함께,

상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 제2 전환 회로의 전환을 제어하는 액정 표시 장치의 구동 장치.

청구항 6.

제5항에 있어서,

상기 전환 제어 회로는,

상기 제3 전환 신호를 출력하는 제4 분주 회로와,

상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 신호를 출력하는 제5 분주 회로와,

상기 수평 라인수가 짝수인지 홀수인지의 상기 식별 결과와, 상기 수직 동기 신호에 동기하여 변화하는 신호에 대하여 논리곱 연산을 행하는 논리곱 회로와,

상기 논리곱 회로의 출력 신호와, 상기 제5 분주 회로의 출력 신호에 대하여 배타적 논리합 연산을 행하는 배타적 논리합 회로를 포함하고, 그 배타적 논리합 회로로부터 상기 제2 전환 신호가 생성되는 액정 표시 장치의 구동 장치.

청구항 7.

제1 및 제2 증폭 회로를 구비하고, 전환 신호에 기초하여 동상 입력 신호와 역상 입력 신호를 전환함과 함께, 교류화 신호에 기초하여 상기 증폭 회로의 출력을 각각 전환하여 매트릭스형으로 배치된 화소로 출력하는 액정 표시 장치의 구동 방법에 있어서,

상기 제1 및 제2 증폭 회로에 의해서 상기 화소에 인가되는 출력전압에 대한 오프셋 전압 A 및 B의 극성이 소정 프레임수마다 극성이 전환됨과 함께, 상기 소정 프레임수의 2배의 프레임에 의해 상쇄되도록, 상기 전환 신호 및 상기 교류화 신호를 제어하는 액정 표시 장치의 구동 방법.

청구항 8.

제7항에 있어서,

상기 전환 신호 및 상기 교류화 신호의 제어는,

수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호를 카운트하고, 이 카운트치의 정수배가 수평 라인수와 동일하지 않도록 분주한 제1 전환 신호에 기초하여 상기 전환 신호를 제어함과 함께,

상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 교류화 신호의 전환을 제어하는 액정 표시 장치의 구동 방법.

청구항 9.

제1 및 제2 증폭 회로를 구비하고, 전환 신호에 기초하여 동상 입력 신호와 역상 입력 신호를 전환함과 함께, 교류화 신호에 기초하여 상기 증폭 회로의 출력을 각각 전환하여 매트릭스형으로 배치된 화소로 출력하는 액정 표시 장치의 구동 방법에 있어서,

상기 화소에 인가되는 출력 전압에 대한 오프셋 전압 A 및 B의 극성이, 2m개(m은 자연수)의 프레임마다 극성이 전환됨과 함께, 4m개의 프레임에 의해 상쇄되도록, 상기 전환 신호 및 상기 교류화 신호를 제어하는 액정 표시 장치의 구동 방법.

청구항 10.

제9항에 있어서,

수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호를 카운트하는 단계;

이 카운트치의 정수배가 수평라인수와 동일하지 않도록 분주한 제1 전환 신호에 기초하여 상기 제1 전환 회로의 전환을 제어하는 단계; 및

상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 제2 전환 회로의 전환을 제어하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

청구항 11.

제9항에 있어서,

제1 분주 회로에 의하여, 상기 제1 전환 신호를 출력하는 단계;

제2 분주 회로에 의하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 신호를 출력하는 단계;

제3 분주 회로에 의하여, 수직 동기 신호에 동기하여 변화하는 신호를 출력하는 단계;

논리곱 회로에 의하여, 상기 수평 라인수가 짝수인지 홀수인지의 상기 식별 결과와, 상기 제3 분주 회로의 출력 신호에 대하여 논리곱 연산을 행하는 단계; 및

배타적 논리합 회로에 의하여, 상기 논리곱 회로의 출력 신호와, 상기 제2 분주 회로의 출력 신호에 대하여 배타적 논리합 연산을 행하고, 상기 제2 전환 신호를 생성하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

청구항 12.

제9항에 있어서,

상기 수평 라인수가 짝수인지 홀수인지를 식별하는 단계;

이 식별 결과와 수직 동기 신호에 기초하여, 상기 1 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하는 단계; 및

이 제2 전환 신호에 기초하여 상기 제2 전환 회로의 전환을 제어하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

청구항 13.

제9항에 있어서,

제4 분주 회로에 의하여, 상기 제3 전환 신호를 출력하는 단계;

제5 분주 회로에 의하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 신호를 출력하는 단계;

논리곱 회로에 의하여, 상기 수평 라인수가 짝수인지 홀수인지의 상기 식별 결과와, 상기 수직 동기 신호에 동기하여 변화하는 신호에 대하여 논리곱 연산을 행하는 단계; 및

배타적 논리합 회로에 의하여, 상기 논리곱 회로의 출력 신호와, 상기 제5 분주 회로의 출력 신호에 대하여 배타적 논리합 연산을 행하고, 상기 제2 전환 신호를 생성하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

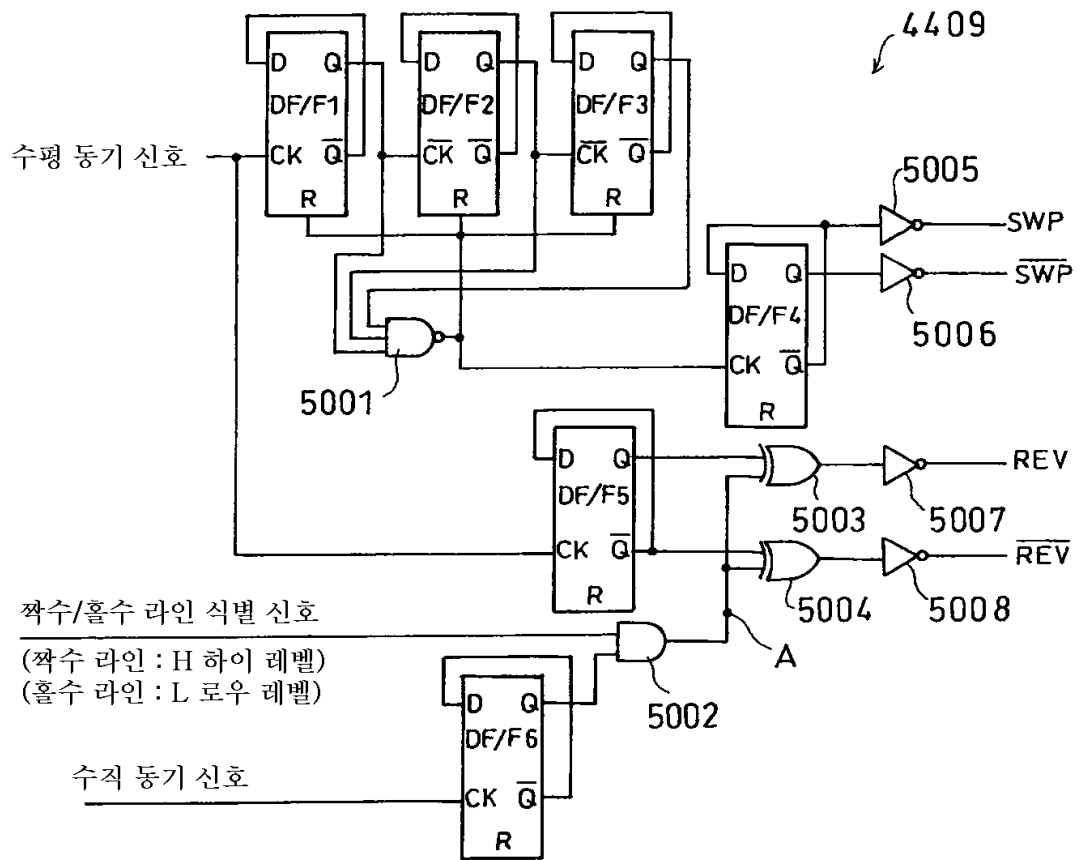
청구항 14.

제9항에 있어서,

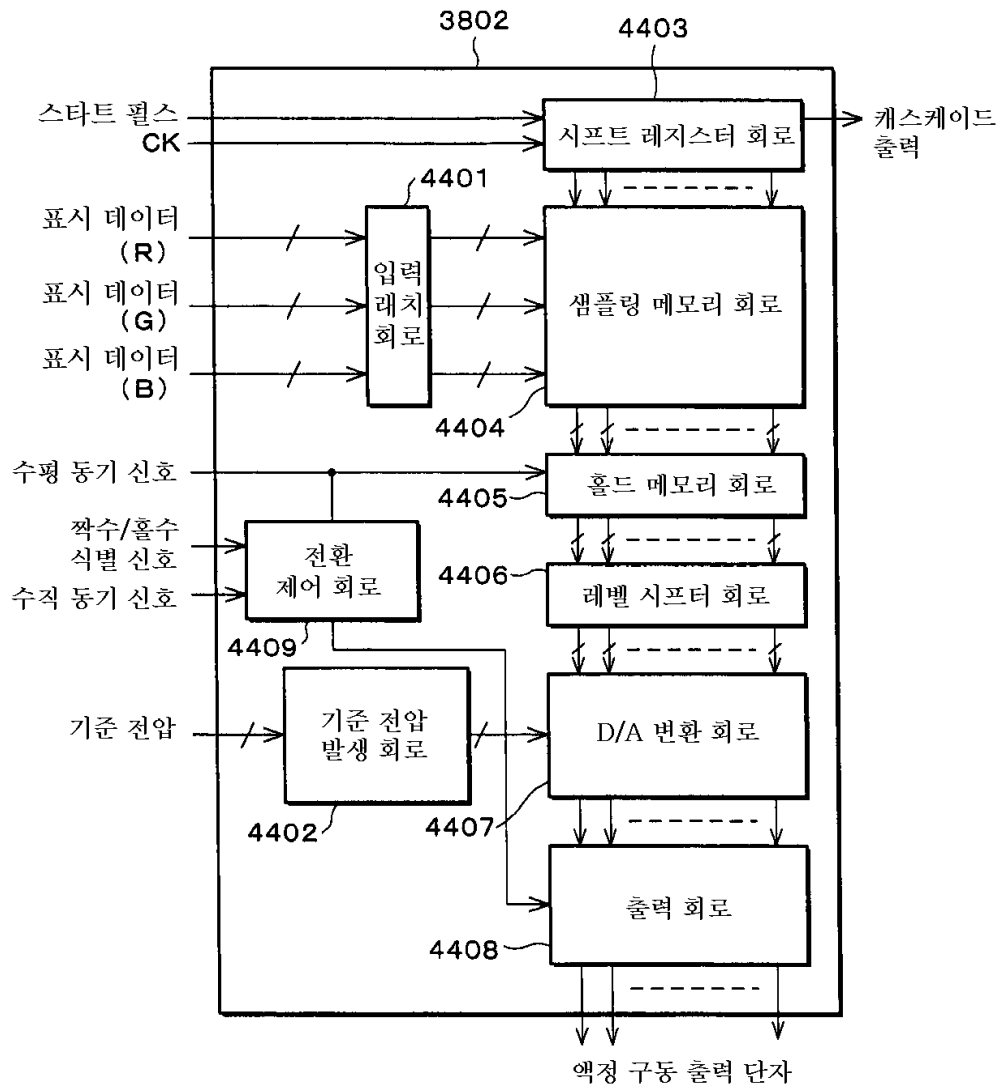
상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호가 카운트되고, 상기 전환 신호는 이 카운트치의 정수배가 수평라인수와 동일하지 않도록 분주한 제1 전환 신호에 기초하여 제어되고, 상기 수평 라인수가 짝수인지 홀수인지를 식별하고, 이 식별 결과와 수직 동기 신호에 기초하여, 상기 수평 동기 신호 또는 1 수평 동기 기간마다 출력되는 신호에 동기하여 변화하는 제2 전환 신호를 생성하고, 이 제2 전환 신호에 기초하여 상기 교류화 신호를 제어하는 액정 표시 장치의 구동 방법.

도면

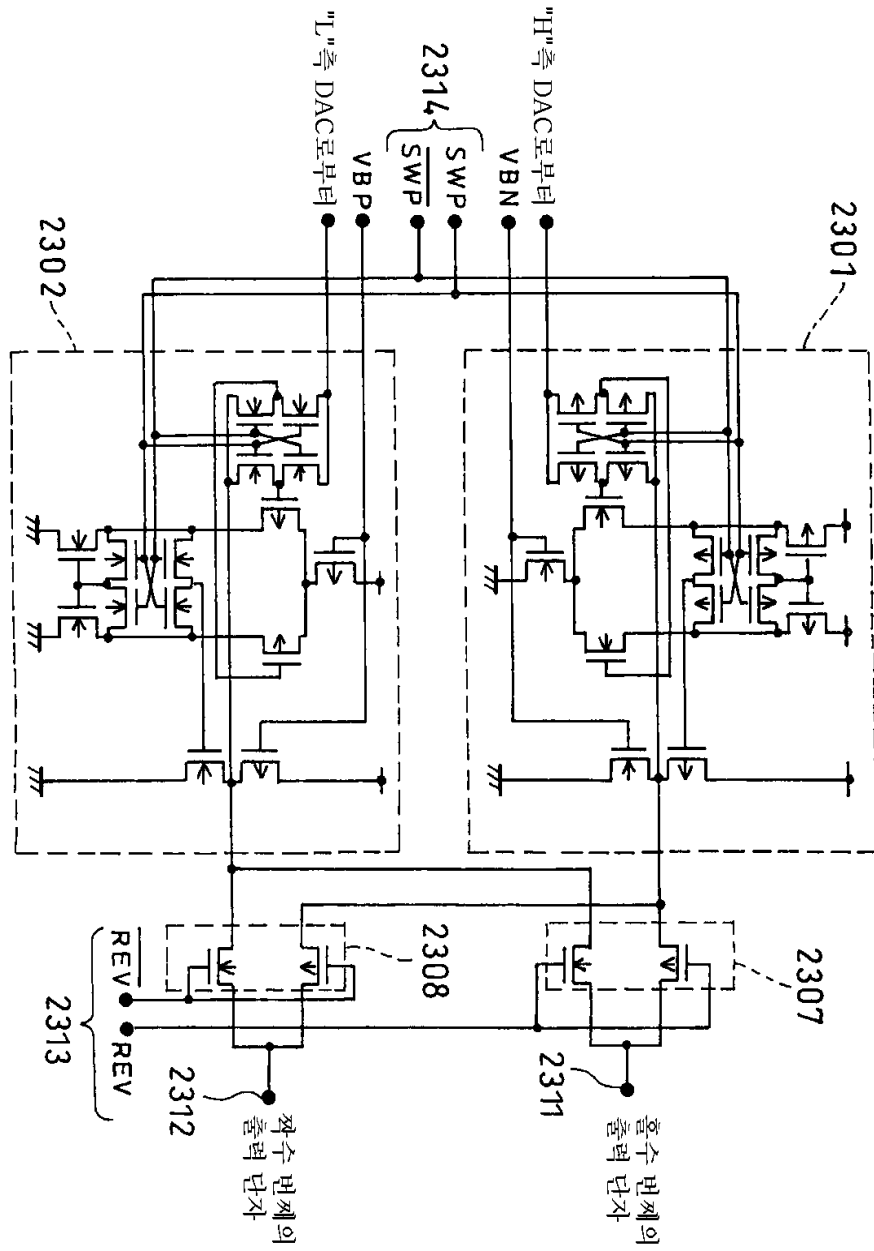
도면1



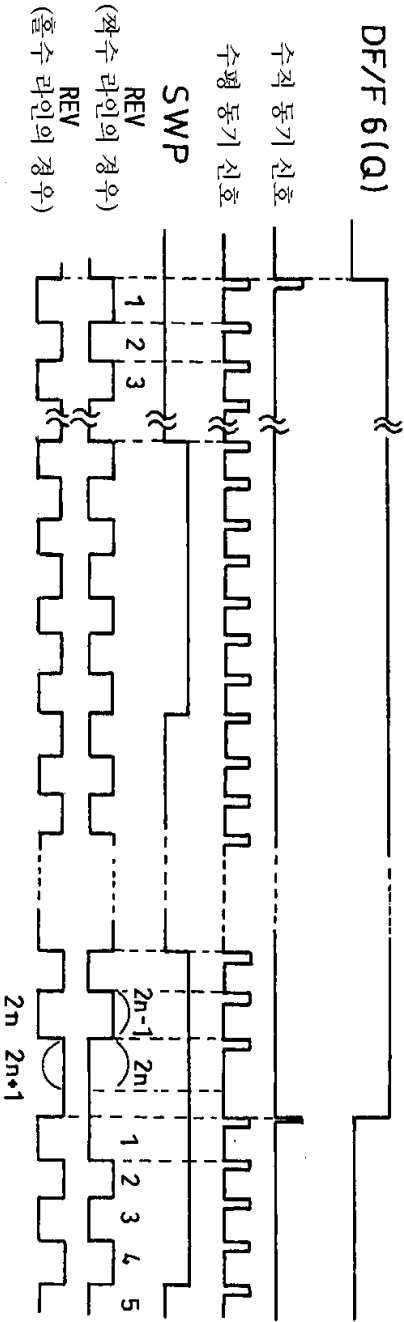
도면2



도면3



도면4



도면5

짝수 라인

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
① 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
② 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
③ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
④ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑤ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑥ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑦ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑧ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
② 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
③ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
④ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑤ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑥ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑦ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑧ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
③ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
④ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑤ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑥ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑦ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑧ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
④ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑤ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑥ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑦ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑧ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
⑤ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑥ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑦ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑧ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
⑥ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑦ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑧ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
⑦ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑧ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
⑧ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑨ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑩ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑪ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑫ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑬ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑭ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
⑨ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑩ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑪ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑫ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑬ 프레임	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑭ 프레임	+A	+B	+A	+B	+A	+B	+A	+B	L	L

프레임	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
⑩ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑪ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑫ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑬ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑭ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑮ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑯ 프레임	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑰ 프레임	-B	-A	-B	-A	-B	-A	-B	-A	H	H

A:정극성 전압
B:부극성 전압
+:정극의 오프셋
-:부극의 오프셋

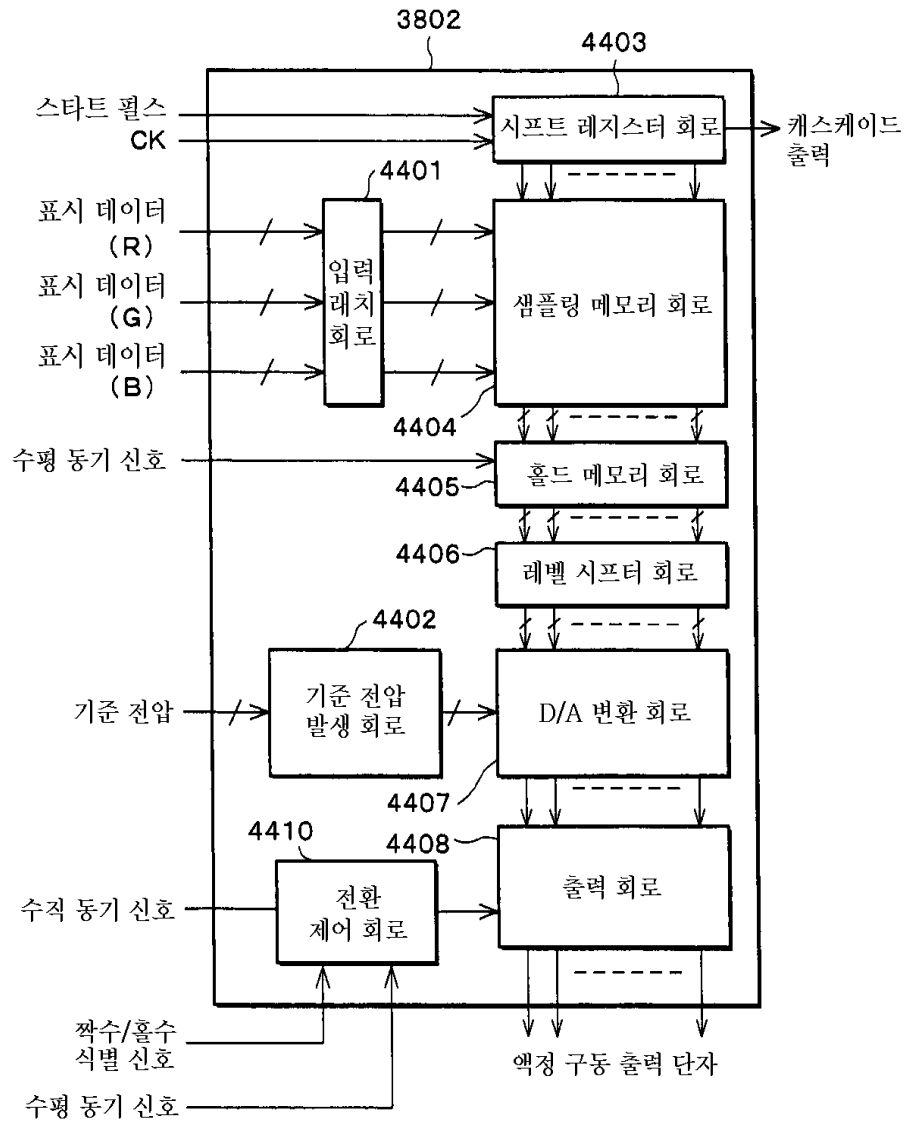
도면6

화소 ①-⑭의 인가 전압

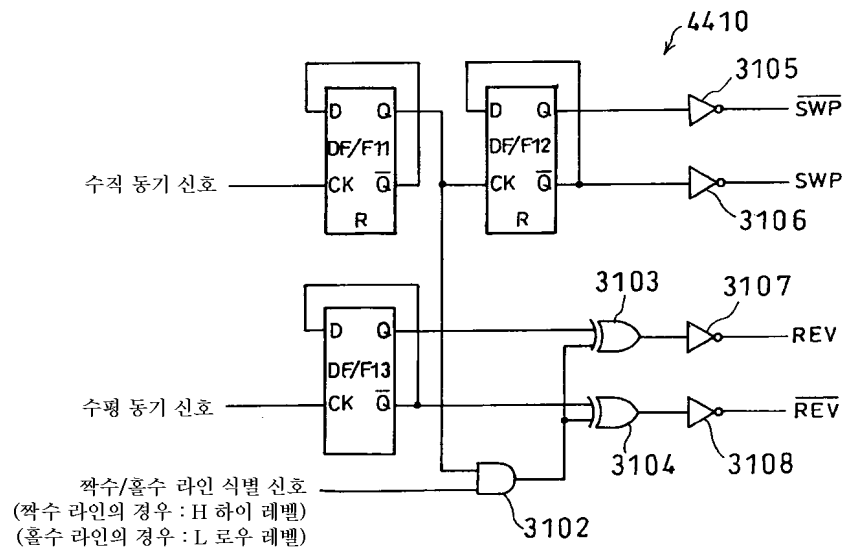
프레임	①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩	⑪	⑫	⑬	⑭
	+A	-B	+A	-B	+A	-B	+A	+B	-A	+B	-A	+B	-A	+B

7 프레임 7 프레임

도면7



도면8



도면9

1 프레임

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	+A	+B	+A	+B	+A	+B	+A	+B	L	L
②	+B	+A	+B	+A	+B	+A	+B	+A	H	L
③	+A	+B	+A	+B	+A	+B	+A	+B	L	L
④	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑤	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑥	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑦	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑧	+B	+A	+B	+A	+B	+A	+B	+A	H	L

2 프레임

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	+B	+A	+B	+A	+B	+A	+B	+A	H	L
②	+A	+B	+A	+B	+A	+B	+A	+B	L	L
③	+B	+A	+B	+A	+B	+A	+B	+A	H	L
④	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑤	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑥	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑦	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑧	+A	+B	+A	+B	+A	+B	+A	+B	L	L

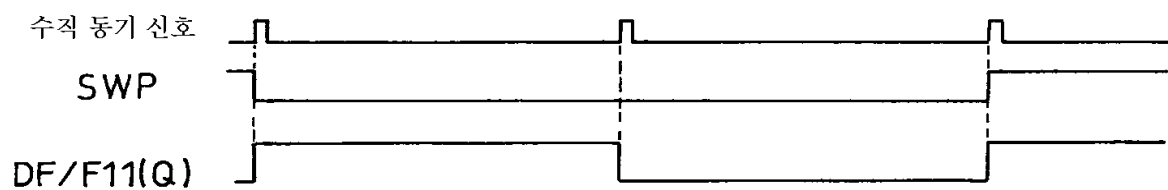
3 프레임

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	-A	-B	-A	-B	-A	-B	-A	-B	L	H
②	-B	-A	-B	-A	-B	-A	-B	-A	H	H
③	-A	-B	-A	-B	-A	-B	-A	-B	L	H
④	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑤	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑥	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑦	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑧	-B	-A	-B	-A	-B	-A	-B	-A	H	H

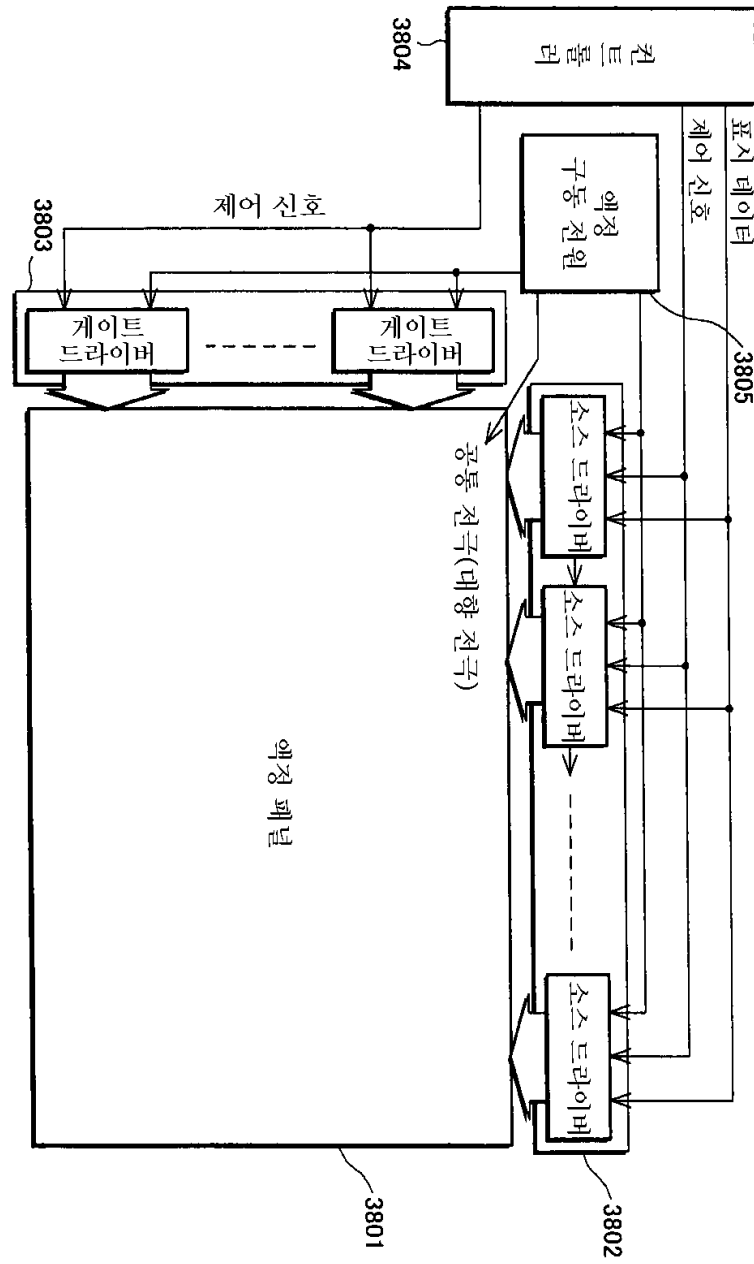
4 프레임

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	-B	-A	-B	-A	-B	-A	-B	-A	H	H
②	-A	-B	-A	-B	-A	-B	-A	-B	L	H
③	-B	-A	-B	-A	-B	-A	-B	-A	H	H
④	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑤	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑥	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑦	-A	-B	-A	-B	-A	-B	-A	-B	H	H
⑧	-B	-A	-B	-A	-B	-A	-B	-A	L	H

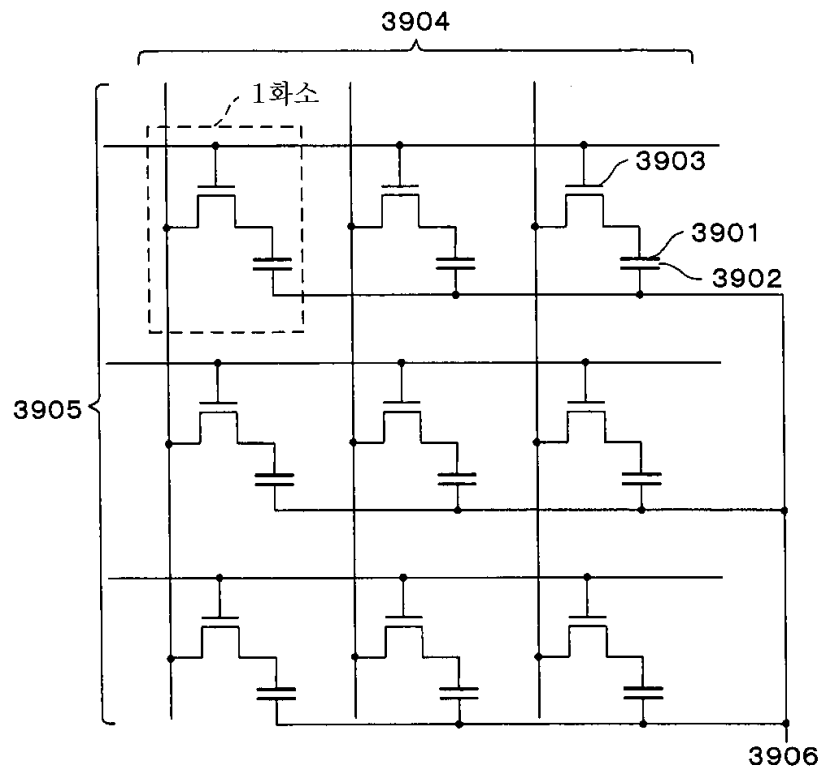
도면10



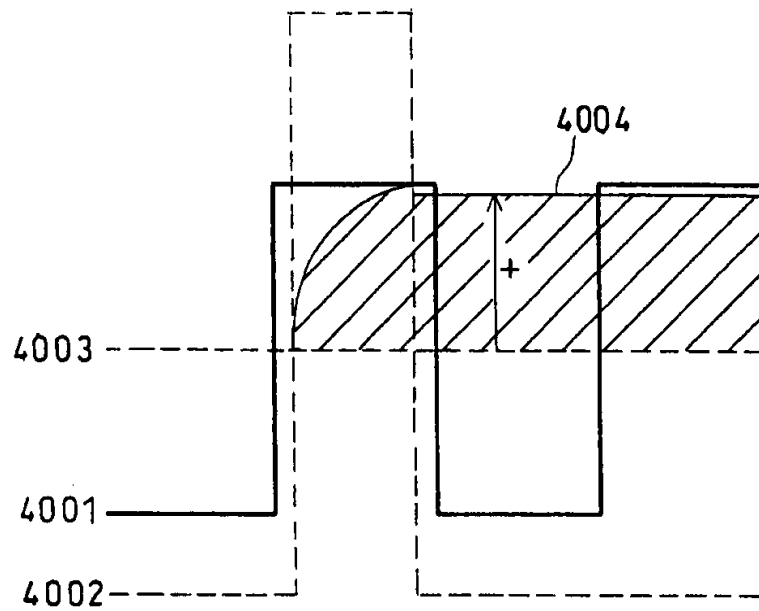
도면11



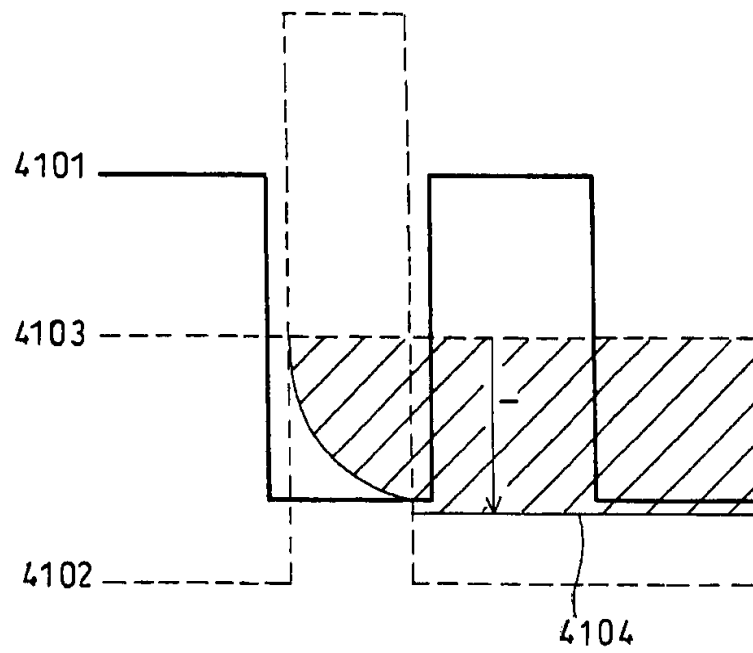
도면12



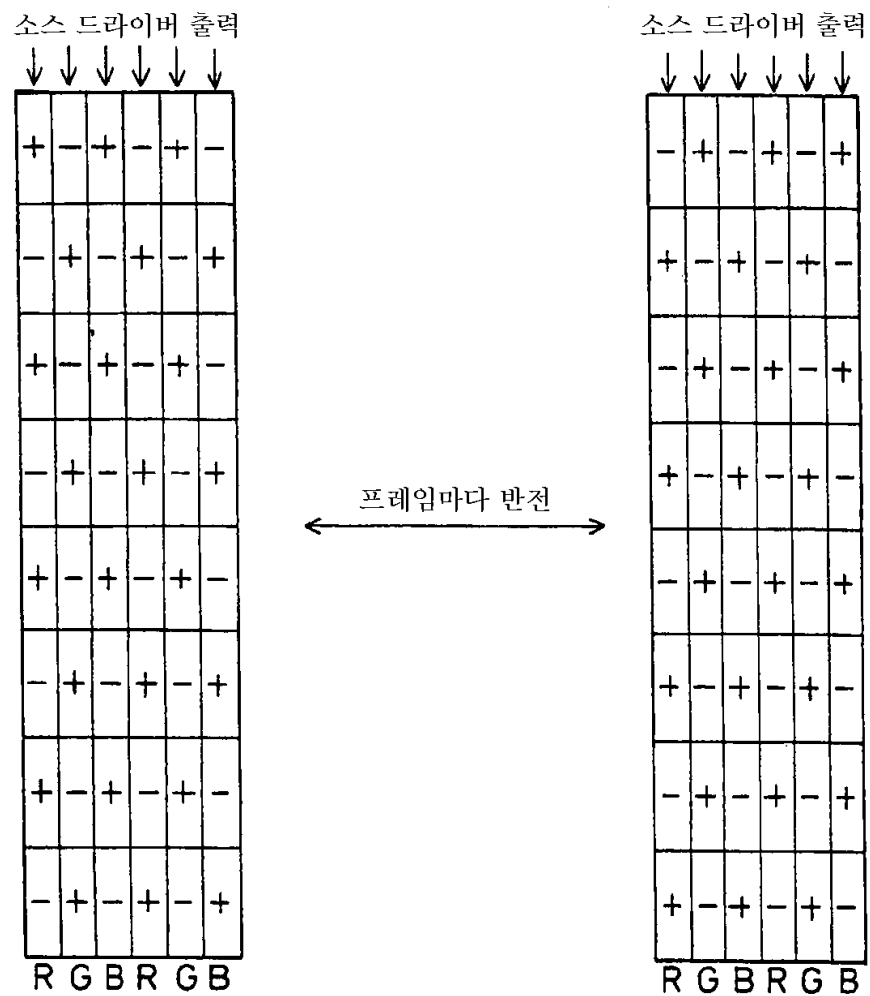
도면13



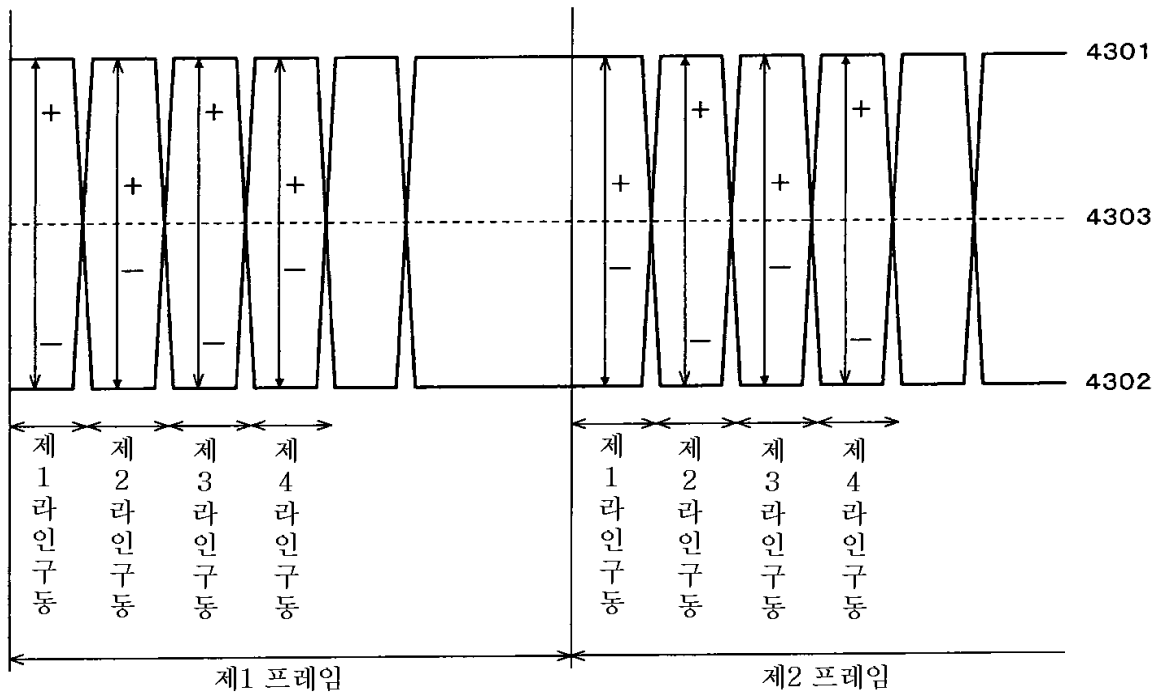
도면14



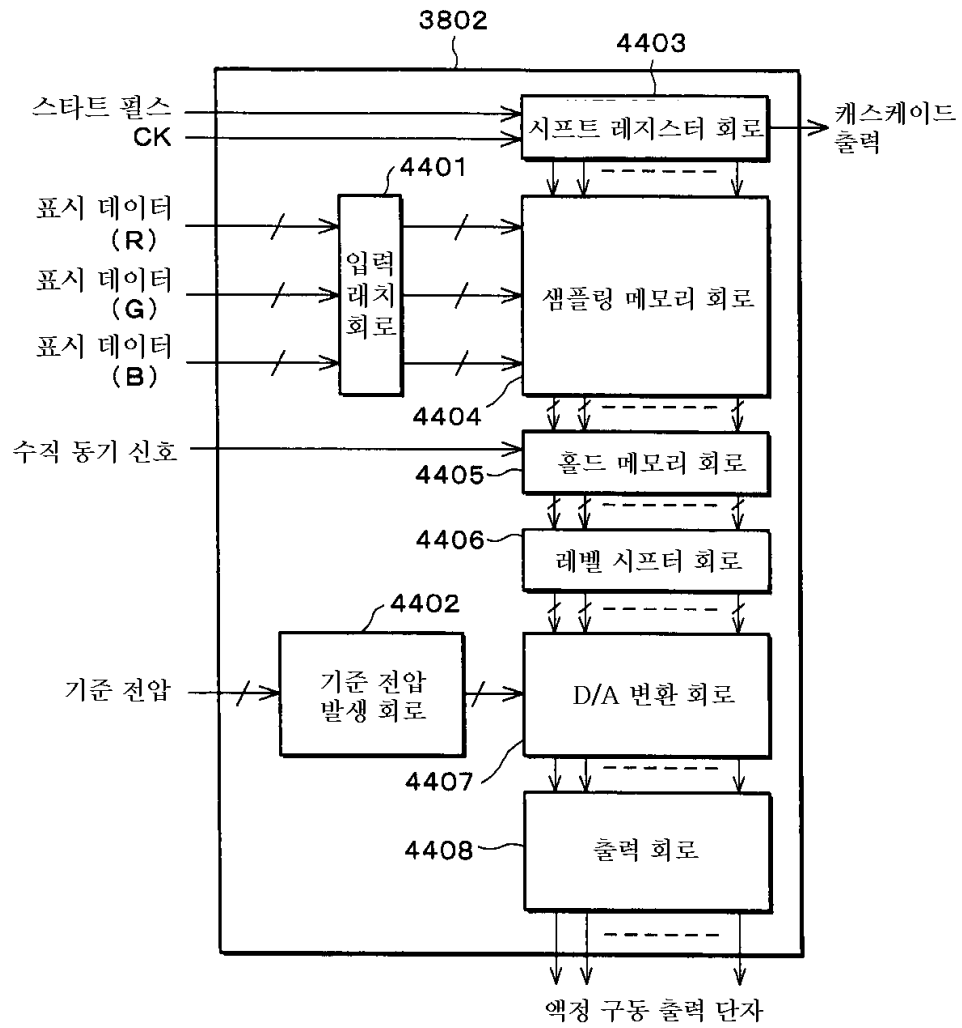
도면15



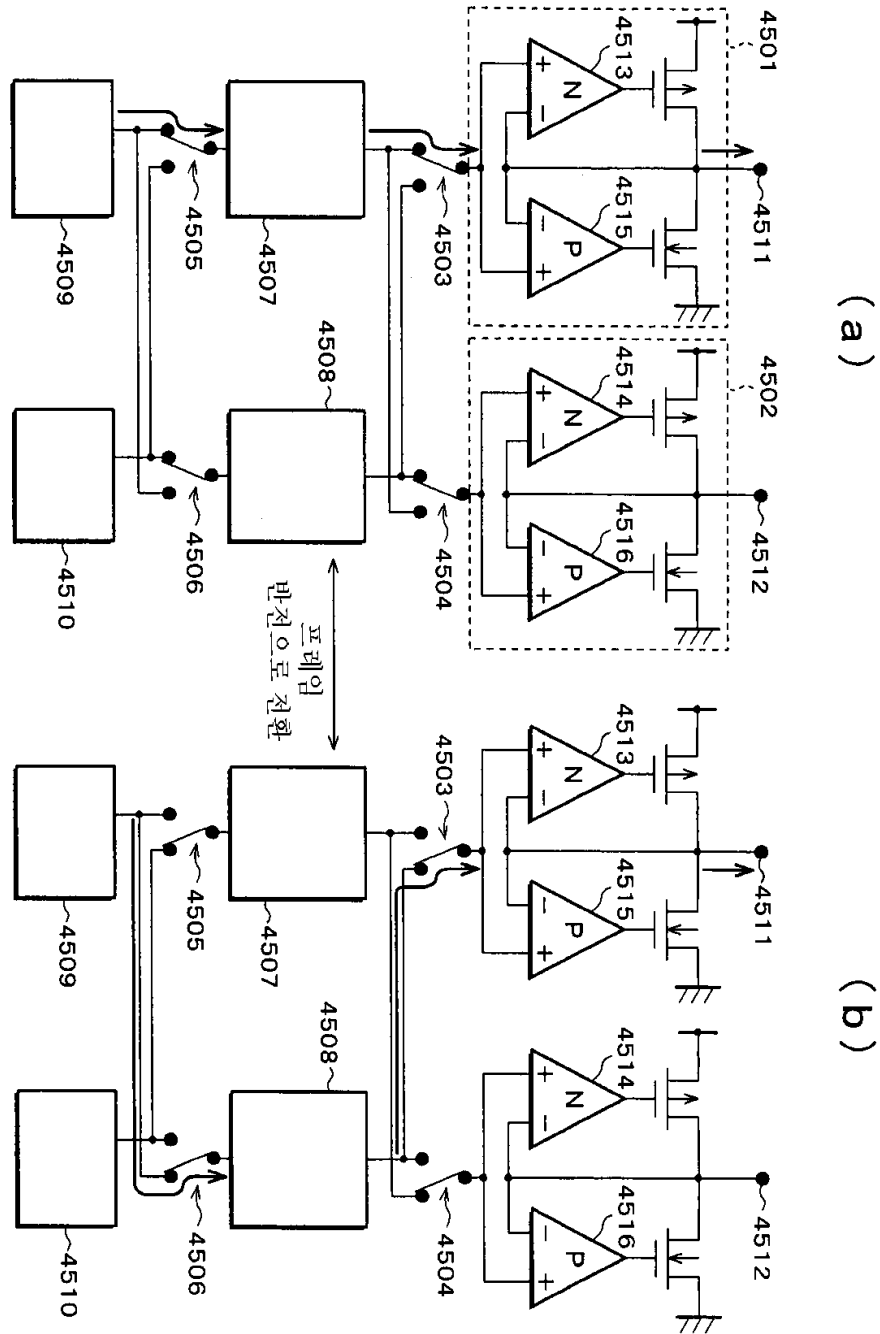
도면16



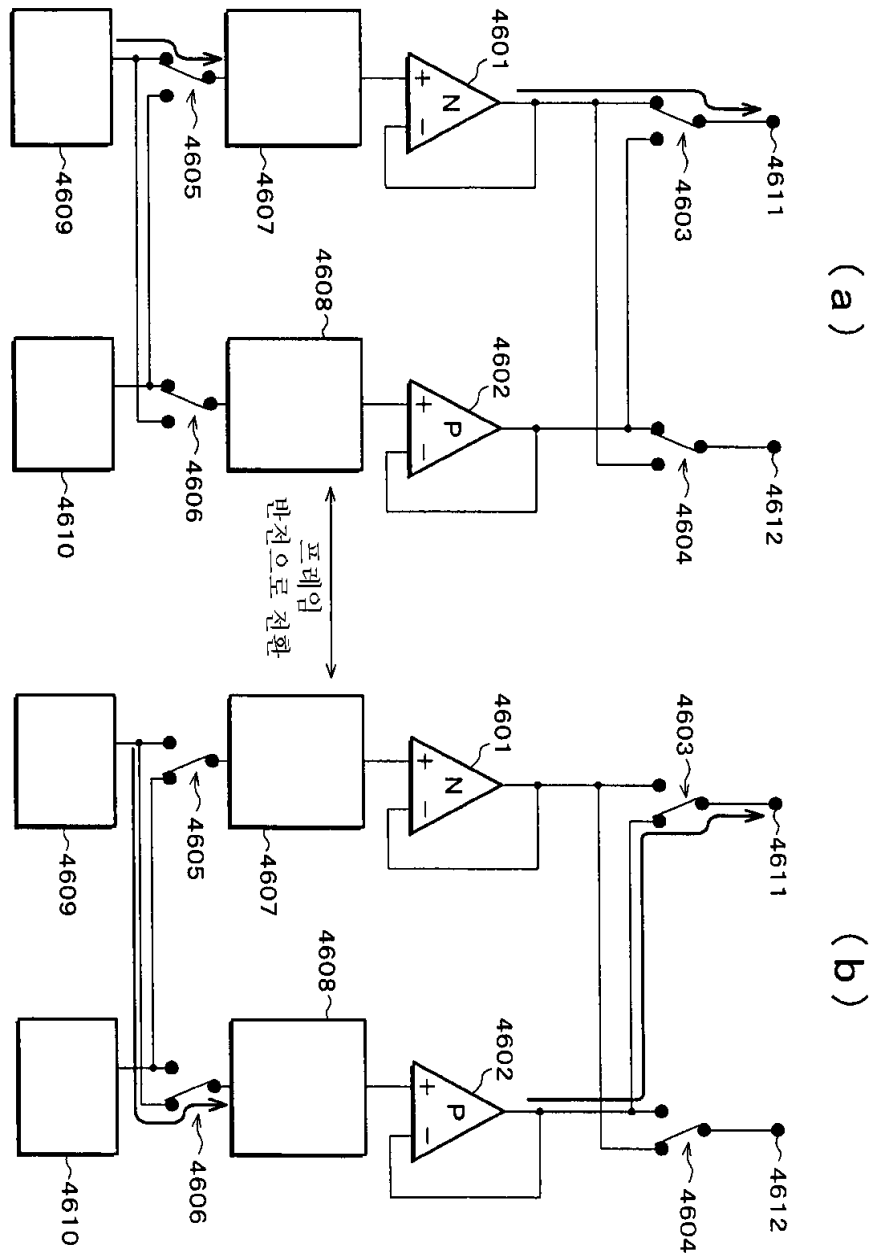
도면17



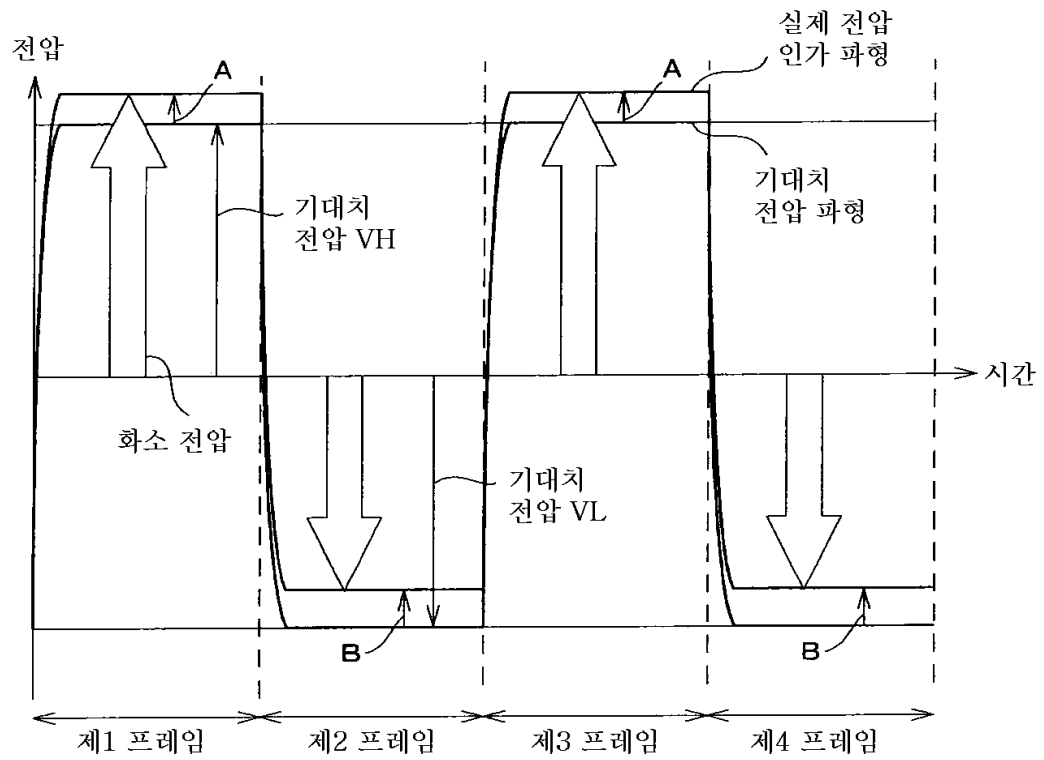
도면18



도면19

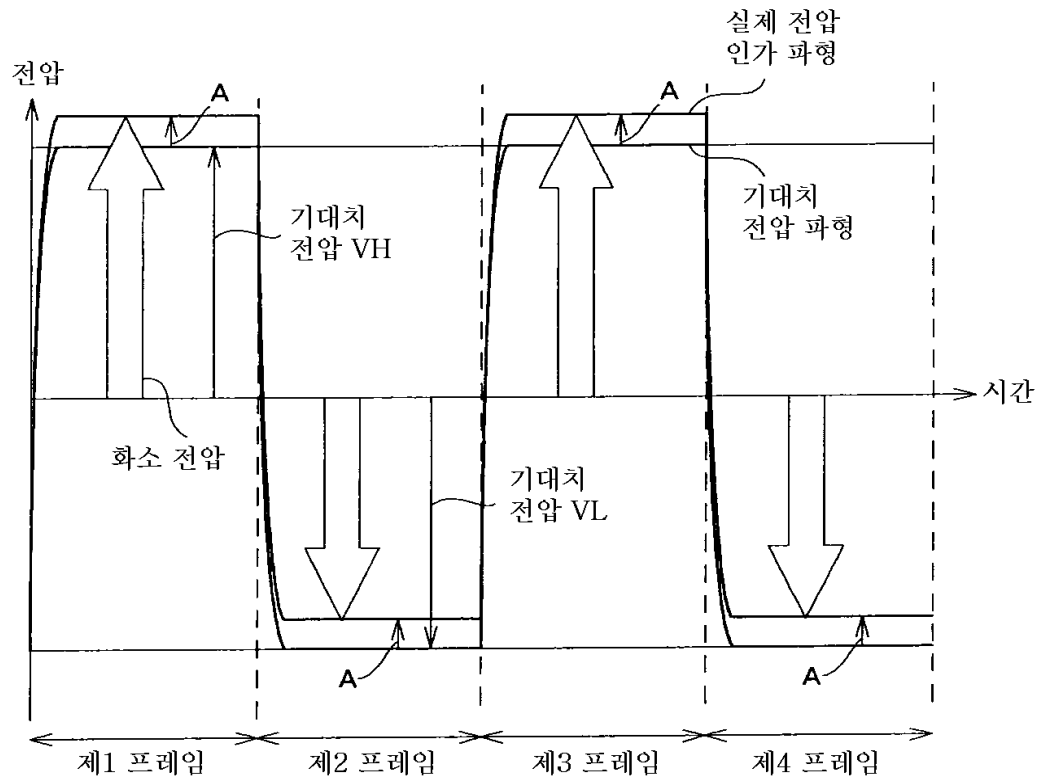


도면20



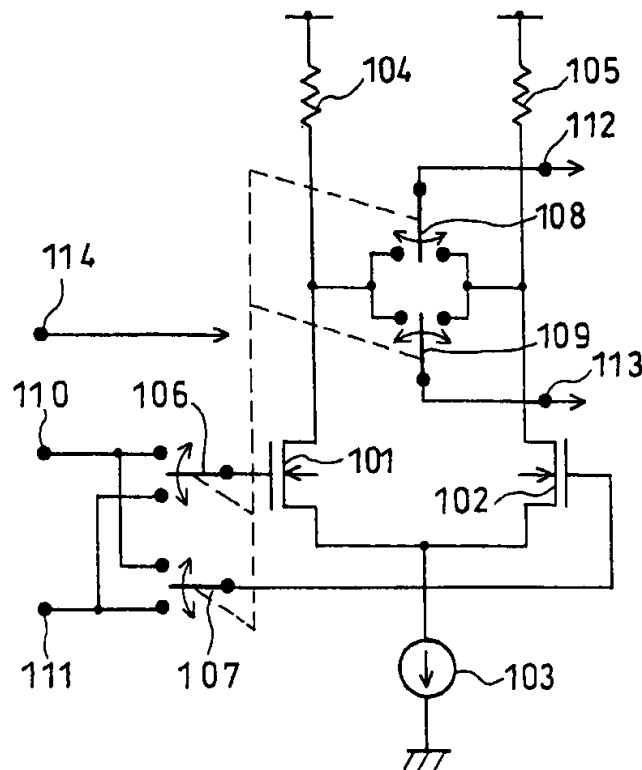
$$\begin{aligned} \text{화소 전압의 평균} &= [(VH+A) + (VL-B) + (VH+A) + (VL-B)] \div 4 \\ &= \frac{VH+VL}{2} + \frac{A-B}{2} \end{aligned}$$

도면21

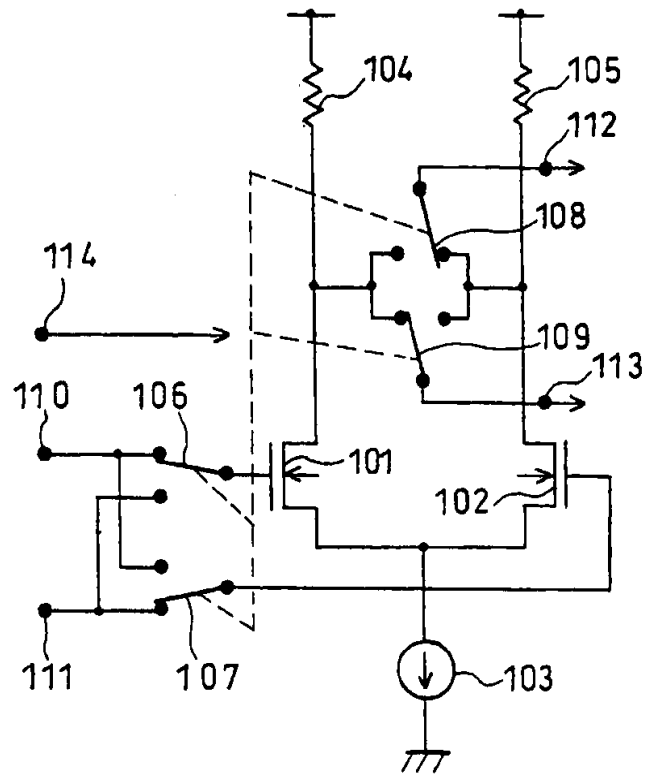


$$\begin{aligned} \text{화소 전압의 평균} &= [(VH+A) + (VL-A) + (VH+A) + (VL-A)] \div 4 \\ &= \frac{VH+VL}{2} \end{aligned}$$

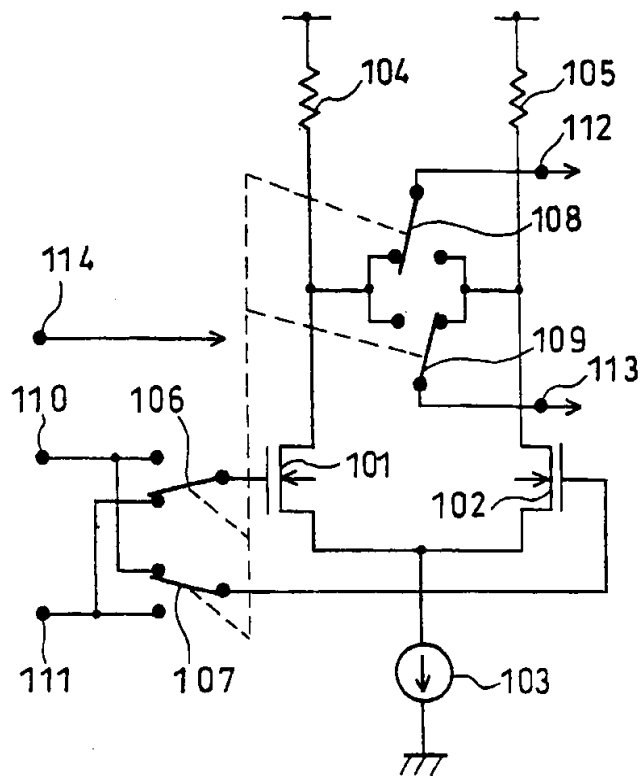
도면22



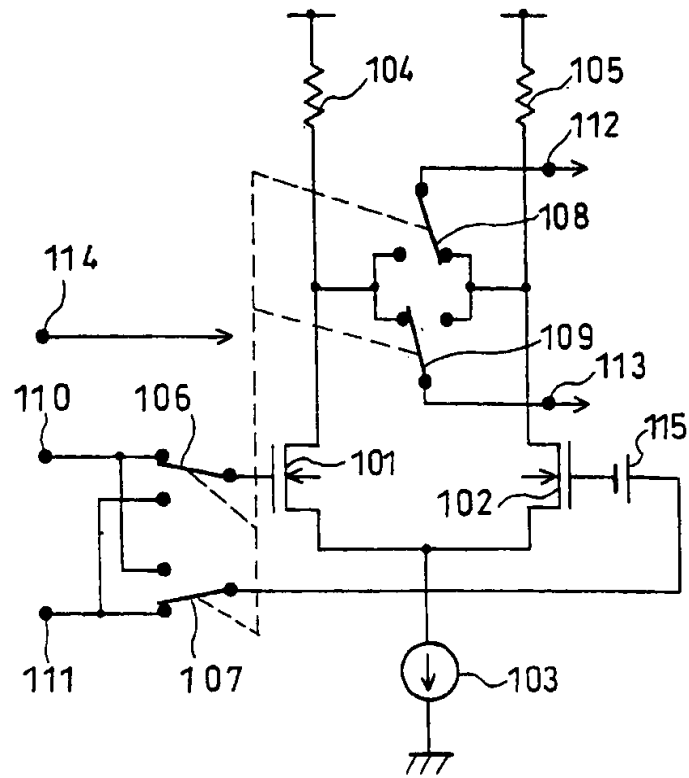
도면23



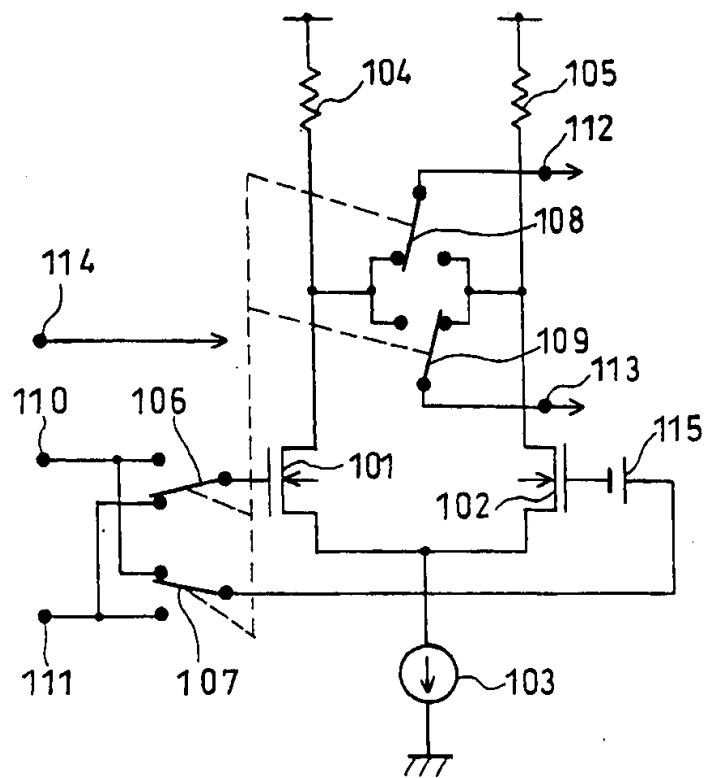
도면24



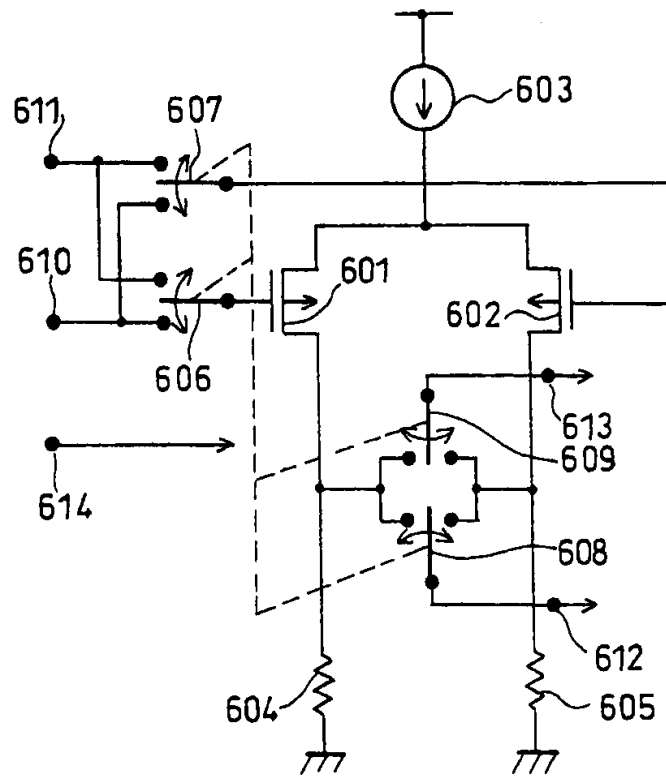
도면25



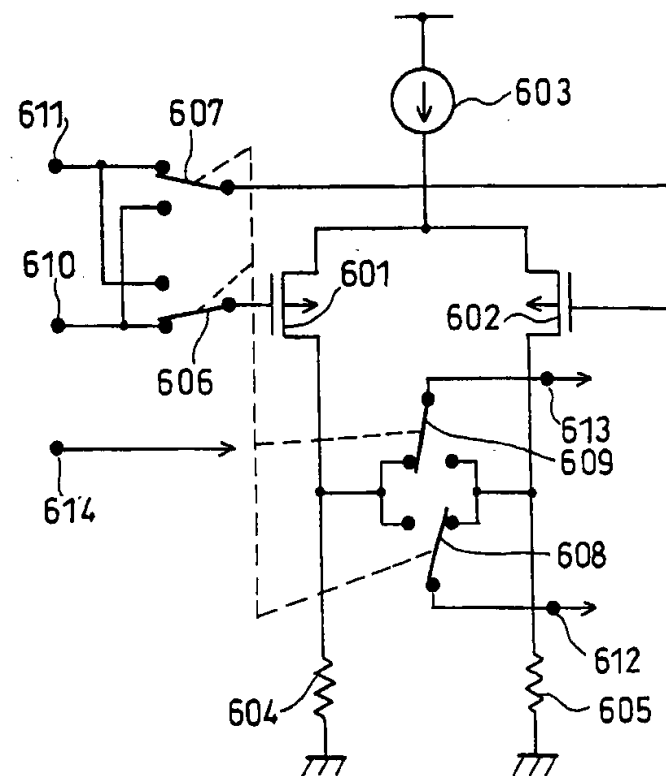
도면26



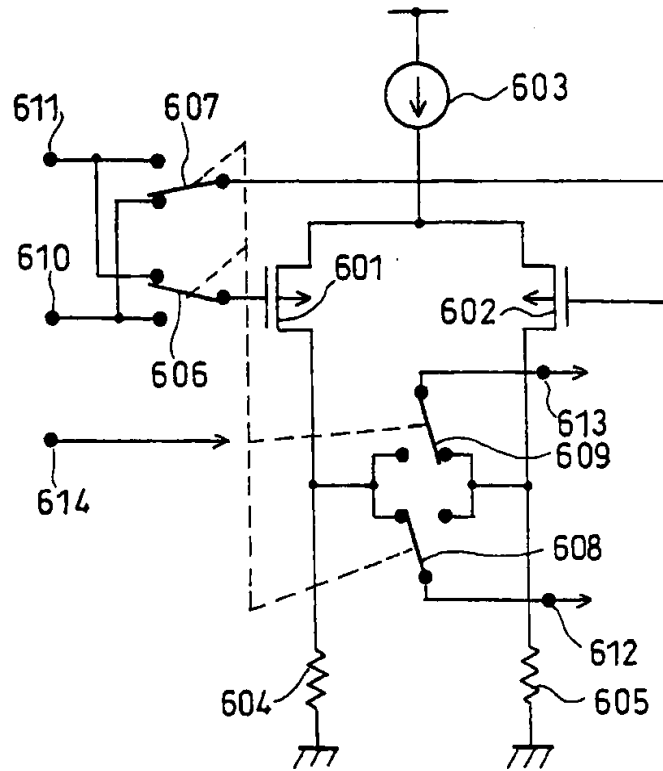
도면27



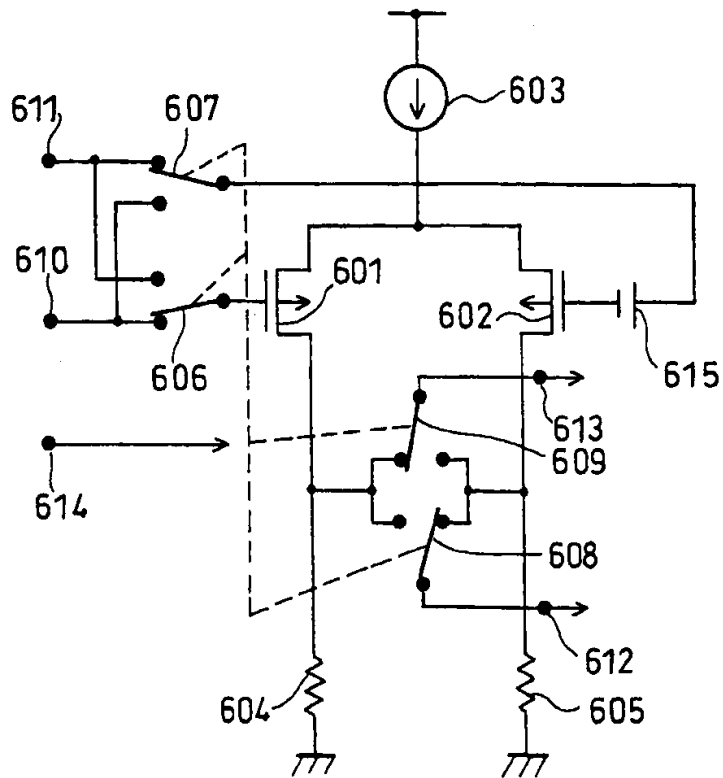
도면28



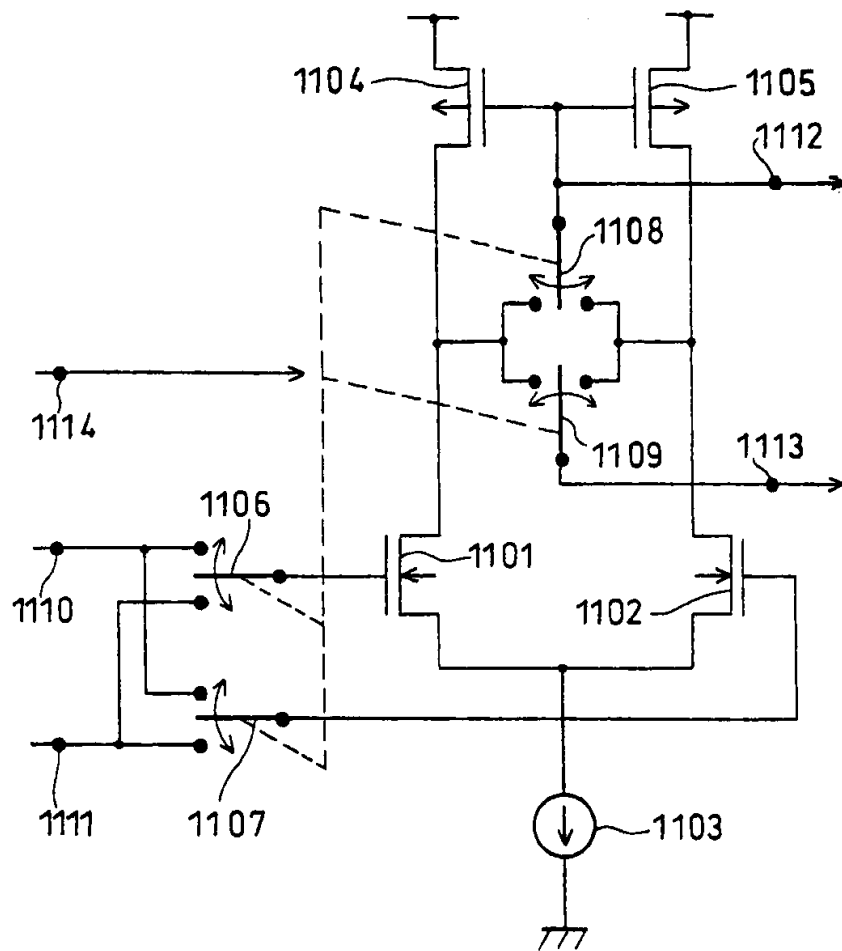
도면29



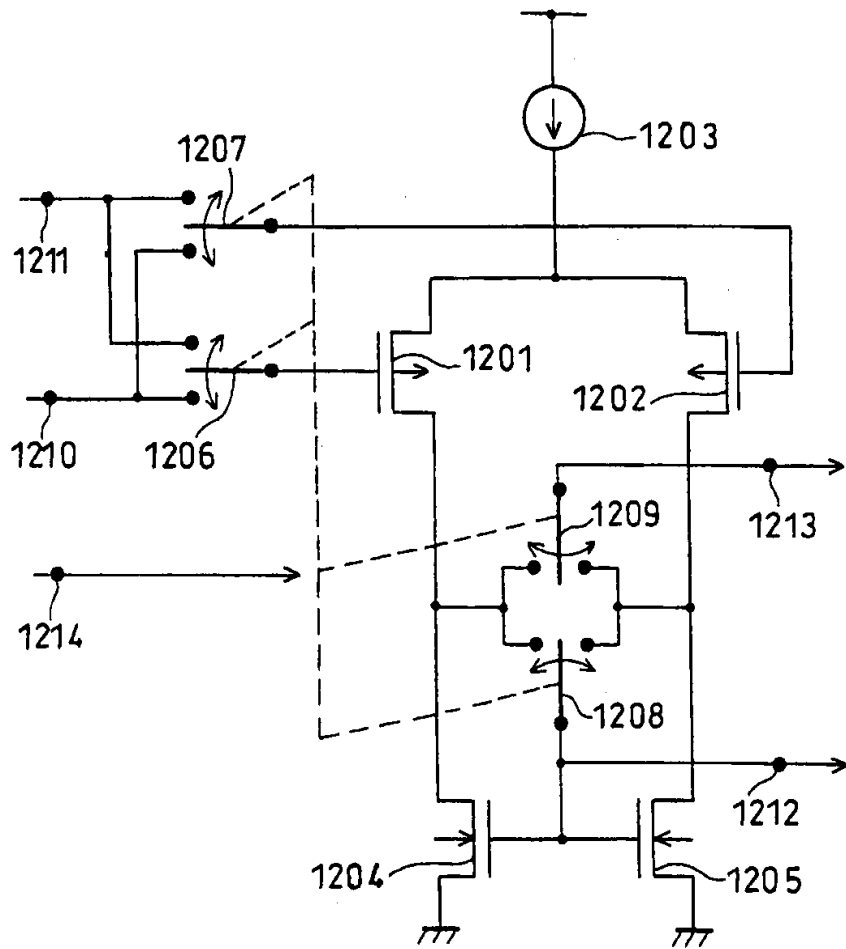
도면30



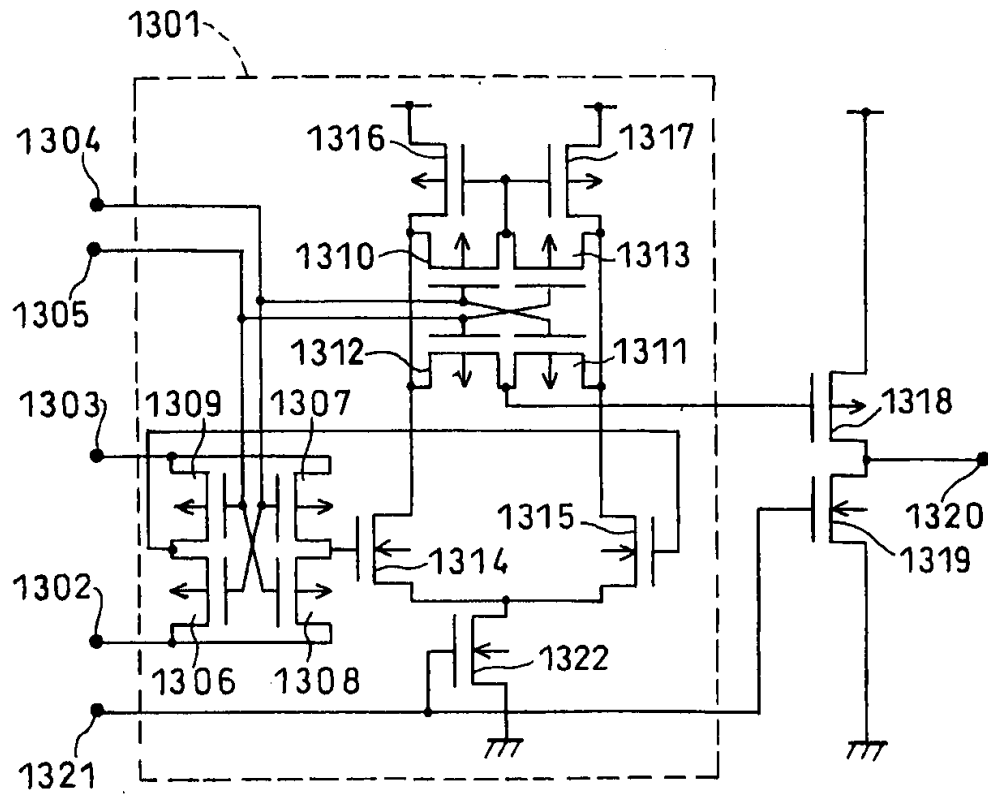
도면32



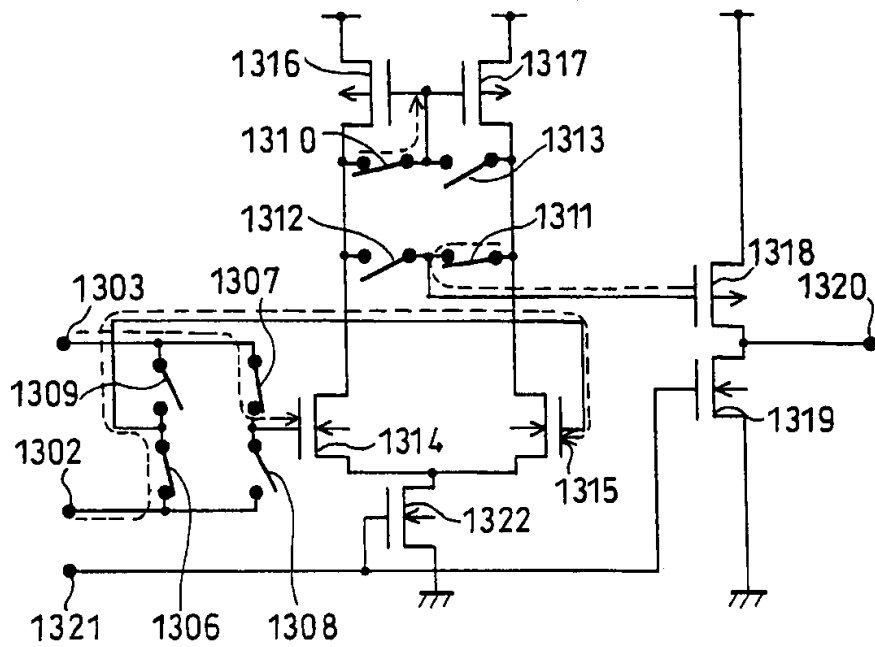
도면33



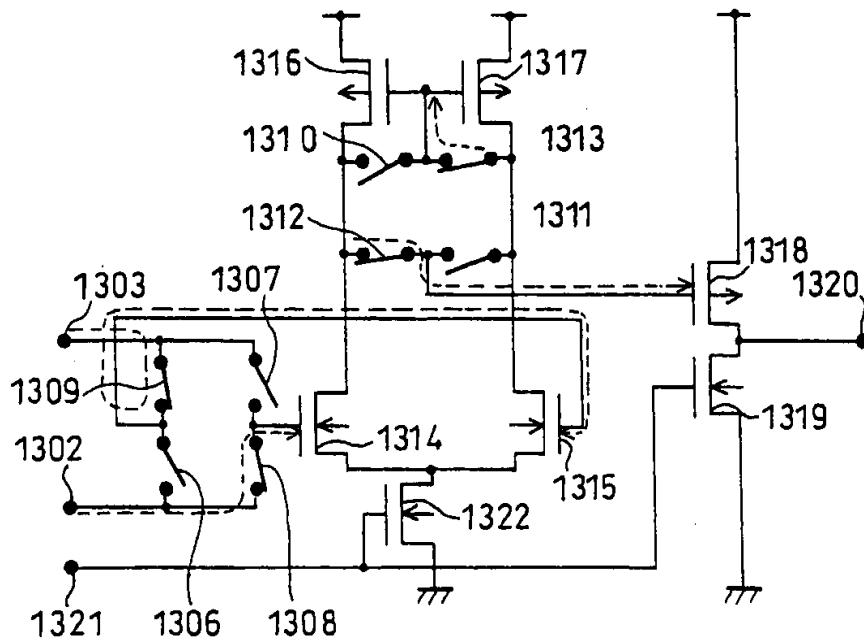
도면34



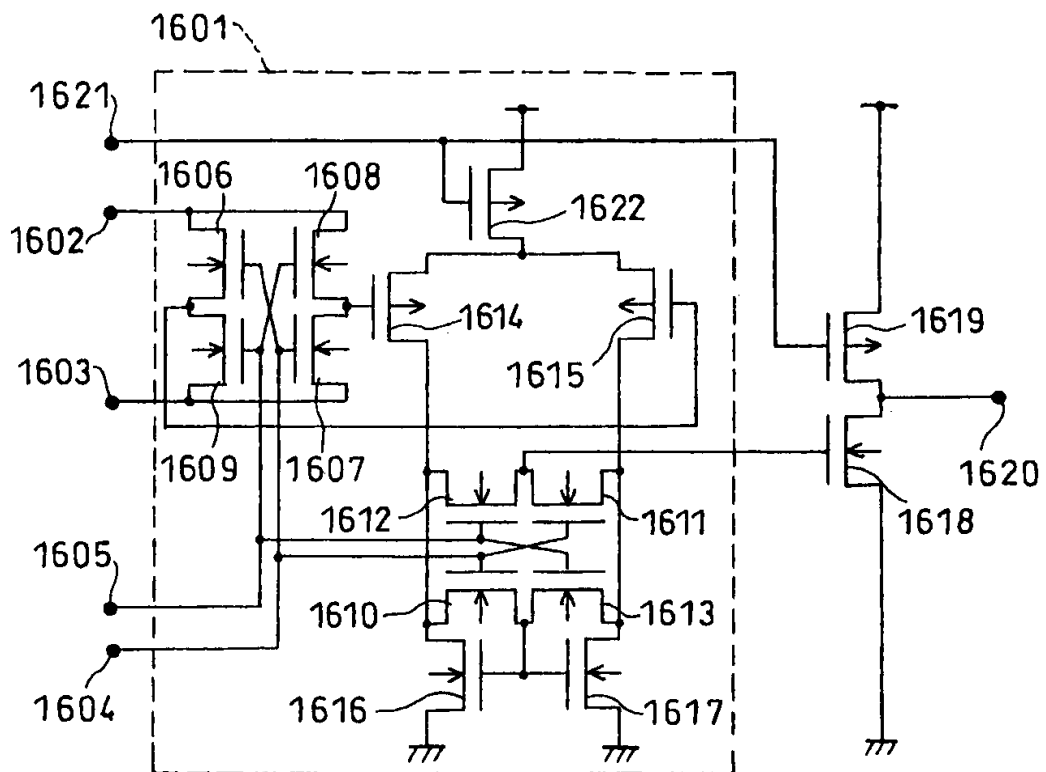
도면35



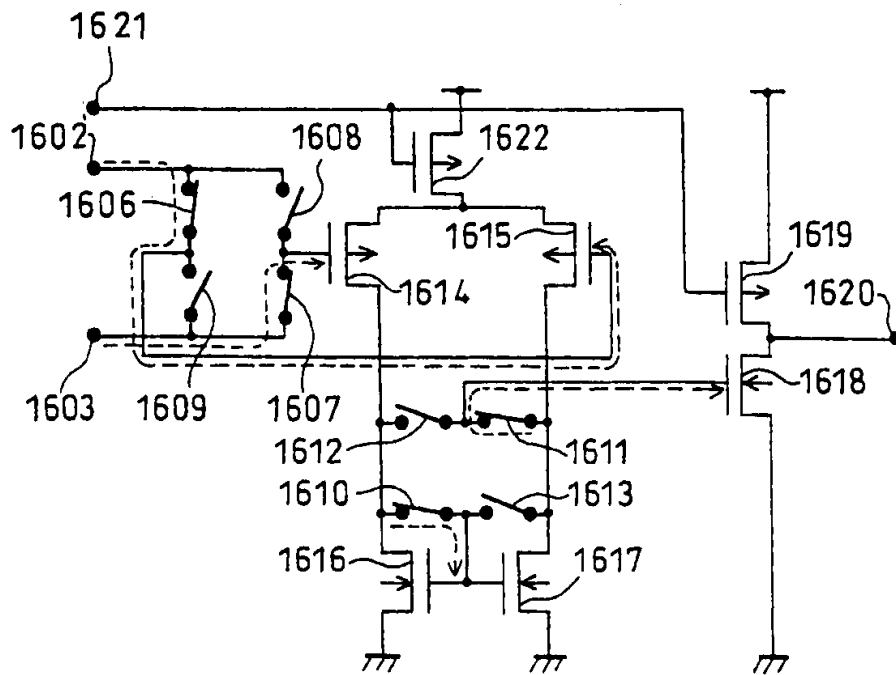
도면36



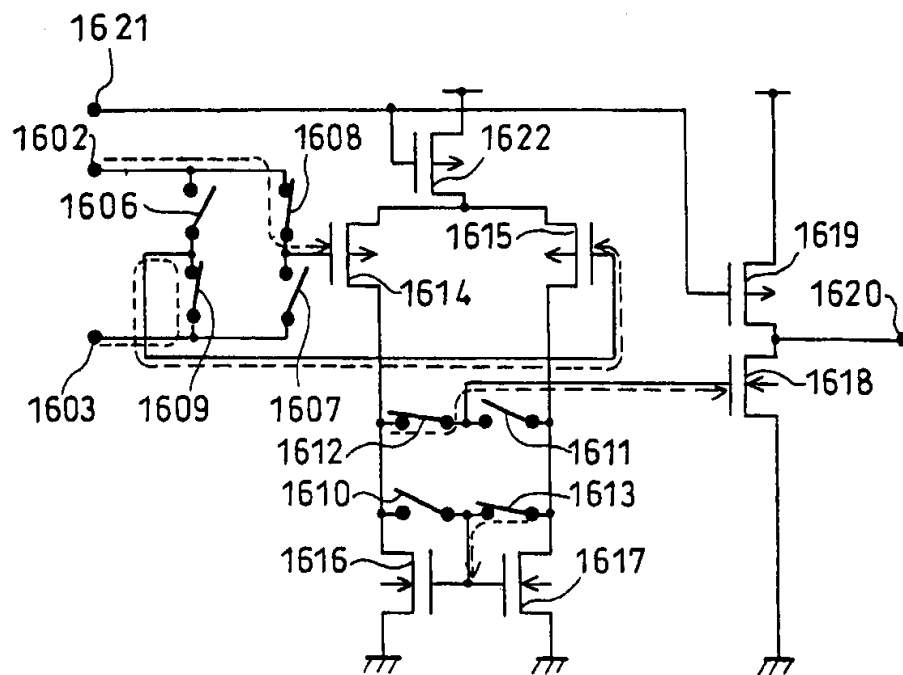
도면37



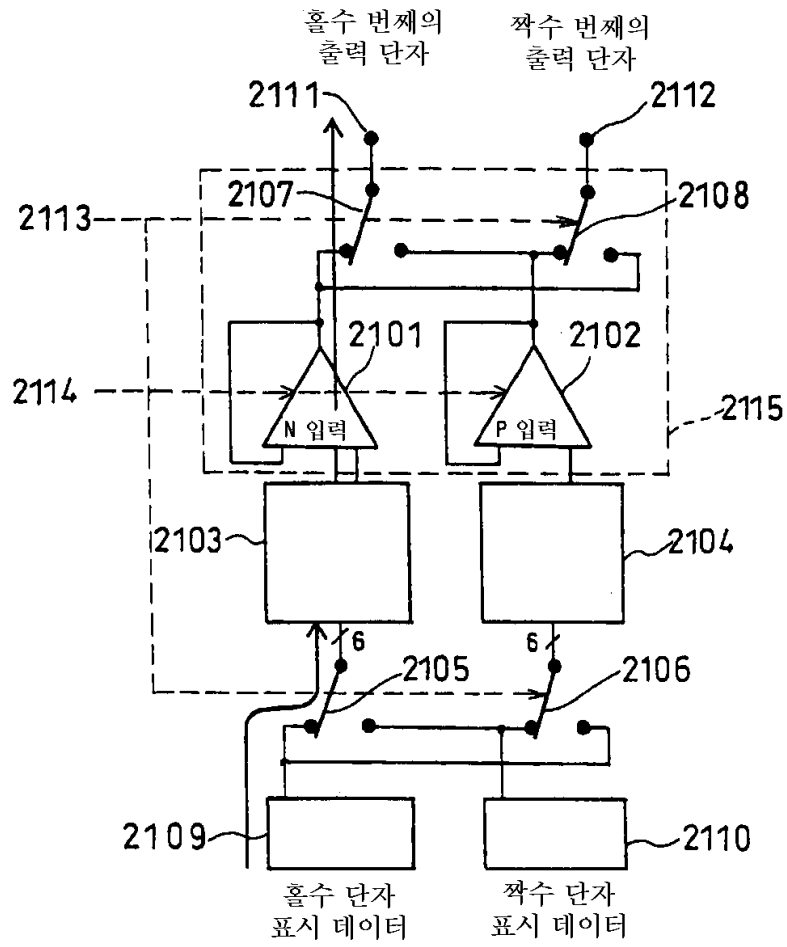
도면38



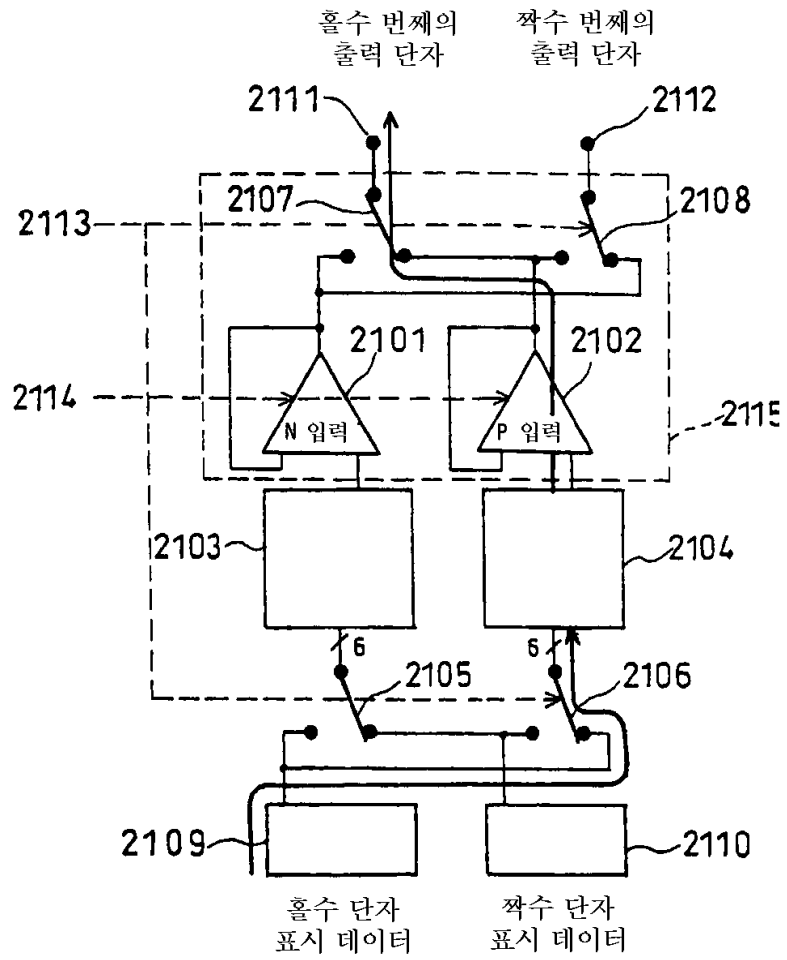
도면39



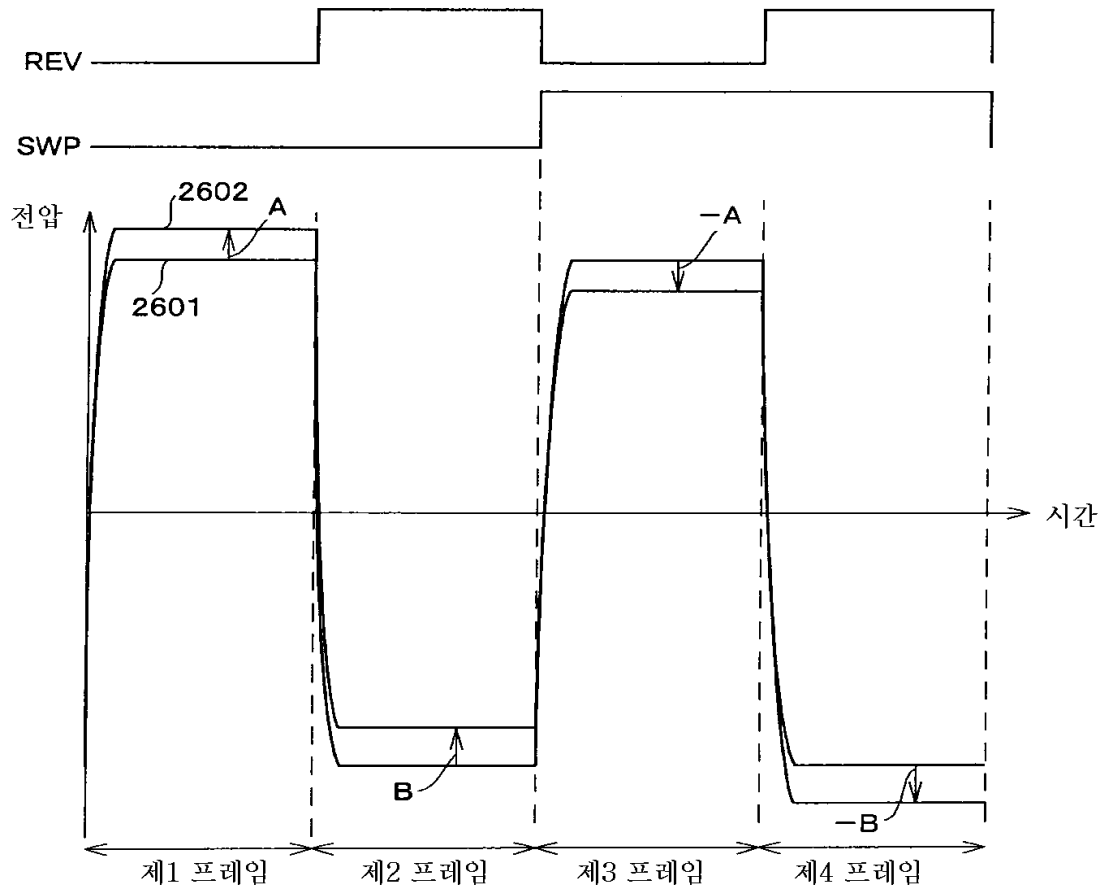
도면40



도면41



도면42



专利名称(译)	液晶显示装置的驱动装置和驱动方法		
公开(公告)号	KR100475975B1	公开(公告)日	2005-03-15
申请号	KR1020010060378	申请日	2001-09-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	KATSUTANI MASAFUMI		
发明人	KATSUTANI,MASAFUMI		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H03F3/45		
CPC分类号	H03F3/45775 G09G3/3688 G09G3/3614		
代理人(译)	CHANG, SOO KIL		
优先权	2000300970 2000-09-29 JP		
其他公开文献	KR1020020025791A		
外部链接	Espacenet		

摘要(译)

根据运算放大器的开关信号和AC开关的开关信号，每隔预定数量的帧切换由第一和第二放大器电路施加到像素的偏移电压的极性，以及开关控制电路，用于控制第一和第二放大电路的输入和输出的切换，以便被帧取消预定帧数的两倍。因此，可以提供一种液晶显示装置的驱动装置和驱动方法，其能够抵消帧之间的偏移电压并执行高质量显示而不被认为是人眼中的显示缺陷。 1 指数方面 放大电路，开关电路，水平同步信号，运算放大器，液晶显示器

