

(19) (12) (KR) (B1)

(51) 。 Int. Cl. ⁷ (45) 2002 04 22
G02F 1/133 (11) 10 - 0333969
(24) 2002 04 11

(21) 10 - 2000 - 0036226 (65) 2002 - 0001471
(22) 2000 06 28 (43) 2002 01 09

(73) .
,
20
(72)
169 4 404 506

(74)
:

(54) 가

가 .
가 ;
;
;
;

가,
,
,

1 .
 2 1 IC .
 3 1 IC .
 4 .
 5 4 1 .
 6 4 1 .

<

10 : 12,23 :
 14 : 16 :
 18 : 20 :
 22 : 24 :
 26 : 26a 26e : 1 5
 28 : 1 30 : 2
 32 : 3 34 :
 36,38,40,42,44,46 :

, 가

.

가 , 가

.

,

.

1

989 2 VESA(Video Electronics Standard Association) .

, Dos Mode(640 X 350, 640 X 400, 720 X 400), VGA(640 X 480), SVGA(800 X 600), XGA(1024 X 768), SXGA(1280 X 1024), UXGA(1600 X 1200)

가 ,

1

1 , (10) (RGB Data)

(, , ,) (

12) LVDS(Low Voltage Differential Sig (12)

nal) TTL (Chip)

(12) (10)

IC (18) , IC (18)

20) (10)

(16) (18) DAC(Digital to Analog Converter)

(187) (12)

(22)

(20) (12) (22)

(Thin Film Transister : "TFT") 1 / (on/off) ,

(18) 가

(14) (22)

(12)

(12) (Hsync) (Data Enab

le : "DE") (Edge) IC IC

(12)

(Source Output Enable : "SOE"), (Source Sampling Clock : "SSC"),

(Pority reverse : "POL"), (Source Start Pulse : "SSP"

(Data reverse : "REV"),

(Odd/even Data) . SSC (18)

IC . SOE SSC

. SSP 1 . POL
(Inversion) . REV
/ , ,
.

, 2 .

2 , SSC SSP "High" SSC
SOE
, POL "High" ,
, "Low" , 가 (Positive Decoder)
/ (Negative Decoder)
.

(Gate Shift Clock : "GSC"),
(Gate Output Enable : "GOE"), (Gate Start Pulse : "GSP")
. GSC 가 / (on/off) . GOE
. GSP .

, 3 .

3 , GSC GSP "High" , GS
C 1 "High" . , GOE GOE "
High"

가 .

, VGA UXGA
,
,
.

, 가 가
.

가 ;
;
;
;
가,
,

.
 , 4 6
 4 1
 4 , (23)
 (24) (26)
 , 4 1 4 SOE, GSC GOE
 .

[1]

Input pin	Setting	Clock	UXGA (60Hz)	SXGA(60Hz)	XGA(60Hz)	SVGA(60Hz)	VGA(60Hz)
			2pxls/clk80MHz	2pxls/clk54MHz	2pxls/clk32.5MHz	1pxls/clk40MHz	1pxls/clk25MHz
GOE_START[2:0]	LLL	32	416	502	829	675	1072
	LLH	64	909	1097	1811	1475	2342
	LHL	80	1155	1395	2303	1875	2978
	LHH	96	1401	1693	2794	2275	3613
	HLL	128	1894	2288	3776	3075	4883
	HLH	160	2387	2883	4795	3875	6154
	HHL	192	2880	3478	5741	4675	7424
	HHH	224	3373	4073	6723	5475	8694
GOE_END[2:0]	LLL	0	31	37	61	50	79
	LLH	16	277	335	553	450	715
	LHL	32	524	632	1044	850	1350
	LHH	48	770	930	1535	1250	1985
	HLL	64	1016	1228	2026	1650	2620
	HLH	80	1263	1525	2517	2050	3255
	HHL	96	1509	1823	3009	2450	3891
	HHH	128	2002	2418	3991	3250	5161
GSC_START[2:0]	LLL	0	31	37	61	50	79
	LLH	8	154	186	307	250	397
	LHL	16	277	335	553	450	715
	LHH	24	400	484	798	650	1032
	HLL	32	524	632	1044	850	1350
	HLH	40	647	781	1289	1050	1667
	HHL	48	770	930	1535	1250	1985
	HHH	64	1016	1228	2026	1650	2620
GSC_END[1:0]	LL	40	693	837	1382	1125	1787
	LH	200	3157	3813	6294	5125	8139
	HL	320	5005	6045	9978	8125	12903
	HH	400	6237	7533	12434	10125	16079
SOE_START[1:0]	LL	0	77	93	154	125	199
	LH	4	139	167	276	225	357
	HL	8	200	242	399	325	516
	HH	16	323	391	645	525	834
SOE_END[1:0]	LL	32	570	688	1136	925	1469
	LH	64	1063	1283	2118	1725	2739
	HL	96	1555	1879	3101	2525	4010
	HH	128	2048	2474	4083	3326	5280

, [2:0] [1:0]

. 1

ns .

, GOE (GOE_Start) GOE
 . GOE (GOE_END) GOE
 GSC (GSC_Start) GSC
 GSC (GSC_END) GSC
 E (SOE_Start) SOE
 (SOE_END) SOE
 (Input clock)

GOE (GOE_R)
 GOE (GOE_F)
 GSC (GSC_R)
 GSC (GSC_F)
 SOE (SOE_R)
 SOE (SOE_F)
 . SO
 . SOE

(24)

(24)

GOE (24) 2 GOE 가 (24) 3 GOE 가 8

가 (24) 3 GOE 가 "LHL" (24) 가

(24) GOE "80"(Decimal) (26)

UXGA "80"(Decimal) GOE 가 UXGA 1155n

s 3 GOE 가 "LHL"

(26) (24) 1 (26a)

3 (26c) , 1 (26a) GOE 2 (26b) , SSC

5 (26e) 1 (26a) (26d) , /

4 (26d) , (24) SOE GSC , GOE

1 , 5

5 , 1 1 3 (28,30,32) (34) 1 6 (36,38,40,42,

44,46) . 1 (28) (Hsync) , 2

(GOE_R) (Tref) (Sgoe) 1 (34) (Tref) GOE

(Htotal) . 2 (30)

1 (36) (Sgoe) (Htotal) GOE

(rising)

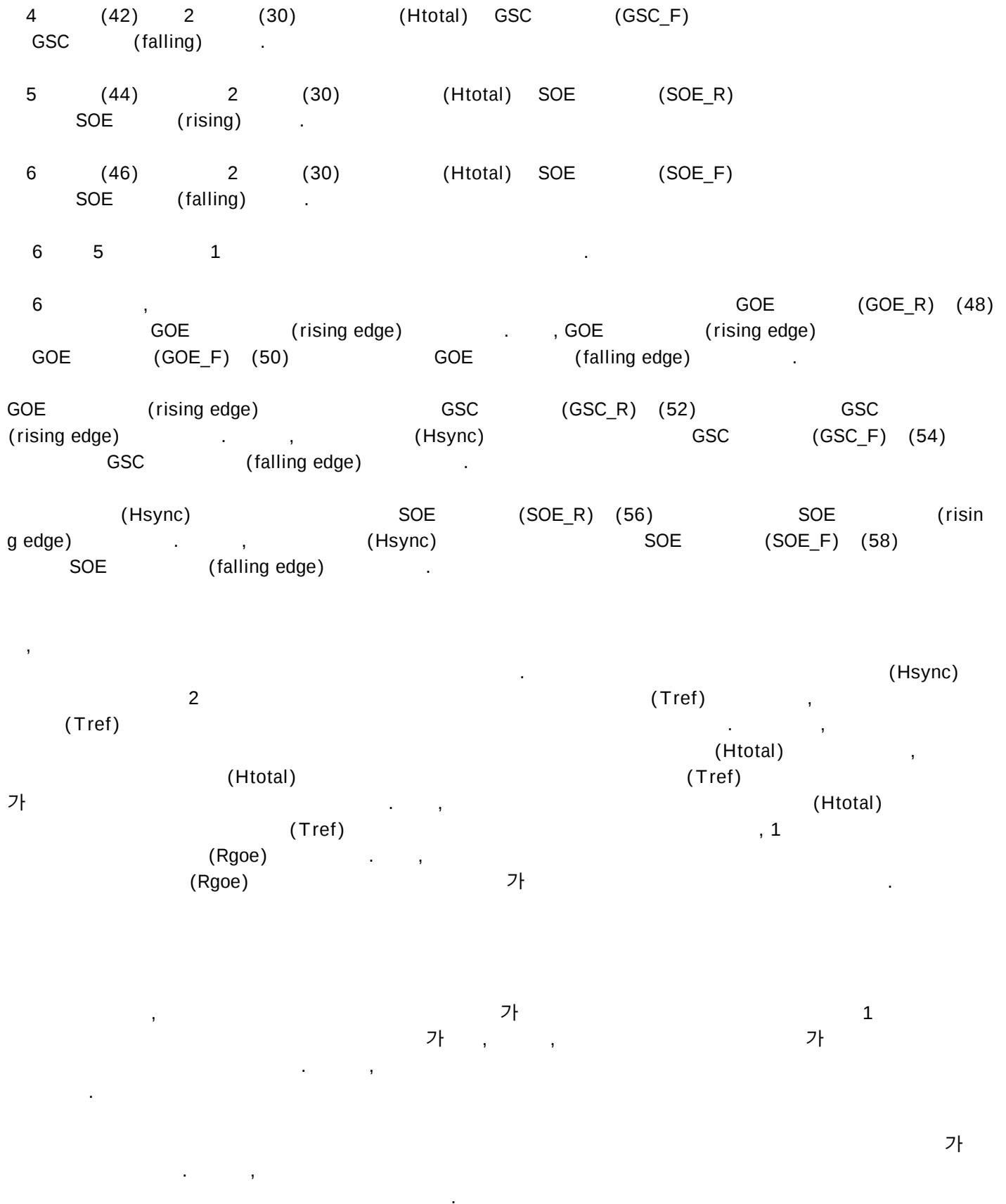
3 (32) 1 (36) , 1

(Rgoe) , 2 (38) 3 (32) (Rgoe) GOE (GOE

_F) GOE (falling)

3 (40) 3 (32) (Rgoe) GSC (GSC_R)

GSC (rising)



(57)

1.

,

가 ;

;

,

;

;

가,

,

,

가

.

2.

1

,

SVGA, XGA, SXGA, UXGA, VGA
가

.

3.

1

,

가

.

4.

1

,

1

;

2 , ;

3 ;

,

가

1

4 ;

/

5

가

.

5.

4 ,

1 5 1 1 ;

1 2 ;

2 2

;

2 1 1 ;

1 , 1 3

3 ;

3 , 2 ; 2 , 2

3 , 3 ; 3 , 3

2 4 , 4

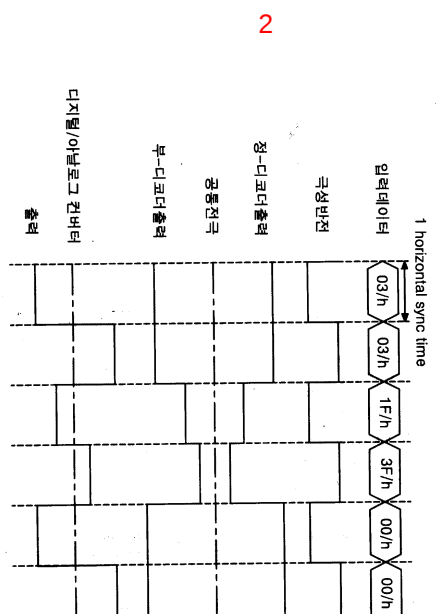
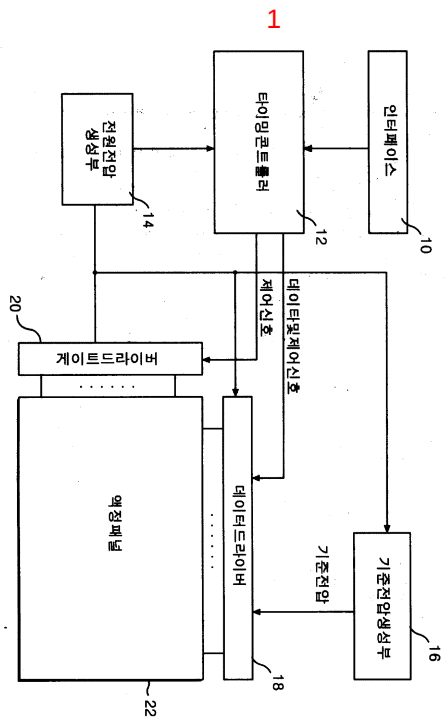
4 ;

2 5 , 5

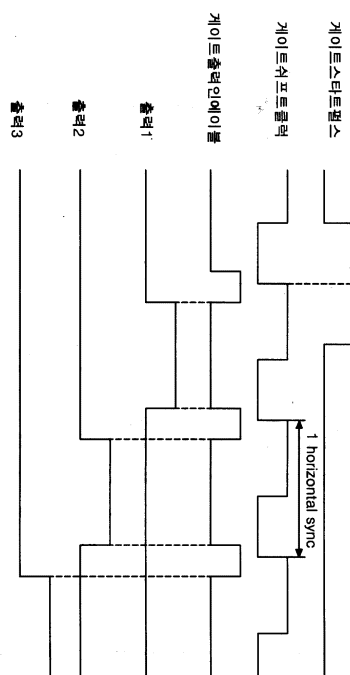
5 ;

2 6 , 6

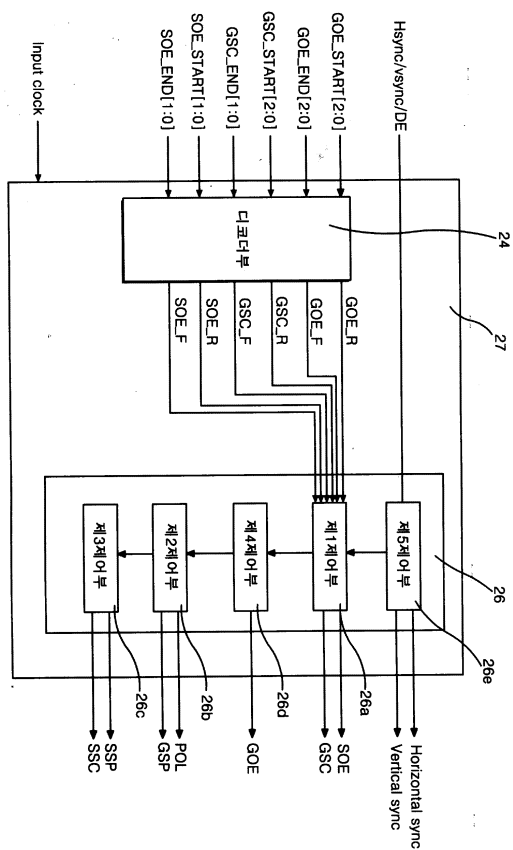
6 가 .



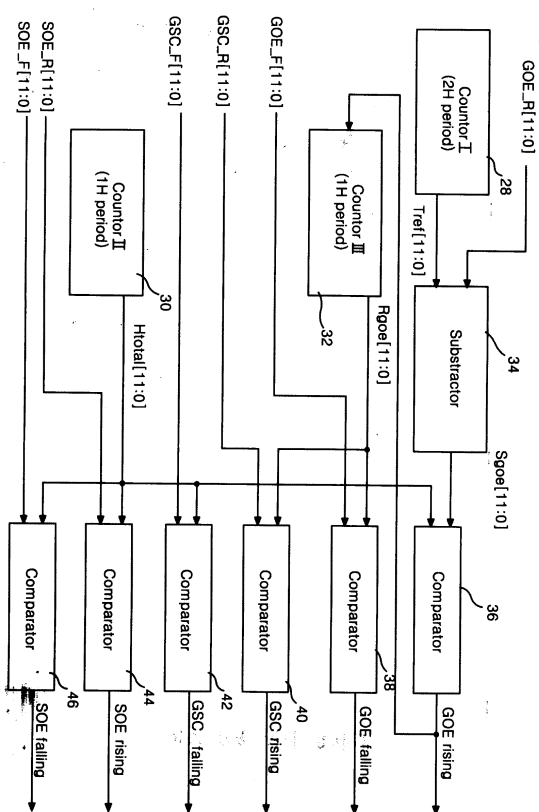
3



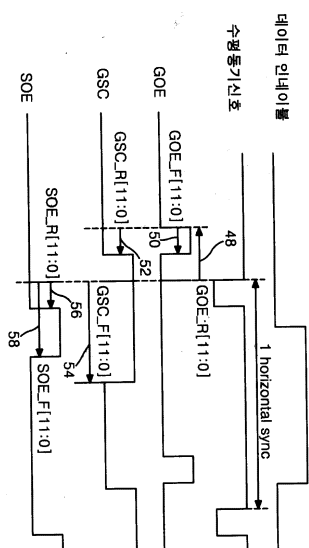
4



5



6



液晶显示装置技术领域本发明涉及一种具有多定时控制器的液晶显示装置，该多定时控制器具有多定时控制器，用于根据各种显示标准从控制信号根据各个显示标准产生和驱动定时信号。一种液晶显示装置，包括：液晶面板，具有与排列的像素对应的显示标准；来自外部和数据的数据输入接收用于接收与显示标准对应的控制信号的接口；定时控制器锁存从接口输入的数据，并从控制信号产生和输出用于驱动液晶面板的定时信号；一种驱动电路，用于接收来自定时控制器的定时信号，并根据该数据在液晶面板上显示图像；时机根据所述多个显示标准的设置到显示标准，从而相应的控制器，以及相应的定时生成信息对应的生成用于显示标准设定单元的设定信号，以及对应于该设定信号的多个显示规范的并且定时发生器用于接收定时信息并从控制信号产生和输出定时信号。度

