



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0053598  
(43) 공개일자 2008년06월16일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0125334

(22) 출원일자 2006년12월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

여장현

서울 강북구 미아3동 305-39

김우철

경기 의정부시 가능1동 642-17호

박재형

경기 용인시 기흥구 농서동 7-1

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 18 항

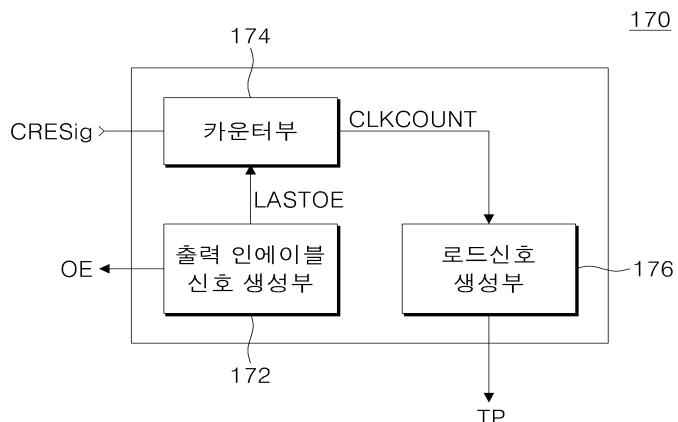
(54) 게이트 구동 신호 지연을 감소시키는 방법 및 액정 표시장치

### (57) 요 약

본 발명은 게이트 구동 신호의 지연을 감소시키는 방법 및 액정 표장치에 관한 것이다.

본 발명의 액정 표장치는, 타이밍 컨트롤러, 레벨 쉬프터, 게이트 구동 회로 및 클리핑부를 포함한다. 타이밍 컨트롤러는 출력 인에이블 신호 및 게이트 클럭을 생성하고, 데이터 출력 시점을 결정하는 로드 신호의 타이밍을 조절한다. 레벨 쉬프터는 출력 인에이블 신호와 게이트 클럭에 응답하여 게이트 클럭 펄스를 생성한다. 게이트 구동 회로는 게이트 클럭 펄스에 응답하여 게이트 구동 신호를 생성하여 복수의 게이트 라인을 순차적으로 구동한다. 클리핑부가 게이트 구동 신호를 클리핑하여 클리핑된 게이트 구동 신호를 타이밍 컨트롤러에 제공하면, 타이밍 컨트롤러는 클리핑된 게이트 구동 신호와 출력 인에이블 신호를 비교하여 게이트 구동 회로에 의한 게이트 구동 신호의 지연 시간을 산출하여 로드 신호의 타이밍을 조절한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

출력 인에이블 신호 및 게이트 클럭을 생성하고, 데이터 출력 시점을 결정하는 로드 신호의 타이밍을 조절하는 타이밍 컨트롤러; 상기 출력 인에이블 신호와 게이트 클럭에 응답하여 게이트 클럭 펄스를 생성하는 레벨 쉬프터; 상기 게이트 클럭 펄스에 응답하여 게이트 구동 신호를 생성하여 복수의 게이트 라인을 순차적으로 구동하는 게이트 구동 회로; 및 상기 게이트 구동 신호를 클리핑하여 클리핑된 게이트 구동 신호를 상기 타이밍 컨트롤러에 제공하는 클리핑부;를 포함하며,

상기 타이밍 컨트롤러는 상기 클리핑된 게이트 구동 신호와 출력 인에이블 신호를 비교하여 상기 게이트 구동 회로에 의한 게이트 구동 신호의 지연 시간을 산출하여 상기 로드 신호의 타이밍을 조절하는

액정 표시 장치.

### 청구항 2

제 1 항에 있어서, 상기 레벨 쉬프터는

상기 게이트 클럭 펄스를 게이트 온 전압 및 게이트 오프 전압 레벨의 펄스로 생성하는

액정 표시 장치.

### 청구항 3

제 2 항에 있어서, 상기 게이트 클럭 펄스는

상기 게이트 클럭 펄스의 위상과 반전된 위상을 가지는 게이트 클럭바 펄스를 포함하는

액정 표시 장치.

### 청구항 4

제 3 항에 있어서, 상기 게이트 구동 신호는

게이트 구동 회로를 리셋시키는 리셋 신호를 포함하는

액정 표시 장치.

### 청구항 5

제 4 항에 있어서, 상기 게이트 구동 회로는

상기 게이트 라인이 형성된 액정 패널에 접적되며 상기 게이트 라인 양단에 듀얼로 형성되어 상기 게이트 라인을 듀얼로 구동하는

액정 표시 장치.

### 청구항 6

제 5 항에 있어서, 상기 게이트 구동 회로는

서로 종속적으로 연결된 복수의 스테이지로 구성되는 쉬프터 레지스터이고,

상기 복수의 스테이지는 상기 복수의 게이트 라인에 각각 대응하여 연결되며,

상기 리셋 신호를 생성하는 더미 스테이지를 포함하는

액정 표시 장치.

### 청구항 7

제 6 항에 있어서, 상기 타이밍 컨트롤러는,

한 프레임의 마지막 출력 인에이블 신호를 제공하는 출력 인에이블 신호 생성부,

상기 클리핑된 리셋 신호와 상기 한 프레임의 마지막 출력 인에이블 신호를 비교하여 클럭 카운트 신호를 생성하는 카운터부, 및

상기 클럭 카운터 신호에 응답하여 상기 로드 신호의 타이밍을 조절하는 로드 신호 생성부를 포함하는 액정 표시 장치.

#### 청구항 8

리셋 신호를 포함하는 게이트 구동 신호를 생성하는 게이트 구동 회로; 및

상기 리셋 신호와 상기 리셋 신호에 대응되는 출력 인에이블 신호를 비교하여 상기 게이트 구동 회로에 의한 상기 게이트 구동 신호의 지연 시간을 산출하고 산출된 게이트 구동 신호의 지연 시간에 응답하여 데이터 출력 시점을 결정하는 로드 신호의 타이밍을 조절하는 타이밍 컨트롤러

를 포함하는 액정 표시 장치.

#### 청구항 9

제 8 항에 있어서,

상기 리셋 신호를 클리핑하여 클리핑된 리셋 신호를 상기 타이밍 컨트롤러로 제공하는 클리핑부  
를 더 포함하는 액정 표시 장치.

#### 청구항 10

제 9 항에 있어서, 상기 타이밍 컨트롤러는,

상기 출력 인에이블 신호를 제공하는 출력 인에이블 신호 생성부,

상기 클리핑된 리셋 신호와 상기 한 프레임의 마지막 출력 인에이블 신호를 비교하여 클럭 카운트 신호를 생성하는 카운터부, 및

상기 클럭 카운터 신호에 응답하여 상기 로드 신호의 타이밍을 조절하는 로드 신호 생성부를 포함하는 액정 표시 장치.

#### 청구항 11

제 10 항에 있어서, 상기 게이트 구동 회로는

서로 종속적으로 연결된 복수의 스테이지로 구성되는 쉬프터 레지스터이고,

상기 복수의 스테이지는 상기 복수의 상기 리셋 신호를 생성하는 더미 스테이지를 포함하는  
액정 표시 장치.

#### 청구항 12

제 11 항에 있어서, 상기 카운터부는,

상기 출력 인에이블 신호의 라이징 시점부터 상기 클리핑된 리셋 신호의 라이징 시점까지의 클럭 수를 카운터하여 상기 클럭 카운트 신호로 생성하는

액정 표시 장치.

#### 청구항 13

제 12 항에 있어서, 상기 로드 신호 생성부는

상기 게이트 구동 신호가 제공되는 게이트 라인 수를 상기 클럭 카운트 신호 값으로 나누어 상기 게이트 구동 신호의 지연 시간을 산출하고 산출된 게이트 구동 신호 지연 시간에 해당하는 만큼 상기 로드 신호의 폴링 시점을 지연시키는

액정 표시 장치.

#### 청구항 14

게이트 구동 회로의 더미 스테이지의 출력 신호인 리셋 신호를 타이밍 컨트롤러로 피드백하는 리셋 신호 피드백 단계;

상기 리셋 신호와 상기 리셋 신호에 대응하는 출력 인에이블 신호를 비교하여 상기 게이트 구동 회로에 의한 게이트 구동 신호의 지연 시간을 산출하는 지연 시간 산출 단계; 및

상기 산출된 게이트 구동 신호의 지연 시간에 응답하여 데이터의 출력 시점을 결정하는 로드 신호의 타이밍을 조절하는 로드 신호 타이밍 조절 단계;

를 포함하는 게이트 구동 신호 지연 감소 방법.

#### 청구항 15

제 14 항에 있어서,

상기 리셋 신호를 일정한 전압 레벨로 클리핑하여 클리핑된 리셋 신호를 상기 타이밍 컨트롤러로 피드백하는 클리핑 단계

를 더 포함하는 게이트 구동 신호 지연 감소 방법.

#### 청구항 16

제 15 항에 있어서,

상기 게이트 구동 회로가 복수의 게이트 라인에 순차적으로 상기 게이트 구동 신호를 인가할 때, 상기 게이트 구동 회로에 의한 지연으로 인해 데이터의 출력 시점보다 상기 게이트 구동 신호가 늦게 인가됨으로 나타나는 가로줄 시인 현상을 분석하는 가로줄 현상 분석 단계

를 더 포함하는 게이트 구동 신호 지연 감소 방법.

#### 청구항 17

제 16 항에 있어서, 상기 지연 시간 산출 단계는,

상기 출력 인에이블 신호의 라이징 시점부터 상기 클리핑된 리셋 신호의 라이징 시점까지 클럭 수를 카운터하여 클럭 카운트 신호를 생성하는 단계를 포함하는

게이트 구동 신호 지연 감소 방법.

#### 청구항 18

제 17 항에 있어서, 상기 로드 신호 타이밍 조절 단계는,

상기 게이트 구동 신호가 제공되는 게이트 라인 수를 상기 클럭 카운트 신호 값으로 나누어 상기 게이트 구동 신호의 지연 시간을 산출하고 산출된 게이트 구동 신호 지연 시간에 해당하는 만큼 상기 로드 신호의 폴링 시점을 지연시키는 단계를 포함하는

게이트 구동 신호 지연 감소 방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

<16> 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 게이트 구동 신호의 지연을 감소시키는 방법 및 액정 표시 장치에 관한 것이다.

- <17> 일반적으로 액정 표시 장치는 영상을 표시하기 위한 액정 패널과 액정 패널을 구동하는 데이터 구동부와 게이트 구동부를 구비한다. 액정 패널은 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소를 포함한다. 화소는 박막 트랜지스터 및 액정 커패시터로 이루어진다. 데이터 구동부는 데이터 라인에 데이터 신호를 출력하고 게이트 구동부는 게이트 구동 신호를 출력한다.
- <18> 게이트 구동부는 박막 트랜지스터와 동일한 공정을 통해 동시에 액정 패널 상에 형성되고, 데이터 구동부는 칩 형태로 이루어져 액정 패널의 주변영역에 연결된다. 게이트 구동부는 다수의 스테이지로 이루어진 쉬프터 레지스터를 포함하고, 스테이지 각각은 대응하는 게이트 라인에 연결되어 게이트 구동 신호를 출력한다.
- <19> 게이트 구동부는 다수의 게이트 라인에 순차적으로 게이트 구동 신호를 출력하기 위하여 서로 종속적으로 연결된다. 즉 현 스테이지의 입력 단자는 이전 스테이지의 출력 단자에 연결되고, 다음 스테이지의 출력 단자는 현 스테이지의 제어 단자에 연결된다. 다수의 스테이지 중 첫 번째 스테이지는 개시 신호가 입력된다.
- <20> 이러한 게이트 구동부는 액정 패널의 좌 우측에 형성되어 좌측의 게이트 구동 회로는 홀수 번째 게이트 라인을 구동하고 우측의 게이트 구동 회로는 짝수 번째 게이트 라인을 구동하는 싱글 구동 방식으로 동작한다.
- <21> 종래 싱글(Single) 구동 방식의 액정 표시 장치는 게이트 라인 지연(Gate Line Dely) 및 ASG 게이트 지연(ASG Gate Dely)에 의해 가로줄 시인 현상이 발생되는 문제점이 있다.
- <22> 게이트 라인 지연이란 좌우 측 게이트 구동 회로에서 서로 엇갈려 출력되는 게이트 구동 신호가 게이트 라인의 끝으로 갈수록 지연되어 출력되는 것을 말한다. 게이트 라인 지연은 게이트 라인의 끝단 부분에 연결된 화소의 충전 시간을 부족하게 하여 화소의 휘도를 떨어뜨린다. 이로 인해 게이트 라인의 좌우 측 양단 부분에서 서로 인접한 두 게이트 라인 사이에 휘도 차가 발생하고 이는 가로줄 시인 현상으로 나타난다.
- <23> ASG 게이트 지연이란 게이트 구동 회로가 복수의 게이트 라인에 순차적으로 게이트 구동 신호를 인가할 때, 게이트 구동 회로 자체에 의한 지연으로 인해 데이터 출력보다 게이트 구동 신호가 늦게 인가되는 것을 말한다. 이로 인해 액정 패널의 하단부에 위치한 게이트 라인에 연결된 화소는 원래 표시하여야 할 데이터에 대응하는 휘도보다 어두운 휘도를 표시하는 문제점이 있다. 예를 들면, 초록(G)과 파랑(B)에 해당하는 게이트 라인에 게이트 구동 신호를 인가하면 액정 패널의 하단부로 갈수록 파랑(B)에 해당하는 게이트 라인에 연결된 화소가 원래 표시하여야 할 파랑(B)에 대응하는 휘도보다 어두운 휘도의 파랑(B)을 표시하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

- <24> 따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로, 동일한 구성의 게이트 구동 회로를 게이트 라인의 양단 위치시켜 게이트 라인을 듀얼로 구동하고, 게이트 구동 회로의 리셋 신호를 피드백 받아 게이트 구동 회로에 의한 지연을 보상하는, 게이트 구동 신호 지연을 감소시키는 방법 및 액정 표시 장치를 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

- <25> 상기 목적을 달성하기 위하여 본 발명의 액정 표시 장치는, 출력 인에이블 신호 및 게이트 클럭을 생성하고, 데이터 출력 시점을 결정하는 로드 신호의 타이밍을 조절하는 타이밍 컨트롤러; 상기 출력 인에이블 신호와 게이트 클럭에 응답하여 게이트 클럭 펄스를 생성하는 레벨 쉬프터; 상기 게이트 클럭 펄스에 응답하여 게이트 구동 신호를 생성하여 복수의 게이트 라인을 순차적으로 구동하는 게이트 구동 회로; 및 상기 게이트 구동 신호를 클리핑하여 클리핑된 게이트 구동 신호를 상기 타이밍 컨트롤러에 제공하는 클리핑부;를 포함하며, 상기 타이밍 컨트롤러는 상기 클리핑된 게이트 구동 신호와 출력 인에이블 신호를 비교하여 상기 게이트 구동 회로에 의한 게이트 구동 신호의 지연 시간을 산출하여 상기 로드 신호의 타이밍을 조절하는 것이 바람직하다.
- <26> 여기서, 상기 레벨 쉬프터는 상기 게이트 클럭 펄스를 게이트 온 전압 및 게이트 오프 전압 레벨의 펄스로 생성하는 것이 바람직하다.
- <27> 또한 상기 게이트 클럭 펄스는 상기 게이트 클럭 펄스의 위상과 반전된 위상을 가지는 게이트 클럭바 펄스를 포함한다.
- <28> 또한 상기 게이트 구동 신호는 게이트 구동 회로를 리셋시키는 리셋 신호를 포함한다.
- <29> 또한 상기 게이트 구동 회로는 상기 게이트 라인이 형성된 액정 패널에 접적되며 상기 게이트 라인 양단에 듀얼로 형성되어 상기 게이트 라인을 듀얼로 구동하는 것이 바람직하다.

- <30> 또한 상기 게이트 구동 회로는 서로 종속적으로 연결된 복수의 스테이지로 구성되는 쉬프터 레지스터이고, 상기 복수의 스테이지는 상기 복수의 게이트 라인에 각각 대응하여 연결되며, 상기 리셋 신호를 생성하는 더미 스테이지를 포함한다.
- <31> 또한 상기 타이밍 컨트롤러는, 한 프레임의 마지막 출력 인에이블 신호를 제공하는 출력 인에이블 신호 생성부, 상기 클리핑된 리셋 신호와 상기 한 프레임의 마지막 출력 인에이블 신호를 비교하여 클럭 카운트 신호를 생성하는 카운터부, 및 상기 클럭 카운터 신호에 응답하여 상기 로드 신호의 타이밍을 조절하는 로드 신호 생성부를 포함한다.
- <32> 본 발명의 액정 표시 장치는 리셋 신호를 포함하는 게이트 구동 신호를 생성하는 게이트 구동 회로; 상기 리셋 신호와 상기 리셋 신호에 대응되는 출력 인에이블 신호를 비교하여 상기 게이트 구동 회로에 의한 상기 게이트 구동 신호의 지연 시간을 산출하고 산출된 게이트 구동 신호의 지연 시간에 응답하여 데이터 출력 시점을 결정하는 로드 신호의 타이밍을 조절하는 타이밍 컨트롤러를 포함한다.
- <33> 여기서, 상기 게이트 구동 회로는 서로 종속적으로 연결된 복수의 스테이지로 구성되는 쉬프터 레지스터이고, 상기 복수의 스테이지는 상기 복수의 상기 리셋 신호를 생성하는 더미 스테이지를 포함한다.
- <34> 또한 상기 카운터부는, 상기 출력 인에이블 신호의 라이징 시점부터 상기 클리핑된 리셋 신호의 라이징 시점까지의 클럭 수를 카운터하여 상기 클럭 카운트 신호로 생성하는 것이 바람직하다.
- <35> 또한 상기 로드 신호 생성부는 상기 게이트 구동 신호가 제공되는 게이트 라인 수를 상기 클럭 카운트 신호 값으로 나누어 상기 게이트 구동 신호의 지연 시간을 산출하고 산출된 게이트 구동 신호 지연 시간에 해당하는 만큼 상기 로드 신호의 폴링 시점을 지연시키는 액정 표시 장치.
- <36> 본 발명의 게이트 구동 신호 지연 감소 방법은 게이트 구동 회로의 더미 스테이지의 출력 신호인 리셋 신호를 타이밍 컨트롤러로 피드백하는 리셋 신호 피드백 단계; 상기 리셋 신호와 상기 리셋 신호에 대응하는 출력 인에이블 신호를 비교하여 상기 게이트 구동 회로에 의한 게이트 구동 신호의 지연 시간을 산출하는 지연 시간 산출 단계; 및 상기 산출된 게이트 구동 신호의 지연 시간에 응답하여 데이터의 출력 시점을 결정하는 로드 신호의 타이밍을 조절하는 로드 신호 타이밍 조절 단계;를 포함한다.
- <37> 여기서, 본 발명의 게이트 구동 신호 지연 감소 방법은 상기 리셋 신호를 일정한 전압 레벨로 클리핑하여 클리핑된 리셋 신호를 상기 타이밍 컨트롤러로 피드백하는 클리핑 단계를 더 포함한다.
- <38> 또한 본 발명의 게이트 구동 신호 지연 감소 방법은 상기 게이트 구동 회로가 복수의 게이트 라인에 순차적으로 상기 게이트 구동 신호를 인가할 때, 상기 게이트 구동 회로에 의한 지연으로 인해 데이터의 출력 시점보다 상기 게이트 구동 신호가 늦게 인가됨으로 나타나는 가로줄 시인 현상을 분석하는 가로줄 현상 분석 단계를 더 포함한다.
- <39> 또한 상기 지연 시간 산출 단계는, 상기 출력 인에이블 신호의 라이징 시점부터 상기 클리핑된 리셋 신호의 라이징 시점까지 클럭 수를 카운터하여 클럭 카운트 신호를 생성하는 단계를 포함한다.
- <40> 또한 상기 로드 타이밍 조절 단계는, 상기 게이트 구동 신호가 제공되는 게이트 라인 수를 상기 클럭 카운트 신호 값으로 나누어 상기 게이트 구동 신호의 지연 시간을 산출하고 산출된 게이트 구동 신호 지연 시간에 해당하는 만큼 상기 로드 신호의 폴링 시점을 지연시키는 단계를 포함한다.
- <41> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일 실시 예에 대해 상세히 설명한다.
- <42> 도 1은 본 발명의 일실시 예에 따른 액정 표시 장치의 구성 블럭도이다. 도 1에 도시된 바와 같이, 본 발명의 일실시 예에 따른 액정 표시 장치(100)는, 액정 패널(110), 데이터 구동부(120), 제1 및 제2 게이트 구동 회로(130, 140), 제1 및 제2 레벨 쉬프터(150, 160), 타이밍 컨트롤러(170), 전원 공급부(180) 및 클리핑부(190)를 포함한다.
- <43> 상기 액정 패널(110)은 박막 트랜지스터 기판(112), 컬러 필터 기판(114) 및 박막 트랜지스터 기판(112)과 컬러 필터 기판(114) 사이에 게재된 액정(도시되지 않음)을 포함한다.
- <44> 박막 트랜지스터 기판(112)은 표시 영역(DA)과 제1 및 제2 주변 영역(PA1, PA2)을 포함한다. 표시 영역(DA)은 게이트 라인(GL1, ..., GLn), 데이터 라인(DL1, ..., DLm), 게이트 라인(GL1, ..., GLn)과 데이터 라인(DL1, ..., DLm)의 교차 영역에 정의되는 화소가 형성된다. 제1 주변 영역(PA1)은 게이트 라인(GL1, ..., GLn)을 구동하는 제1 및 제2 게이트 구동 회로(130, 140)가 형성된다. 제2 주변 영역(PA2)은 데이터 라인(DL1, ..., DLm)을 구동하는

데이터 구동부(120)가 실장된다. 여기서 제1 주변 영역(PA1)은 게이트 라인(GL1, ..., GL<sub>n</sub>)의 양단부에 인접하는 영역이고, 제2 주변 영역(PA2)은 데이터 라인(DL1, ..., DL<sub>m</sub>)의 일단부에 인접하는 영역이다

<45> 화소는 게이트 라인(GL1, ..., GL<sub>n</sub>)과 데이터 라인(DL1, ..., DL<sub>m</sub>)에 연결되는 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)에 연결되는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함한다. 박막 트랜지스터(TFT)의 게이트 및 소스는 게이트 라인(GL1, ..., GL<sub>n</sub>) 및 데이터 라인(DL1, ..., DL<sub>m</sub>)에 각각 연결되고 드레인은 액정 커패시터(CLC)와 스토리지 커패시터(CST)에 연결된다. 액정 커패시터(CLC)는 화소 전극과 공통 전극을 두 단자로 하며, 두 단자 사이에 유전체로 기능하는 액정을 포함한다.

<46> 컬러 필터 기판(114)은 빛 샘 방지를 위한 블랙 매트릭스, 색 구현을 위한 컬러 필터 및 공통 전극이 형성된다. 액정은 유전율 이방성을 갖는 물질로서 공통 전극과 화소 전극에 인가된 전압의 차이에 의해 회전하여 광의 투과율을 조절한다.

<47> 상기 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1, ..., GL<sub>n</sub>)을 사이에 두고 액정 패널(110) 일측 및 타측인 제1 주변 영역(PA1)에 접적되어 형성되고 그 출력이 게이트 라인(GL1, ..., GL<sub>n</sub>) 각각에 연결된다. 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1, ..., GL<sub>n</sub>)의 양단에서 게이트 구동 신호를 순차적으로 공급하여 게이트 라인(GL1, ..., GL<sub>n</sub>)을 듀얼로 구동시킨다. 제1 및 제2 게이트 구동 회로(130, 140) 중 하나의 게이트 구동 회로는 게이트 구동 회로(130, 140)를 리셋 시키는 리셋 신호(RESig)를 클리핑부(190)에 제공한다.

<48> 상기 데이터 구동부(120)는 타이밍 컨트롤러(140)로부터 데이터 제어 신호 및 데이터를 수신하고, 데이터에 해당하는 아날로그 구동 전압(AVDD)을 선택하여 데이터 라인(DL1, ..., DL<sub>m</sub>)에 공급한다. 데이터 구동부(120)는 접적화된 칩으로 구현되며 박막 트랜지스터 기판(112)의 제2 주변 영역(PA2)에 실장된다. 데이터 구동부(120)는 제2 주변 영역(PA2)에 연결되는 연성 회로 기판(102)를 통하여 타이밍 컨트롤러(170)와 전원 공급부(180)에 연결된다.

<49> 한편 본 실시 예에서 데이터 구동부(120)는 박막 트랜지스터 기판(112)에 COG(Chip On Glass) 방식으로 실장 되지만 이에 한정되지 아니하며, TCP(Tape Carrier Package) 구조 방식으로 실장될 수 있다.

<50> 상기 제1 및 제2 레벨 쉬프터(150, 160)는 타이밍 컨트롤러(140)로부터 게이트 제어 신호를 입력받고, 전원 공급부(180)로부터 구동 전압을 입력받아, 게이트 구동 회로(130, 140)를 구동시킬 신호를 생성하여 이를 제1 및 제2 게이트 구동 회로(130, 140)로 공급한다.

<51> 상기 타이밍 컨트롤러(140)는 외부로부터 데이터 및 입력 제어 신호를 입력받아 게이트 제어 신호 및 데이터 제어 신호를 생성하여 제1 및 제2 레벨 쉬프터(150, 160) 및 데이터 드라이버(120)로 공급한다. 여기서 데이터는 RGB 영상신호이고, 데이터 제어 신호는 로드 신호(TP)를 포함하며, 입력 제어 신호는 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 메인 클럭(MCLK) 및 데이터 인에이블 신호(DE)를 포함한다. 타이밍 컨트롤러(140)는 클리핑부(190)로부터 클리핑된 리셋 신호를 제공받아 데이터 구동부(120)에 제공되는 로드 신호(TP)의 타이밍을 조절한다.

<52> 상기 전원 공급부(180)는 외부로부터 공급받은 전원 전압을 이용하여 아날로그 구동 전압(AVDD), 공통 전압(VCOM), 게이트 구동 전압을 생성한다. 전원 공급부(180)는 아날로그 구동 전압(AVDD)을 데이터 구동부(120)로 공급하고, 공통 전압(VCOM)을 액정 패널(110)의 공통 전극에 공급하고, 게이트 구동 전압을 제1 및 제2 레벨 쉬프터(150, 160)로 공급한다.

<53> 상기 클리핑부(190)는 제1 게이트 구동 회로(130) 또는 제2 게이트 구동 회로(140)로부터 리셋 신호(RESig)를 제공받아 클리핑하고 클리핑된 리셋 신호(CREsig)를 타이밍 컨트롤러(170)로 제공한다.

<54> 여기서 리셋 신호(RESig)는 클리핑된 리셋 신호(CREsig)는 리셋 신호(RESig)를 타이밍 컨트롤러(170)가 처리할 수 있는 전압 레벨로 제한한 신호이며, 리셋 신호(RESig)는 게이트 구동 회로(130)의 더미 스테이지에서 출력되는 게이트 온 전압(VON)과 게이트 오프 전압(VOFF) 레벨의 신호로서 제1 게이트 구동 회로(130) 및 제2 게이트 구동 회로(140)를 리셋 시키는 신호이다.

<55> 예를 들면, 클리핑부(190)는 게이트 온 전압(VON)과 게이트 오프 전압(VOFF) 레벨의 리셋 신호(RESig)를 3.3V 레벨로 진폭을 제한하여 클리핑된 리셋 신호(CREsig)로 출력하는 클리핑 회로를 포함한다. 이러한 기능을 수행하는 클리핑 회로는 상술한 설명으로부터 당업자가 용이하게 구현할 수 있으므로 상세한 설명은 생략한다.

<56> 상기 타이밍 컨트롤러(170), 제1 및 제2 레벨 쉬프터(150, 160), 전원 공급부(180) 및 클리핑부(190)는 컨트롤 인쇄 회로 기판(104)에 실장된다. 컨트롤 인쇄 회로 기판(104)은 연성 회로 기판(102)을 통하여 박막 트랜지스

터 기판(112)의 제2 주변 영역(PA2)에 연결된다. 액정 패널(110)에 형성된 제1 및 제2 게이트 구동 회로(130, 140)는 데이터 구동부(120)를 통해 타이밍 컨트롤러(140) 및 전원 공급부(180)에 연결되거나 연성 회로 기판(102)을 통해 직접 타이밍 컨트롤러(140) 및 전원 공급부(180)에 연결될 수 있다.

<57> 도 2는 도 1에 도시된 타이밍 컨트롤러의 입출력 신호 관계를 도시한 도면이다. 도 2에 도시된 바와 같이, 타이밍 컨트롤러(170)는 제1 및 제2 레벨 쉬프터(150, 160)로 출력 인에이블 신호(OE), 게이트 클럭(CPV) 및 게이트 스타트 신호(STV)를 제공한다. 또한 타이밍 컨트롤러(170)는 클리핑부(190)로부터 제공되는 클리핑된 리셋 신호(CREsig)에 응답하여 로드 신호(TP)의 타이밍을 조절하여 데이터 구동부(120)로 제공한다.

<58> 한편 제1 및 제2 레벨 쉬프터(150, 160)는 전원 공급부(180)로부터 게이트 구동 전압인 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)를 제공받고, 타이밍 컨트롤러(170)로부터 게이트 제어 신호인 출력 인에이블 신호(OE), 게이트 클럭(CPV) 및 게이트 스타트 신호(STV)를 제공받아, 게이트 온 전압(VON)과 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP), 게이트 클럭 펄스(CKV) 및 게이트 클럭바 펄스(CKVB)를 생성하고, 이를 데이터 구동부(120)를 통하여 제1 및 제2 게이트 구동 회로(130, 140)로 공급한다.

<59> 여기서 게이트 스타트 신호(STV)는 한 프레임(Frame)의 시작을 알리는 신호이며, 개시 펄스(STVP)는 게이트 구동 회로(130, 140)가 한 프레임의 첫 번째 게이트 구동 신호를 생성하도록 하는 신호이다. 또한 게이트 클럭 펄스(CKV) 및 게이트 클럭바 펄스(CKVB)는 서로 위상이 반전된 클럭이며, 게이트 라인을 구동시키는 속도를 빠르게 한다.

<60> 도 3은 도 2에 도시된 타이밍 컨트롤러의 구성 블럭도이다. 도 3에 도시된 바와 같이, 타이밍 컨트롤러(170)는 출력 인에이블 신호 생성부(172), 카운터부(174) 및 로드 신호 생성부(176)를 포함한다.

<61> 상기 출력 인에이블 신호 생성부(172)는 한 프레임의 마지막 출력 인에이블 신호(LASTOE)를 카운터부(174)로 제공한다. 여기서 한 프레임의 마지막 출력 인에이블 신호(LASTOE)란 더미 스테이지에 제공되는 게이트 클럭 펄스(CKV)를 생성하기 위해 사용된 출력 인에이블 신호(OE)를 말한다.

<62> 상기 카운터부(174)는 클리핑된 리셋 신호(CREsig)와 마지막 출력 인에이블 신호(LASTOE)의 라이징(Rising) 시점을 비교하여 클럭 카운터 신호(CLKCOUNT)를 생성하고, 이를 로드 신호 생성부(176)로 제공한다. 여기서 클럭 카운터 신호(CLKCOUNT)는 게이트 구동 회로(130, 140)에 의한 게이트 구동 신호의 자연 시간을 클럭으로 산출한 신호이다.

<63> 상기 로드 신호 생성부(176)는 클럭 카운터 신호(CLKCOUNT)에 응답하여 로드 신호(TP)의 폴링(Falling) 시점을 조절한다. 데이터 구동부(120)는 로드 신호(TP)의 폴링 시점에 데이터를 출력하기 때문이다.

<64> 따라서 본 발명의 일실시 예에 따른 액정 표시 장치는 게이트 구동 회로의 리셋 신호를 피드백 받아 게이트 구동 회로에 의한 자연을 보상할 수 있기 때문에, 게이트 구동 회로 자체에 의한 자연으로 인해 데이터 출력보다 게이트 구동 신호가 늦게 인가되어, 액정 패널의 하단부에 위치한 게이트 라인에 연결된 화소가 원래 표시하여야 할 데이터에 대응하는 휘도보다 어두운 휘도를 표시하는 문제점을 해소할 수 있다.

<65> 도 4는 도 1에 도시된 제1 레벨 쉬프터의 예시 회로도이다. 도 4에 도시된 바와 같이 제1 레벨 쉬프터(130)는, 제1 레벨 쉬프팅부(132), 제2 레벨 쉬프팅부(134) 및 제3 레벨 쉬프팅부(136)를 포함한다.

<66> 제1 레벨 쉬프팅부(132)는 출력 인에이블 신호(OE)와 게이트 클럭(CPV)을 논리 연산하고 전압의 레벨을 증폭시켜 제1 및 제2 게이트 구동 회로(130, 140)에 공급할 게이트 클럭 펄스(CKV)를 발생한다. 이를 위해 제1 레벨 쉬프팅부(132)는 논리 연산부(LG1), 구동 인버터(INV1) 및 풀스윙 인버터(133)를 포함한다.

<67> 논리 연산부(LG1)는 출력 인에이블 신호(OE)와 게이트 클럭(CPV)을 오어 연산한다. 구동 인버터(INV1)는 논리 연산부(LG1)의 출력의 위상을 반전시켜 풀 스윙 인버터(133)의 구동 레벨로 증폭한다. 풀스윙 인버터(133)는 구동 인버터(INV1)의 출력에 응답하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 클럭 펄스(CKV)를 생성한다.

<68> 제2 레벨 쉬프팅부(134)는 출력 인에이블 신호(OE)와 게이트 클럭(CPV)을 논리 연산하고 전압의 레벨을 증폭시켜 제1 및 제2 게이트 구동 회로(130)에 공급할 게이트 클럭바 펄스(CKVB)를 발생한다. 이를 위해 제2 레벨 쉬프팅부(134)는 논리 연산부(LG2), 반전 인버터(INV2), 구동 인버터(INV3) 및 풀스윙 인버터(135)를 포함한다. 여기서 게이트 클럭바 펄스(CKVB)는 게이트 클럭 펄스(CKV)의 위상이 반전된 클럭이다.

<69> 논리 연산부(LG2)는 출력 인에이블 신호(OE)와 게이트 클럭(CPV)을 오어 연산한다. 반전 인버터(INV2)는 논리

연산부(LG1)의 출력의 위상을 반전시켜 출력한다. 구동 인버터(INV3)는 반전 인버터(INV2)의 출력의 위상을 반전시켜 풀 스윙 인버터(135)의 구동 레벨로 증폭한다. 풀스윙 인버터(135)는 구동 인버터(135)의 출력에 응답하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 클럭바 펄스(CKVB)를 생성한다.

- <70> 제3 레벨 쉬프팅부(136)는 출력 인에이블 신호(OE)과 게이트 스타트 신호(STV)를 입력받아 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP)를 발생한다. 여기서 개시 펄스(STVP)는 게이트 스타트 펄스(STV)와 동일한 주기와 폴스 폭을 가지며 전압 레벨이 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨을 가진다.
- <71> 한편 제2 레벨 쉬프터(140)의 구성 및 동작은 상술한 제1 레벨 쉬프터(130)의 구성 및 동작과 동일하므로 상세한 설명은 생략한다.
- <72> 도 5는 도 1에 도시된 제1 및 제2 게이트 구동 회로의 구성 블럭도이다. 도 5에 도시된 바와 같이, 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1, ..., GLn)을 양측에서 듀얼로 구동할 수 있도록 표시 영역(DA)의 양측에 인접하여 배치된다. 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1, ..., GLn)을 기준으로 서로 대칭된 구조를 가진다.
- <73> 제1 게이트 구동 회로(130)는, 데이터 구동부(120)로부터 각종 신호를 입력받아 전달하는 배선부(134) 및 각종 신호에 응답하여 게이트 구동 신호를 순차적으로 출력하는 회로부(132)를 포함한다.
- <74> 상기 회로부(132)는 서로 종속적으로 연결된 복수의 스테이지(STAGE1, ..., STAGEn+1)로 구성되는 쉬프터 레지스터를 포함한다. 제1 내지 제n 스테이지(STAGE1, ..., STAGEn)는 제1 내지 n 게이트 라인(GL1, ..., GLn)에 전기적으로 연결되어 게이트 구동 신호를 순차적으로 출력한다. n+1 스테이지(STAGEn+1)는 더미 스테이지이다. 여기서 n은 짹수이다.
- <75> 복수의 스테이지(STAGE1, ..., STAGEn+1)는 각각은 제1 및 제2 클럭 단자(CK1, CK2), 입력 단자(IN), 제어 단자(CT), 출력 단자(OUT), 리셋 단자(RE), 캐리 단자(CR) 및 접지 전압 단자(VSS)를 포함한다.
- <76> 복수의 스테이지(STAGE1, ..., STAGEn+1) 중 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEn+1)는 제1 클럭 단자(CK1)에 게이트 클럭 펄스(CKV)이 제공되고 제2 클럭 단자(CK2)에 게이트 클럭바 펄스(CKVB)가 제공된다. 복수의 스테이지(STAGE1, ..., STAGEn) 중 짹수 번째 스테이지(STAGE2, STAGE4, ..., STAGEn)는 제1 클럭 단자(CK1)에 게이트 클럭바 펄스(CKVB)가 제공되고 제2 클럭 단자(CK2)에 게이트 클럭 펄스(CKV)가 제공된다.
- <77> 복수의 스테이지(STAGE1, ..., STAGEn+1)의 입력 단자(IN)는 이전 스테이지의 캐리 단자(CR)에 연결되어 이전 스테이지의 캐리 신호가 제공되고, 제어 단자(CT)는 다음 스테이지의 출력 단자(OUT)에 연결되어 다음 스테이지의 출력 신호가 제공된다. 첫 번째 스테이지(STAGE1)는 이전 스테이지가 존재하지 않으므로 입력 단자(IN)에 개시 펄스(STVP)가 제공된다. 캐리 단자(CR)로부터 출력되는 캐리 신호는 다음 스테이지를 구동시키는 역할을 수행한다.
- <78> n번째 스테이지(STAGEn)의 제어 단자(CT)에 캐리 신호를 제공하는 더미 스테이지(STAGEn+1)의 제어 단자(CT)에는 개시 펄스(STVP)가 제공되는 것이 바람직하다. 복수의 스테이지(STAGE1, ..., STAGEn+1)의 접지 전압 단자(VSS)에는 접지 전압(VOFF)이 제공되고, 리셋 단자(RE)에는 n+1 스테이지(STAGEn+1)의 출력 신호가 제공된다.
- <79> 또한 복수의 스테이지(STAGE1, ..., STAGEn+1) 중 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEn+1)의 출력 단자(OUT)는 게이트 클럭 펄스(CKV)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 게이트 클럭 펄스(CKV)를 캐리 신호로 출력한다. 복수의 스테이지(STAGE1, ..., STAGEn) 중 짹수 번째 스테이지(STAGE2, STAGE4, ..., STAGEn)의 출력 단자(OUT)는 게이트 클럭바 펄스(CKVB)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 게이트 클럭바 펄스(CKVB)를 캐리 신호로 출력한다.
- <80> 다시 설명하면, 제1 게이트 구동 회로(130)는 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEn+1)가 게이트 클럭 펄스(CKV)에 동기되어 게이트 구동 신호를 출력하고, 짹수 번째 스테이지(STAGE2, STAGE4, ..., STAGEn)가 게이트 클럭바 펄스(CKVB)에 동기되어 게이트 구동 신호를 출력하는 구조를 가진다.
- <81> 제1 게이트 구동 회로(130)의 복수의 스테이지(STAGE1, ..., STAGEn)의 출력 단자(OUT)는 표시 영역(DA)에 형성된 게이트 라인(GL1, ..., GLn)에 각각 대응하여 연결되며 게이트 구동 신호를 게이트 라인(GL1, ..., GLn)에 순차적으로 공급하여 게이트 라인(GL1, ..., GLn)을 순차적으로 구동한다.
- <82> 상기 배선부(134)는 회로부(132)에 인접하여 형성된다. 배선부(134)는 서로 평행하도록 연장된 개시 펄스 배선

(SL1), 게이트 클럭 펄스 배선(SL2), 게이트 클럭바 펄스 배선(SL3), 접지전압배선(SL4) 및 리셋 배선(SL5)을 포함한다.

- <83> 개시 펄스 배선(SL1)은 제1 레벨 쉬프터(150)로부터 개시 펄스(STVP)를 전달받아 제1 스테이지(STAGE1)의 입력 단자와 n+1 스테이지(STAGEn+1)의 제어 단자(CT)로 입력한다.
- <84> 게이트 클럭 펄스 배선(SL2)은 제1 레벨 쉬프터(150)로부터 게이트 클럭 펄스(CKV)를 전달받아 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEn+1)의 제1 클럭 단자(CK1)로 제공하고, 짹수 번째 스테이지(STAGE2, STAGE4, ..., STAGEn)의 제2 클럭 단자(CK2)로 제공한다.
- <85> 게이트 클럭바 펄스 배선(SL3)은 제1 레벨 쉬프터(150)로부터 게이트 클럭바 펄스(CKVB)를 전달받아 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEn+1)의 제2 클럭 단자(CK2)로 제공하고, 짹수 번째 스테이지(STAGE2, STAGE4, ..., STAGEn)의 제1 클럭 단자(CK1)로 제공한다.
- <86> 접지전압배선(SL4)은 전원 공급부(180)로부터 게이트 오프 전압(VOFF)을 전달받아 제1 내지 제n+1 스테이지(STAGE1, ..., STAGEn+1)의 접지 전압 단자(VSS)로 공급한다.
- <87> 리셋 배선(SL5)은 제n+1 스테이지(STAGEn+1)의 출력 단자(OUT)의 출력 신호를 복수의 스테이지(STAGE1, ..., STAGEn+1)의 리셋 단자(RE)에 리셋 신호(RESIG)로 제공한다. 또한 리셋 배선(SL5)은 제n+1 스테이지(STAGEn+1)의 출력 단자(OUT)의 출력 신호를 클리핑부(190)에 제공한다.
- <88> 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1, ..., GLn)을 기준으로 서로 대칭된 구조를 가진다. 제1 게이트 구동 회로(130)로부터 제2 게이트 구동 회로(140)의 구성을 용이하게 유추할 수 있으므로 제2 게이트 구동 회로(140)의 상세한 설명은 생략한다.
- <89> 본 발명의 일실시 예에 따른 액정 표시 장치는 동일한 구성의 게이트 구동 회로를 게이트 라인의 양단 위치시켜 게이트 라인을 투열로 구동하는 구성을 가지기 때문에, 서로 엇갈려 출력되는 게이트 구동 신호가 게이트 라인의 끝으로 갈수록 지연되어 출력되어 게이트 라인의 좌우 측 양단 부분에서 서로 인접한 두 게이트 라인 사이에 휘도 차가 발생하는 종래 문제점이 해소될 수 있다.
- <90> 도 6은 도 5에 도시된 제1 스테이지의 예시 회로도이다. 도 5에 도시된 제1 스테이지는 제2 내지 제n+1 스테이지와 동일한 구성을 가지므로 제1 스테이지의 내부 구성을 설명하는 것으로 제2 내지 제n+1 스테이지 각각의 구성에 대한 설명을 대신한다.
- <91> 도 6에 도시된 바와 같이, 제1 스테이지(STAGE1)는 풀업부(132a), 풀 다운부(132b), 구동부(132c), 훌딩부(133d), 스위칭부(133e) 및 캐리부(133f)를 포함한다.
- <92> 상기 풀업부(132a)는 제1 클럭 단자(CK1)를 통해 제공되는 게이트 클럭 펄스(CKV)를 풀업시켜 출력 단자(OUT)를 통해 게이트 구동 신호로 출력한다. 풀업부(132a)는 게이트가 제1 노드(N1)에 연결되고, 드레인이 제1 클럭 단자(CK1)에 연결되며, 소스가 출력 단자(OUT)에 연결되는 제1 트랜지스터(NT1)를 포함한다.
- <93> 상기 풀다운부(132b)는 제2 스테이지(STAGE2)로부터의 캐리 신호에 응답하여 풀업된 게이트 구동 신호를 접지전압단자(VSS)를 통해 제공된 게이트 오프 전압(VOFF)으로 풀다운 시킨다. 풀다운부(132b)는 게이트가 제어 단자(CT)에 연결되고, 드레인이 출력 단자(OUT)에 연결되며, 소스가 접지 전압 단자(VSS)에 연결된 제2 트랜지스터(NT2)를 포함한다.
- <94> 상기 구동부(132c)는 입력 단자(IN)를 통해 제공되는 개시 펄스(STVP)에 응답하여 풀업부(132a)를 터온시키고, 제2 스테이지(STAGE2)의 캐리 신호에 응답하여 터오프시킨다. 이를 위해 구동부(132c)는 버퍼부, 충전부 및 방전부를 포함한다.
- <95> 버퍼부는 게이트 및 드레인이 입력 단자(IN)에 공통으로 연결되고, 소스가 제1 노드(N1)에 연결된 제3 트랜지스터(NT3)를 포함한다. 충전부는 제1 전극이 제1 노드(N1)에 연결되고 제2 전극이 제2 노드에 연결된 제1 커패시터(C1)를 포함한다. 방전부는 게이트가 제어 단자(CT)에 연결되고 드레인이 제1 노드(N1)에 연결되며 소스가 접지 전압 단자(VSS)에 연결되는 제4 트랜지스터(NT4)를 포함한다.
- <96> 입력 단자(IN)에 개시 펄스(STVP)가 입력되면, 이에 응답하여 제3 트랜지스터(NT3)가 터온되고 개시 펄스(STVP)가 제1 커패시터(C1)에 충전된다. 제1 커패시터(C1)에 제1 트랜지스터(NT1)의 문턱 전압 이상의 전하가 충전되면, 제1 트랜지스터(NT1)가 터온되어 제1 클럭 단자(CK1)로 제공되는 게이트 클럭 펄스(CKV)를 출력 단자(OUT)로 출력한다.

- <97> 이때 노드 1(N1)의 전위는 노드 2(N2)의 갑작스런 전위의 변화에 따른 제1 커패시터(C1)의 커플링(Coupling)에 의해 노드 2(N2)의 전위 변화량 만큼 부트 스트랩(Boot Strap)된다. 따라서 제1 트랜지스터(NT1)는 드레인에 인가된 제1 게이트 클럭 펄스(CKV)를 출력 단자(OUT)로 용이하게 출력할 수 있게 된다. 출력 단자(OUT)로 출력된 게이트 클럭 펄스(CKV)는 게이트 라인에 제공되는 게이트 구동 신호가 된다. 여기서 개시 펄스(STVP)는 첫 번째 게이트 구동 신호를 생성하기 위해 제1 트랜지스터(NT1)를 예비로 충전하는 신호로 사용된다.
- <98> 이후, 제어 단자(CT)를 통해 입력되는 제2 스테이지(STAGE2)의 캐리 신호에 응답하여 제4 트랜지스터(NT4)가 턴온되면 제1 커패시터(C1)에 충전된 전하는 접지 전압 단자(VSS)를 통해 제공되는 게이트 오프 전압(VOFF) 레벨로 방전된다.
- <99> 상기 홀딩부(133d)는 게이트 구동 신호를 게이트 오프 전압(VOFF) 레벨 상태로 홀딩시키는 제5 및 제6 트랜지스터(NT5, NT6)를 포함한다. 제5 트랜지스터(NT5)는 게이트가 제3 노드(N3)에 연결되고 드레인이 제2 노드(N2)에 연결되며 소스가 접지 전압 단자(VSS)에 연결된다. 제6 트랜지스터(NT6)는 게이트가 제2 클럭 단자(CK2)에 연결되고 드레인이 제2 노드에 연결되며 소스가 접지전압단자(VSS)에 연결된다.
- <100> 상기 스위칭부(133e)는 제7, 제8, 제9 및 제10 트랜지스터(NT7, NT8, NT9, NT10)와 제2 및 제3 커패시터(C2, C3)를 포함하여 홀딩부(133d)의 구동을 제어한다. 제7 트랜지스터(NT7)는 게이트와 드레인이 제1 클럭 단자(CK1)에 연결되고 소스는 제3 노드에 연결된다. 제8 트랜지스터(NT8)는 드레인이 제1 클럭 단자(CK1)에 연결되고 게이트는 제2 커패시터(C2)를 통해 드레인과 연결되며 소스는 제3 노드에 연결되며 제3 커패시터(C3)를 통해 게이트에 연결된다. 제9 트랜지스터(NT9)는 드레인이 제7 트랜지스터(NT7)의 소스에 연결되며 게이트는 제2 노드(N2)에 연결되고 소스는 접지전압단자(VSS)에 연결된다. 제10 트랜지스터(NT10)는 드레인이 제3 노드(N3)에 연결되고 게이트는 제2 노드(N2)에 연결되며 소스는 접지 전압 단자(VSS)에 연결된다.
- <101> 출력 단자(OUT)로 하이 상태의 게이트 클럭 펄스(CKV)가 게이트 구동 신호로 출력되면, 제2 노드(N2)의 전위는 하이 상태로 상승한다. 제2 노드(N2)의 전위가 하이 상태로 상승되면 제9 및 제10 트랜지스터(NT9, NT10)는 턴온 상태로 전환한다. 이때 제1 클럭 단자(CK1)로 제동되는 게이트 클럭 펄스(CKV)에 의해서 제7 및 제8 트랜지스터(NT7, NT8)가 턴온된 상태로 전환되더라도 제7 및 제8 트랜지스터로부터 출력된 신호는 제9 및 제10 트랜지스터(NT9, NT10)를 통해 접지 전압(VOFF) 상태로 방전된다. 따라서 하이 상태의 게이트 구동 신호가 출력되는 동안 제3 노드(N3)의 전위는 로우 상태로 유지되므로 제5 트랜지스터(NT5)는 턴오프 상태를 유지한다.
- <102> 이후, 제어 단자(CT)를 통해 입력된 제2 스테이지(STAGE2)의 캐리 신호에 응답하여 게이트 구동 신호가 접지 전압 단자(VSS)를 통해 방전되며, 제2 노드(N2)의 전위는 로우 상태로 점차 하강한다. 따라서 제9 및 제10 트랜지스터(NT9, NT10)는 턴오프 상태로 전환되고, 제7 및 제8 트랜지스터(NT7, NT8)로부터 출력된 신호에 의해서 제3 노드(N3)의 전위는 하이 상태로 상승한다. 제3 노드(N3)의 전위가 상승됨에 따라서 제5 트랜지스터(NT5)가 턴온되고 제2 노드(N2)의 전위는 제5 트랜지스터(NT5)를 통해 접지 전압(VOFF) 상태로 방전된다.
- <103> 이런 상태에서 제2 클럭 단자(CK2)로 제공되는 게이트 클럭바 펄스(CVKB)에 의해서 제6 트랜지스터(NT6)가 턴온되면, 제2 노드(N2)의 전위는 접지전압단자(VSS)를 통해 더욱 확실하게 방전된다.
- <104> 결과적으로 홀딩부(132d)의 제5 및 제6 트랜지스터(NT5, NT6)는 제2 노드(N2)의 전위를 접지전압(VOFF) 상태로 홀딩시킨다. 스위칭부(132e)는 제5 트랜지스터(NT5)가 턴온되는 시점을 결정한다.
- <105> 상기 캐리부(133f)는 드레인이 제1 클럭 단자(CK1)에 연결되고 게이트가 제1 노드(N1)에 연결되며, 소스가 캐리 단자(CR)에 연결된 제11 트랜지스터(NT11)를 포함한다. 제11 트랜지스터(NT11)는 제1 노드(N1)의 전위가 상승됨에 따라서 턴온되어 드레인으로 입력된 게이트 클럭 펄스(CKV)를 캐리 단자(CR)로 출력한다.
- <106> 한편 제1 스테이지(STAGE1)는 리플 방지부(132g)와 리셋부(132h)를 더 포함한다. 상기 리플 방지부(132g)는 이미 접지 전압(VOFF) 상태로 유지된 게이트 구동 신호가 입력 단자(IN)를 통해 입력되는 노이즈에 의해 리플되는 것을 방지한다. 이를 위해 리플 방지부(132g)는 제12 트랜지스터(NT12)와 제13 트랜지스터(NT13)를 포함한다. 제12 트랜지스터(NT12)는 드레인이 입력 단자(IN)에 연결되고, 게이트가 제2 클럭 단자(CK2)에 연결되며 소스는 제1 노드(N1)에 연결된다. 제13 트랜지스터(NT13)는 드레인이 제1 노드(N1)에 연결되고 게이트가 제1 클럭 단자(CK1)에 연결되며 소스가 제2 노드에 연결된다.
- <107> 상기 리셋부(132h)는 드레인이 제1 노드(N1)에 연결되고, 게이트가 리셋 단자(RE)에 연결되며, 소스가 접지전압 단자(VSS)에 연결된 제14 트랜지스터(NT14)를 포함한다. 제14 트랜지스터(NT14)는 리셋 단자(RE)를 통해 입력된 제n+1 스테이지(STAGEn+1)의 출력 신호인 리셋 신호(Resig)에 응답하여 제1 노드(N1)를 접지 전압(VOFF) 상태로

방전시킨다. 제n+1 스테이지(STAGEn+1)의 출력 신호인 리셋 신호(RESig)는 한 프레임을 끝을 의미하므로, 리셋 부(132h)는 한 프레임이 끝나는 시점에 복수의 스테이지(STAGE1, ..., STAGEn)의 제1 노드(N1)를 방전시킨다.

<108> 즉 상기 리셋부(132h)는 복수의 스테이지(STAGE1, ..., STAGEn)로부터 순차적으로 게이트 구동 신호가 출력된 이후, 제n+1 스테이지(STAGEn+1)의 출력 신호에 의해서 복수의 스테이지(STAGE1, ..., STAGEn)의 제14 트랜지스터(NT14)가 턴온되게 함으로써, 복수의 스테이지(STAGE1, ..., STAGEn)의 제1 노드(N1)를 접지 전압(VOFF)의 상태로 리셋시킨다. 따라서, 이후 회로부(132)의 복수의 스테이지(STAGE1, ..., STAGEn+1)는 초기화된 상태에서 다시 동작을 시작할 수 있다.

<109> 본 실시 예에서 상기 리셋 신호(RESig)는 게이트 구동 회로에 의한 게이트 구동 신호의 지연 시간을 산출하기 위해 타이밍 컨트롤러로 피드백되는 신호로 사용된다.

<110> 도 7은 도 1에 도시된 액정 표시 장치의 동작 타이밍도이다. 도 7을 참조하면, 제1 및 제2 레벨 쉬프터(150, 160)는 타이밍 컨트롤러(170)로부터 제공받은 출력 인에이블 신호(OE)와 게이트 클럭(CPV)을 오어 연산하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)의 게이트 클럭 펄스(CKV) 및 게이트 클럭바 펄스(CKVB)를 생성한다. 제1 및 제2 게이트 구동 회로(130, 140)의 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEn+1)는 게이트 클럭 펄스(CKV)를 게이트 구동 신호로 출력하고, 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEn)는 게이트 클럭바 펄스(CKVB)를 게이트 구동 신호로 출력한다.

<111> 한편, 타이밍 컨트롤러(170)는 각 게이트 라인(GL1, ..., GLn)에 순차적으로 제공되는 게이트 구동 신호가 하이 레벨로 라이징하는 시점에 로드 신호(TP)의 폴링 시점을 동기시켜, 데이터 구동부(120)가 데이터 라인에 데이터에 해당하는 아날로그 전압(AVDD)을 제공하도록 한다. 따라서 게이트 구동 회로(130, 140)에 의해 게이트 구동 신호가 지연되면, 게이트 구동 신호가 지연된 만큼 로드 신호(TP)의 폴링 시점을 지연시켜, 게이트 구동 회로(130, 140)에 의해 게이트 구동 신호가 지연됨에 따라 발생하는 문제점을 해소할 수 있다.

<112> 본 발명의 일실시 예에 따른 액정 표시 장치를 이용하여 게이트 구동 회로의 리셋 신호를 피드백 받아 게이트 구동 회로에 의한 지연을 보상하는 방법에 대하여 좀 더 자세하게 설명한다.

<113> 도 8은 본 발명의 일실시 예에 따른 ASG 지연 감소 방법의 절차 흐름도이고, 도 9a 내지 도 9d는 ASG 지연 감소 방법을 설명하기 위한 신호의 타이밍도를 도시한 도면이다.

<114> 도 8를 참조하면, 본 발명의 일실시 예에 따른 ASG 지연 감소 방법은 가로줄 현상 분석단계(S100), 리셋 신호 피드백 단계(S200), 리셋 신호 클리핑 단계(S400), 지연 시간 산출 단계(S400) 및 로드 신호 타이밍 조절 단계(S500)를 포함한다.

<115> 상기 가로줄 현상 분석단계(S100)는 게이트 구동 회로(130, 140)가 복수의 게이트 라인(GL1, ..., GLn)에 순차적으로 게이트 구동 신호를 인가할 때, 게이트 구동 회로(130, 140) 자체 지연으로 인해 데이터 출력보다 게이트 구동 신호가 늦게 인가됨으로 인해 나타나는 가로줄 현상을 분석하는 단계이다.

<116> 구체적으로 도 9a를 참조하면, 복수의 게이트 라인(GL1, ..., GLn)에 제공되는 게이트 구동 신호는 액정 패널(110)의 하단부로 갈수록 게이트 구동 회로(130, 140) 자체 지연으로 인해 출력이 지연되는 현상이 발생한다. 예를 들어, 초록에 해당하는 게이트 라인에 연결된 화소만을 턴온 시켰을 때, 액정 패널(110)의 하단부의 게이트 라인에 연결된 화소에는 게이트 구동 신호가 지연되어 원래 표시되어야 할 초록보다 어둡게 표시되게 된다. 따라서 초록에 해당하는 게이트 라인과 파랑에 해당하는 게이트 라인에 연결된 화소를 턴온 시키면, 게이트 구동 신호의 지연에 의해 파랑에 해당하는 데이터가 화소에 충전될 때 초록에 해당하는 데이터가 동시에 인가되어 원래 표시되어야 할 파랑보다 어둡게 표시되게 된다.

<117> 이는 게이트 구동 회로(130, 140) 자체 지연으로 인해 데이터 출력보다 게이트 구동 신호가 늦게 인가됨으로 인해 나타나는 현상이다. 그러므로, 게이트 구동 회로(130, 140) 자체 지연으로 게이트 구동 신호가 지연되는 만큼 로드 신호의 타이밍을 지연시킴으로써 상기의 문제점을 해결할 수 있음을 알 수 있다.

<118> 상기 리셋 신호 피드백 단계(S200)는 게이트 구동 회로(130, 140)의 더미 스테이지(STAGEn+1)의 출력 신호인 리셋 신호(RESig)를 클리핑부(190)로 제공하는 단계이다. 구체적으로 도 9b를 참조하면, 게이트 구동 회로(130, 140)에 의한 지연이 발생된 경우 리셋 신호(RESig)는 게이트 구동 회로(130, 140)에 의한 지연이 발생되지 않은 경우 더미 스테이지(STAGEn+1)의 출력 신호(XRESig)에 대비하여 일정한 지연(DELAY)이 발생 되었음을 알 수 있다. 여기서 OE와 CVP는 출력 신호 XRESig를 생성하기 위해 사용된 출력 인에이블 신호와 게이트 클럭이다.

<119> 상기 리셋 신호 클리핑 단계(S300)는 클리핑부(190)를 통하여 리셋 신호(RESig)를 일정한 전압 레벨로 클리핑하

여 타이밍 컨트롤러(170)로 제공하는 단계이다. 구체적으로 도 9c를 참조하면, 리셋 신호(RESig)는 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨을 가지기 때문에, 리셋 신호(RESig)를 타이밍 컨트롤러(170)에서 처리할 수 있는 전압 레벨, 예를 들면 0V 및 3.3V 레벨의 신호로 변환하여 클리핑된 리셋 신호(CREsig)를 생성한다.

<120> 상기 자연 시간 산출 단계(S400)는 클리핑된 리셋 신호(CREsig)와 마지막 출력 인에이블 신호(LASTOE)를 이용하여 게이트 구동 신호의 자연 시간을 산출하는 단계이다. 게이트 구동 신호의 자연이 없다면, 더미 스테이지(STAGEn+1)에서 출력되는 리셋 신호(RESig)는 마지막 출력 인에이블 신호(LASTOE)의 라이징 시점에 출력되고, 데이터는 로드 신호(TP)의 폴링 시점에 출력되어야 한다. 그러므로 클리핑된 리셋 신호(CREsig)와 마지막 출력 인에이블 신호(LASTOE)를 이용하여 게이트 구동 신호의 자연 시간을 산출할 수 있다. 여기서 산출된 게이트 구동 신호의 자연 시간은 로드 신호(TP)의 타이밍을 조절하는 데 사용된다.

<121> 게이트 구동 신호의 자연 시간은 아래 수학식1 내지 수학식3을 통하여 산출될 수 있다.

### 수학식 1

$$1H_{ideal} = 1Frame_{ideal} \div Gn$$

<122> 수학식1에서  $1H_{ideal}$ 은 게이트 구동 회로(130, 140)에 의한 자연이 없는 경우 1 수평 주기이며,  $1Frame_{ideal}$ 은 게이트 구동 회로(130, 140)에 의한 자연이 없는 경우 1 프레임 주기이며,  $Gn$ 은 전체 게이트 라인 수이다.

### 수학식 2

$$1H_{real} = 1Frame_{real} \div Gn$$

<124> 수학식2에서  $1H_{real}$ 은 게이트 구동 회로(130, 140)에 의한 자연이 발생된 경우 1 수평 주기이며,  $1Frame_{real}$ 은 게이트 구동 회로(130, 140)에 의한 자연이 발생된 경우 1 프레임 주기이며,  $Gn$ 은 전체 게이트 라인 수이다.

### 수학식 3

$$T_{TP} = 1H_{ideal} \times Gm + (1H_{real} - 1H_{ideal}) \times Gm \div Gn$$

<125> 수학식3에서  $1T_{TP}$ 는 m번째 게이트 라인에 연결된 화소에 데이터가 인가되어야 할 시점, 즉 로드 신호의 폴링 시점이며,  $Gm$ 은 m번째 게이트 라인이다.

<126> 구체적으로 도 9d를 참조하면, 클리핑된 리셋 신호(CREsig)를 마지막 출력 인에이블 신호(LASTOE)를 비교하여 게이트 구동 신호의 자연 시간을 산출한다.

<127> 만약 게이트 구동 회로(130, 140)에 의한 자연이 없다면 클리핑된 리셋 신호(CREsig)의 라이징 시점은 마지막 출력 인에이블 신호(LASTOE)의 라이징 시점과 동일하여야 하지만 실제로는 게이트 구동 회로(130, 140)에 의해 리셋 신호(RESig)가 자연되어 출력되기 때문에 클리핑된 리셋 신호(CREsig)의 라이징 시점은 마지막 출력 인에이블 신호(LASTOE)의 라이징 시점은 일치하지 않는다.

<128> 따라서, 클리핑된 리셋 신호(CREsig)의 라이징 시점을 마지막 출력 인에이블 신호(LASTOE)의 라이징 시점과 비교하여 출력 인에이블 신호(LASTOE)의 라이징 시점부터 클리핑된 리셋 신호(CREsig)의 라이징 시점까지 클럭 수를 카운터하여 클럭 카운트 신호(CLKCOUNT)를 생성하여 게이트 구동 신호의 자연 시간을 산출할 수 있다.

<129> 본 실시예는 게이트 라인 수가 768이고, 카운터된 클럭이 40 클럭, 즉 클럭 카운트 신호(CLKCOUNT)가 40인 경우를 예시한다.

<130> 상기 로드 신호 타이밍 조절 단계(S500)는 클럭 카운트 신호(CLKCOUNT)에 응답하여 로드 신호(TP)의 폴링 시점을 조절하는 단계이다. 예를 들면, 게이트 라인 수가 768이고, 클럭 카운트 신호(CLKCOUNT)가 40인 경우, 768 라인 / 40 클럭 = 19.2로 계산되어 19.2 라인마다 1 클럭씩 자연이 발생됨을 알 수 있다. 이를 올림 처리하면 20 라인마다 1 클럭씩 자연이 발생된다.

- <133> 따라서, 1 내지 20 번째 게이트 라인(GL1, ..., GL20)에 연결된 화소에는 각 게이트 라인에 해당하는 출력 인에이블 신호(OE)의 라이징 시점에 로드 신호(TP)의 폴링 시점이 동기되도록 하여 데이터를 출력한다. 그리고, 21 내지 40 번째 게이트 라인(GL21, ..., GL40)에 연결된 화소에는 각 게이트 라인에 해당하는 출력 인에이블 신호(OE)의 라이징 시점보다 1 클럭 지연된 시점에 로드 신호(TP)의 폴링 시점이 동기되도록 하여 데이터를 출력한다.
- <134> 그리고, 41 내지 60 번째 게이트 라인(GL41, ..., GL60)에 연결된 화소에는 각 게이트 라인에 해당하는 출력 인에이블 신호의 라이징 시점보다 2 클럭 지연된 시점에 로드 신호(TP)의 폴링 시점이 동기되도록 하여 데이터를 출력한다. 나머지 게이트 라인(GL61, ..., GL768)에 연결된 화소에도 이러한 방식으로 로드 신호(TP)의 폴링 시점을 조절하여 게이트 구동 회로(130, 140)에 의한 게이트 구동 신호의 지연을 보상할 수 있다.
- <135> 다시 설명하면, 설정된 1 프레임 시간과 실제 더미 스테이지(STAGE $n+1$ )에서 리셋 신호(RESig)가 출력되는 시점을 이용하여 1 수평 주기로 출력되는 로드 신호(TP)의 폴링 시점을 조절함으로써 게이트 구동 회로(130, 140) 자체 지연에 의한 게이트 구동 신호의 지연을 보상할 수 있다.

### 발명의 효과

- <136> 본 발명의 액정 표시 장치는, 동일한 구성의 게이트 구동 회로를 게이트 라인의 양단 위치시켜 게이트 라인을 듀얼로 구동하고, 게이트 구동 회로의 리셋 신호를 피드백 받아 게이트 구동 회로에 의한 지연을 보상할 수 있기 때문에, 게이트 라인 지연 및 게이트 구동 회로 지연에 의한 가로줄 시인 현상을 제거할 수 있는 효과가 있다.
- <137> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- <138> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

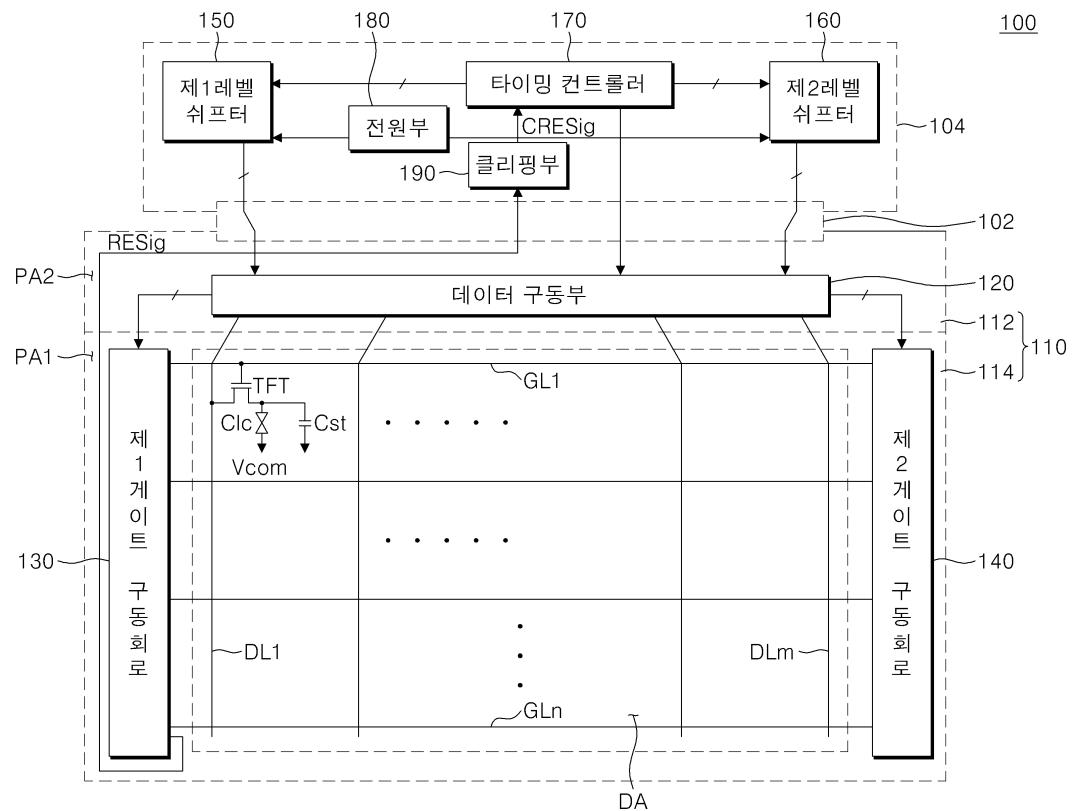
- <1> 도 1은 본 발명의 일실시 예에 따른 액정 표시 장치의 구성 블럭도,  
 <2> 도 2는 도 1에 도시된 타이밍 컨트롤러의 입출력 신호 관계를 도시한 도면,  
 <3> 도 3은 도 2에 도시된 타이밍 컨트롤러의 구성 블럭도,  
 <4> 도 4는 도 1에 도시된 제1 레벨 쉬프터의 예시 회로도,  
 <5> 도 5는 도 1에 도시된 제1 및 제2 게이트 구동 회로의 구성 블럭도,  
 <6> 도 6은 도 5에 도시된 제1 게이트 구동 회로의 스테이지의 예시 회로도  
 <7> 도 7은 도 1에 도시된 액정 표시 장치의 동작 타이밍도,  
 <8> 도 8은 본 발명의 일실시 예에 따른 ASG 딜레이 감소 방법의 절차 흐름도, 및  
 <9> 도 9a 내지 도 9d는 도 8의 ASG 딜레이 감소 방법을 설명하기 위한 신호의 타이밍도를 도시한 도면이다.

### <도면의 주요부분에 대한 부호설명>

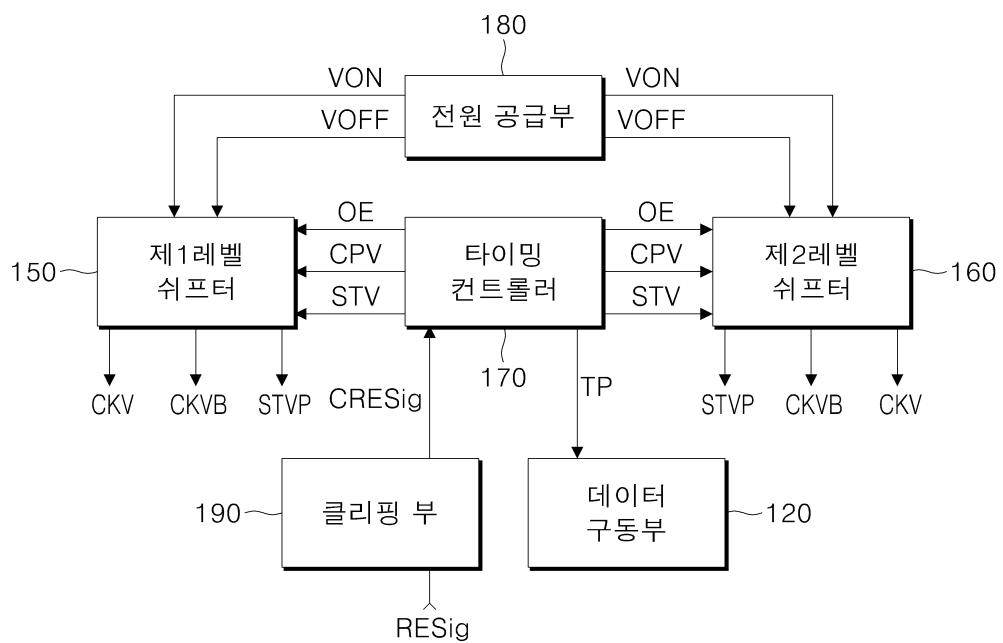
- |                        |                   |
|------------------------|-------------------|
| <11> 100: 액정 표시 장치     | 110: 액정 패널        |
| <12> 120: 데이터 구동부      | 130: 제1 게이트 구동 회로 |
| <13> 140: 제2 게이트 구동 회로 | 150: 제1 레벨 쉬프터    |
| <14> 160 제2 레벨 쉬프터     | 170: 타이밍 컨트롤러     |
| <15> 180: 전원부          | 190: 클리핑부         |

## 도면

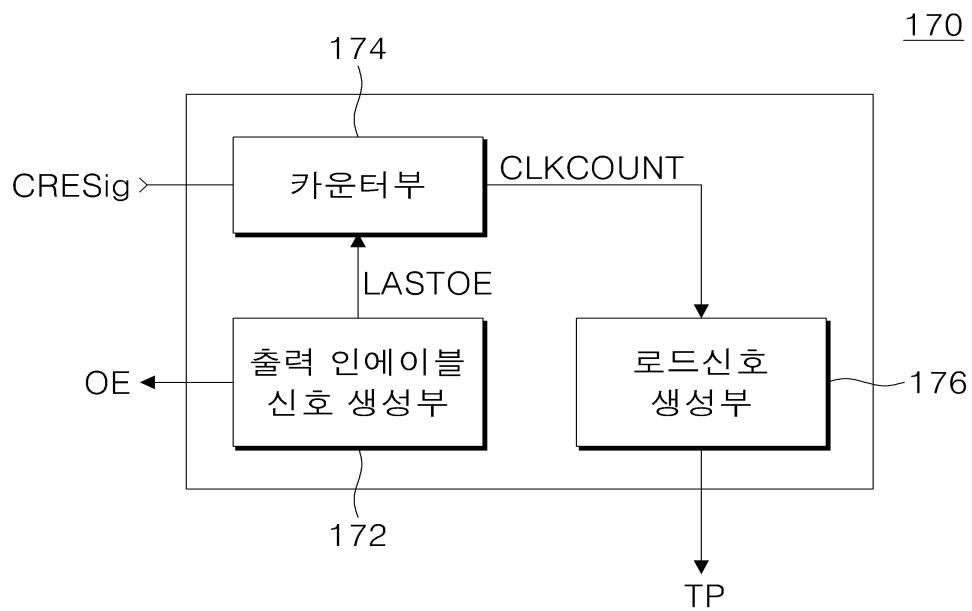
## 도면1



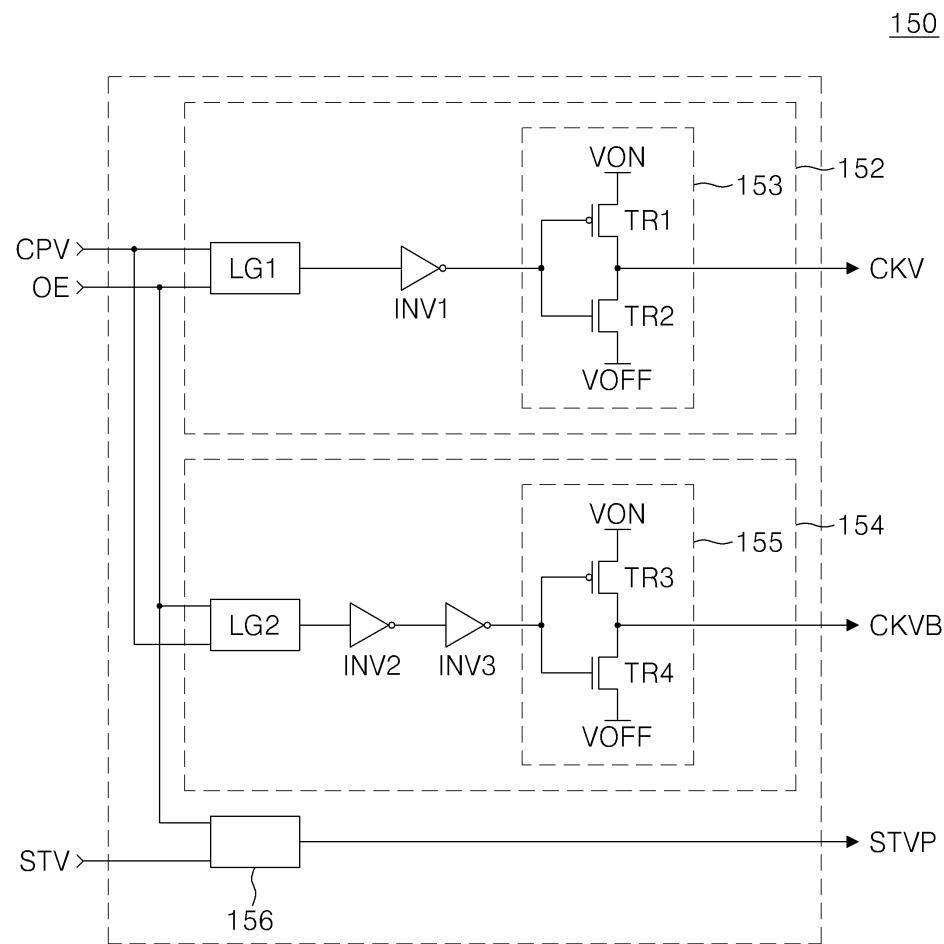
## 도면2



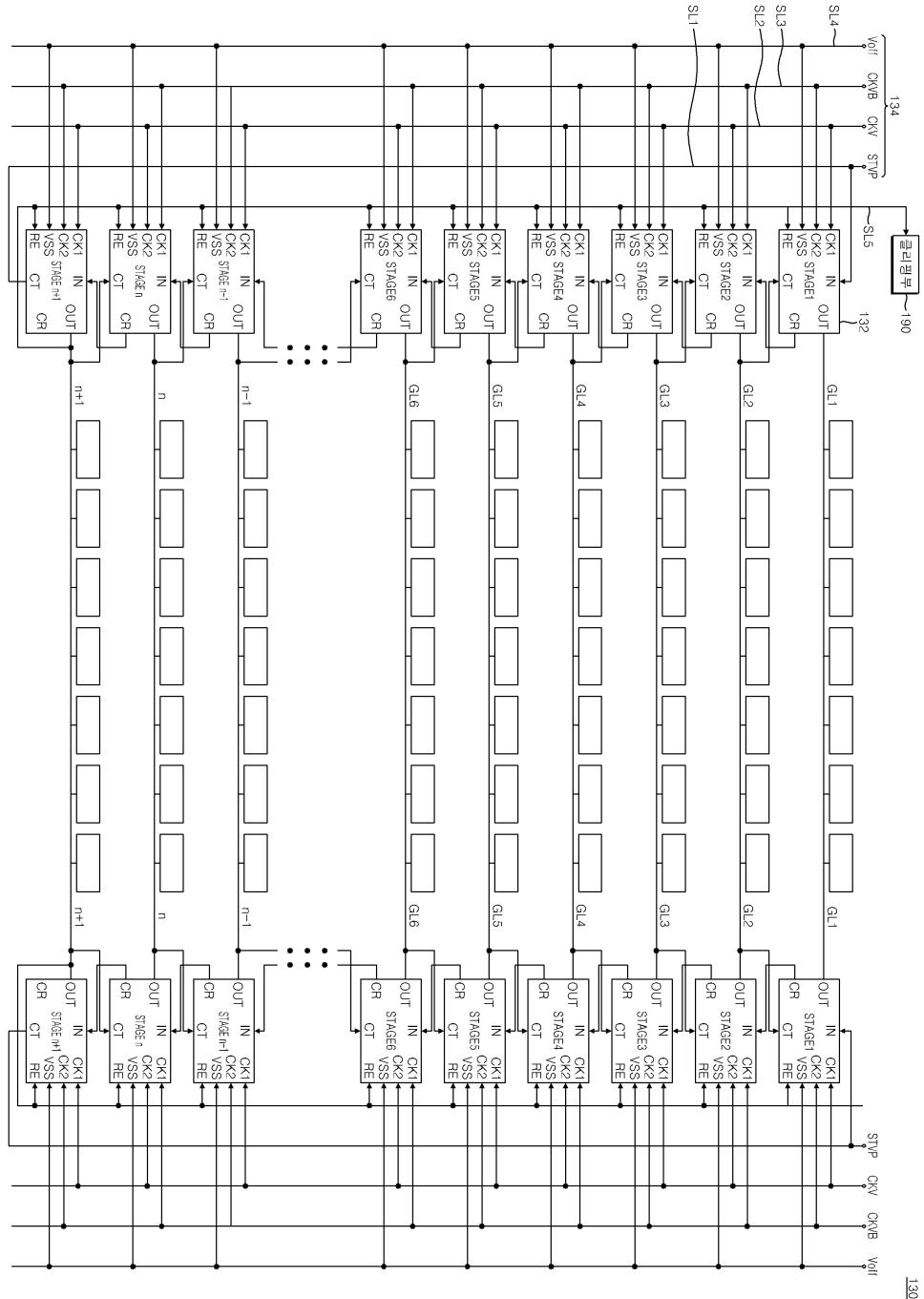
## 도면3



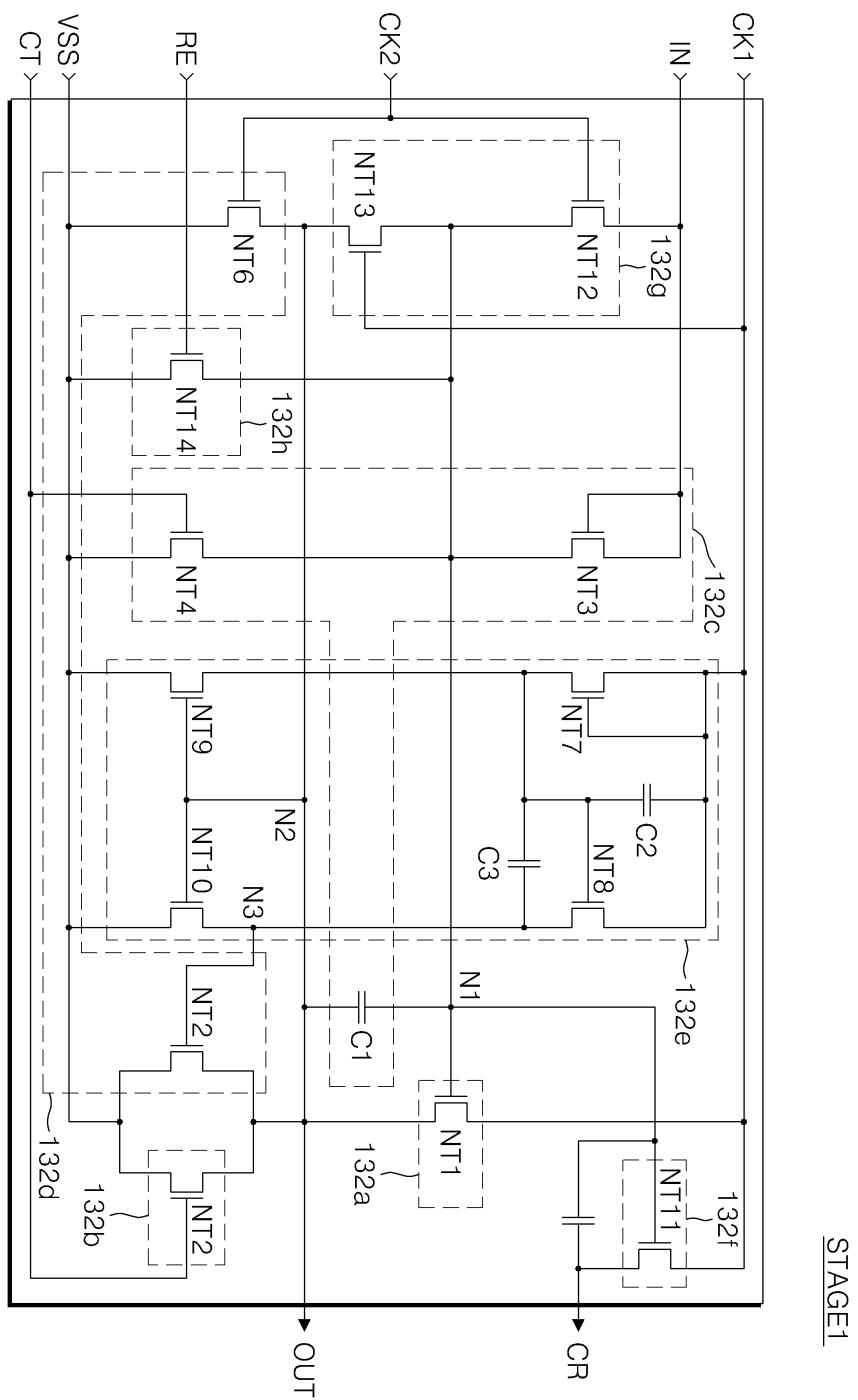
## 도면4



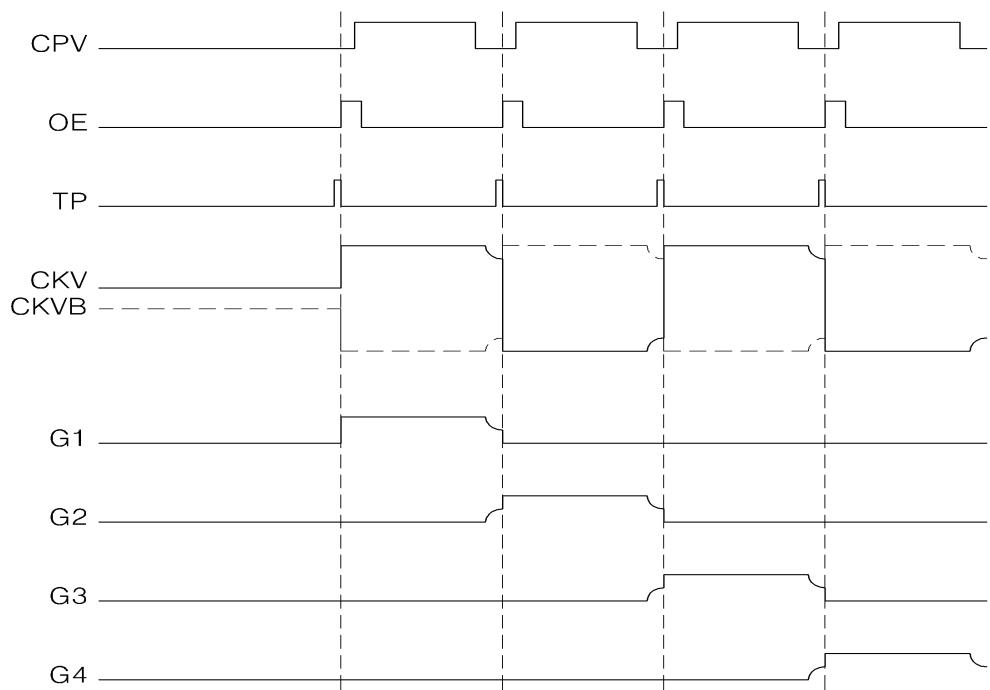
## 도면5



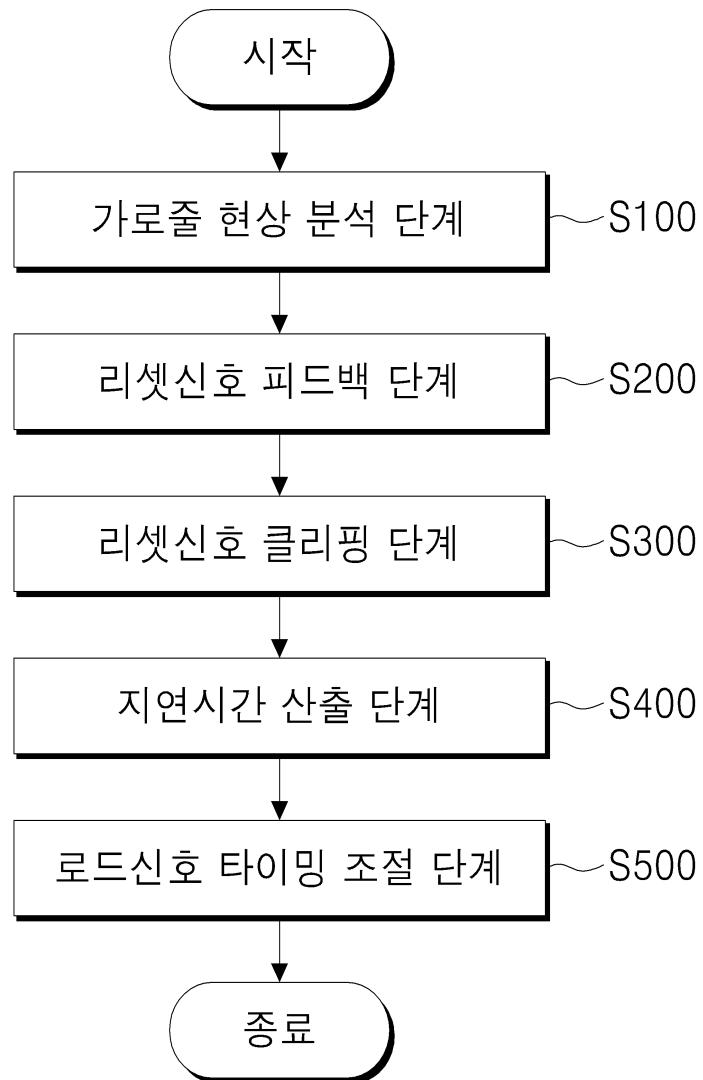
## 도면6



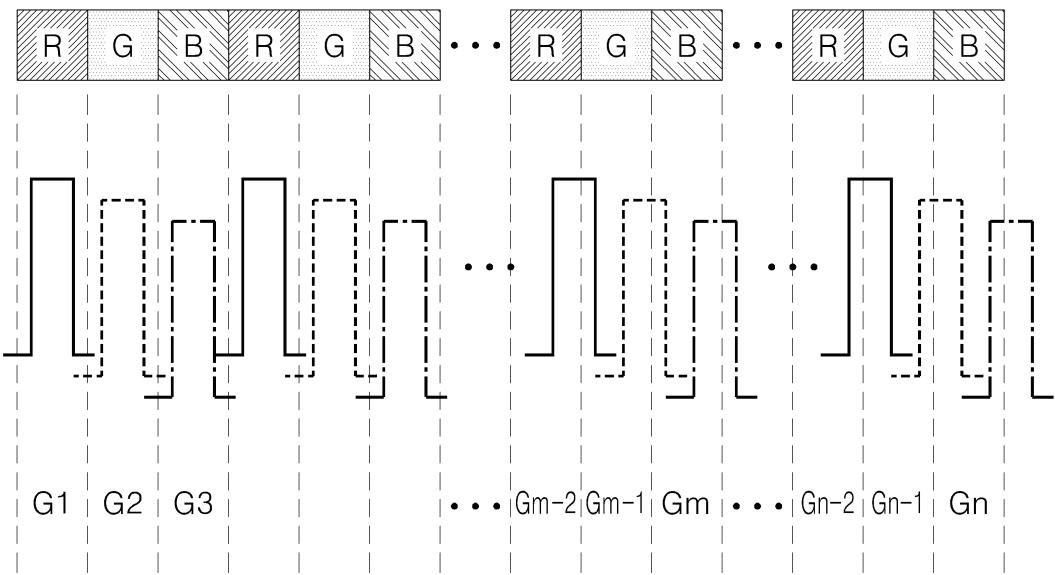
도면7



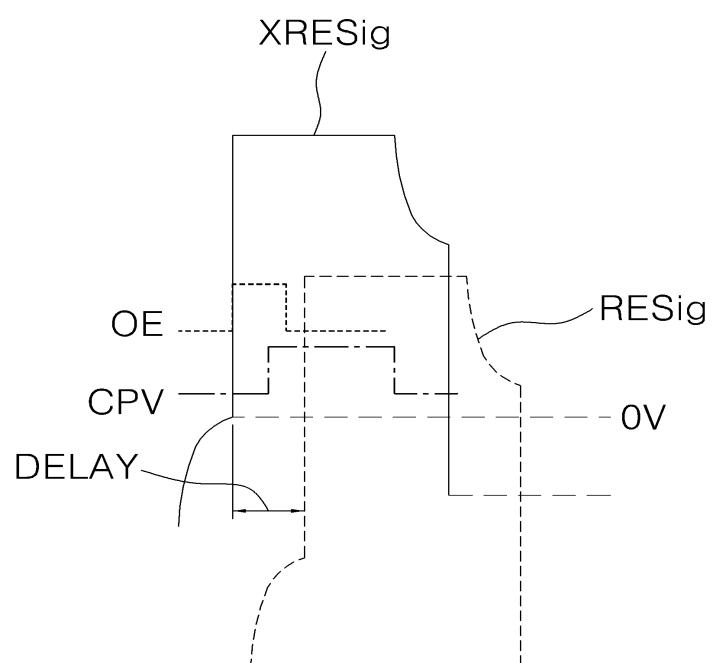
도면8



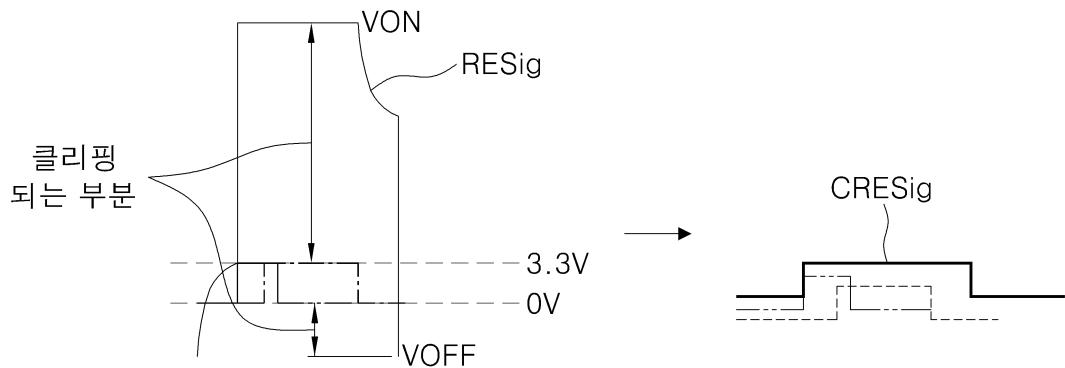
도면9a



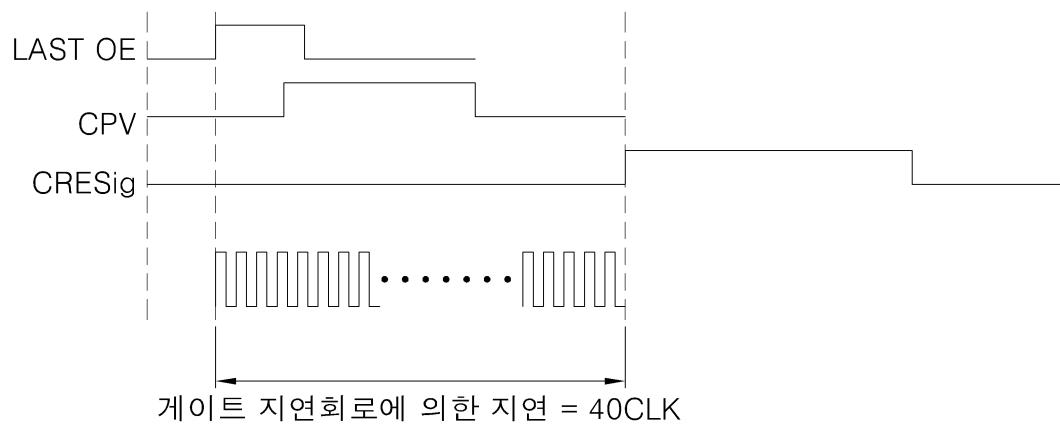
도면9b



도면9c



도면9d



专利名称(译)	减少栅极驱动信号延迟的方法和液晶显示装置		
公开(公告)号	<a href="#">KR1020080053598A</a>	公开(公告)日	2008-06-16
申请号	KR1020060125334	申请日	2006-12-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YEO JANG HYUN 여장현 KIM WOO CHUL 김우철 PARK JAE HYOUNG 박재형		
发明人	여장현 김우철 박재형		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2310/0281 G09G2310/0289 G09G2310/08 G09G2320/0223 G09G2320/0233		
代理人(译)	권혁수 Ohsejun 송윤호		
其他公开文献	<a href="#">KR101344835B1</a>		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

用途：提供一种减少栅极驱动信号延迟的方法及其LCD装置，通过使用位于栅极线两侧的栅极驱动器双重驱动栅极线来补偿栅极驱动器引起的延迟。结构：LCD（液晶显示器）装置包括定时控制器（170），电平移位器（150,160），栅极驱动器（130,140）和限幅单元（190）。时序控制器产生输出使能信号和栅极时钟，并调整确定数据输出时间的负载信号的时序。电平移位器响应输出使能信号和栅极时钟产生栅极时钟脉冲。栅极驱动器响应于栅极时钟脉冲产生栅极驱动信号，并顺序驱动多条栅极线。限幅单元限制栅极驱动信号并将限幅的栅极驱动信号提供给定时控制器。时序控制器将限幅栅极驱动信号与输出使能信号进行比较，计算栅极驱动信号的延迟时间，并调整负载信号的时序。©KIP  
2008

