



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0046986
(43) 공개일자 2007년05월03일

(21) 출원번호	10-2007-7009051(분할)		
(22) 출원일자	2007년04월20일		
심사청구일자	2007년04월20일		
번역문 제출일자	2007년04월20일		
(62) 원출원	특허10-2002-7003054		
	원출원일자 : 2002년03월07일	심사청구일자	2005년09월01일
(86) 국제출원번호	PCT/JP2000/006009	(87) 국제공개번호	WO 2001/18597
국제출원일자	2000년09월05일	국제공개일자	2001년03월15일

(30) 우선권주장 JP-P-1999-00252763 1999년09월07일 일본(JP)

(71) 출원인 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 오노 키쿠오
일본국 치바켄 모바라시 하야노 3300 가부시킴가이샤히타치세이사쿠쇼
디스플레이그룹내
요네야 마코토
일본국 이바라키켄 히타치시 오미카쵸 7쵸메 1-1 가부시킴가이샤히타
치세이사쿠쇼 히타치연구소 내
야마모토 츠네히로
일본국 이바라키켄 히타치시 오미카쵸 7쵸메 1-1 가부시킴가이샤히타
치세이사쿠쇼 히타치연구소 내
히라카타 준이치
일본국 치바켄 모바라시 하야노 3300 가부시킴가이샤히타치세이사쿠쇼
디스플레이그룹내
나카요시 요시아키
일본국 치바켄 모바라시 하야노 3300 가부시킴가이샤히타치세이사쿠쇼
디스플레이그룹내

(74) 대리인 이종일

전체 청구항 수 : 총 13 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서 횡전계방식으로 액정층을 구동하는 액정장치에 있어서, 그 화면표시성능을 향상시킨다. 그 때문에, 본 발명은 액정을 개재시켜서 서로 대향배치되는 투명기관중에 한쪽에 투명기관의 액정층의 화소영역

에 절연막을 개재시켜서 배치한 화소전극과 대향전극이 형성하고 이런 각 전극과의 사이에는 투명기관에 평행한 성분을 갖추는 전계를 발생시키는 동시에 상기 화소전극과 대향전극중 한쪽 전극은 다른 쪽 전극에 주변부로서 적어도 다른 쪽과 겹치지 않는 영역에 형성한 투명전극으로서 형성한 액정표시장치로 상기 절연막을 다층구조로 구성한 기술을 제공한다.

대표도

도 1

특허청구의 범위

청구항 1.

액정을 개재하여 대향 배치되는 한 쌍의 투명 기관과,

상기 투명기관 중 한쪽의 투명 기관은 복수의 드레인 신호선과 복수의 게이트 신호선과 복수의 대향 전극 신호선이 형성되고 또한, 상기 드레인 신호선과 게이트 신호선으로 포위되는 것으로 형성되는 복수의 화소 영역을 구비하고,

상기 화소 영역은 복수의 슬릿을 가지는 화소 전극과, 상기 대향 전극 신호선에 접속되어 상기 화소 영역에 근사한 형상의 대향 전극을 갖고,

상기 화소전극은 상기 슬릿의 개구 방향이 2 방향인 것을 특징으로 하는 액정표시장치.

청구항 2.

청구항 1에 있어서,

상기 대향 전극 신호선은 상기 드레인 신호선에 평행한 방향으로 연장하고, 또한, 상기 화소 영역의 중심 위치에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3.

청구항 2에 있어서,

상기 화소 전극의 슬릿은 상기 대향 전극 신호선을 경계로서 슬릿의 개구 방향이 다른 것을 특징으로 하는 액정표시장치.

청구항 4.

청구항 1에 있어서,

상기 화소 전극의 슬릿은 상기 드레인 신호선에 평행한 방향이고 또한 상기 화소 영역의 중심 위치를 경계로서 상기 슬릿의 개구 방향이 다른 것을 특징으로 하는 액정표시장치.

청구항 5.

청구항 1에 있어서,

상기 화소 전극의 슬릿은 상기 게이트 신호선에 평행한 방향이고 또한 상기 화소 영역의 중심 위치를 경계로서 상기 개구 방향이 다른 것을 특징으로 하는 액정표시장치.

청구항 6.

청구항 4에 있어서,

상기 대향 전극 신호선은 상기 화소 영역내에 2개 배치되고 또한 상기 게이트 신호선에 평행한 방향으로 연장하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 7.

청구항 5에 있어서,

상기 대향 전극 신호선은 상기 화소 영역내에 2개 배치되고 또한 상기 게이트 신호선에 평행한 방향으로 연장하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 8.

청구항 1에 있어서,

상기 드레인 신호선은 반도체층과 중복하여 형성되는 것을 특징으로 하는 액정표시장치.

청구항 9.

청구항 8에 있어서,

상기 대향 전극 신호선은 상기 게이트 신호선에 평행한 방향으로 연장하고, 또한 상기 화소영역의 중심 위치에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 10.

청구항 9에 있어서,

상기 대향전극 신호선과 상기 드레인 신호선이 중복하는 위치에서는 상기 드레인 신호선의 폭이 넓어지는 것을 특징으로 하는 액정표시장치.

청구항 11.

청구항 9에 있어서,

상기 대향 전극 신호선과 상기 드레인 신호선이 중복하는 위치에서는 상기 반도체층의 폭이 가늘어지는 것을 특징으로 하는 액정표시장치.

청구항 12.

청구항 1에 있어서,

상기 화소 전극과 상기 대향 전극은 투명 전극인 것을 특징으로 하는 액정표시장치.

청구항 13.

청구항 1에 있어서,

상기 대향 전극은 상기 드레인 신호선과 상기 게이트 신호선의 어느 쪽에도 중복하지 않도록 형성되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한, 소위 횡전계방식이라 부르는 액정장치에 관한 것이다.

횡전계방식이라 부르는 액정장치는 액정을 개재시켜서 대향배치한 각 투명기관의 한 쪽을 투명기관의 액정층의 각 화소영역의, 화소전극과 이 화소전극과의 사이의 투명기관과 평행한 전계(횡 전계)를 발생시키는 대향전극이 형성하고 구성되었다.

화소전극과 대향전극과의 사이의 영역을 투과하는 빛에 대해, 그 양을 상기 전계가 인가한 액정의 구동에 의해, 제어하도록 이루고 있다.

이런 액정표시장치는, 표시면에 대해 비스듬한 방향에서 관찰해도 표시에 변화없는 이른바 광시야각 특성에 우수한 것으로 알고 있다.

그리고, 이 때 까지 상기 화소전극과 대향전극은 빛을 투과시키지 않는 도전층으로 형성되어있다.

그러나, 근년, 화소영역의 주변을 뺀 영역의 전역에 투명전계로 된 대향전극을 형성하고, 이 대향전극상의 절연막을 개재시켜서 일방향에 연재하고 일방향에 교차한 방향에 배치시킨 투명전계로 된 고리형의 화소전계를 형성한 구성한 것이 알려져 있다.

이런 구조의 액정표시장치는, 횡 전계가 화소전극과 대향전극과의 사이에 발생하고 여전히 광시야각특성에 우수한 것과 동시에, 개구률이 대폭 향상하게 된다.

게다가 이 기술은 예를 들어 SID(Society For Information Display)99 DIGEST : P202~P205, 아니면 일본국 특개평11-202356호 공보에 기재되고있다.

발명이 이루고자 하는 기술적 과제

상기에서 말했던 것처럼 횡 전계방식에 액정구동방식을 액정표시장치에 채용하는 것에서, 그 시야각특성 및 개구률을 각단에 향상시킬 것을 가능하게 되지만, 새로운 대책할 여러가지 기술적인 문제점도 나타났다.

예를 들면, 상기의 구조를 소유하는 액정표시장치의 화소에 액정장치의 비틀어진 방향이 서로 반대가 되는 영역을 만들어서 표시영역을 좌우에서 각각 본 경우에 생긴 착색차이를 상살시킨 소위 멀티도메인 방식을 채용하는 것을 해볼 때, 표시품질의 관점에서, 여러가지 개량을 할 필요성이 발견되었다.

본 발명은, 이런 사정에 의거해서 한 것으로, 그 목적은, 상기의 소위 횡전계방식의 액정표시장치에 있어서의 표시동작성능(액정분자의 구동성능)을 향상시켜, 또 그 표시품질을 높이는 것에 있다.

본원에 있어서의 개시되는 신규 액정표시장치 가운데, 대표적인 것에 개요를 간단하게 설명하면, 이하와 같다.

그 하나의 예는, 액정을 개재시켜서 서로 대향배치한 투명기관 가운데 한쪽의 투명기관의 액정층의 화소영역에, 절연막을 개재시켜서 배치할 화소전극과 대향전극이 형성되고, 이런 각 전극과의 사이에는 투명기관에 평행한 성분을 가지는 전계를 발생시킨 것과 동시에, 상기 화소전극과 대향전극 가운데 한 쪽 전극은, 다른 쪽의 전극의 주변부로서 적어도 다른 쪽의 전극과 중복하지 않는 영역에 형성한 투명전극으로 구성되고, 상기 절연막은 다층구조(적어도 2층의 절연막을 적층시킨 구조)로 되어 있는 것을 특징으로 하는 것이다.

이와같이 구조한 액정표시장치는, 절연막을 개재하고 배치하는 화소전극과 대향전극은, 그 중복되는 부분에 있어서 용량소자가 형성되지만, 그 중복면적이 크게 되면 필요이상의 수치가 되버린다.

그 때문에, 화소전극과 대향전극과의 사이의 절연막을 다층구조로 하는 것을 위해, 상기 용량소자의 용량치를 소망하는 수치로 저감시킬 수 있다.

또, 다른 하나의 예는 액정을 개재시켜서 서로 대향배치하는 투명기관중에 한 쪽의 투명기관의 액정층에 장방형의 화소영역에, 절연막을 개재시켜서 배치할 화소전극과 대향전극이 형성되고, 이런 각 전극과의 사이에는 투명기관에 평행한 성분을 포함한 전계를 발생시키고 동시에, 상기 대향전극은, 화소전극의 주변부로서 적어도 상기 화소전극과 중복되지 않는 영역에 형성한 투명전극으로 구성되고, 상기 화소 전극은, 그 연재방향과 직교하는 제1의 전극과, 화소영역 주변의 적어도 일부에 직선적으로 연재하는 제2의 전극으로 구성되어 있는것을 특징으로 한다.

*이와 같이, 구성된 액정장치는, 화소전극을, 상기 제1의 전극과 다른, 화소영역 주변의 적어도 일부에, 즉, 제1의 전극이 굴곡부를 가지고 있기 때문에 횡전계는 발생하기 어려운 부분(데드 스페이스)에, 직선적으로 연재한 제 2의 전극을 새롭게 설치하는 것에 의해, 이 제2의 전극과 대향전극과의 사이에도 횡전계가 발생하게 된다.

이 때문에, 상기 데드 스페이스의 발생을 억제할 수 있고, 실질적인 화소영역의 확장을 시도할 수 있게 된다.

본 발명에 관한 상기 및 그외의 목적, 특징, 및 효과는 본발명을 실시하는 형태의 기재에 부여한 도면을 관련시키는 것에 의해 더 명확하게 후기술 될 것이다.

발명의 구성

이하, 실시예에 의해 본발명에 의한 액정표시장치를 보다 상세하게 설명한다.

[실시예 1]

<<화소의 구성>>

도 1은 본발명에 의한 액정표시장치(판넬)의 화소영역에 있어서의 구성도이고, 액정을 개재시켜 서로 대향배치하는 각 투명기관중에 한 쪽의 투명기관의 액정층에서 본 평면도이다.

도 1의 2-2선에 있어서의 단면도를 도 2에, 3-3선에 있어서의 단면도를 도 3에, 4-4선에 있어서의 단면도를 도4에 표시하고 있다.

먼저, 도 1에 있어서, 도중 x방향에 연재시켜 y방향에 배치시키는 게이트 신호선(GL)이 예를 들면 크롬(Cr)으로 형성되어 있다. 이 게이트 신호선(GL)은 후기술할 드레인 신호선(DL)과 장방형의 영역을 형성하고, 그 영역은 화소영역을 구성하고 있다.

그리고, 이 화소영역은, 후기술할 화소전극(PX)과의 사이로 전계를 발생시키는 대향전극(CT)가 형성하고, 이 대향전극(CT)은 상기 화소영역 주변을 뺀 전역에 형성하고, 투명도전체인 예를 들면 IT01(Indium-Tin-Oxide)에서 형성되고 있다.

이 대향전극(CT)은, 그 주변의 전역을 테두리를 둘러싸게 하여 상기 대향전극(CT)과 접속한 대향전압신호선(CL)이 형성하고, 이 대향전압신호선(CL)은 도안의 좌우화소영역(게이트 신호선(GL)에 따라 배치되는 각 화소영역)에 있어서의 대향전극(CT)에 동일하게 형성한 대향전압신호선(CL)과 일체적으로 형성되어있다.

이 경우에는 있어서의 화소영역의 대향전압신호선(CL)끼리의 접속은, 화소영역의 상부 및 하부 각자으로 이루어져 있다. 대향전압신호선(CL)과 후기술된 드레인 신호선(DL)과의 중복된 부분을 최소한 작게 해서, 그 사이에 발생하는 용량을 작게 하는 취지이다.

이 대향전압신호선(CL)은 예를 들면 크롬(Cr)에서 되는 불투명의 재료로 형성되어있다. 이와같이 한 경우는, 후기술된 드레인 신호선(DL)과 이것에 근접한 대향전극(CT)의 주변부과의 사이에 노이즈로 작용되는 전계가 발생되고, 상기에 의해 액정의 광투과율이 원하는바와 같이 구할 수 없어도, 그 부분은 상기 대향전압신호선(CL)로 인하여 차광되기 때문에, 표시 품질에 면에서의 부적절함을 해소하게 된다.

이것은, 게이트 신호선(GL)과 이것에 접근된 대향전극(CT)의 주변부와의 사이에 발생하는 전계(노이즈)에 대한 부적절함을 해소 할 수있다는 것을 의미한다.

또, 상기 기술한 것처럼, 대향전압신호선(CL)의 재료를 게이트 신호선(GL)과 동일한 재료로 하는 것에서, 그것을 동일한 공정으로 형성할 수있고 제조공정 수의 증대를 회피할 수있다.

여기서, 상기 대향전압신호선(CL)은, Cr에 한정되지 않고, 예를 들면 A1, 아니면 A1을 포함한 재료로 형성하여도 가능하다.

그러나, 이 경우에는, 이 대향전압신호선(CL)은 대향전극(CT)에 대해 상층에 위치하는 것이 효과적이다. 어찌면, 대향전극(CT)를 형성할 ITO막의 선택 에칭액(예를 들면 HBr)은 손쉽게 A1를 용해해버리기 때문이다.

또한, 대향전압신호선(CL)의 대향전극(CT)과의 적어도 접속면에는 Ti, Cr, Mo, Ta, W등의 고용점금속을 개재하는 것이 효과적이다. 혹은, 대향전극(CT)을 형성하는 ITO는 대향전압신호선(CL)중의 A1을 산화시키고 고저항층을 생성시켜버리기 때문이다.

이 때문에, 하나의 실시예로서, A1, 혹은 A1을 포함한 재료부터 된 대향전압신호선(CL)을 형성할 경우, 상기 고용점금속을 단일층으로 하는 다층구조로 하는 것이 좋다.

그리서, 이와같이 대향전극(CT), 대향전압신호선(CL), 및 게이트 신호선(GL)이 형성된 투명기관의 상면에는, 그들도 피복되어 예를들면 SiN으로 이루어지는 절연막(GI)가 형성되어 있다.

이 절연막(GI)은, 후기술의 드레인신호(DL)에 대해서는 대향전압신호선(CL) 및 게이트 신호선(GL)의 층간절연막으로서의 기능을, 후기술의 박막 트랜지스터(TFT)의 형성영역에 있어서는 그 게이트 절연막으로서의 기능을, 후기술의 용량소자(Cstg)의 형성영역에 있어서는 그 유전체막으로서의 기능을 소유하게 되어있다.

그리고, 게이트 신호선(GL)의 일부(도중 좌하)에 중복되어 박막트랜지스터(TFT)가 형성하고, 그 부분의 상기 절연막(GI)상에는 혹은 a-Si로 이루어지는 반도체층(AS)을 형성하고 있다.

이 반도체층(AS)의 상면의 소스전극(SD1) 및 드레인 전극(SD2)이 형성되어 있는 것에 의해, 게이트 신호선(GL)의 일부를 게이트 전극으로 하는 역 스택 구조의 MIS형 트랜지스터가 형성하게 된다. 그리고, 이 소스 전극(SD1) 및 드레인 전극(SD2)은 드레인 신호선(DL)과 동시에 형성하게 되고 있다.

즉, 도 1중 y방향에 연재되고 x방향에 배치시킨 드레인 신호선(DL)이 형성되고, 이 드레인 신호선(DL)의 일부가 상기 반도체층(AS)의 표면까지 연재된 것에 의해 박막 트랜지스터(TFT)의 드레인 전극(SD2)을 형성하게 되어있다.

또, 상기 드레인 신호선(DL)의 형성할 때 소스 전극(SD1)이 형성되고, 이 소스 전극(SD1)은 화소영역내까지 연재되고 후기술의 화소전극(PX)과의 접속을 시도하는 콘택트부까지 일체적으로 형성하게 되고 있다.

역시, 도 3에 표시하는 것처럼, 반도체층(AS)의 상기 소스전극(SD1) 및 드레인 전극(SD2)과의 경계면에는 예를 들면 n형 불순물이 도핑된 콘택트층(d0)이 형성된다.

이 콘택트층(d0)은, 반도체층(AS)의 표면의 전역에 n형 불순물 도핑층을 형성해, 더욱 소스전극(SD1) 및 드레인 전극(SD2)의 형성후에 있어서, 상기 각 전극을 마스크로서 이런 각 전극으로부터 노출한 반도체층(AS)의 표면에 n형 불순물 도핑층을 에칭하는 것에 의해 형성하게 되어있다.

역시, 이 실시예에는, 반도체층(AS)은 박막트랜지스터(TFT)의 형성영역만 아니고, 드레인 신호선(DL)에 대한 게이트 신호선(GL), 대향전압신호선(CL)과의 교차부에도 형성되어있다. 층간절연막으로의 기능을 강화시키기 위해 때문이다.

그리고, 이와 같이 박막트랜지스터(TFT)가 형성된 투명기관의 표면에는, 상기 박막트랜지스터(TFT)까지 피복하여 예를 들면 SiN으로 이루어지는 보호막(PSV)이 형성되어있다. 박막트랜지스터(TFT)의 액정(LC)과의 직접적인 접촉을 피하기 위해서이다.

더욱, 이 보호막(PSV)의 상면에는 화소전극(PX)이 예를 들면 ITO2(Indium-Tin-Oxide)에서 되는 투명한 도전막에 의해 형성되고 있다.

화소전극(PX)은, 상기 대향전극(CT)의 형성영역에 중첩되고, 이 실시예에는 5개 형성되고, 각각 도중 y방향에 연재하고 같은 간격에 형성되어 있으며, 그 양단은 각각 x방향에 연재하는 동일 재료층으로 상호 접속하게 되어있다.

덧붙어서, 이 실시예에서는, 서로 이웃하는 화소전극(PX)간의 간격(L)은 예를 들면 $1 \sim 15 \mu\text{m}$, 폭(w)은 예를 들면 $1 \sim 10 \mu\text{m}$ 의 범위로 설정하게 되어있다.

이런 경우, 각 화소전극(PX)의 하단의 동일재료층은 상기 보호막(PSV)에 형성된 콘택트구멍을 통해서 상기 박막트랜지스터(TFT)의 소스전극(SD1)의 콘택트부와 접속하게 되어 있고, 또, 상단의 동일재료층은 상기 대향전압신호선(CL)과 중첩해서 형성되어있다.

이와같이 형성된 경우, 대향전극(CT)과 각 화소전극(PX)과의 중첩부에는 절연막(GI)과 보호막(PSV)과의 적층막을 유전체막으로 하는 용량소자(Cstg)가 형성하게 되어있다.

이 용량소자(Cstg)는, 박막트랜지스터(TFT)를 개재시키고, 드레인 신호선(DL)에서의 영상신호가 화소전극(PX)에 인가한 후에, 상기 박막트랜지스터(TFT)가 오프가 되어도 상기 영상신호가 화소전극(PX)에 비교적 오랫동안 축적되는 등을 위해 설치된 것이다.

여기서, 이 용량소자(Cstg)의 용량은, 대향전극(CT)과 각 화소전극(PX)과의 중첩면적에 비례하고, 그 면적이 비교적 크게 되어 버려 필요이상의 수치에 설정되는 우려가 있지만, 그 유전체막은 절연막(GI)과 보호막(PSV)과의 적층구조로 되어 있기 때문에 결과적으로는 그 우려는 없는 구성으로 되어있다.

즉, 절연막(GI)은 박막트랜지스터(TFT)의 게이트 절연막으로 기능되어 있기때문에, 그 막두께를 크게 할 수는 없지만, 보호막(PSV)에 관해서는 그와 같은 제약이 없기 때문에, 상기 보호막(PSV)를 상기 절연막(GI)과 같이 소정의 막두께(보호막(PSV)만의 막두께는 예를 들면 $100\text{nm} \sim 4 \mu\text{m}$)에 하는 것으로서 상기 용량소자(Cstg)의 용량을 소정의 수치에 감소할 수 있다.

역시, 상기 보호막(PSV)으로서는, SiN에 한정되지 않고, 예를 들면 합성수지에 의해 형성되어 있어도 좋다는 것은 말할 것도 없다.

이런 경우, 도포에 의해 형성되는 것으로, 그 막두께를 크게 형성할 경우에 있어도 제조가 용이하다는 효과를 낸다.

그리고, 이와 같이 화소전극(PX) 및 대향전극(CT)이 형성된 투명기관의 표면에는 상기 화소전극(PX) 및 대향전극(CT)까지도 피복하여 배향막(ORI1)이 형성되고 있다. 이 배향막(ORI1)은 액정(LC)과 직접 접촉하는 막으로 상기 액정(LC)의 초기배향방향을 결정하고 있다..

*역시, 상기 기술한 실시예에서는, 화소전극(PX)을 투명한 전극으로서 구성한 것이지만, 반드시 투명이 아니라, 예를 들면 Cr과 같은 불투명한 금속재료도 좋다. 이것으로서 개구율이 약간 저하하지만, 액정(LC)의 구동에는 전혀 지장이 없기 때문이다.

상기 실시예에 있어서, 게이트 신호선(GL), 대향전압신호선(CL), 드레인 신호선(DL)에 대해서는 크롬(Cr)을 가지고 설명했지만, 다른 고용점금속, Mo, W, Ti, Ta, 혹은 이런 2가지 이상의 적층막을 이용해도 용이한 것은 물론이다.

또한, 투명도전막에 대해서도 ITO를 이용해서 설명했지만, IZO(Indium-Zinc-Oxide)에도 같은 효과가 얻을 수 있는 것은 물론이다.

<<필터 기판>>

이와 같이, 형성된 투명기판은 TFT기판이라고 호칭되고, 이 TFT기판과 액정(LC)를 개재하여 대향배치된 투명기판은 필터기판이라고 칭한다.

필터기판은, 도 2에 표시하는 것처럼, 그 액정층에, 먼저, 각 화소영역을 구획하도록 하여 블랙 매트릭스(BM)가 형성되고, 상기 블랙매트릭스(BM)의 실질적인 화소영역을 결정하는 개구부에는 그것을 피복하여 필터(FIL)가 형성하게 되어있다.

그리고, 블랙 매트릭스(BM) 및 필터(FIL)를 받고 예를 들면 수지막으로 이루어지는 오버코트막(OC)이 형성되고, 이 오버코트막에 상면에는 배향막(ORI2)이 형성된다.

<<액정표시판넬의 전체구성>>

도 5는, 매트릭스형으로 배치된 각 화소영역에 집합에 의해 구성되는 표시영역(AR)을 표시하는 액정표시판넬의 전체구성도이다.

투명기판(SUB2)은, 투명기판(SUB1)에 대해 약간 작게 형성하고, 그 도중 우측변 및 하측변은 투명기판(SUB1)에 대응하는 변과 각각 대략 면이 하나를 이루도록 배치하게 되어있다.

이것으로서, 투명기판(SUB1)의 도중 좌측변 및 상측변은 투명기판(SUB2)에 의해 피복되지 않는 영역이 형성되고, 이 영역에 있어서, 각각, 각 게이트 신호선(GL)에 주사신호를 공급하기 위해 게이트 신호단자(Tg), 각 드레인 신호선(DL)에 영상신호를 공급하기 위한 드레인 신호단자(Td)가 형성하게 되어있다.

투명기판(SUB2)의 투명기판(SUB1)에 대한 고정, 상기 투명기판(SUB2)의 주변에 형성된 셀재(SL)에 의해 이루어지고, 이 셀재(SL)는 각 투명기판(SUB1, SUB2) 사이에 액정(LC)을 봉입하기 위한 봉입재로서 기능도 가지고 있다.

도 6은, 각 투명기판 SUB1, SUB2 사이에 개재되는 액정(LC)는 셀재(SL)에 의해 봉입하고 있는 것을 표시하고 있다.

역시, 이 셀재(SL)의 일부(도5의 중우측)에는 액정봉입구(INJ)가 있고, 이 액정봉입구(INJ)는, 여기서 액정을 봉입한 후에는, 미도시의 액정봉합제에 의해 봉합하게 되어있다.

<<게이트 신호단자>>

도 7은, 각 게이트 신호선(GL)에 주사신호를 공급하기 위한 게이트 신호단자(GTM)를 표시한 구성도이고, 도 7(A)은 평면도, 도 7(B)은 B-B선에 있어서의 단면도이다.

우선, 투명기판(SUB1)상에 예를 들면 ITO막(ITO1)에서된 게이트 신호단자(GTM)가 형성되어있다. 이 게이트 신호단자(GTM)는 대향전극(CT)과 동시에 형성하게 되어있다.

게이트 신호단자(GTM)의 재료로서 ITO막(ITO1)을 사용한 것은 전식의 발생을 곤란하게 하기 위함이다.

그리고, 이 게이트 신호단자(GTM)에는, 이 게이트 신호선(GL)측의 단부에 있어서 게이트 신호선(GL)이 피복되도록 하여 형성되고 있다.

또한, 이런 게이트 신호단자(GTM) 및 게이트 신호선(GL)를 피복하여 절연막(GI) 및 보호막(PSV)이 순차 적층하고, 이런 보호막(PSV) 및 절연막(GI)에 설치한 개구에 위해, 게이트 신호단자(GTM)의 일부가 노출되도록 이루고 있다.

또한, 상기 절연막(GI) 및 보호막(PSV)은, 표시영역(AR)에 있어서 그것들의 연재부분으로서 형성되는 것이다.

<<드레인 신호단자>>

도 8은, 드레인 신호선(DL)에 영상신호를 공급하기 위한 드레인 신호단자(DTM)을 표시한 구성도이고, 도 8(A)은 평면도, 도 8(B)은 동도(A)의 B-B선에 있어서의 단면도이다.

우선, 투명기관(SUB1)상에 형성하는 드레인 신호단자(DTM)는, 전식에 대해서 신뢰성이 있는 ITO막(ITO1)에서 구성되고, 이 ITO막(ITO1)은 대향전극(CT)과 동시에 형성하게 되어있다.

그리고, 이 드레인 신호단자(DTM)는, 절연막(GI)상에 형성되는 드레인 신호선(DL)과 접속되지만, 상기 절연막(GI)에 콘택구멍을 형성하고 접속하는 경우에는 이하와 같은 부적절함이 발생한다.

즉, ITO막상에 형성한 SiN부터 이루어지는 절연막(GI)은, 상기 ITO막과 접촉하는 부분에 있어서 백색번짐이 생기고, 그 부분에 콘택구멍을 형성한 경우에 상기 구멍은 역 테이퍼형으로 형성하고, 드레인 신호선(DL)의 접속에 불량에 생기는 가능성을 남게 된다.

이 때문에, 동도에 표시하는 것처럼, 드레인 신호단자(DTM)의 단부에 중복하고 예를 들면 Cr부터 되는 금속층(gl)을 형성하고, 이 금속층(gl)상의 절연막(GI)에 콘택구멍을 형성하게 하고 있다.

그리고, 이 콘택구멍의 형성은, 상기 절연막(GI) 위에 보호막(PSV)을 형성한 후에 하는 것이 제조공정수를 저감을 도모하고 있기 때문에, 상기 보호막(PSV)에 형성된 콘택구멍을 통해서, 화소전극(PX)과 동시에 형성되는 ITO막(ITO2)에 의해 드레인 신호선(DL)과 상기 금속층(gl)과의 접속을 하고 있다.

여기서, 상기 금속층(gl)은 Cr를 사용한 경우를 표시하는 것이지만,

A1 혹은 A1을 포함한 재료라도 좋다. 이런 경우, 상기 기술한 것처럼 ITO막과의 접촉면에 있어서 산화가 쉽기 때문에, 예를 들면 상기 금속층(gl)을 Ti/A1/Ti 와 같이 상하면의 각각에 고용점 금속층을 설치한 삼층구조로 하는 것이 양호한 접속을 시도할 수 있게 된다.

<<대향전압신호단자>>

도 9는, 대향전압신호선(CL)에 대향전압신호를 공급하기 위한 대향전압신호단자(CTM)를 표시한 구성도이고, 도 9(A)는 평면도, 도 9(B)는 동도(A)의 B-B선에 있어서의 단면도이다.

투명기관(SUB1)상에 형성되는 대향전압신호단자(CTM)도, 전식에 대해 신뢰성이 있는 ITO막(ITO1)으로 구성되고, 이 ITO막(ITO1)은 대향전극(CT)과 동시에 형성되고 있다.

그리고, 이 대향전압신호단자(CTM)에는, 그 대향전압신호선(CL)측의 단부에 있어서의 상기 대향전압신호선(CL)이 피복하도록 하여 형성되어 있다.

또한, 이런 신호선을 피복하여, 표시영역(AR)에 있어서의 그런 연재부분으로서 형성하는 절연막(GI) 및 보호막(PSV)이 순차 적층하고, 이런 보호막(PSV) 및 절연막(GI)에 설치한 개구에 위해, 대향전압신호단자(CTM)의 일부분이 노출하게 되어 있다.

<<등가회로>>

도 10은, 액정표시판넬의 등가회로를 상기 액정표시판넬의 외부에 붙인 회로와 동시의 표시한 도이다.

*도 10중, x방향에 연재하고 y방향에 배치시킨 각 게이트 신호선(GL)에는 수직주사회로(V)에 의해 순차 주사신호(전압신호)가 공급하게 되어있다.

주사신호가 공급한 게이트신호선(GL)에 따라 배치시킨 각 화소영역의 박막트랜지스터(TFT)는 상기 주사신호에 의해 온(ON)하게 되어있다.

그리고, 이 타이밍에 맞춰서 영상신호구동회로(H)에서 각 드레인 신호선(DL)에 영상신호가 공급하게 되어 있고, 이 영상신호는 각 화소영역의 상기 박막트랜지스터를 개재하고 화소전극(PX)에 인가하게 되어있다.

각 화소영역에 있어서, 화소전극(PX)과 같이 형성하고 있는 대향전극(CT)에는 대향전압신호선(CL)을 개재하고 대향전압이 인가하고 있고, 그 사이에 전계를 발생시키게 되어있다.

그리고, 이 전계중에 투명기관(SUB1)과 평행한 성분을 소유한 전계(횡전계)에 의해 액정(LC)의 광투과율을 제어하게 되어있다.

역시, 동도에 있어서 각 화소영역에 표시한 R, G, B의 각 부호는, 각 화소영역에 각각 적색용 필터, 녹색용 필터, 청색용 필터가 형성되고 있는 것을 표시하고 있다.

<<화소표시의 타이밍 차트>>

도 11은, 액정표시판넬에 공급하는 각 신호의 타이밍 차트를 표시하는 것이고, 도중, VG는 게이트 신호선(GL)에 공급하는 주사신호를, VD는 드레인 신호선(DL)에 공급하는 영상신호를, 또, VC는 대향전압신호선(CT)에 공급하는 대향전압신호를 표시하고 있다.

대향전압신호(VC)의 전위를 일정하게 한 일반적인 라인반전(도트반전)을 표시한 구동파형도이다.

<<액정표시 판넬모듈>>

도 12는, 도 5에 표시한 액정표시판넬의 외부에 붙이는 회로를 실장한 모듈구조를 표시한 평면도이다.

동도에 있어서, 액정표시판넬(PNL)의 주변에는, 수직주사회로(V), 영상신호구동회로(H), 및 전원회로기관(PCB2)이 접속되고 있다.

수직주사회로(V)는, 복수의 필름캐리어방식으로 형성한 구동IC칩에서 구성되고, 그 출력펌프는 액정표시판넬의 게이트신호단자(GTM)에 접속하고, 입력펌프플렉시블 기관상 단자에 접속되어 있다.

영상신호구동회로(H)도, 똑같이, 복수의 필름캐리어 방식으로 형성된 구동IC칩에서 구성되어, 그 출력펌프는 액정표시판넬의 드레인 신호단자(DTM)에 접속되고, 입력펌프는 플렉시블 기관상의 단자에 접속되고 있다.

전원회로기관(PCB2)은 플랫케이블(FC)을 개재하고 영상신호구동회로(H)에 접속하고, 그 영상신호구동회로(H)는 플랫케이블(FC)을 개재하고 수직주사회로(V)에 접속되고 있다.

또한, 본 발명에는, 여기에만 한정되어 있는 것이 아니라, 각 회로를 구성하는 반도체칩을 투명기관(SUB1)에 직접탑재하고, 그 입출력 펌프의 각각을 상기 투명기관(SUB1)에 형성한 단자(아니면 배선층)에 접속시키는 이른바 COG (Chip On Glass) 방식에도 적용할 수 있는 것은 말할 것도 없다.

<<제조방식>>

도 13 및 도 14는, 상기 기술한 TFT기관의 제조방식에 하나의 실시예를 표시한 공정도이다.

이 제조는 (A)에서 (F)까지의 포토공정을 거쳐서 완성되고, 도 13 및 도 14의 부분에 있어서, 도중 좌측은 화소영역을, 도중우측은 드레인 신호단자 형성영역을 표시하고 있다.

이하, 공정순으로 설명한다.

공정 (A)

투명기판 (SUB1)을 준비하고, 그 표면 전역에 예를 들면 스퍼터링에 의해 ITO 막을 형성한다. 그리고, 포토리소그래피 기술을 사용해서 상기 ITO 막을 선택 에칭해서, 화소영역에는 대향전극(CT)를, 또 드레인 신호단자 형성영역에는 드레인 신호단자(DTM)을 형성한다.

공정 (B)

투명기판(SUB1)의 표면의 전역에 Cr막을 형성한다. 그리고, 포토리소그래피 기술을 사용해서 상기 투명기판(SUB1) Cr막을 선택 에칭해서, 화소영역에는 게이트신호선(GL) 및 대향전압신호선(CL)을, 또 드레인 신호단자 형성영역에는 중간 접속체가 되는 도전층(g1)을 형성한다.

공정 (C)

투명기판(SUB1)의 표면 전역에 예를 들면 CVD법에 의해 SiN막을 형성해서 절연막(GI)를 형성한다.

게다가, 이 절연막(GI)의 표면의 전역에 예를 들면 CVD법에 의해 a-Si층, n형 불순물이 도핑된 a-Si층을 순차 형성한다.

그리고, 포토리소그래피 기술을 사용해서 상기 a-Si층을 선택 에칭해서 화소영역에 박막 트랜지스터 TFT의 반도체층(AS)를 형성한다.

공정 (D)

투명기판(SUB1)의 표면의 전역에, 예를 들면 스퍼터링법에 의해 Cr막을 형성해서, 포토리소그래피 기술을 사용해서 상기 Cr막을 선택 에칭해서, 화소영역에 드레인신호선(DL), 박막트랜지스터 TFT의 소스전극(SD1) 및 드레인 전극(SD2)을, 또 드레인 신호단자 형성영역에 상기 드레인신호선(DL)의 연재부를 형성한다.

공정 (E)

투명기판(SUB1)의 표면의 전역에, 예를 들면 CVD법에 의해 SiN막을 형성해서 보호막(P5V)을 형성한다. 그리고, 포토리소그래피 기술을 사용해서 상기 보호막(P5V)을 선택에칭해서, 화소영역에 박막트랜지스터 TFT의 드레인전극(SD2)의 일부를 노정시키는 콘택트구멍을 형성하는 것과 같이, 드레인 신호단자 형성영역에는 상기 보호막(P5V)의 하층의 절연막(GI)까지 관통시켜서 상기 도전층(g1)의 일부를 노정시키는 콘택트구멍을 형성한다.

공정 (F)

투명기판(SUB1)의 표면의 전역에 예를 들면 스퍼터링법에 의해 ITO막(ITO2)을 형성한다. 그리고, 포토리소그래피 기술을 사용해서 상기 ITO막을 선택에칭해서, 화소영역에 상기 콘택트구멍을 통해서 PX를 형성하는 것과 같이, 드레인 신호단자형성영역에는 드레인신호선(DL)과 상기 도전층(g1)과에 접속을 시도하는 접속체층을 형성한다.

상기 제조방법에 있어서, 공정(A)과 공정(B)에는 역전할 수 있다. 즉, 게이트 신호선(GL)상에 대향전극(CT)을 상부에서 접속시키는 구성이 된다. 이 경우, 게이트 신호선(GL)의 단면형상은 완전한 테이퍼가공이 필요하게 된다.

한편, 본 방식에서는, 대향전극(CT)이 게이트 신호선(GL)이나 대향전압신호선(CL)보다 하부에 있어서, 게이트 신호선(GL)의 단면형상에도 불구하고 양호한 접속이 가질 수 있게 된다.

한편, 본 실시예에서는, 게이트 절연막(GI)으로서 SiN막을 사용했지만, ITO상에 백색반사를 확실히 회피하기 위해 적어도 ITO와 접촉되는 게이트 절연막(GI)을 SiO₂ 이나 SiON 등의 산소를 포함한 절연막을 사용해서도 좋다.

[실시예 2]

<<화소의 구성>>

도 15는, 본 발명에 의한 액정표시장치의 다른 실시예를 표시하는 평면도이고, 동도의 16-16선에 있어서의 단면도, 17-17선에 있어서의 단면도, 18-18선에 있어서의 단면도를, 각각 16도, 도 17, 도 18에 표시하고 있다.

실시예 1에 표시한 도 1과 대응하고 있고, 그것과 동부호에 것은 동일한 재료를 표시하고 있다.

실시예 1과 다른 구성은, 먼저, 투명전극으로 이루어지는 대향전극(CT)이 절연막(GI)상에 형성하고, 드레인 신호선(GL)과 동일층을 이루고 있다.

이것은, 대향전극(CT)은 게이트 신호선(GL)과 다른층으로서 형성되고 있다는 것을 의미한다.

그리고, 상기 대향전극(CT)의 드레인 신호선(DL)과 근접하는 주변부에 설치되는 도전막(FGT)은, 게이트 신호선(GL)과 동층에 설치되어 있고, 상기 대향전극(CT)이란 전기적으로 접속되어 있지 않는 상태로 형성되고 있다.

이 때문에, 도전막(FGT)은, 실시예 1과 같이, 대향전압신호선(CL)의 일부로서 기능하지 않고, 오로지 드레인 신호선(DL)과 대향전극(CT)과의 사이에 노이즈로서 발생하는 전계에 의한 액정의 광누수등을 차광하는 차광재로서 기능하게 되고 있다.

이와 같이, 구성한 경우, 드레인 신호선(DL)과 대향전극(CT)과에 관격을 좁힐 수 있고 개구율을 향상시킬 수 있는 효과를 소유한다.

그러나, 상기 도전막(FGT)은 이와같이 형성하지 않고, 대향전극(CT)과 동층에 형성하고, 상기 대향전극(CT)의 드레인 신호선(DL)과 근접하는 주변부의 일부 접속시켜서 형성해도 좋다는 것은 말할 것도 없다.

그리고, 각 화소영역중에 드레인 신호선(DL)에 따라(게이트 신호선(GL)에 직교하는 방향에)배치되는 각 화소영역에 대향전극(CT)은, 서로 접속해서 구성되고 있다.

즉, 각 화소영역에 대향전극(CT)는, 게이트 신호선(GL)이 형성되고 있는 영역을 넘고 서로 일체적으로 형성되고 있다.

말을 바꾸면, 드레인 신호선(DL)에 따라 배치되는 각 화소영역의 대향전극(CT)은 상기 드레인 신호선(DL)에 따라 고리형으로 형성하고, 이런 고리형의 각 대향전극(CT)은 드레인 신호선(DL)의 형성영역에 의해 분단되고 있다.

이 대향전극(CT)은 게이트 신호선(GL)과 다른 층으로 형성되고 있어서, 이 게이트 신호선(GL)에 접속하지 않고 형성할 수 있다.

이와 같이, 고리형에 형성된 대향전극(CT)은 화소영역에 집합체로서 형성되는 표시영역의 외측부터 대향전압신호가 공급되도록 하면, 실시예 1에 표시하는 것과 같은 대향전압 신호선(CL)을 특별히 형성하지 않아도 되는 효과를 낸다.

이 때문에, 화소전극(PX), 게이트 신호선(GL)에 의해 근접시키거나 혹은 더욱더 상기 게이트 신호선(GL)상에 중복시킨 상태까지 연재시키기 위해 (도 15참고), 상기 게이트 신호선(GL)의 근방에 있어서도 화소영역으로서의 기능을 가질 수 있게 된다.

이것은, 게이트 신호선(GL)의 근방에 있어서, 상기 게이트 신호선(GL) 그 자체에 블랙메트릭스로서의 기능만을 가지면 충분하게 되어(다시 말해서, 게이트 신호선(GL)과 그 근방을 피복하는 블랙메트릭스를 필요로 하지 않는다), 개구율의 대폭적인 향상이 이루어지는 효과를 낸다.

더욱이, 상술한 실시예에는, 각 화소영역중에 드레인 신호선(DL)에 따라 배치되는 각 화소영역의 대향전극(CT)을 공통으로 구성하는 것이다. 그러나, 게이트 신호선(GL)에 따라 배치되는 각 화소영역의 대향전극(CT)을 공통으로 구성해도 좋다는 것은 말할 것도 없다.

이런 경우, 대향전극(CT)은 드레인선(DL)과 다른 층으로 구성되어 있는 것이 필요하고, 예를 들면 실시예1의 구성에 있어서 적용할 수 있다.

<<제조 방법>>

도 19 및 도 20은 상술한 실시예로 표시한 액정표시장치의 제조방법에 하나의 실시예를 표시한 공정도이고, 도 13 및 도 14와 대응한 도로 되어있다.

실시예1에 경우와 비교해서, 대향전극(CT)가 절연막(GI)의 상면에 형성되어, 이 대향전극(CT)상에 보호막(PSV)을 개재해서 화소전극(PX)이 형성되고 있는 구성의 차이에 대응시켜 제조공정의 차이를 가지도록 하고 있다.

[실시예 3]

도 21은 본 발명에 의한 액정표시 장치의 다른 실시예를 표시하는 평면도로 도 15에 대응한 도가 되어 있다. 이 도 21의 22-22선에 있어서의 단면도를 도 22에 표시되어 있다.

도 21에 있어서, 도 15과 동일한 부호는 동일한 재료를 표시하고 있다. 도 15의 구성과 다른 부분은, 먼저, 드레인 신호선(DL)에 따라 배치되는 각 화소영역내를 상기 드레인 신호선(DL)과 거의 평행으로 주행하는 대향전압신호선(CL)이 형성되어 있는 것에 있다.

이 대향전압신호선(CL)은, 대향전극(CT)의 바로 아래 (아니면 바로 위라도 좋다)에 형성되어, 다시 말하면 상기 대향전극(CT)에 접촉해서 형성하고, 대향전극(CT)에 그 자체에 전기적 저항을 감소시키는 기능을 갖고 있다.

이 대향전압신호선(CL)은 예를 들면 드레인 신호선(DL)과 동시에 형성되어, 상기 드레인 신호선(DL)과 동일한 재료에서 되어 있다. 이로인해서, 상기 대향전압신호선(CL)은, 대향전극(CT)을 구성하는 ITO보다 전기적 저항이 적은 도전층에서 구성되어 있다.

그리고, 이 대향전압신호선(CL)은, 화소영역을 거의 2등분해서 그 중앙을 주행하게 되고 있다. 그 양편에 존재하는 드레인 신호선(DL)과의 단락을 확실히 회피할 수있도록 형성할 수있기 때문이다.

게다가, 이 대향전압신호선(CL)은, 도중 y방향에 연재해서 형성되는 화소전극(PX)가운데 하나와 중복해서 형성되고 있다.

화소전극(PX)의 형성되고 있는 부분은 투명투과율의 저감이 피할 수 없는 부분이 되고 있어서, 이 부분에 대향전압신호선(CL)을 배치하게 되면, 화소영역의 전체에 있어서의 광투과율의 저감을 최소한에 억제하려고 하는 취지이다.

이 실시예에서는, 드레인 신호선(DL)의 상면에 ITO막(ITO1)이 적층되고 형성되어, 상기 드레인 신호선(DL)이 단선되어 형성할 경우라도, 상기 ITO막(ITO1)에 의해 상기 단선을 수복할 수 있는 구성으로 되어 있다.

이 ITO막(ITO1)은, 대향전극(CT)에 형성할 때 동시에 형성할 수 있어서, 제조공정수의 증대를 회피할 수 있는 효과를 낸다.

[실시예 4]

도 23은, 본 발명에 의한 액정표시장치의 다른 실시예를 표시하는 평면도이고, 그 24-24선에 있어서의 단면도, 25-25선에 있어서의 단면도, 26-26선에 있어서의 단면도, 각각 도 24, 도 25, 도 26에 표시되고 있다.

도 23은 도 1에 대응한 도로 되고 있고, 동일한 부호는 동일 재료를 표시하고 있다.

도 23에 있어서의, 도 1과 다른 구성은, 화소전극(PX)이 절연막(GI)상에 형성되어, 대향전극(CT)과는 이 절연막(GI)를 개재해서 배치되고 있다. 즉, 액정층의 화소전극(PX)은 보호막(PVS)(및 배향막ORI1)을 개재해서 배치되고 있다.

이와 같이 한 경우, 액정(LC)층에의 전기력선이 보호막(PVS)에 의한 분압효과에 의해 증대되어, 상기 액정(LC)의 재료로서 저저항의 것을 선택할 수 있고, 결과적으로 잔상이 적은 표시를 가질 효과를 낸다.

또, 이와 같이 한 경우, 도 25에 표시한 것과 같이, 박막트랜지스터 TFT의 소스전극(SD1)과 화소전극(PX)과의 접속을 직접 실행 할 수 있기 때문에, 예를 들면 보호막등에 형성된 콘택트구멍을 통해서 실행하는 번거로움을 해소할 수 있다.

[실시예 5]

도 27은, 본 발명에 의한 액정표시장치의 다른 실시예를 표시하는 평면도이고, 그 28-28선에 있어서의 단면도를, 각각 도 28, 도 29, 도 30에 표시하고 있다.

도 27은 도 1에 대응한 도로 되어 있고, 동일한 부호는 동일 재료를 표시하고 있다.

도 27에 있어서, 도 1과 다른 구성은, 먼저, 절연층을 개재해서 화소전극(PX)은 하층에 위치하고, 대향전극(CT)은 상층에 위치되고 있다.

도 28에 표시하는 것과 같이, 절연막(GI)의 상면에 제1보호막(PSV1)상에 화소전극(PX)은 화소영역에 주변을 뺀 대부분의 영역에 형성된 투명한 전극으로, 제 1보호막(PSV1)의 하층에 형성되는 박막트랜지스터 TFT의 소스전극(SD2)과 콘택트 구멍을 통해서 접속되고 있다.

그리고, 이와같이 형성된 화소전극(PX)까지 받고 제 2보호막(PSV2)이 형성되어, 그 제 2보호막(PSV2)의 상면에 대향전극(CT)이 형성되고 있다.

이 대향전극(CT)은, 상기 화소전극(PX)에 중복된 영역에 도중 y방향에 연재되어 x방향에 배치되는 복수의 배치되는 복수 고리형의 전극으로서 형성되지만, 그것에 양단부는 각 대향전극(CT)간의 영역을 제외하는 다른 전체영역으로 상기 각 대향전극(CT)과 일체적으로 형성되는 도전층과 접속되어 형성되고 있다.

*다시 말하면, 대향전극(CT)은, 적어도 표시영역을 받는 것과 같이 형성된 도전층(ITO)중에, 상기 화소전극(PX)의 중복되는 영역내의 도전층에, 도중 y방향에 연재하고 x방향에 배치되는 복수에 고리형의 개구를 형성되는 것에 의해, 형성되고 있다.

이것은, 대향전극(CT)으로서 기능하는 도전층 이외의 다른 도전층은 대향전압선호선(CL)으로서 이용할 수 있고, 이와같이 한 경우, 도전층 전체의 전기 저항을 대폭 저감할 수 있는 효과를 내게 된다.

또, 대향전극(CT)으로서 기능하는 도전층이외의 다른 도전층은, 게이트 신호선(GL) 및 드레인 신호선(DL)을 피복한 상태로 형성하게 된다.

이것은, 대향전극(CT)으로서 기능하는 도전층이외의 다른 도전층은 종래의 블랙메트릭스층으로서의 기능을 갖게 되는 것을 의미한다.

액정의 광투과율을 제어하는 투명기관과 평행한 성분을 가지는 전계(횡전계)는, 대향전극(CT)으로서 기능하는 도전층과 화소전극(PX)과의 사이에 있어서 발생하고, 그 이외의 부분에서는 발생하지 않기 때문이다.

이 때문에, 도 28에 표시한 과같이, 투명기관(SUB2)측에는 블랙메트릭스층을 형성할 필요가 없게 되어, 제조의 공정수의 저감이 이루어질 수 있는 효과를 낼 수 있다.

더욱이, 이 경우, 액정으로서, 전계가 인가되지 않는 상태로 흑표시가 나온 이른바 노멀블랙 것을 사용해서, 상기 도전층의 블랙메트릭스로서의 기능을 강화할 수 있게 된다.

또, 게이트 신호선(GL) 및 드레인 신호선(DL)은, 상기 도전막과의 사이에서 용량을 발생시키는 것은 부정할 수 없게 된다. 이따로 인하여, 그 사이에 개재된 제 1보호막(PSV1) 및 제 2보호막(PSV2)가운데 예를 들면 제 2보호막(PSV2)를 도포로 형성할 수 있는 수지막으로 구성하고, 이 수지막의 막두께를 비교적 크게 형성하는 것에 의해 상기 용량을 적게할 수 있다.

예를 들면, 제 1보호막(PSV1)으로서, 그 비유전율이 7이고, 막두께가 100 ~ 900nm의 SiN막을 사용한 경우, 제 2보호막(PSV2)으로서, 그 비유전율이 3~4이고, 막두께가 1000~3000nm의 유기막이 적당하게 된다.

또, 제 2보호막(PSV2)은 제 1보호막(PSV1)과 비교해서 비유전율이 1/2이하라면, 그 막두께에 관계없이, 또, 막두께가 2 배이상이면, 그 비유전율에 관계없이, 실제의 제품에 지장이 없는 것이 확인되고있다..

[실시예 6]

도 31은 본 발명에 있어서 액정표시장치의 다른 실시예를 표시한 평면도이고, 그 32-32선에 있어서의 단면도를 도 32에 표시하고 있다.

도 31은 실시예 5과 비교해서 더욱 더 개량된 구성을 표시하는 것이고, 도 27 및 도 30과 동부호의 것은 동일 재료를 표시 하고 있다.

실시예 5에 경우와 다른 구성은, 먼저, 화소전극(PX)은 절연막(GI)상에 형성되어, 대향전극(CT)은 상기 화소전극(PX)상 에 형성된 제1보호막(PSV1)상에 형성되고 있다. 다시 말하면, 화소전극(PX)과 대향전극(CT)은 제1보호막(PSV1)을 개재 하고 층을 다르게 하고 있다.

한편, 화소영역을 뺀 다른 영역에는 제 2보호막(PSV2)이 형성되어 있다. 이 제 2보호막(PSV2)은, 예를 들면 적어도 표시 영역의 전역에 상기 제 2보호막(PSV2)을 형성한 후에, 화소영역에 상당하는 부분을 선택에칭하는 것으로 형성된다.

또한, 잔존된 제 2보호막(PSV2)의 표면에는 도전층이 형성되고 있다. 이 도전층은 대향전극(CT)과 일체로 형성되고, 실 시예 5의 경우와 같이, 적어도 표시영역의 전역에 도전층을 형성한 후에, 화소전극(PX)에 중복된 영역내의 도전층에, 도중 y방향에 연재하고 x방향에 배치되는 배상의 개구를 형성하기 위해 대향전극(CT)이 형성하게 되어 있다.

이와 같이, 형성된 액정표시장치는, 게이트 신호선(GL) 및 드레인 신호선(DL)과 상기 도전층과의 사이에 제 1보호막 (PSV1) 및 제2보호막(PSV2)을 개재시키시는 것에 의해 그들간에 발생시키는 용량을 적게할 수 있는 것과 동시에, 화소전 극(PX)과 대향전극(CT)과의 사이에 제 1보호막(PSV1)만 개재시킨 것에 의해 그들 간의 전계를 액정(LC)층에 강하게 발 생시킬 수 있는 효과를 낸다.

<<상기 각 실시 예의 특성비교>>

도 35는, 상기 실시예 1, 실시예 2, 실시예 4, 실시예 5, 및 실시예 6의 각 구성의 있어서의 인가전압에 대한 투과율의 특성 을 나타낸 그래프를 표시하고 있다.

여기서, 실시예의 액정표시장치는, 이른바 15형XGA 규정의 것이고, 게이트 신호선(GL)의 폭을 10 μ m, 드레인 신호선(DL) 의 폭을 8 μ m으로 한것을 대상으로 보고있다.

도 35에서는, 비교하기 위해, 상기 각 실시예 이외에, TN형의 TFT-LCD 및 IPS형의 TFT-LCD 의 특성도 표시하고 있 다.

도 35에서, 실시예 1에 있어서의 그 개구율이 60%, 실시예 2에 있어서는 그 개구율이 70%, 실시예 4에 있어서는 그 개구 율이 50%, 실시예 5 및 6에 있어서는 그 개구율이 80%가 되는 것을 확인된다.

여기서, 실시예 5 및 6에 경우는 개구율이 특히 높은 것은 종래 사용하고 있던 블랙메트릭스를 필요 없게 한 구성으로 하기 때문이다.

또, 실시예 6의 경우, 실시예5과 비교해서 구동전압을 낮게 할 수 있는 것은, 화소영역에 있어서의 제 2보호막(PSV2)이 형 성하지 않는 구성으로 되어있기 때문이다.

상기, 특성은 주로 마이너스에 유전이방성을 가진 액정재료를 사용해서 작성한 소자의 특성이다. 한편, 플러스의 유전이방 성을 가진 액정재료를 사용한 경우, 각 실시예의 투과율의 최대치가 각각 0.5%저하 했지만, 반대로, 한계치(임계치) 전압 이 0.5 V 저하하는 효과를 냈다.

[실시예 7]

도 36은, 본 발명에 있어서 액정표시장치의 다른 실시예를 표시한 평면도이고, 상술한 각 실시예를 이른바 멀티도메인 방식의 액정장치에 적용한 경우를 표시한 것이다.

여기서, 멀티도메인 방식이라는 것은 액정의 폭 방향에 발생하는 전계(횡전계)에 있어서의, 각 화소영역내에 상기 횡전계에 방향이 틀리는 영역을 형성하게 되어, 각 영역의 액정의 분자의 꼬이는 방향을 반대로 하는 것에 의해, 예를 들면 표시 영역을 좌우에서 각각 볼 경우에 생기는 착색차이를 상살시키는 효과를 낸다.

도 36은, 예를 들면 도 1에 대응한 도로 되고 있고, 한쪽 방향에 연재하고, 그와 교차하는 방향에 배치시킨 고리형의 각 화소전극(PX)를, 상기 한쪽 방향에 대해서 각도 θ (P형 액정으로, 배향막의 러빙 방향을 드레인 신호선의 방향과 일치할 경우, $5\sim 40^\circ$ 가 적당)에 기울이고 연재시킨 뒤에 각도 $(-\theta)$ 에 굴곡시키고 연재시킨 것을 반복해서 지그재그상태로 형성한 것이 되고 있다.

이 경우, 대향전극(CT)은 화소영역의 주변을 뺀 영역에 형성되어, 이 대향전극(CT)에 상술한 구성의 각 화소전극(PX)가 중복되게 배치만 하면, 멀티도메인 방식의 효과를 낼 수 있다.

특히, 화소전극(PX)의 굴곡부에 있어서의 대향전극(CT)과의 사이에 발생하는 전계는, 화소전극(PX)의 다른 부분에 있어서의 대향전극(CT)과의 사이에 발생하는 전계하고 전혀 다르지 않게 발생하는 것이 확인되었다. 종래는 이른바 디스크 리네이션 영역으로 칭하고, 액정의 분자에 꼬이는 방향이 랜덤이 되어 불투과부가 발생하고 있다.

이 때문에, 화소전극(PX)의 굴곡부의 근방에 있어서의 광투과율의 저하라는 불편이 생기지 않다는 효과를 낸다.

더욱이, 이 실시예에서는, 화소전극(PX)은 도 36중 y방향에 연재시키고 형성한 것이지만, 도중 x방향에 연재시키게 해서, 그것에 굴곡부를 만들어서 멀티도메인 방식의 효과를 낼 수 있게 해도 좋다.

또, 이 실시예에서는, 화소전극(PX)에 굴곡부를 만들어서 멀티도메인 방식의 효과를 낼 수 있게 한것이다.

그러나, 화소전극(PX)을 적어도 화소영역의 주변을 뺀 전역에 형성되고, 예를 들면 도 28에 표시한 것과 같이, 대향전극(CT)을 한쪽 방향에 연재시켜 그 방향에 교차하는 방향을 배치시킨 구성중에는, 상기 대향전극에 굴곡부를 만들어서 멀티도메인 방식의 효과를 내게 해도 좋다는 것은 말 할 것도 없다.

[실시예 8]

도 37은, 본 발명에 있어서의 액정표시장치의 다른 실시예를 표시하는 평면도이고, 도 27과 대응한 도이다.

더욱, 도 37중, 38-38선에 있어서의 단면도, 39-39선에 있어서의 단면도를, 각각 도 38 및 도 39에 표시하고 있다.

도 27과 동부호의 것은 동일한 재료부터 구성되고 있다. 도 27과의 구성상의 차이는, 화소전극(PX)에 있다.

이 화소전극(PX)은, 대향전극(CT)과 중복되는 부분에 있어서 그 주변을 뺀 부분에 개구가 형성되어 구성되고 있다. 이 때문에, 한쪽 방향에 연재하는 대향전극(CT)의 중심축은 상기 화소전극(PX)의 개구의 중심축과 거의 같이 되어, 상기 대향전극(CT)의 폭을 W로 한 경우, 상기 개구의 폭은 그것 보다 적은 L L로서 형성된다.

이와 같이 형성한 경우, 상기 화소전극(PX)과 대향전극(CT)과의 사이에 발생하는 전계의 분포는 도 27에 있는 그것과 똑같이 발생할 수있게 되고 있다.

그리고,상기 개구를 만들 것으로, 그 만큼 화소전극(PX)과 대향전극(CT)과의 사이의 용량을 적게 할 수 있는 효과를 낸다.

상술한 것과 같이, 화소전극(PX)과 대향전극(CT)간의 용량은, 화소전극(PX)의 공급되는 영상신호를 비교적 길게 축적시키기 위해 어느정도는 필요하게 되지만, 필요이상으로 커지면 신호의 지연에 의한 표시의 회도의 흠이 발생하기 때문에, 상기 개구를 적당한 크기로 하면 상기 용량을 적당한 수치로 할 수 있게 된다.

여기서, 상기 화소전극(PX)에 형성하는 개구에 의해 상기 화소전극(PX)과 대향전극(CT)간에 발생하는 용량의 수치를 설정할 때, 상기 화소전극(PX)에 대한 대향전극(CT)의 위치가 틀리면, 본래의 용량치를 구할 수 없게 된다.

이 경우, 예를 들면 도 42에 표시하는 것과 같이, 화소전극(PX)의 개구에 있어서의 한쌍의 주변부(이 도에서는 위치가 틀릴 때의 부적절함을 고려하여, 도중 y방향에 평행한 변을 예를 들고 있다)를 예를 들면 지그재그 상태로 형성하고, 각 변의 각각에 돌출부 및 파임부가 형성되는 개구를 형성한다.

화소전극(PX)과 대향전극(CT)이, 도 42(A)에 표시하는 것과 같이 위치의 이탈없이 배치되는 경우, 그것의 용량값은 중복되는 면적으로 결정된다.

그리고, 화소전극(PX)에 대해 대향전극(CT)이, 도 42(B)에 표시한 것과 같이 x방향에 위치 이탈이 발생한 경우에도, 그런 중복되는 면적이 불변이고, 용량의 수치에는 변화가 생기지 않는다.

한 쪽에 변의 돌출부가 들어간 경우 다른 쪽 변의 돌출부가 나오는 관계가 생기기 때문이다.

이것으로, 개구의 패턴은 상술한 것에 한정되지는 않고, 예를 들면 한 쪽에 전극의 위치 이탈에 대해, 상기 위치 이탈에 방향에 교차하는 개구변의 한 쪽에 변에 상기 전극측에 나온 돌출부가 형성되고, 또 다른 쪽 변에 상기 전극에 대해 들어간 파임부가 형성되어 있으면 용이하다.

더욱, 이런 구성은, 도 27의 구성을 전제로 하는 것이 아니라, 상술한 각 실시예의 모든 것에 적용할 수 있는 것이다. 예를 들면, 대향전극(CT)이 적어도 화소영역의 주변을 뺀 전역에 형성되고 있는 구성으로 되고 있는 경우, 이 대향전극(CT)에 있어서, 화소전극(PX)과 중복되는 부분에 있어서 그 주변을 뺀 부분에 개구를 형성해도 좋다. 게다가, 이 경우의 한 쪽의 전극의 개구는, 그 주변에 있어서 다른 전극과 중복하게 되어 있지만, 반드시 중복되지 않아도 좋다는 것은 말할 것도 없다.

[실시예 9]

도 40은, 본 발명에 의한 액정표시장치의 다른 실시예를 표시하는 평면도이고, 그 41-41선에 있어서의 단면도를 도 41에 표시하고 있다.

도 40 및 도 41은, 실시예 5(도 27~ 도 30)의 개량으로서 설명 한 도이고, 그 특징은 예를 들면 합성수지막으로 구성된 제2보호막(PSV2)에 스페이서로서의 기능을 가지게 된 것이다.

여기서, 스페이서는, 한 쪽에 투명기판측에 대해 다른 쪽의 투명기판을 정밀도가 좋은 겹을 유지시켜서 지지하는 것이고, 표시영역의 전역에 미치고 액정의 층두께를 균일하게 할 수 있다.

이 실시예에서는, 예를 들면 게이트 신호선(GL)의 일부에 중복되는 영역에 상기 스페이서의 형성영역을 만들어서, 이 스페이서는 제2보호막(PSV2)과 일체로 형성된 돌출부로서 구성되고 있다.

이 스페이서를 만들 장소는 각 화소영역에 있어서의 동일한 장소에 하면, 표시영역의 전역에 미치고 액정의 층두께를 균일하게 할 수 있다. 동일한 장소라면, 그 부분의 적층구조가 동일이기 때문이다. 동일한 장소라면, 그 부분의 적층구조가 동일하기 때문이다.

이 스페이서는, 예를 들면 제 2보호막(PSV2)을 형성할 때, 먼저, 광감광성의 합성수지막을 스페이서의 높이 만큼을 가산시킨 막두께로 형성되어, 그 후, 예를 들면 스페이서의 형성영역에 강한 빛을, 그리고 스페이서의 형성영역외의 영역에 약한 빛을 선택적으로 조사해서, 현상공정을 경과하는 것에 의해 형성할 수 있게 된다.

이와 같이, 형성되는 각 스페이서는, 높이가 같은 것이 정밀도가 높이 이루어 지기 때문에, 각 투명기판 사이의 겹을 표시영역의 전역에 걸쳐서 균일하게 유지시킬 수 있게 된다.

더욱, 이 실시예에서는, 스페이서의 형성후에 있어서, 대향전극을 형성할 필요가 있지만, 가령, 스페이서의 정점면에 있어서의 상기 대향전극의 재료가 잔존해도, 이른바 필터기판의 측에는 전극이 배치되어 있지 않는 구성으로 되어 있기 때문에 상기에 의한 불편은 발생하지 않게 된다.

또, 이 실시예에서는, 실시예 5의 개량으로서 설명한 것이지만, 이 실시예에 한정되지 않는 것은 말할 것도 없다.

액정에 가까운층으로서 합성수지막을 형성할 필요가 있을 때에는, 그것과 일체로 스페이서를 형성할 수 있는 효과를 소유하지만, 그렇지 않을 경우에도, 어느것인가 한 쪽의 투명기관에 고정된 스페이서를 형성하는 것이, 각 투명기관 사이의 겹을 정밀도 높게 균일하게 할 수 있기 때문이다.

[실시예 10]

도 43은 본 발명에 의해 액정표시장치의 다른 실시예를 표시한 단면도이다.

도 43은 실시예5과 비교해서 더구나 개량한 구성을 표시하는 것이고, 도 27의 28-28선에 따라 다른 단면도를 표시하고 있다. 더욱, 화소영역을 표시하는 평면도는 실시예5의 도 27과 동일한 구성이 된다.

실시에 1과에 구성상의 차이는, 먼저, 대향전극(CT)의 하부이고, 화소전극(PX)을 절연분리하고있는 보호절연막(PSV2)이 대향전극(CT) 혹은 대향전압신호배선(CL)을 마스크로서 파이도록 가공되어 있다.

이 가공에 의해, 드레인 신호선(DL)과 대향전압신호배선(CL) 사이에 절연막(PSV2)은 두껍게 형성되고, 대향전극(CT)간의 간격부분의 절연막(PSV2)은 얇게 형성되고 있다.

상기 가공의 효과는, 두껍게 형성된 절연막은, 박막트랜지스터 TFT의 부하의 용량을 저감시키고, 혹은 드레인 신호선(DL)의 부하용량을 저감시킨다.

한편, 얇게 형성된 절연막(PSV2)은 화소전극(PX)과 대향전극(CT)간의 절연막에 위해 전압강하를 저감시켜, 액정에 충분한 전압을 인가하는 것이 가능하게 되어, 액정의 한계치전압을 저감할 수 있다.

또, 상기 절연막(PSV2)의 가공은 대향전극(CT)을 마스크로서 가공하기 때문에, 이 대향전극(CT)과 자기 정합적으로 가공되고, 표시 얼룩이 거의 발생하지 않는다.

이상, 실시예 1 및 10을 참조해서 설명한 것으로서 명백한 것과 같이 본 발명에 의한 액정표시장치에 의하면, 극히 성능이 높은 것을 구할 수 있게 된다.

[실시예 11]

도 44는 본 발명에 의한 액정표시장치의 다른 실시예로서 화소영역에 있어서의 구성도이고, 액정을 개재하고 서로 대향배치시킨 한쌍의 투명기관의 한 쪽의 투명기관을 액정층에서 본 평면도이다. 또, 도 45는 도 44의 45-45선에 있어서의 단면도를 표시한 도이다.

먼저, 도 44에 있어서의, 투명기관(SUB1)상의 도중 x방향에 연재되고 y방향에 배치되는 게이트 신호선(GL)이 예를 들면 크롬(Cr)으로 형성되고 있다. 이 게이트 신호선(GL)은 후술할 드레인 신호선(DL)과에 장방형의 영역을 형성하고, 그 영역은 화소영역을 구성하게 되어있다.

이 화소영역에는, 게이트 신호선(GL)과 같이, 상기 게이트 신호선(GL)과의 접속 및 상기 드레인 신호선(DL)(뒤의 공정에서 형성된다)과의 중복이 회피하게 되고, 대향전압선(CL)이 형성되고 있다. 대향전압신호선(CL)은, 게이트 신호선(GL)과 동일한 재료로 형성해도 되기 때문에, 게이트 신호선(GL)과 동일한 공정으로 배치되고 있다. 도 44에 표시하게 되는 것과 같이, 이 대향전압신호선(CL)은, 화소영역의 중앙에 있어서 도중 y방향에 주행하는 배상의 도전층(CL')과, 이 도전층에 접속하는 화소영역의 주변에 따라 형성되는 테두리 모양의 도전층(CL")에서 구성되어, 이 화소영역 사이에 두고 좌우의 화소영역에 있어서의 대향전압신호선(CL)과는 도중 x방향에 연재하는 대향전압신호선(CL)에 의해 서로가 접속하게되어 있다. 이 대향전압신호선(CL)은 후술한 대향전극(CT)에 대향전압신호를 공급하기 위해 신호선 기능을 하지만 차광막으로써의 기능도 같이 형성되어 있다. 이 차광막의 기능의 상세함에 대해서는 후술한다.

게다가, 상기 화소영역에는, 그 미소한 주변부를 삭제한 중앙부의 전역에, 투명도전체인 예를들면 ITO1(Indium-Tin-Oxide)에서 이루어지는 대향전극(CT)이 형성되고 있다. 본 실시예 및 후술한 실시예 12~15 있어서의, 기관주요면층에 배치되는 투명도전체에서 되는 대향전극(CT)(ITO1)에 윤곽을 굵은 선으로 표시한다. 이 대향전극(CT)(ITO1)은, 그리하여 기관주요면에서 떨어져 다른 투명도전체의 막(화소전극PX(ITO2))에 적어도 일부가 덮혀진다. 투명도전체로써는 본 실시예

에서 사용한 ITO 대신해서, 예를들면, IZO(Indium-Zinc-Oxide) 이나 이온코팅 등으로 구해지는 금속의 박막 등, 이곳에 입사하는 빛을 충분한 강도로 출사할수 있도록 형성된 도전막(예를들면, 입사광의 적어도 60%를 투과시킨다.)을 사용해도 좋다.

이 대향전극(CT)은 그 주변부가 상기 대향전압신호선(CL)의 테두리 모양의 도전층의 안쪽의 주변부에 직접 중첩할 수 있게 형성되고, 그러므로 상기 대향전극(CT)에 대향전압신호선(CL)에서 공급되는 대향전압이 인가 하게되고 있다. 이런 게이트 신호선(GL), 대향전압신호선(CL) 및 대향전극(CT)까지 피복하여 투명기관(SUB1)의 상면에 전역에는, 예를들면 SiN부터 되는 절연막(GI)이 형성되고 있다. 이 절연막(GI)은, 후술의 드레인 신호선(DL)에 대해서는 대향신호선(CL) 및 게이트 신호선(GL)에 층간절연막으로써의 기능을, 후술의 박막 트랜지스터 TFT의 형성영역에 있어서 그 게이트 절연막으로써의 기능, 후술의 영량소자(Cstg)의 형성영역에 있어서의 그 유전체막으로써의 기능을 갖고 있다.

도 44의 좌측 하단에 표시되고 있는 것과 같이, 게이트 신호선(GL)의 일부에 중첩되는 박막 트랜지스터 TFT의 부분에 상기 절연막(GI) 상에는, 예를들면 a-Si에서 되는 반도체층(AS)가 형성되고 있다.

이 반도체층(AS) 상면에 소스전극(SD2) 및 드레인 전극(SD1)이 형성되는 것에 의해, 게이트 신호선(GL)의 일부를 게이트 전극으로 하는 역 스택거 구조의 MIS 형 트랜지스터가 형성하게 된다. 그리고, 이 소스전극(SD2) 및 드레인 전극(SD1)은 드레인 신호선(DL)과 동시에 형성하게된다.

즉, 도 44에 있어서 y방향으로 연재되어 x방향으로 배치된 드레인 신호선(DL)이 형성되어, 이 드레인 신호선(DL)의 일부가 상기 반도체층(AS)의 표면까지 연재되는 것에 의해 박막 트랜지스터 TFT에 드레인 전극(SD1)을 형성하게 되어 있다.

또, 상기 드레인 신호선(DL)으로 형성하는 중에 소스전극(SD2)이 형성되어 이 소스전극(SD2)은 화소영역내의 일부까지 연재되어 후술의 화소전극(PX)과의 접속을 시도하는 콘택트부 까지 일체적으로 형성하게 된다.

더욱이, 반도체층(AS)의 상기 소스전극(SD2) 및 드레인 전극(SD1)과의 계면에는 예를들면, n형 불순물이 도핑한 콘택트층(d0)이 형성되어 있다.

이 콘택트층(d0)은, 반도체층(AS)의 표면 전역에 n형 불순물 도핑층을 형성하고, 더욱더 소스전극(SD2) 및 드레인 전극(SD1)에 형성후에 있어서, 상기 각 전극을 마스크로서 이런 각 전극부터 노출된 반도체층(AS) 표면에 n형 불순물 도핑층을 에칭하는 것에 의해 형성하게 되어 있다.

또한, 이 실시예 에서는, 반도체층(AS) 박막 트랜지스터 TFT 의 형성영역뿐만 아니라, 드레인 신호선(DL)에 대한 게이트 신호선(GL), 대향전압신호선(CL)과의 교차후에도 형성되고 있다. 층간절연막으로써이 기능을 강화했기 때문이다.

그리고, 이와 같이 박막 트랜지스터 TFT가 형성된 투명기관(SUB1)의 표면에는, 상기 박막 트랜지스터 TFT 까지 바뀌 예를들면, SiN부터 되는 절연막(GI)이 형성되어 있다. 박막 트랜지스터 TFT의 액정(LC)과의 직접적인 접촉을 회피하기 위해서이다.

또한, 이 보호막(PDV)의 상면에는 화소전극(PX) 예를들면, ITO2(Indium-Tin-Oxide)부터 되는 투명한 도전막에 의해 형성되고 있다. 그리고 이 화소전극(PX)은 그 일부에 있어서 상기 보호막(PDV)에 형성한 콘택트구멍을 통해서 상기 박막 트랜지스터 TFT의 소스전극(SD2)의 연재부와 접속하게 되고 있다.

이 화소전극(PX)은, 화소영역에 거의 중앙에 있어서 도 44중 y방향에 연재하는 대향전압신호선(CL') 상에서 굴곡부를 소유하는 복수의 제 1 전극(PX')과, 이런 제 1전극(PX')에 각단부를 각각 접속하는 테두리모양의 제 2의 전극(PX'')부터 구성되고 있다. 다시 말해서, 제 1전극(PX')는, 상기 대향전극 신호선(CL')에 의해 경계를 가진 한쪽의 화소영역 측에 있어서 상기 대향전극 신호선(CL')에 대해서 ($-\theta: \theta < 45^\circ$) 기울기를 갖고 도중 y방향에 같은 동일간격에 배치되고, 또, 다른 쪽의 화소영역측에 있어서, 상기 대향전극 신호선에 대해서 ($-\theta: \theta < 45^\circ$) 기울기를 갖고 도 44중 y방향에 동일간격에 배치되고 있는 것과 같이 각 화소영역에 대응하는 전극끼리는 상기 대향전극 신호선(CL') 상에서 서로 접속하여 구성되고 있다.

이와 같이 제 1의 전극(CL')에 굴곡부를 배치하고 있는 것은 말하자면, 멀티도메인 방식을 채택하는 것으로 한쪽에 기울기($-\theta$)를 갖고있는 화소전극과 다른 쪽 기울기($+\theta$)를 가진 화소전극이 각각의 대향전극(CT)에 대해서 발생하는 전계의 방향을 다르게 하고, 액정분자의 쏠린 방향을 역으로 하는 것에 의해 예를들면, 표시영역을 좌우에서 각각 관찰한 경우에 생기는 착색차이를 상살시키는 효과를 나타내기 때문이다.

이 제 1전극(PX')의 각각의 굴곡부는, 상술한 대향전압신호선(CL) 중에, 화소영역의 중앙에 있어서의 y방향에 연재하는 신호선(CL')에 중복하는 것과 같은 위치에 있다.

제 1전극(PX')의 굴곡부의 근방은, 이 부분에 있어서 전계의 방향이 랜덤으로 되고 엄밀한 행정계가 되지 않는 불투과 영역(이하, 이 영역을 디스크 리네이션 영역이라고 부른다.)이 발생하기 때문에 이 영역을 상기 신호선(CL')에 의해 차광하는 구성으로 한 것이다.

또, 상기 제 1전극(PX')은 굴곡부를 중심으로 전극에 뿔어짐의 각도는 $2\theta (< 90^\circ)$ 이고, 예각으로 되어 있다.

이와 같이 한 경우, 이 굴곡부에 있어서 대향전극(CT) 사이에 비교적 강한 전계가 쉽게 생기고 액정분자의 회전을 고속으로 할 수 있게 된다. 이 때문에 이 굴곡부를 기점으로 해서 그 주변 나아가서는 화소영역의 전역에 걸쳐서 액정분자의 회전의 고속화를 과급할 수 있고 결과는 리스폰스 가속화를 도모한 표시를 달성시키는효과를 낼 수 있게 된다.

또, 화소전극(PX)중에 제 2의 전극(PX'')은 상기 대향전압신호선(CL)중에 테두리 모양에 형성시킨 신호선(CL'') 안쪽 주변부의 중복시킨 테두리 모양의 전극(PX)으로 이루어지고, 상기 제 1의 전극(PX)의 연재단과 접속된 구성으로 되어 있다.

제 2의 전극(PX'')중에 도 44중 y방향의 연재된 부분과 그것의 인접해서 배치되는 드레인 신호선(DL) 간에는 상술한 대향전압 신호선(CL'')이 도중 y방향의 연재되서 형성되고 있다.

이 대향전압 신호선(CL'')은 드레인 신호선(DL) 사이의 공간을 뿔 수 있는 한 작게 해서 그 폭이 크게 형성되고 있다.

다시 말하면, 화소전극(PX)중에 도 44중 y방향에 연재하는 전극(PX'')과, 그것의 인접해서 배치되는 드레인 신호선(DL)간의 공간은 상기 대향전압 신호선(CL'')에 의해 차광되는 구성으로 되어 있다.

드레인 신호선(DL)부터는 그것에 공급되는 연산신호에 의해 전계가 발생하고, 이 전계는 대향전압신호선(CL'')측에 종단시키며, 상기 전계에 의해 변화하는 액정에 광투과율의 변화에 의한 광투과를 차광하지 못하게 하려고 하는 취지이다.

이와같이 구성된 화소전극(PX)은, 다음과 같은 여러 효과를 낼 수 있게 되어 있다.

우선, 대향전극(CT) 사이에서 발생하는 전계의 방향을 다르게 하는 영역은 화소영역을 2분할하여 형성하고 있기 때문에 각 화소 전극(PX)(제 1의 전극PX')의 굴곡부는 각각 하나가 되고, 그 총수는 상기 제 1의 전극(PX')의 수에 해당된다.

종래, 예를들면 도 44중에 y방향의 연재되고 x방향에 배치된 각 화소전극에 각각을, 그 길이방향에 따라 우측의 경사시킨 후에 우측으로 경사시켜, 또한 우측으로 경사시키는 것을 반복한, 이른바 지그재그 현상이 나타나는 것과 비교해서, 상기 전극의 굴곡부를 대폭 감소시킨 구성으로 할 수 있게 된다.

이 때문에, 상기 전극(PX')의 굴곡부에 있어서, 디스크리네이션 영역이 발생하는 것을 대폭 감소시킬 수 있다. 또, 화소전극(PX)을 상기 제 1의 전극(PX')외에, 화소영역 주변에 테두리 모양으로 배치되는 제 2의 전극(PX'')을 새롭게 만드는 것으로, 이 제 2의 전극(PX'')과 대향전극(CT) 사이에도 횡 전계가 발생하게 된다.

종래, 상술한 것과 같은 지그재그 형성에 화소전극에는, 인접하는 드레인 신호선 사이에 작은 공간과 큰공간이 번갈아 가면서 형성되고, 이 가운데 큰공간은 충분한 횡 전계가 발생하지 않는다. 이른바, 데드스페이스가 발생하고 있었다.

이로 인하여, 본 실시예와 같이 형성하는 것이 상술한 데드스페이스의 발생을 억제할 수 있고, 실질적인 화소영역의 확대를 시도할 수 있게 된다.

또한, 이 제 2의 전극(PX'')은 박막 트랜지스터 TFT의 소스전극(SD2)을 개재해서 제1의 전극(PX')은 서로에 영상신호를 공급시키는 기능까지 갖고 있다.

이로 인하여, 이 기능을 충족할 때까지 제 2의 전극(PX'')은 반드시 화소영역 주변에 따른 테두리모양의 현상에 형성을 필요하지 않은 것은 말할 것도 없다.

예를 들면, 도 44의 제 2의 전극(PX")에 있어서, 도중 x 방향에 평행의 위치에 있는 것 중에, 도중 상측(박막 트랜지스터 TFT와 반대측)에 있는 것을 특별히 형성하지 않아도 충분한 효과를 낼 수 있다. 이와같이 화소전극(PX)이 형성되는 투명기관(SUB1)의 표면에는 상기 화소전극(PX)까지 피복하여 배향막(도 44 및 도 45에는 표시를 하지 않고, 실시예 1참조)이 형성되고 있다. 이 배향막은, 도중 y 방향에 러빙 처리가 된 액정(LC)과 직접 접촉하는 막으로, 상기 액정(LC)의 초기 배향 방향을 결정하는 것으로 되어 있다.

더욱 상술한 실시예는, 화소전극(PX)으로서 투명한 전극으로 구성한 것이지만, 반드시 투명한 것은 아니고, 예를들면 Cr과 같은 불투명 금속재료라도 좋다. 이것으로 개구율이 약간 저하하지만, 액정 LC의 구동에 있어서는 전혀 지장이 없기 때문이다.

또, 이와 같이 구성된 투명기관(SUB1)은 이른바 TFT 기판이라 부르고, 이 TFT 기판과 액정(LC)을 개재해서 배치되는 투명판은 필터기판이라고 부른다. 필터기판은, 그 액정측면에, 먼저 각 화소영역을 경계를 짓고 블랙매트릭스가 형성되어, 이 블랙매트릭스의 실질적인 화소영역을 결정하는 개구부에는 그것을 받고 필터가 형성되게 되어 있다. 그리고 블랙매트릭스 및 필터를 받고, 예를들면 수지막에서부터 되는 오버코트막이 형성되어, 이 오버코트막의 상면에는 배향막이 형성되고 있다. 이런 상세함은, 실시예 1에서 기술한 바와 같다.

[실시예 12]

*도 46은 본발명에 의한 액정표시장치에 다른 실시예를 표시하는 도이고, 도 1에 대응한 도면으로 되어 있다. 또 도 47은 도 46에 47-47 선에 있어서의 단면을 표시하는 도이다.

도 44가 다른 구성은, 먼저 굴곡부를 가진 화소전극(PX)에 상기 굴곡부에 근방을 차광하는 부재로서, 드레인 신호선(GL)과 같이 형성되는(따라서 상기 신호선과 재료가 동일) 도전층(CL)을 사용하는 것에 있다.

*이 도전층(CL)은 대향전압신호선(LC)를 구성하는 것이고, 이 때문에 투명전극을 구성하는 대향전극(CT)은, 이 대향전극 신호선(LC)이 상측(하측이라도 좋다)에 중첩되어 형성되어 있다.

또, 상기 도전층(GL')은, 화소영역에 거의 중간을 y방향에 주행해서 형성되어 있기 때문에 그 양쪽에 위치되어 있는 각 드레인 신호선(GL)과의 쇼트 걱정 없이 형성할 수 있게 된다.

[실시예 13]

도 48은 본 발명에 의한 액정표시장치에 다른 실시예를 표시하는 도이고, 도 44에 대응하는 도이다.

도 44와의 구성상의 차이는 화소전극(PX)에서 볼 수 있고, 굴곡부를 가진 복수의 제 1의 전극(PX')에 각 단부를 서로 접속하는 테두리 모양의 제 2의 전극(PX")의 도중 y방향에 신장하는 제 3의 전극(PX3)을 설치하고 있다.

이와같이 구성한 경우에도, 화소영역의 전역에 퍼져서 화소전극을 데드스페이스 없이 형성할 수 있다.

[실시예 14]

도 49는, 본발명에 의한 액정 표시장치에 다른 실시예를 표시하는 도이고, 도 44에 대응하는 도이다.

도 44와 다른 구성은, 화소영역에 있어서 전계의 방향이 다른 영역을 이 도중 x 방향에 평행한 경계에 의해 2분할하는 것에 있다.

이 때문에 굴곡부를 소유한 화소전극(PX)(제 1의 전극PX')은, 한쪽 화소영역에 있어서 도중 x방향에 대해서 ($- \theta : \theta > 45^\circ$)각도를 가지고 배치되고,

다른쪽 θ 화소영역에 있어서($+ \theta : \theta > 45^\circ$)각도를 가지고 배치되며, 상기 경계부에 있어서 대응하는 화소전극이 상호 접속하는 패턴을 갖고 있다.

이와 같이 한 경우에 있어도, 데드스페이스의 축소화, 및 화소전극에 제 1의 전극(PX') 굴곡부에 수치의 간소화를 도모할 수 있게 된다.

또 이와같이 한 경우, 배향막의 초기 배향방향(도중 y방향)과 각 전계의 방향이 가장 양호한 설정으로부터, 제1의 전극은 굴곡부에 있어서 열림각도 (2θ)는 등각으로 설정할 수 있다.

이 때문에 화소전극(제 1의 전극)의 굴곡부에 있어서 이른바 디스크리네이션 영역의 발생에 간소화를 시도할 수 있게 된다.

이것으로 이 실시예의 경우 각 화소전극에 굴곡부에 있어서 차광수단을 구비한 구성으로 되어 있지 않지만 디스크리네이션 영역이 완전해지는 발생의 방지를 위해 상기 차광수단을 설치해도 좋은 것은 말할 것도 없다.

또한, 도 49중 그 제 2의 전극(PX'')에 있어서, 도중 x방향의 평행의 위치에 있는 가운데, 도중 상측(박막 트랜지스터 TFT와 반대측)에 있을 것을 특별히 형성하지 않아도 충분한 효과를 낸다는 것은 말할 것도 없다.

[실시예 15]

도 50은 본발명에 의해 액정표시장치의 다른 실시예를 표시하는 도이고, 도 44에 대응하는 도이다. 도 44와의 구성상의 차이는 대향전압신호선(CL)과 대향전극(CT)과의 접촉에 있다. 본 실시예에서는 게이트신호선(GL)의 크롬(Cr)계예의 합금을 가지고 기관상에서 게이트 신호선(GL)의 바탕을 형성한 후, SiNx등으로부터 이루어지는 게이트 절연막(GI) 성막 전에 대향전극(CT) (ITO1)을 형성한다. 예를들면, 도 13에 있어서 (B)의 공정이 (A)의 공정보다 이전이 된다. ((A)공정과 (B)공정의 순서가 역전된다.) 대향전극(CT)을 이룬 ITO막은, 블랙매트릭스(BM)의 개구(그 윤곽을 파선으로 표시)에서 규정된 화소에 중심에서, 대향전압신호선(CL)을 이룬 Cr막과 즉시 접촉한다.

도 50에는, 액정층의 광투과율을 변조하기 위해 액정분자를 회전구동시키는 전장의 인가방향, 드레인 신호선(영상신호선, 데이터선이라고도 부른다.)에서 상기 화소(파선BM의 테두리에 둘러 쌓여있는 영역)에서 나오는 전장의 방향 및 표시한 전극구조를 덮는 배향막 (표시안함) 러빙처리 할 때에 러빙롤러에 진행방향 (소위 러빙방향) 각각 굽은 선의 화살표로 표시되어 있다.

본 실시예에서는 액정분자를 회전 구동하는 전장은, 도의 상하방향(드레인 신호선DL 연신방향)에 따라 인가한다. 이 때문에 드레인 신호선에서 도의 좌우방향 화소로 누수되는 전장 (전기력선)이 액정분자의 회전구동을 주는 영향이 저감되고 종(縱) 스미어(Smear)에 의한 화질의 열화를 억제한다. 액정분자를 회전구동 시키는 전장의 방향(「액정의 전장인가 방향」의 화살표)과 드레인 신호선(DL)부터 화소에 누수되는 전장의 방향(「드레인선에서의 전장방향」을 표시하는 화살표)과 교차하는 각도가 크면, 상술의 종 스미어의 발생은 억제된다. 이 교차 각도가 작은 경우, 드레인 신호선(DL)과 화소사이의, 대향전극(CT) 혹은 화소전극(PX)을 드레인 신호선(DL)에 따라 설치하는 것은, 드레인 신호선(DL)부터 화소에 누수전장을 차단할 필요가 있다. 그러나 본 실시예에서는 일정간격형으로 배열하는 화소전극(PX) (ITO2)을 드레인선과 충분한 크기의 각도를 갖고 교차할 수 있게 배치하기 때문에 이 차단구조가 필요없게 된다. 이 특징은 도 50의 표시한 화소의 좌측 상부 및 우측 하부에 보이고 화소자체의 개구율(액정분자의 회전구동에 의해 변조시킨 빛을 투과할 수 있는 면적)을 크게 한다.

또, 본 실시예에 따르면 기관주요면부터 보면 한쪽에 투명도전체의 막(ITO1)보다 떨어져 형성되고 다른 쪽에 투명도전체의 막(ITO2)(그 단면구조부터 보고, 상부ITO 층이라고도 부름)에 의해 구성되는 전극구조의 설계자유도가 높게 된다. 이 때문에 드레인 신호선(DL)의 신장방향으로 교차하는(바람직하게는 대략 직교한다.) 방향에 따라 앞으로 공급되는 전압신호를 화소전극(PX)에 인가할 수 있게 화소전체를 설계할 수 있게 된다.

또한, 본 실시예에 있어서, 드레인 신호선(DL)에 대해서 화소전극(PX)에 일렬로 나열된 신장방향이 직교하지 않기 때문에 러빙방향(이에 따른 방향에 전장이 인가되지 않은 상태에서 액정분자가 배향한다.)을 드레인 신호선에 대해서 직교하는 방향으로 설정할 수 있다.

상기 기술한 실시예 11내지 14에서는, 대향전극(CT)은 화소영역의 최소한의 주변을 제외한 중앙부의 전역에 걸쳐서 형성된 것이다.

그러나, 이 대향전극(CT)은 화소전극(PX)과 중복할 부분에 형성되지 않아도 액정의 동사에는 전혀 영향이 미치지 않기 때문에 이와같이 형성해도 좋다는 것은 말할 것도 없다.

또 상술한 각 실시예에는, 화소영역의 최소한의 주변을 제외한 중앙부의 전역에 걸쳐서 형성된 투명의 전극을 대향전극(CT)으로 하고, 굴곡부가 형성되는 전극을 화소전극(PX)으로서 형성하는 것이지만 이것의 한정되는 것은 아니고, 화소영역의 최소한의 주변을 제외하는 중앙부의 전역에 걸쳐서 형성된 투명 전극을 화소전극(PX)으로서 굴곡부가 형성된 전극을 대향전극(CT)으로서 형성해도 용이한 것은 말할 것도 없다.

발명의 효과

이상, 실시예 11 내지 14를 참조해서 명백하게 설명했기 때문에 본 발명에 의한 액정표시장치에 의하면, 우수한 품질의 화상을 표시하는 것이 가능해진다.

도면의 간단한 설명

도 1 은 본 발명에 의한 액정장치표시의 화소영역의 하나의 실시예를 표시하는 평면도이다.

도 2 는 도 1의 2-2선에 있어서의 단면도이다.

도 3 는 도 1의 3-3선에 있어서의 단면도이다.

도 4 는 도 1의 4-4선에 있어서의 단면도이다.

도 5 는 발명에 의한 액정표시장치에 들어가있는 액정표시 패널의 외관을 표시하는 평면도이다.

도 6 은 액정표시 패널의 각 투명기관을 고정하고 또한 액정을 봉입시킨 쉘체의 구조를 표시하는 단면도이다.

도 7 은 본 발명에 의한 액정표시장치의 게이트신호단자의 하나의 실시예를 표시하는 구조도이다.

도 8 은 본 발명에 의한 액정표시장치의 드레인신호단자의 하나의 실시예를 표시하는 구조도이다.

도 9 는 본 발명에 의한 액정표시장치의 대향전압신호단자의 하나의 실시예를 표시하는 구조도이다.

도 10 은 본 발명에 의한 액정표시장치의 하나의 실시예를 나타내는 구조도이다.

도 11 은 본 발명에 의한 액정표시장치의 구동의 하나의 실시예를 표시하는 타이밍차트이다.

도 12 는 본 발명에 의한 액정표시장치에 있어서 그 액정표시패널의 외부회로를 연결해준 경우의 평면도이다.

도 13 은 본 발명에 의한 액정표시장치의 제조방법의 하나의 실시예를 표시하는 공정도이다.

도 14 는 본 발명에 의한 액정표시장치의 제조방법의 하나의 실시예를 표시하는 공정도이고, 상기 도 13에서 설명한 공정에 연속되는 공정을 설명하는 도이다.

도 15 는 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 16 은 도 15의 16-16선에 있어서의 단면도이다.

도 17 은 도 15의 17-17선에 있어서의 단면도이다.

도 18 은 도 15의 18-18선에 있어서의 단면도이다.

도 19 는 본 발명에 의한 액정표시장치의 제조방법의 다른 실시예를 표시하는 공정도이다.

도 20 은 본 발명에 의한 액정표시장치의 제조방법의 다른 실시예를 표시하는 고정도이고, 상기 도 19에서 설명한 공정에 연속되는 공정을 설명한 도이다.

도 21 은 본 발명에 의한 액정장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 22 는 도 21의 22-22선에 있어서의 단면도이다.

도 23 은 본 발명에 의한 액정표시장치의 화소영역의 다른 하나의 실시예를 표시하는 평면도이다.

도 24 는 도 23의 24-24선의 있어서의 단면도이다.

도 25 는 도 23의 25-25선의 있어서의 단면도이다.

도 26 은 도 23의 26-26선의 있어서의 단면도이다.

도 27 은 본 발명에 의한 액정표시장치의 화소영역의 다른 하나의 실시예를 표시하는 평면도이다.

도 28 은 도 27의 28-28선의 있어서의 단면도이다.

도 29 는 도 27의 29-29선의 있어서의 단면도이다.

도 30 은 도 27의 30-30선의 있어서의 단면도이다.

도 31 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 32 는 도 31의 32-32선의 있어서의 단면도이다.

도 33 은 도 31의 33-33선의 있어서의 단면도이다.

도 34 는 도 31의 34-34선의 있어서의 단면도이다.

도 35 는 상기한 각 실시예의 액정표시장치의 인가전압-투과율의 특성을 표시하는 그래프이다.

도 36 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 37 은 본 발명에 의한 액정표시장치의 화소영역을 다른 실시예를 표시하는 평면도이다.

도 38 은 도 37의 38-38선의 있어서의 단면도이다.

도 39 는 도 37의 39-39선의 있어서의 단면도이다.

도 40 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 41 은 도 40의 41-41선의 있어서의 단면도이다.

도 42 는 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 설명도이다.

도 43 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 단면도이다.

도 44 는 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 45 는 도 44의 45-45선의 있어서의 단면을 표시하는 도이다.

도 46 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 47 은 도 46의 47-47선의 있어서의 단면도를 표시하는 도이다.

도 48 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 49 는 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

도 50 은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시하는 평면도이다.

<주요부분을 나타내는 도면부호의 설명>

GL : 게이트 신호선 GI : 절연막

DL : 드레인 신호선 CL : 대향전압신호선

PX : 화소전극 CT : 대향전극

AS : 반도체층 TFT : 박막트랜지스터

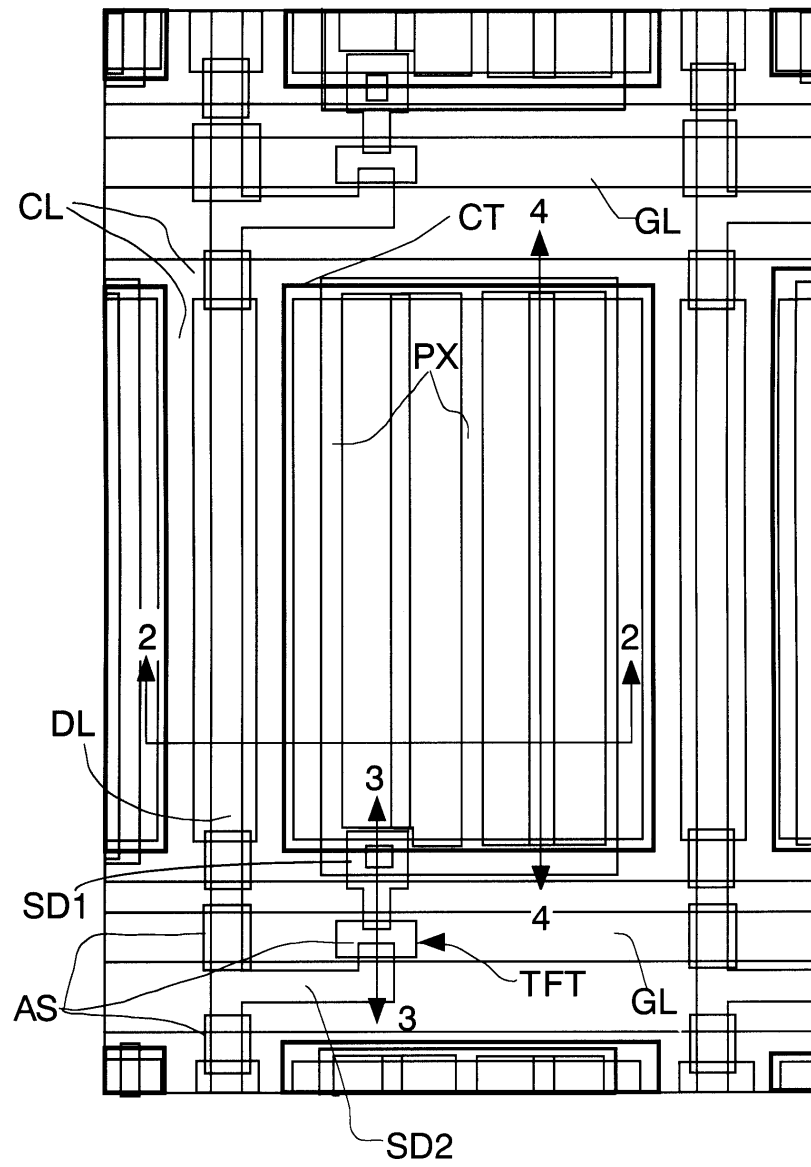
PSV : 보호막 GTM : 게이트 신호단자

DTM : 드레인 신호단자 CTM : 대향전압 신호단자

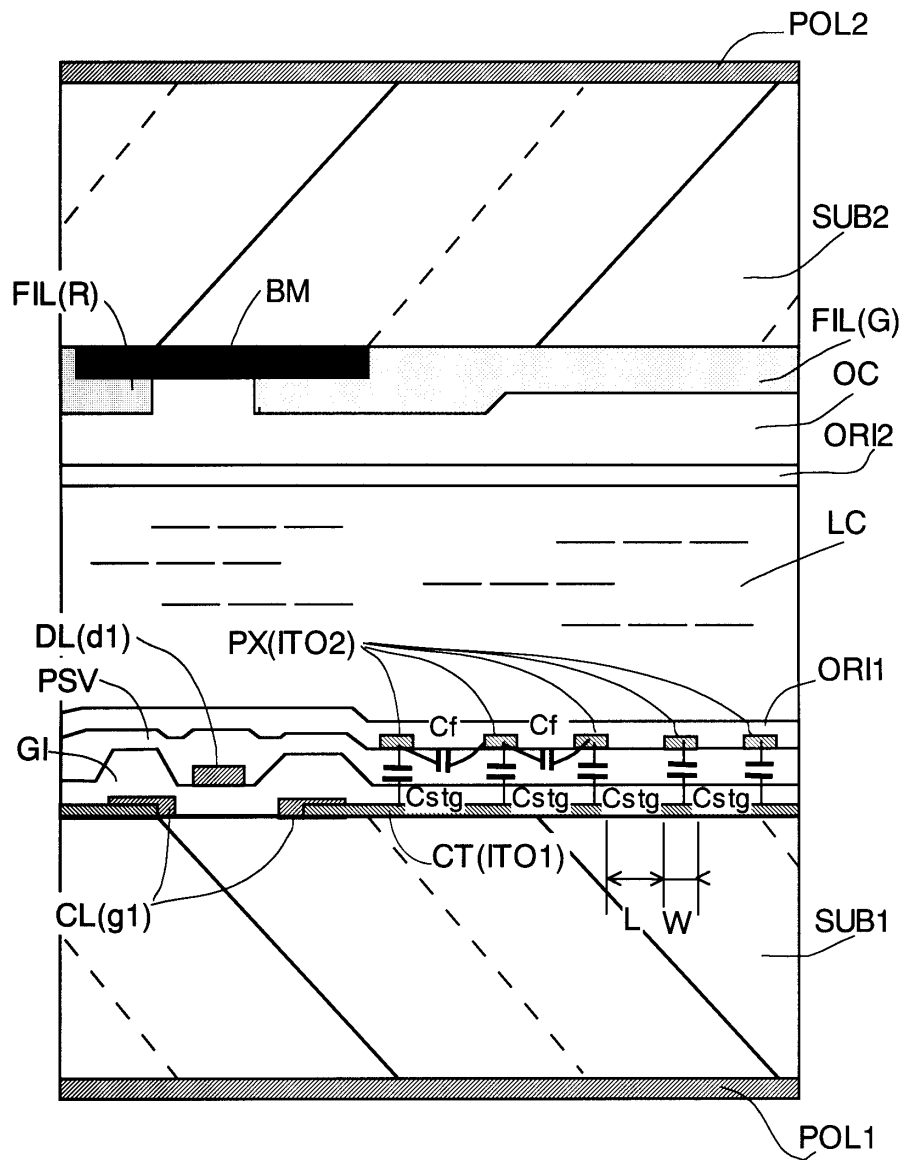
ITO : 투명도전층

도면

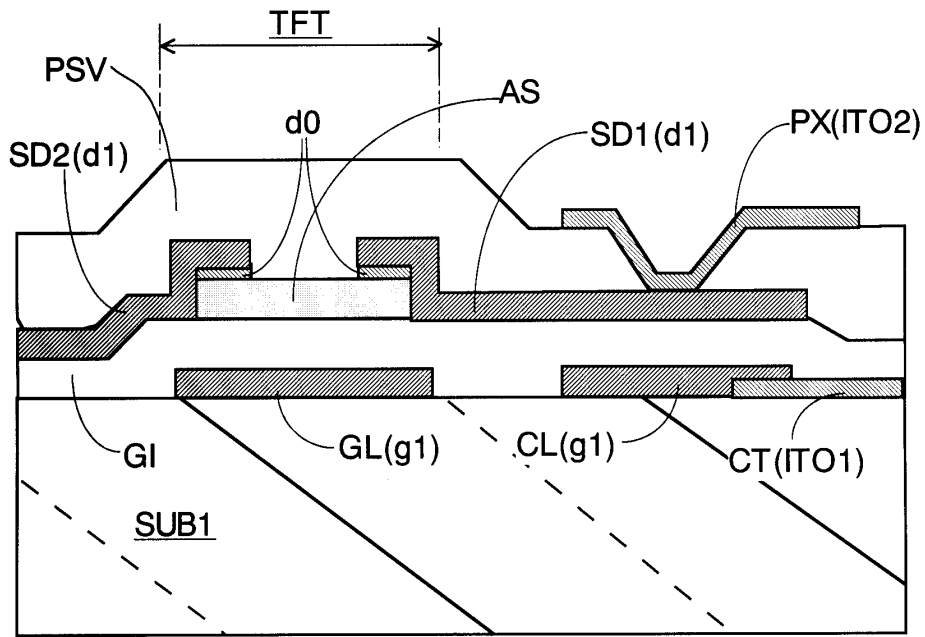
도면1



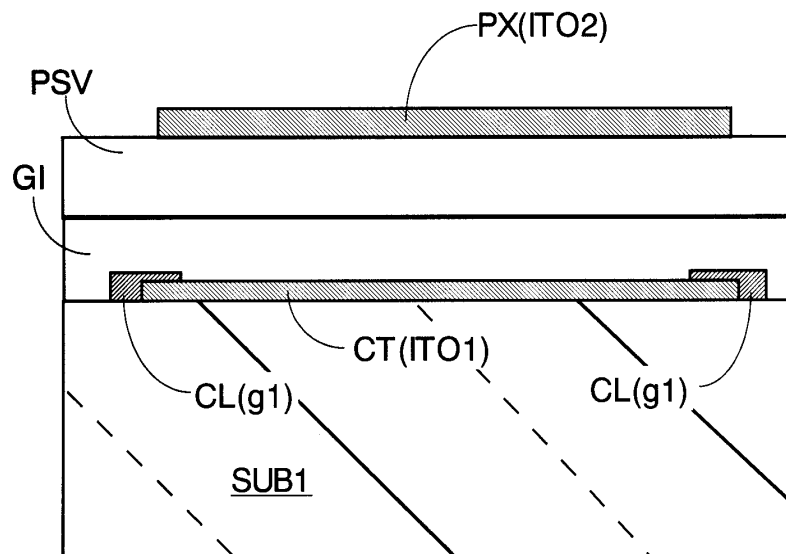
도면2



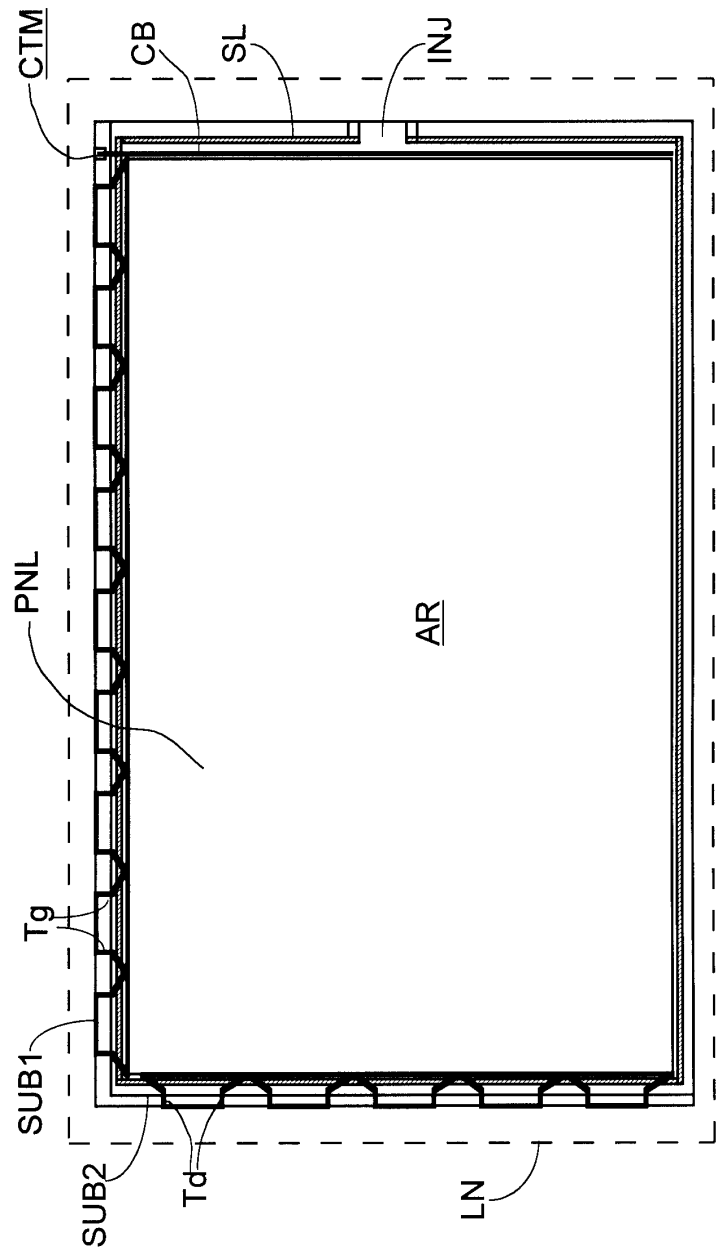
도면3



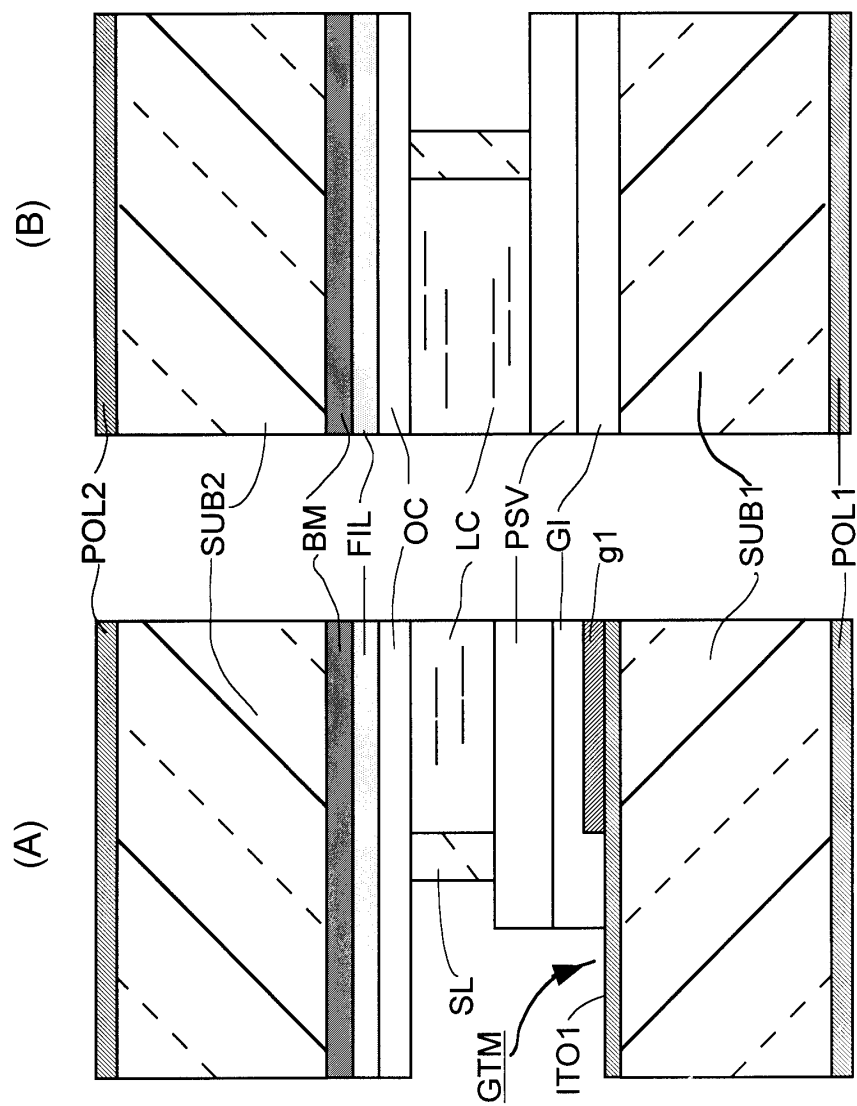
도면4



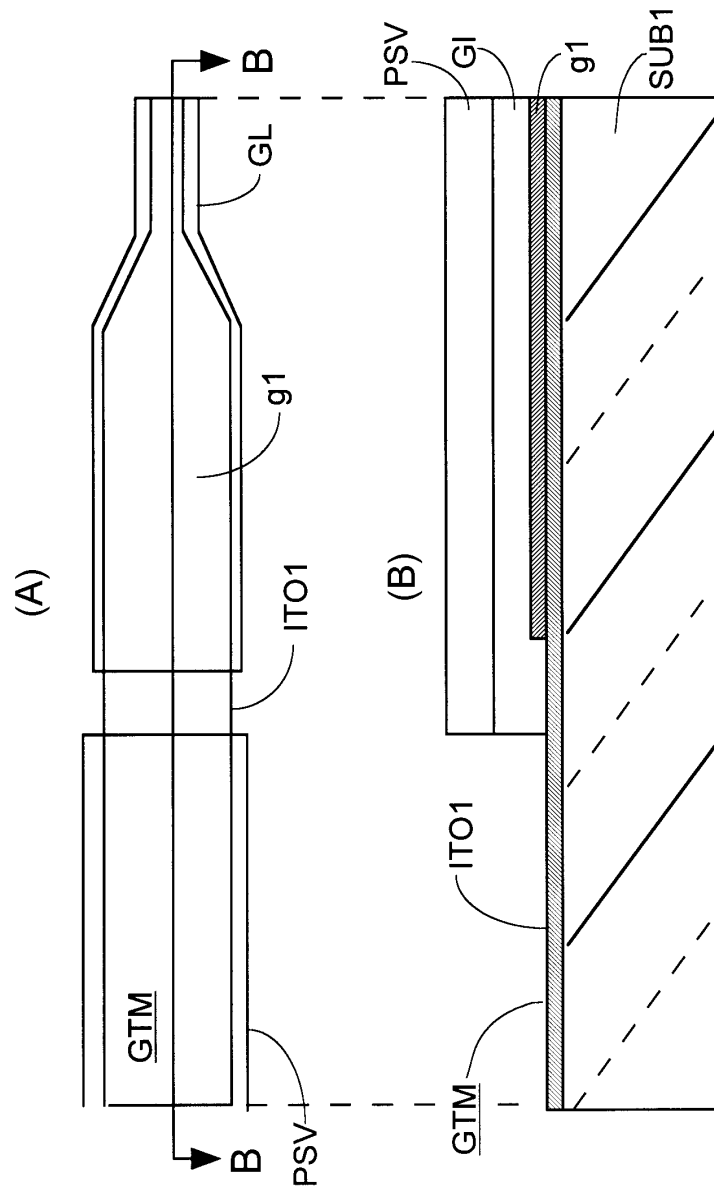
도면5



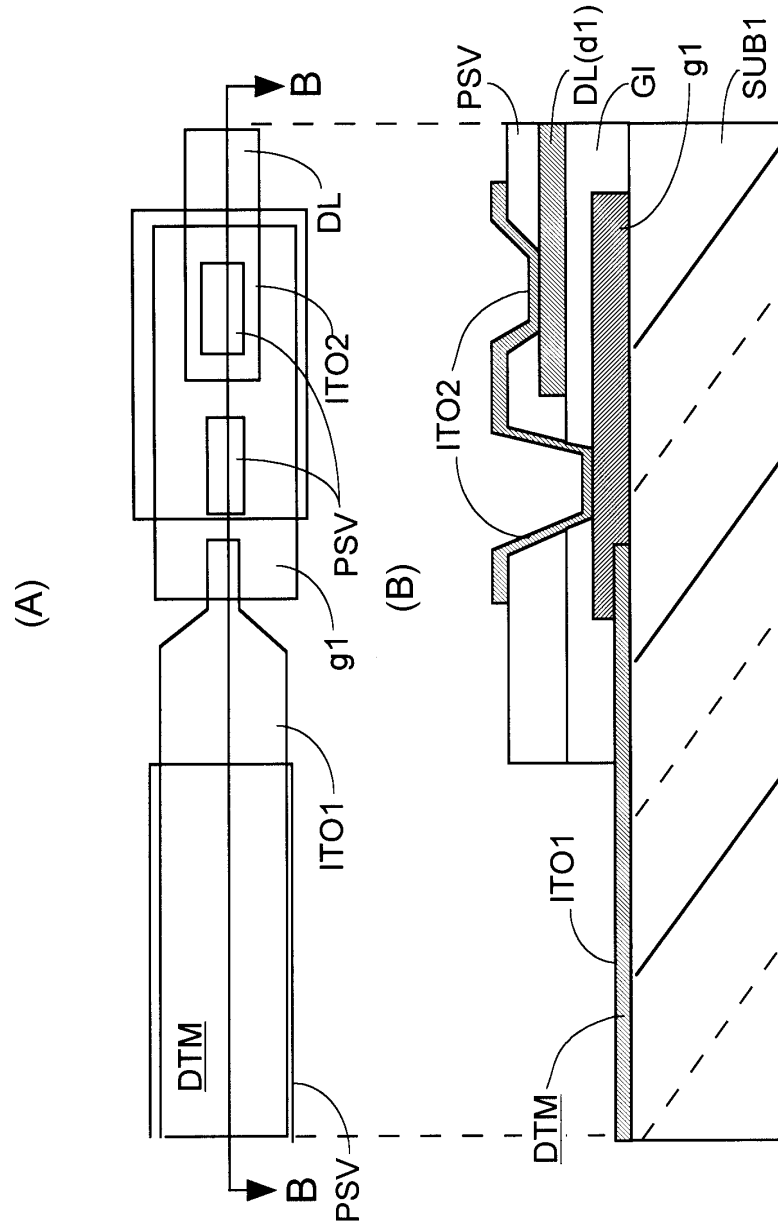
도면6



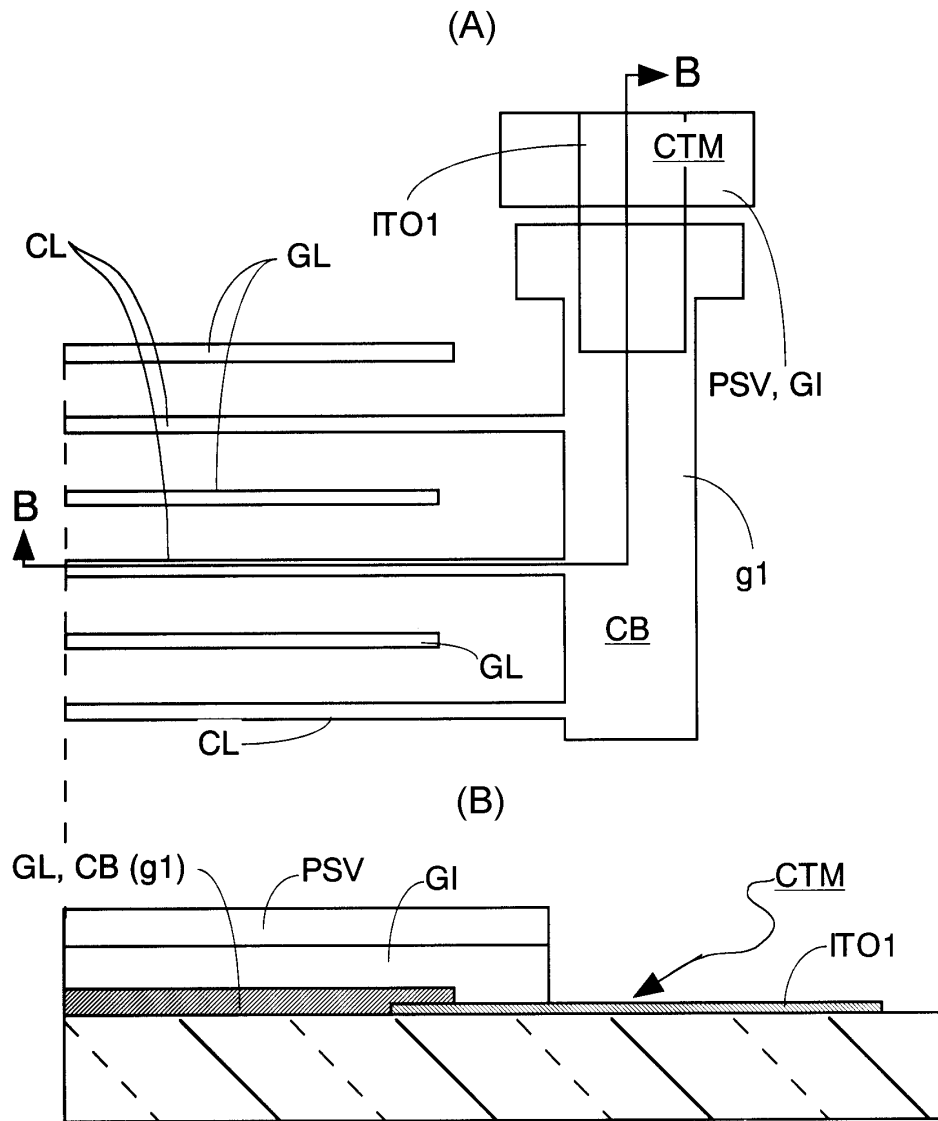
도면7



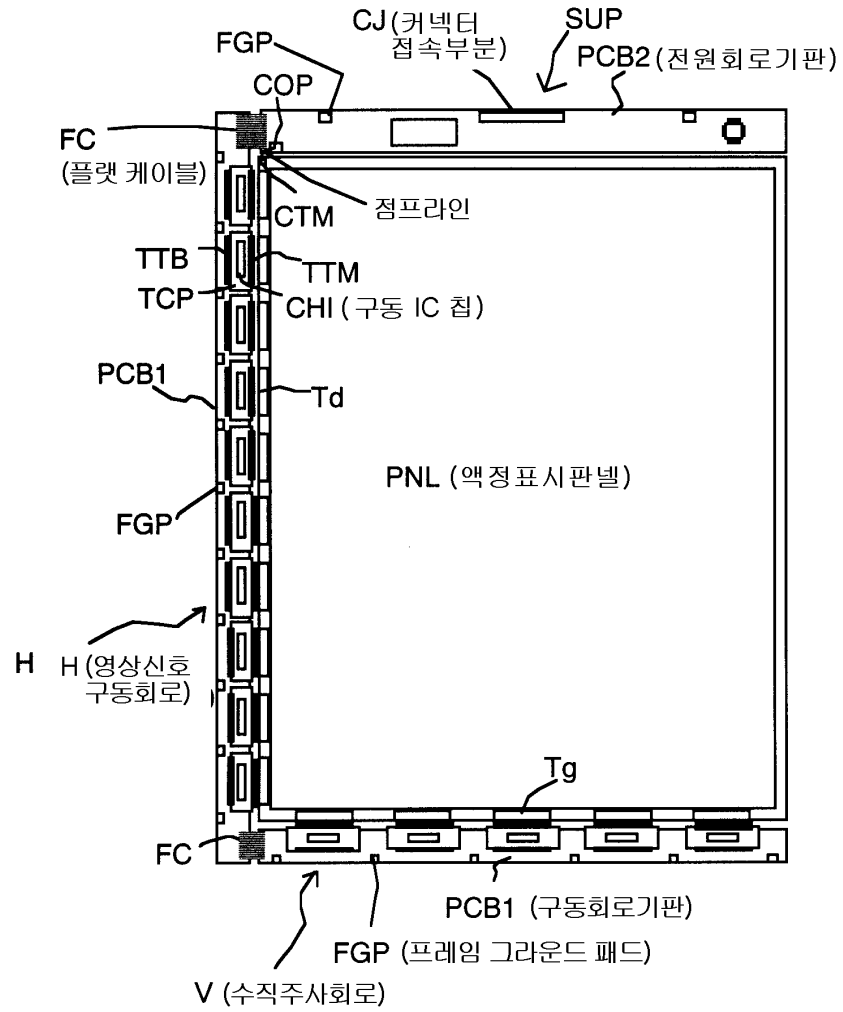
도면8



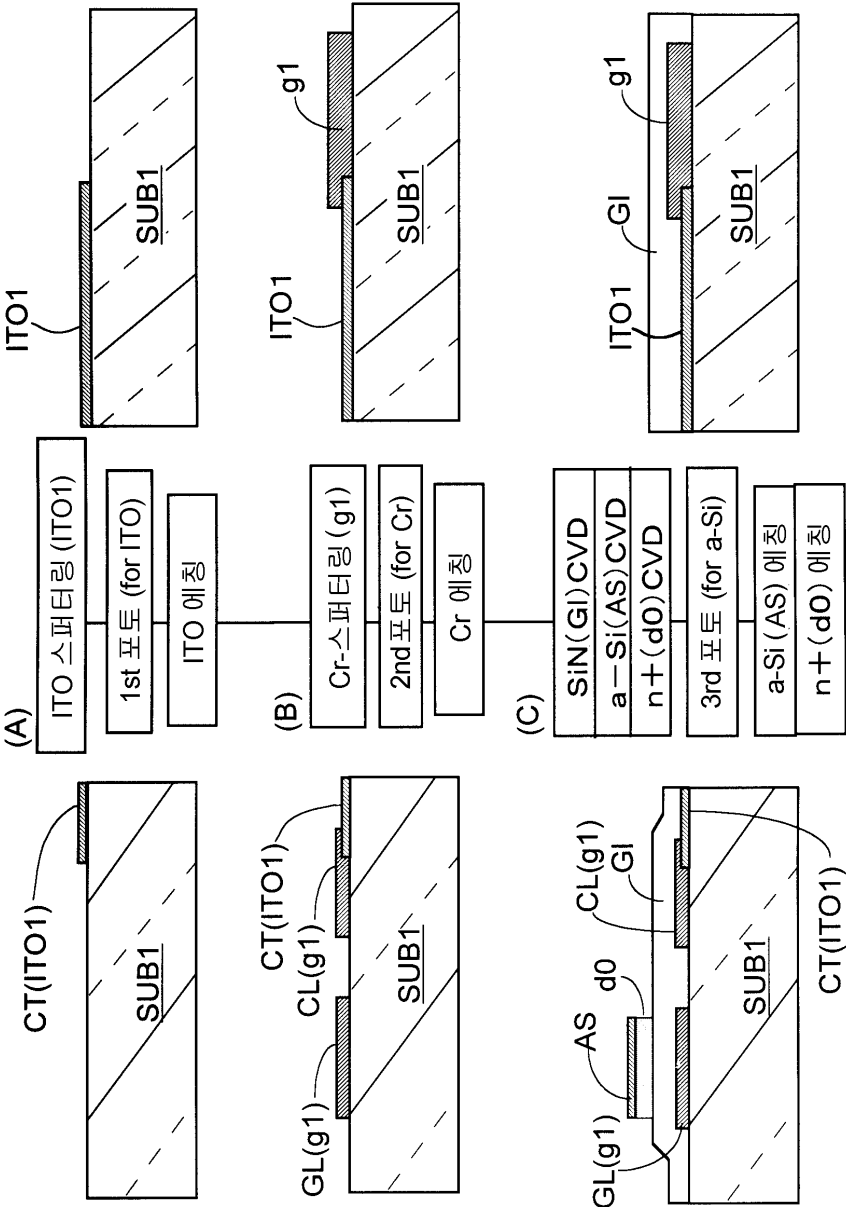
도면9



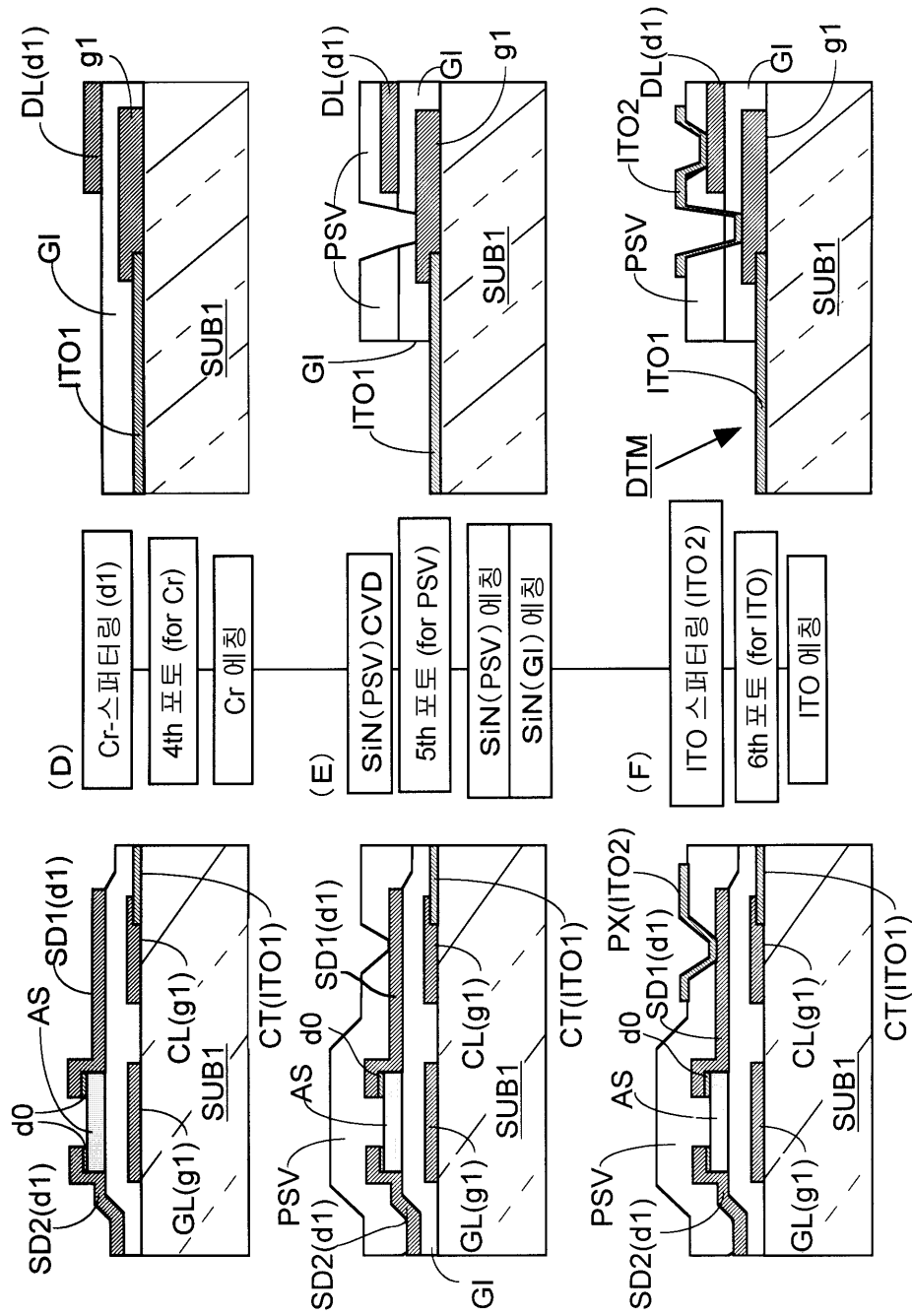
도면12



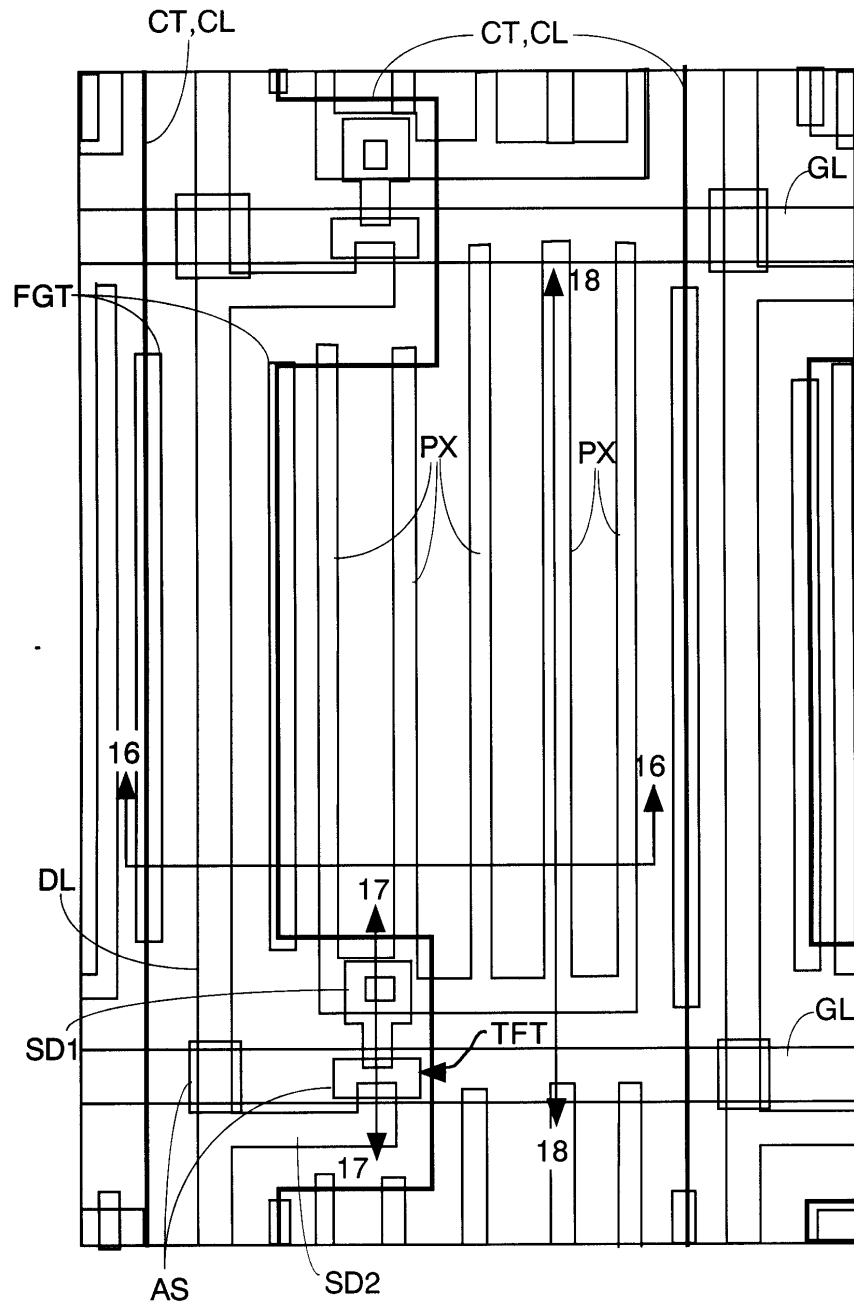
도면13



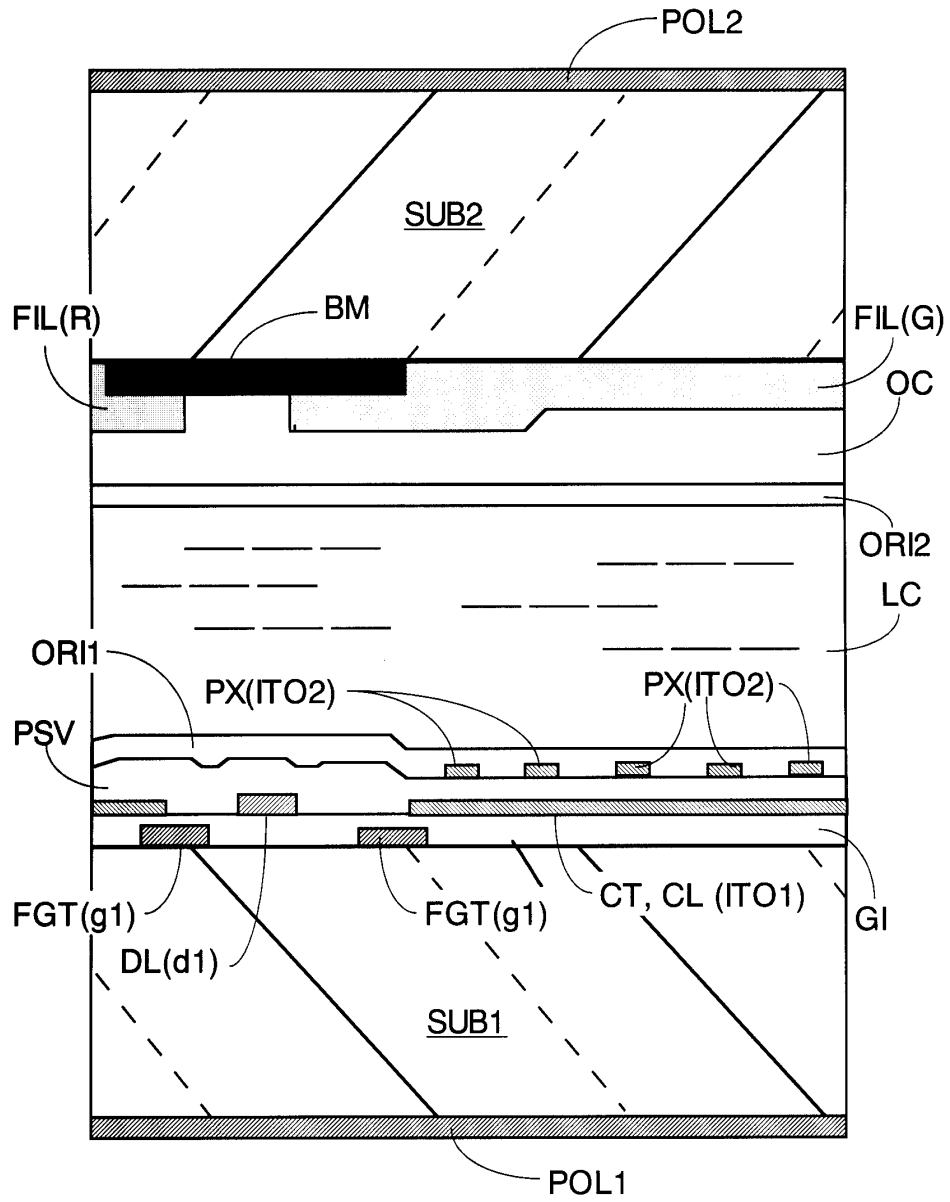
도면14



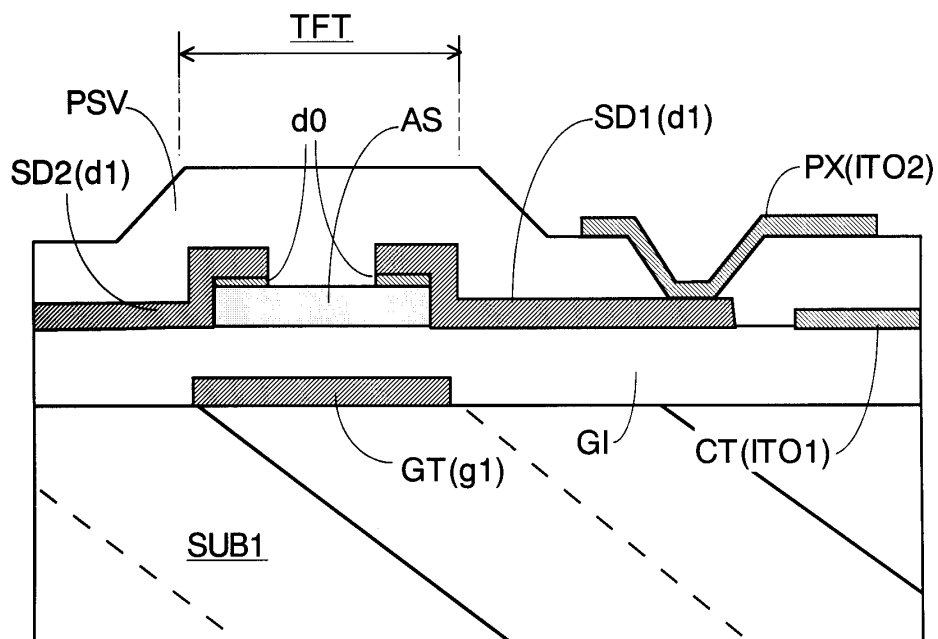
도면15



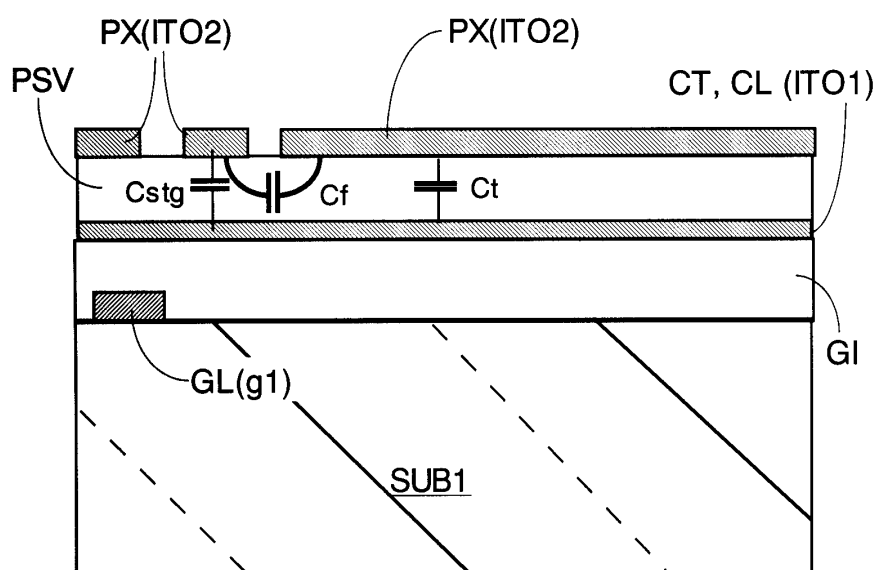
도면16



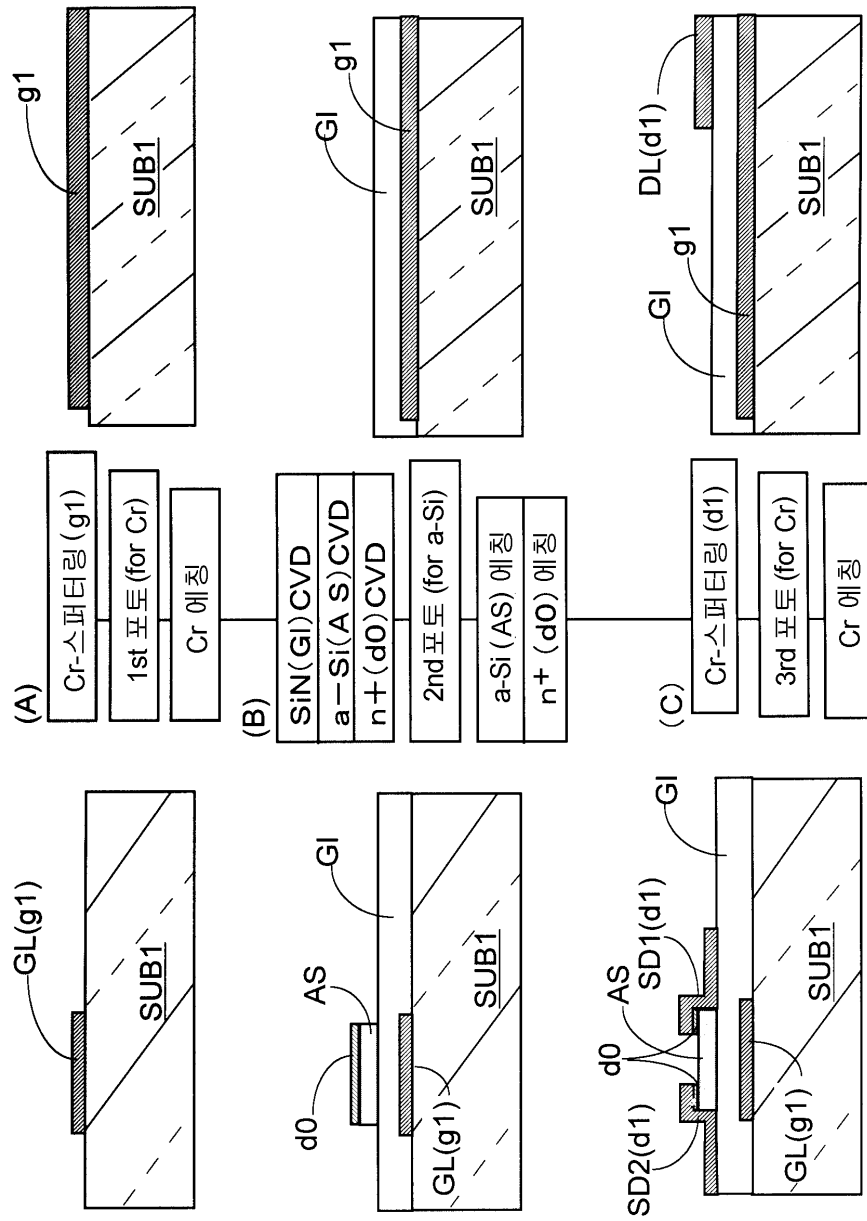
도면17



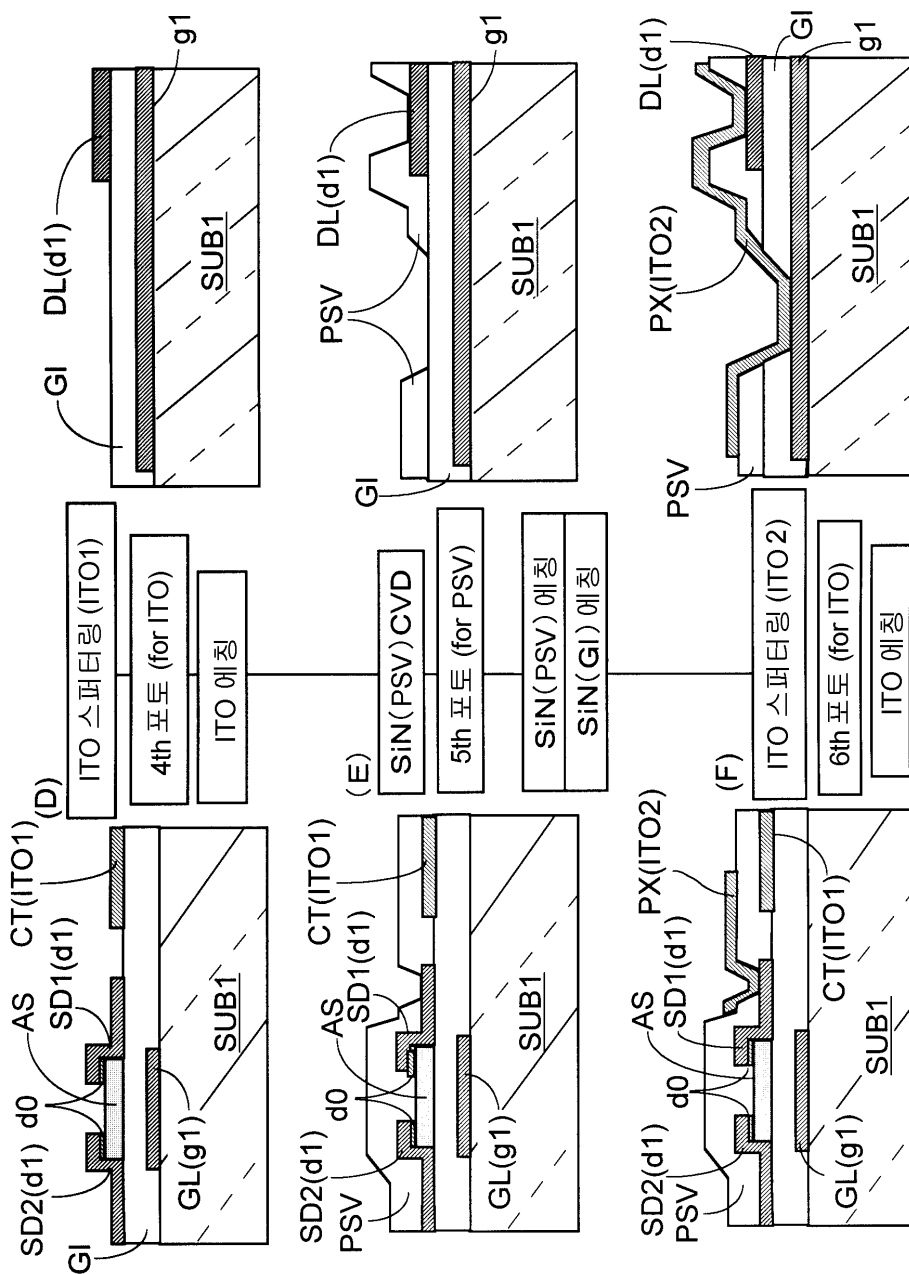
도면18



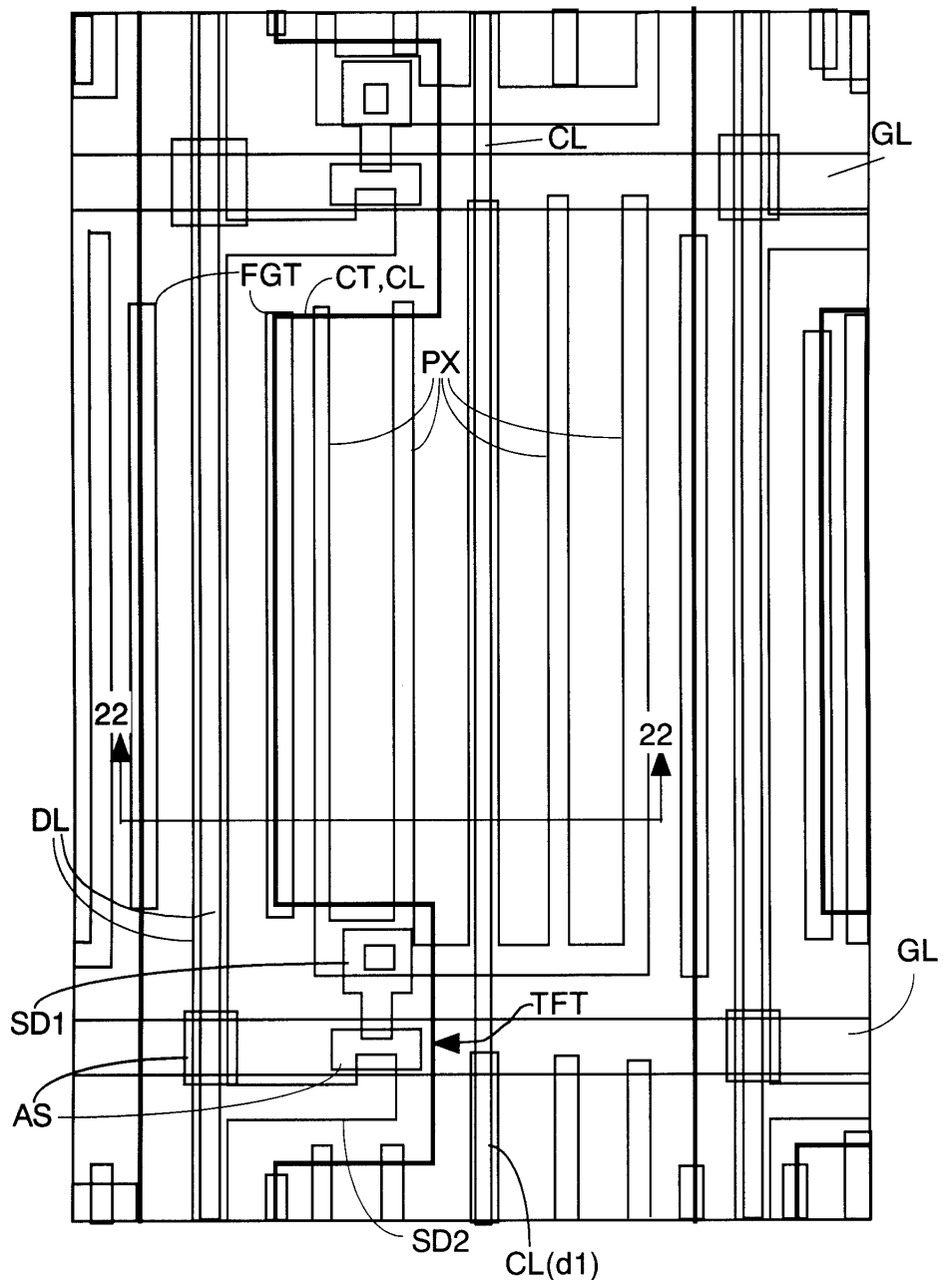
도면19



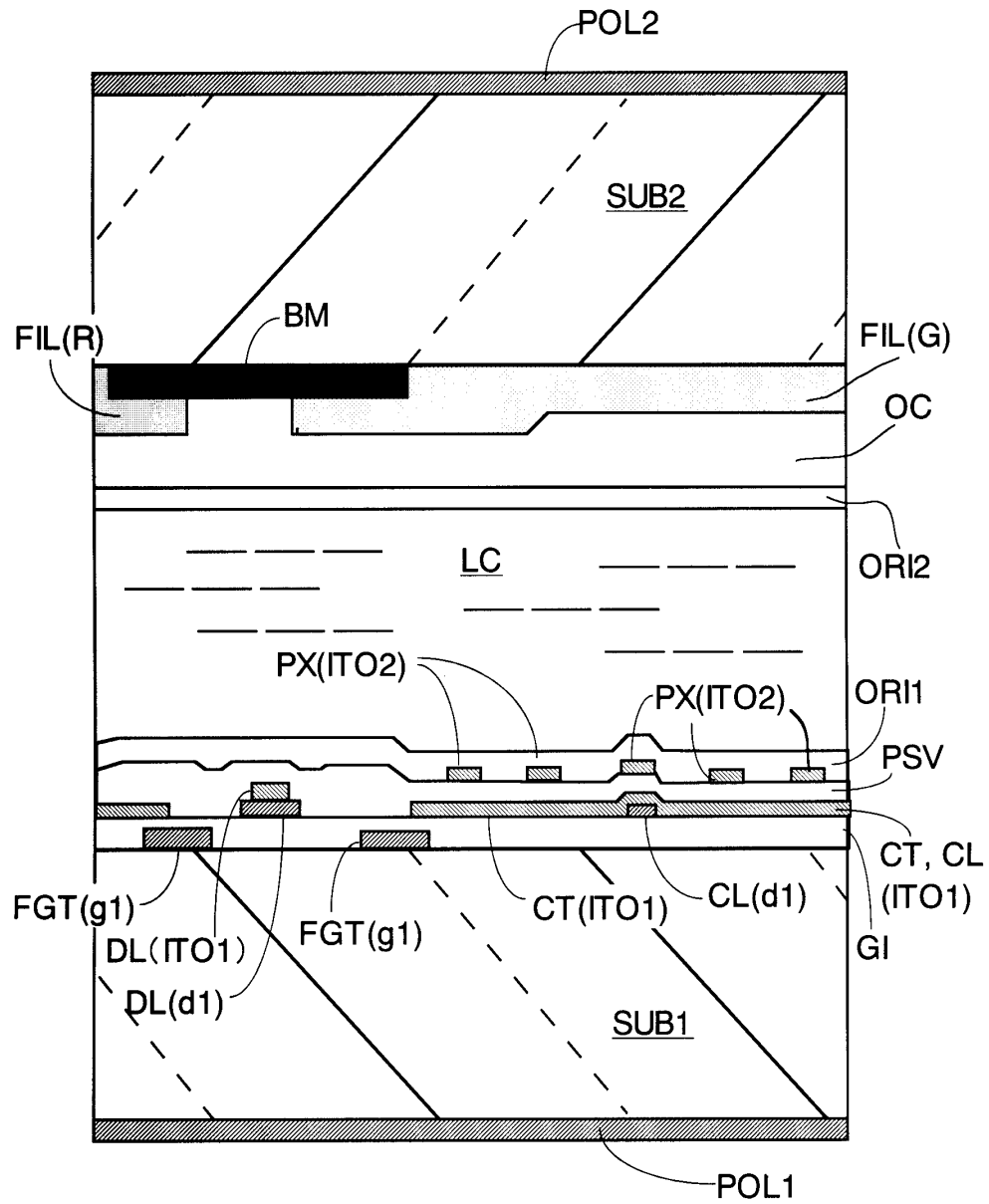
도면20



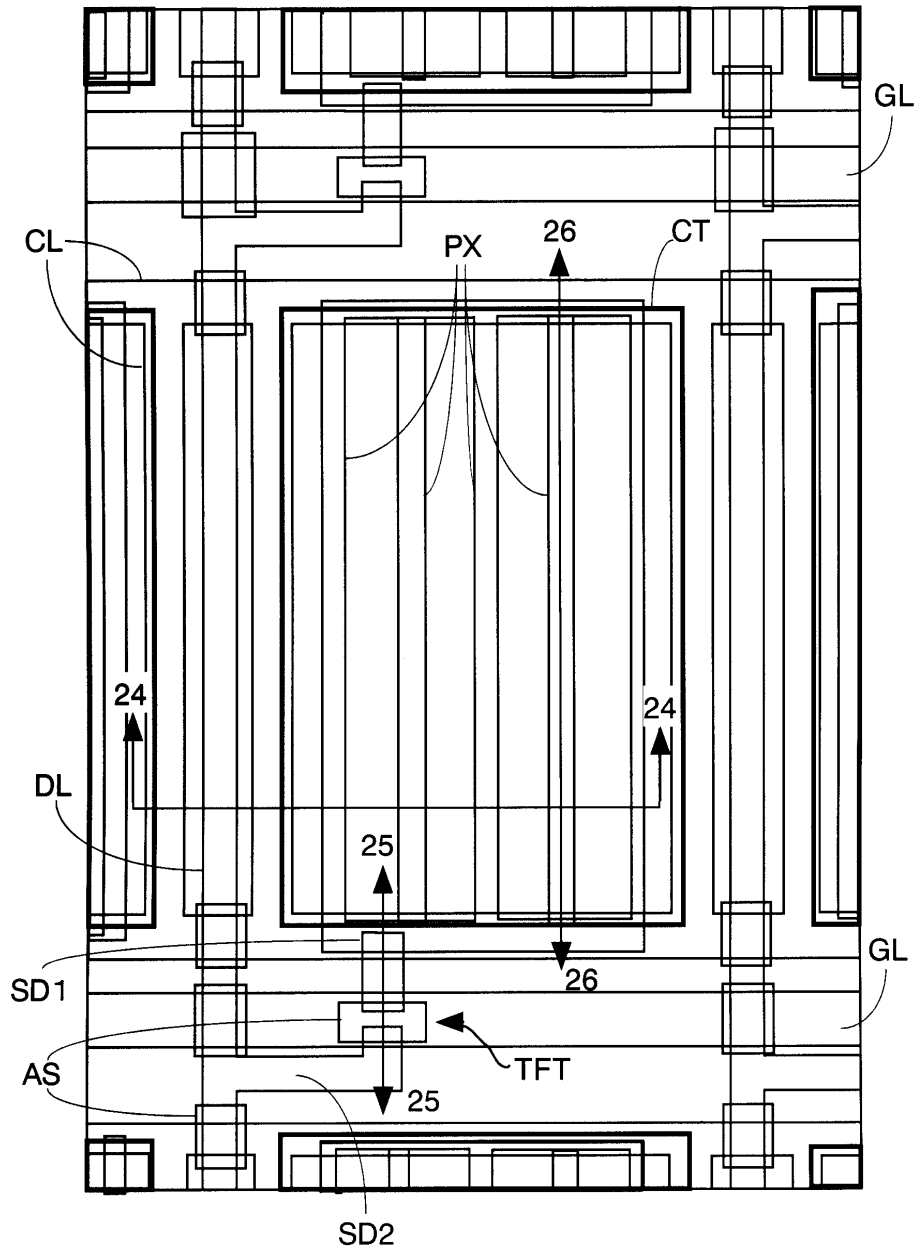
도면21



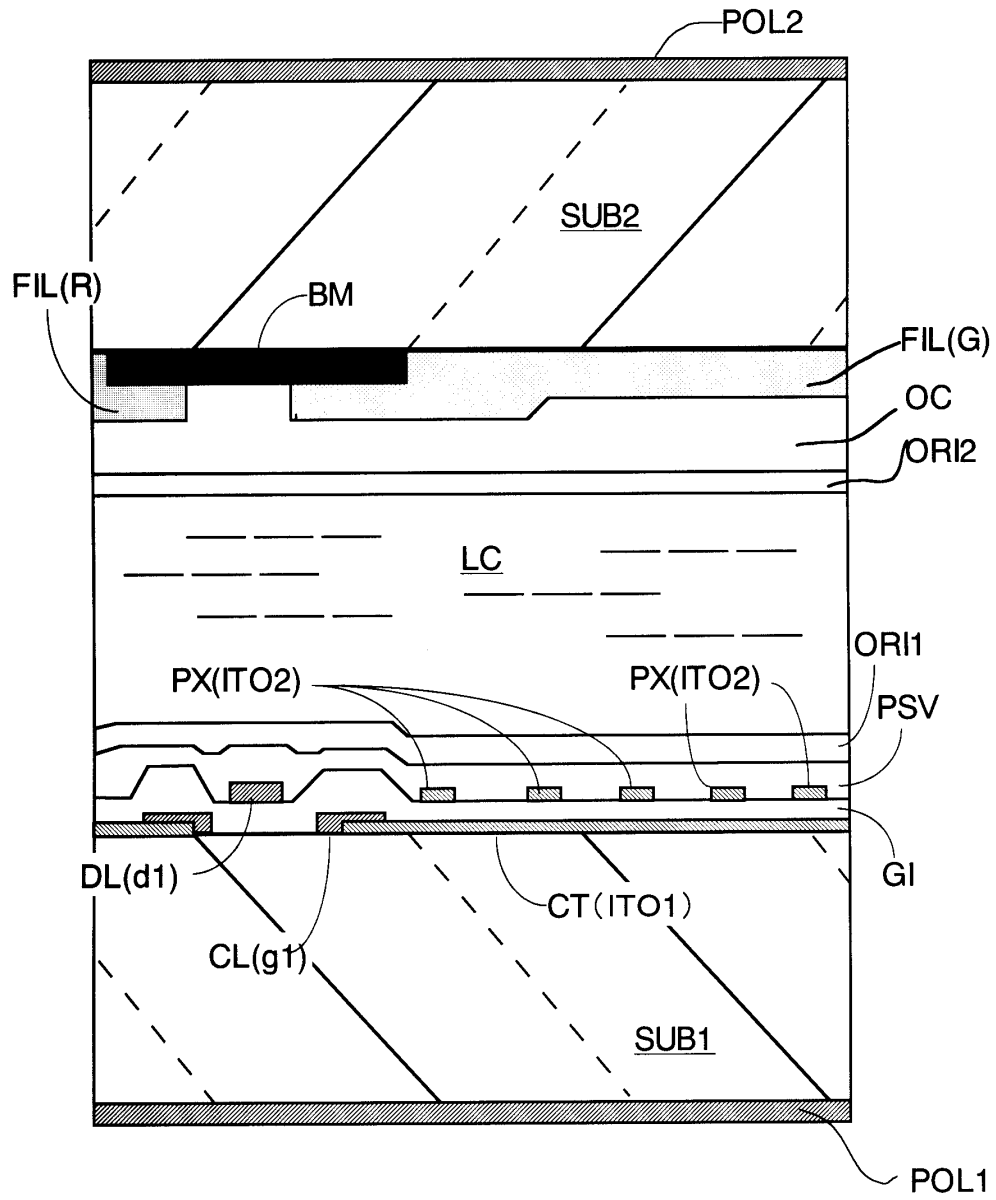
도면22



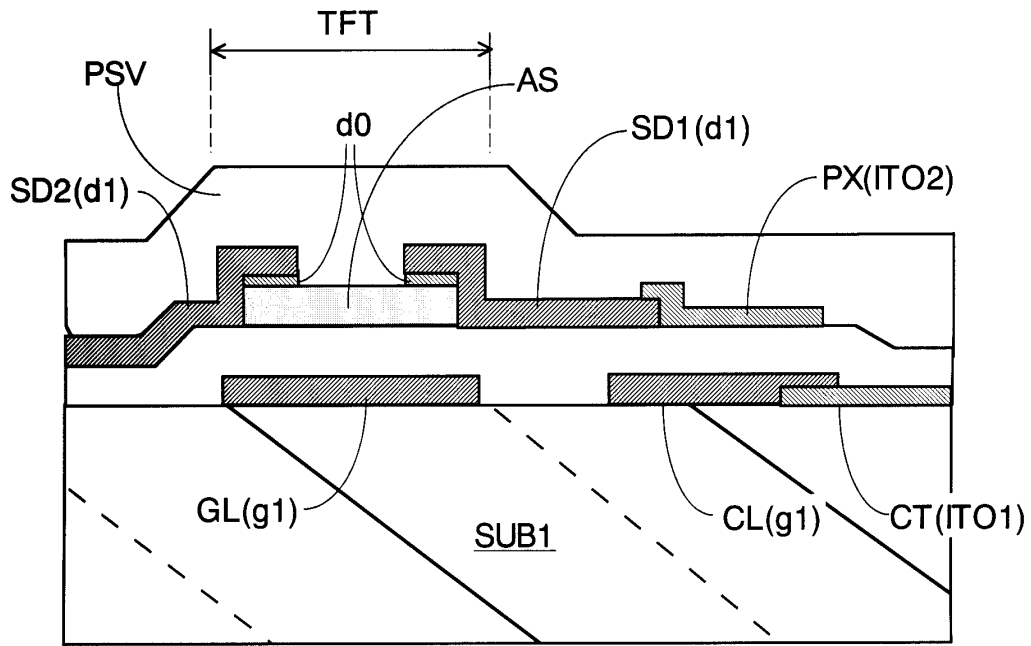
도면23



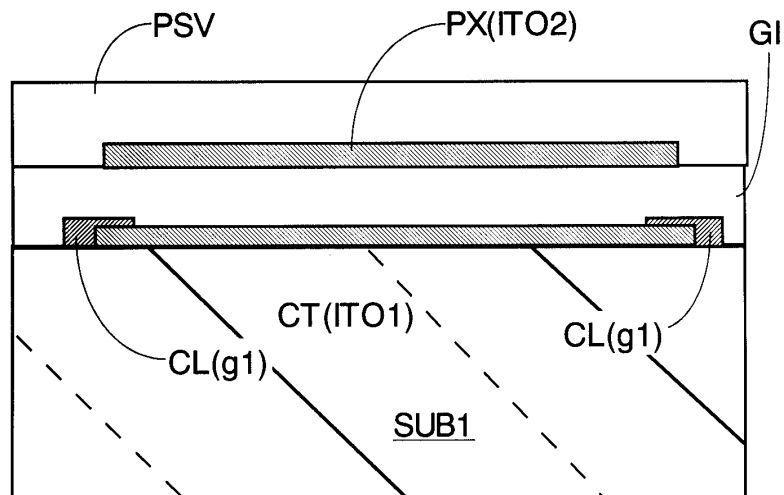
도면24



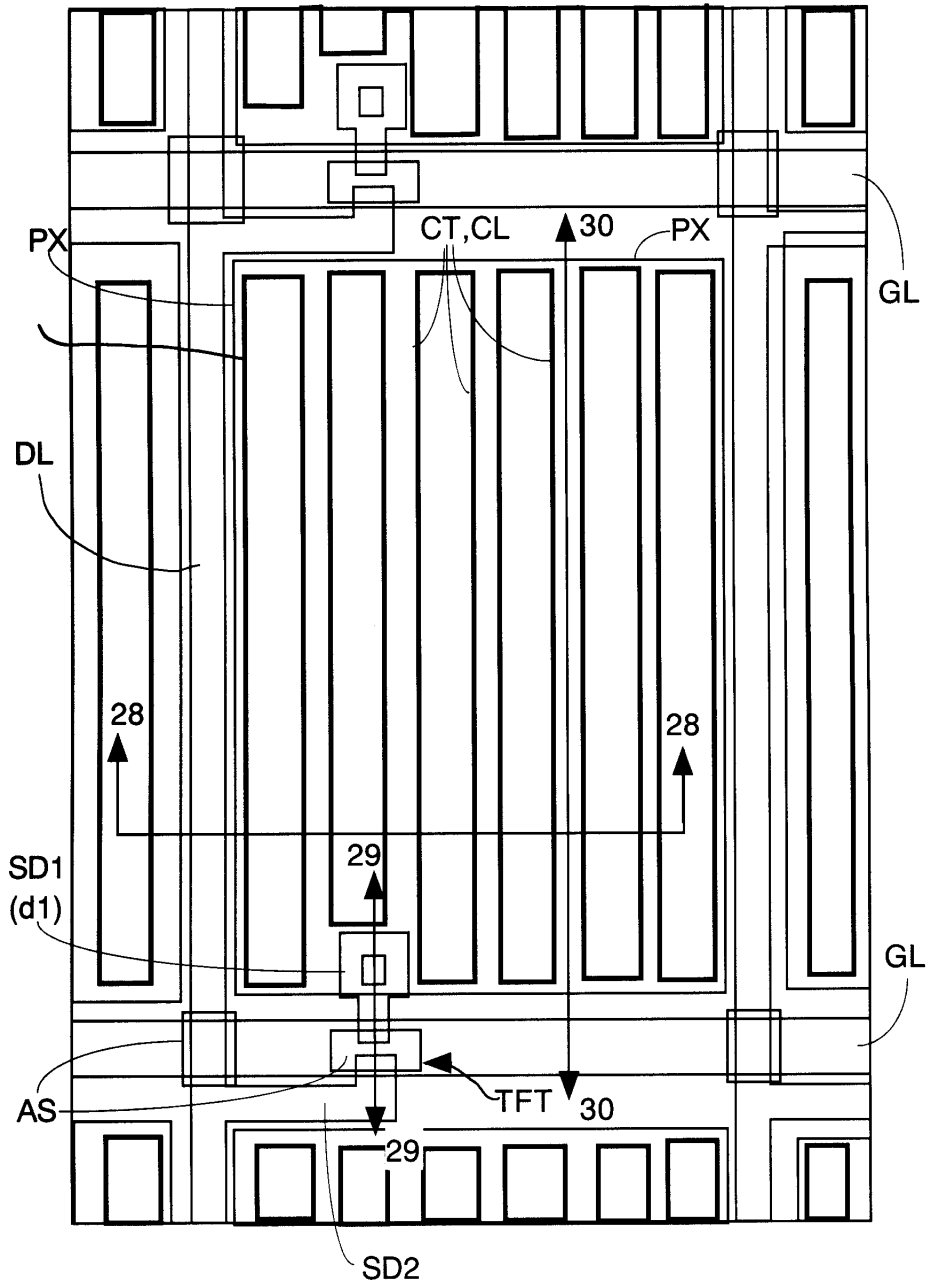
도면25



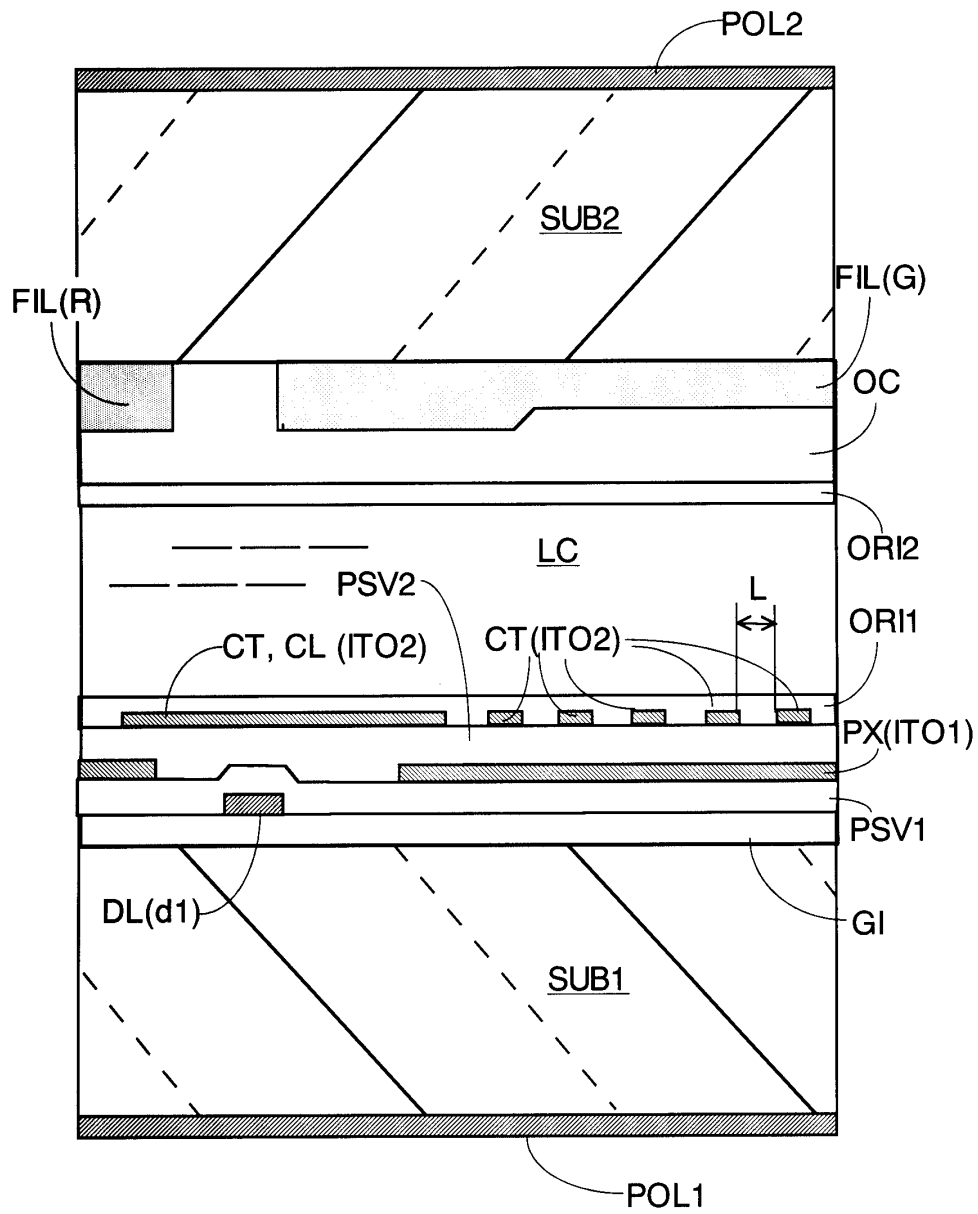
도면26



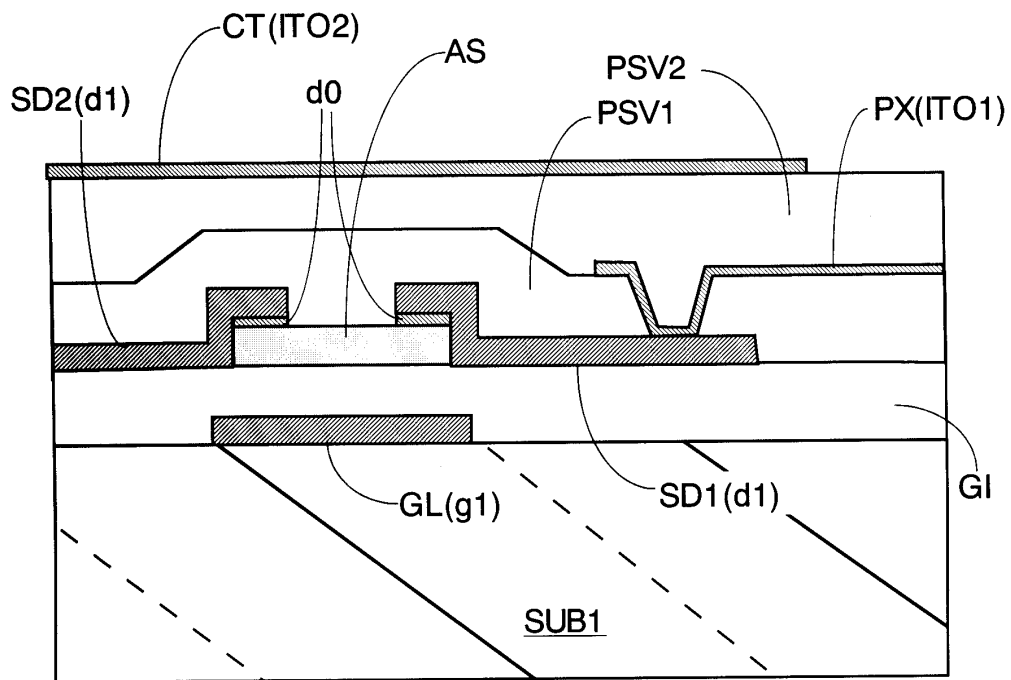
도면27



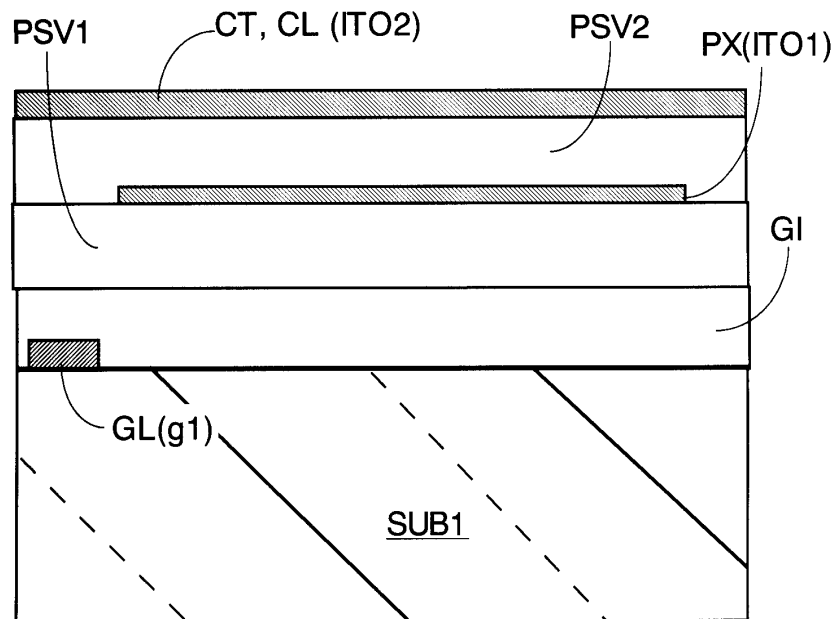
도면28



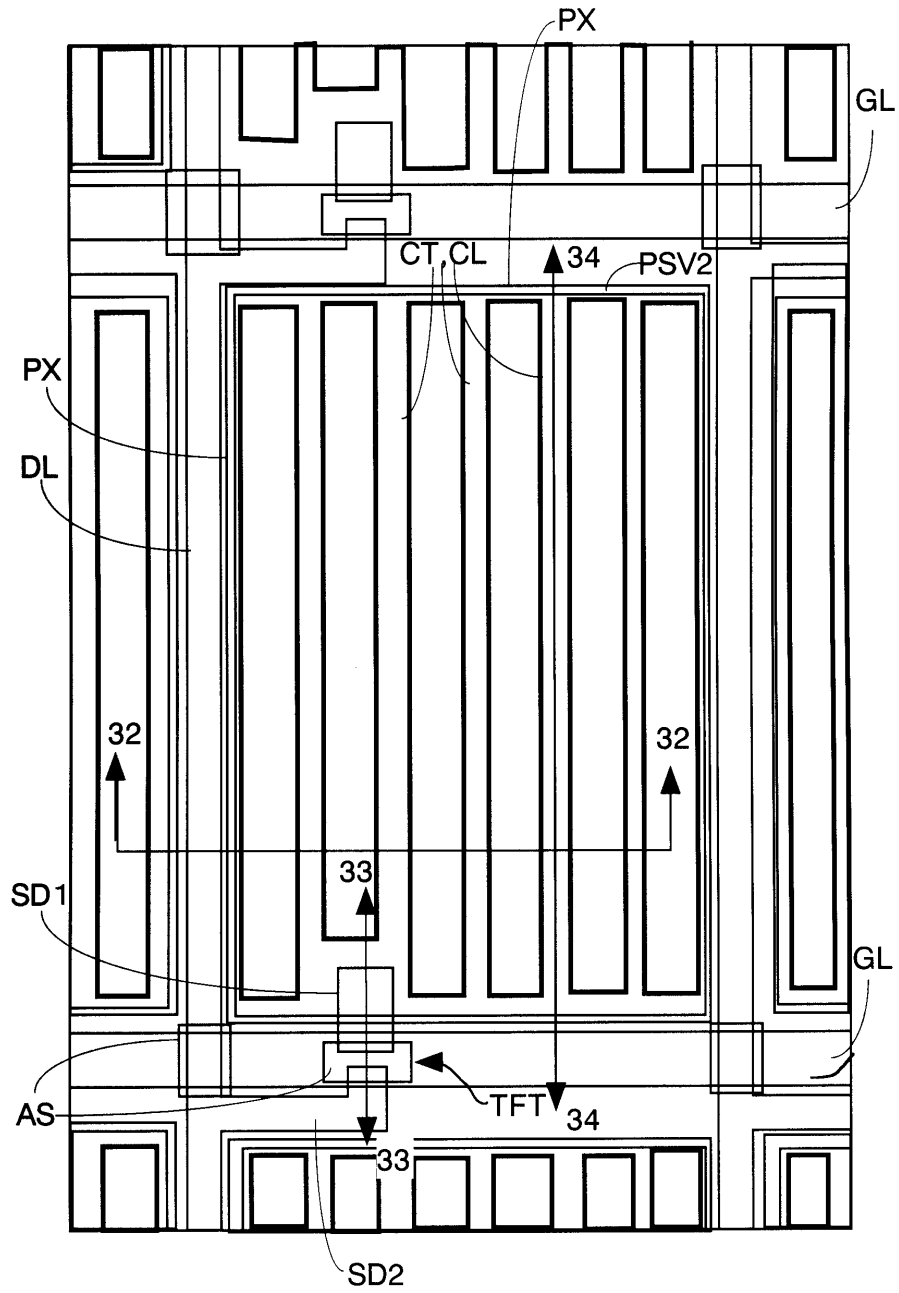
도면29



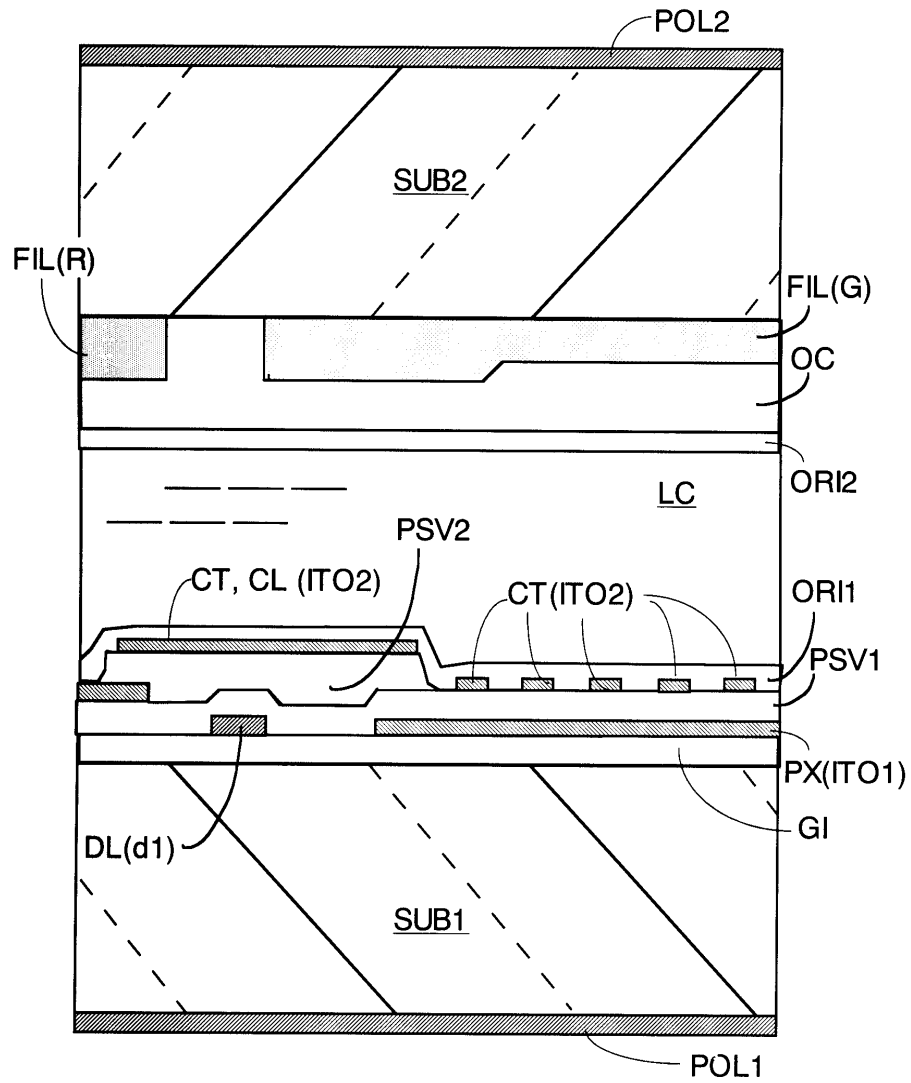
도면30



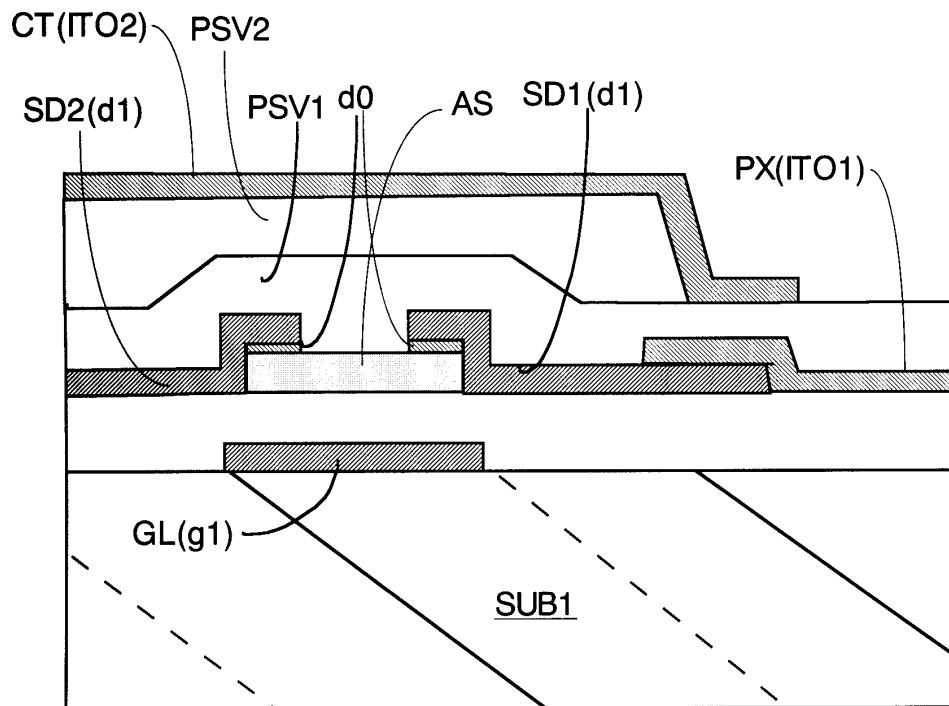
도면31



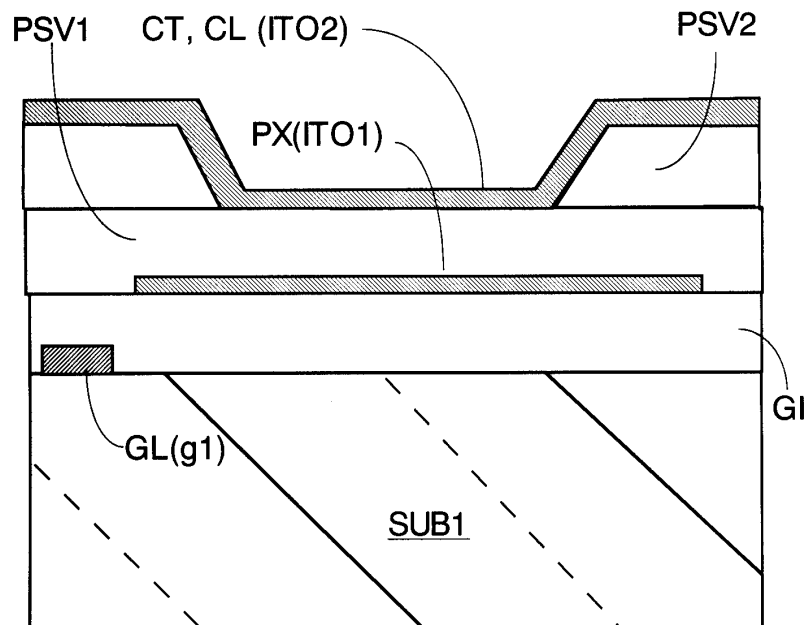
도면32



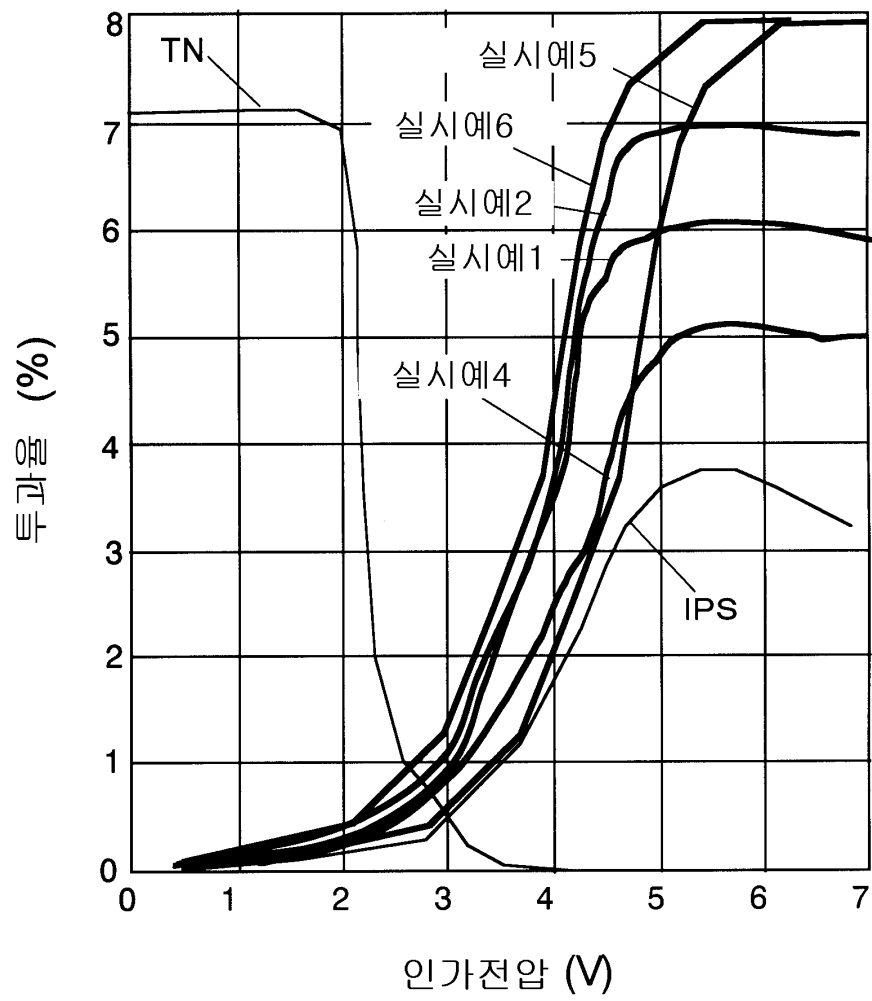
도면33



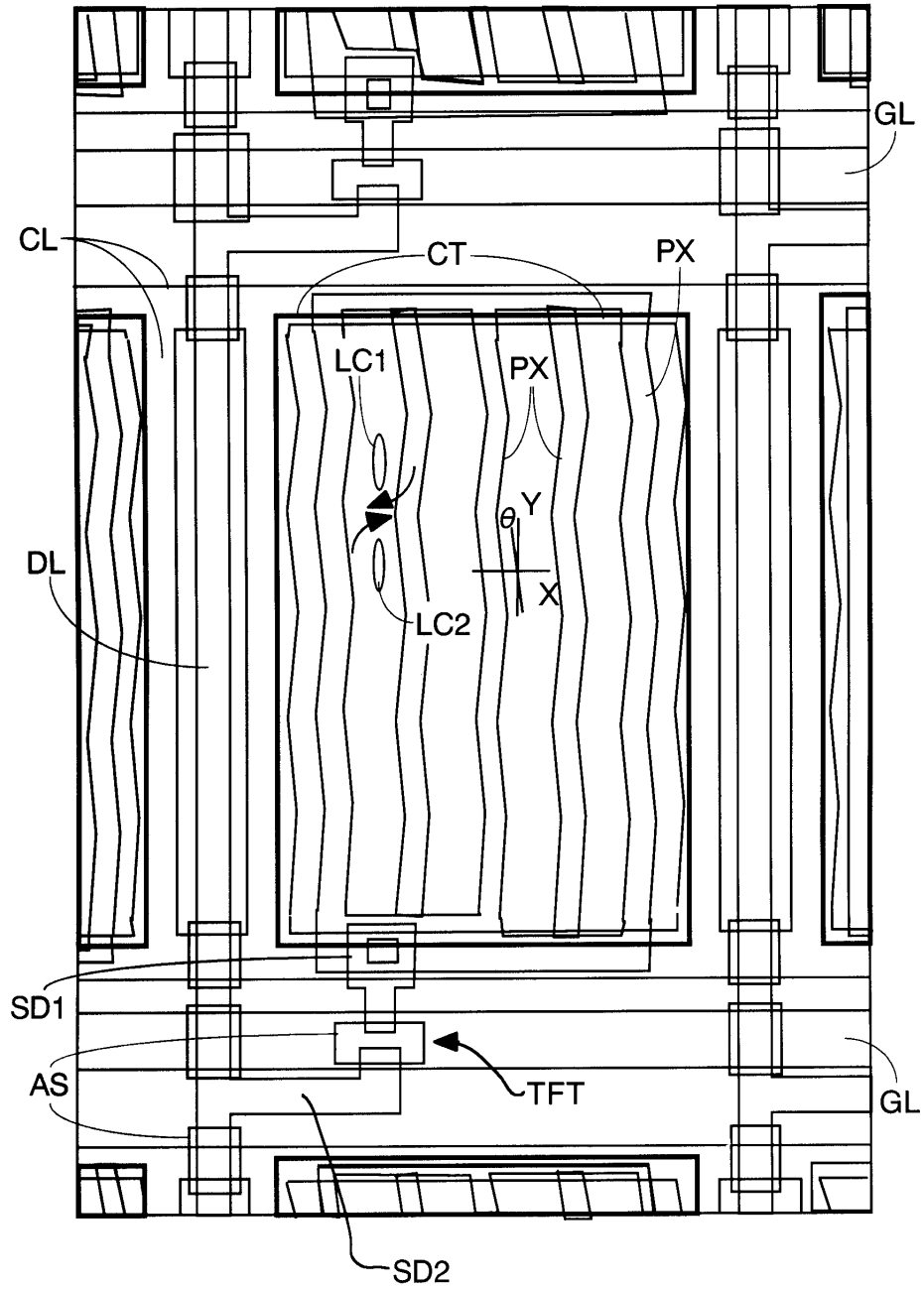
도면34



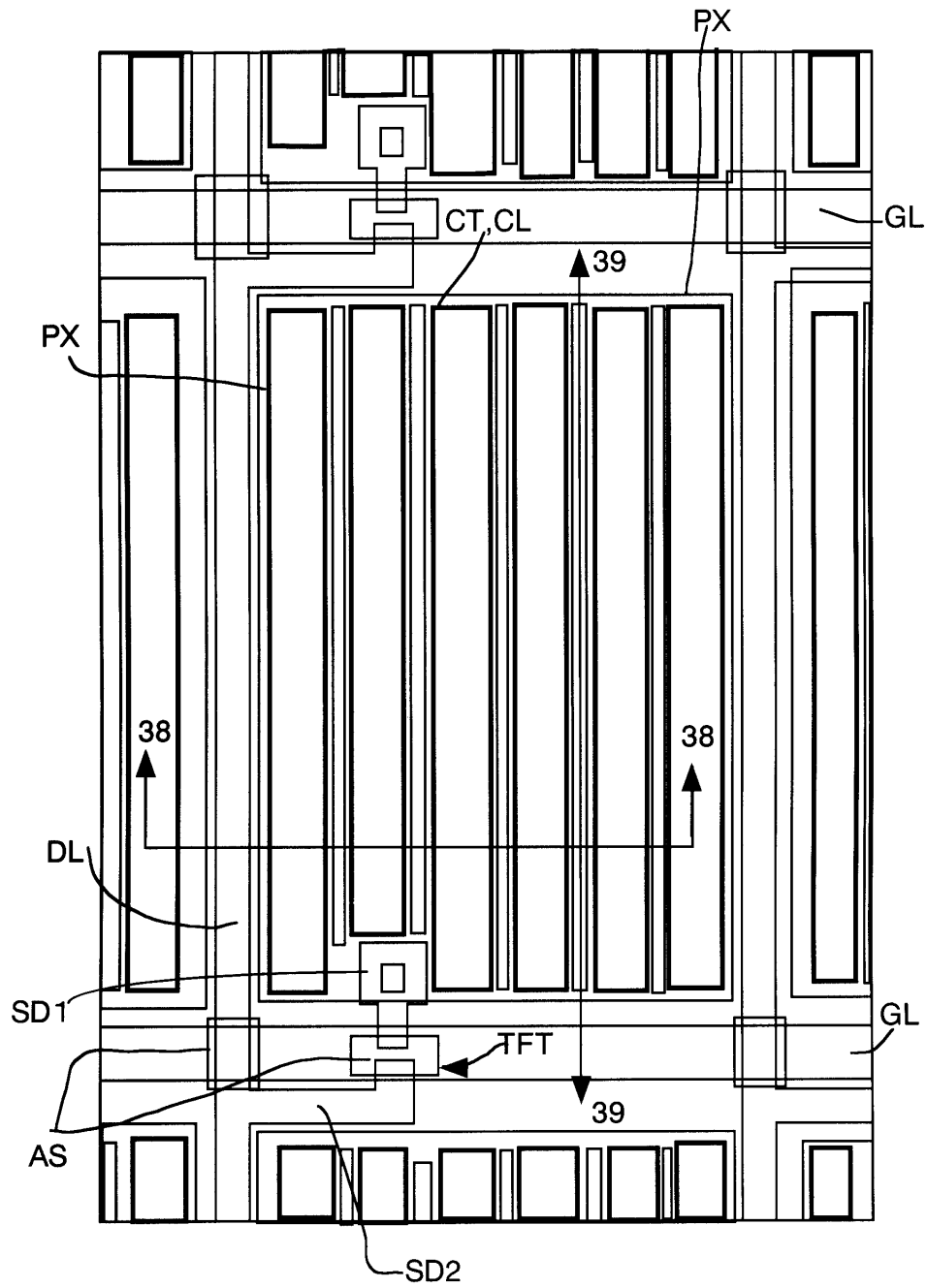
도면35



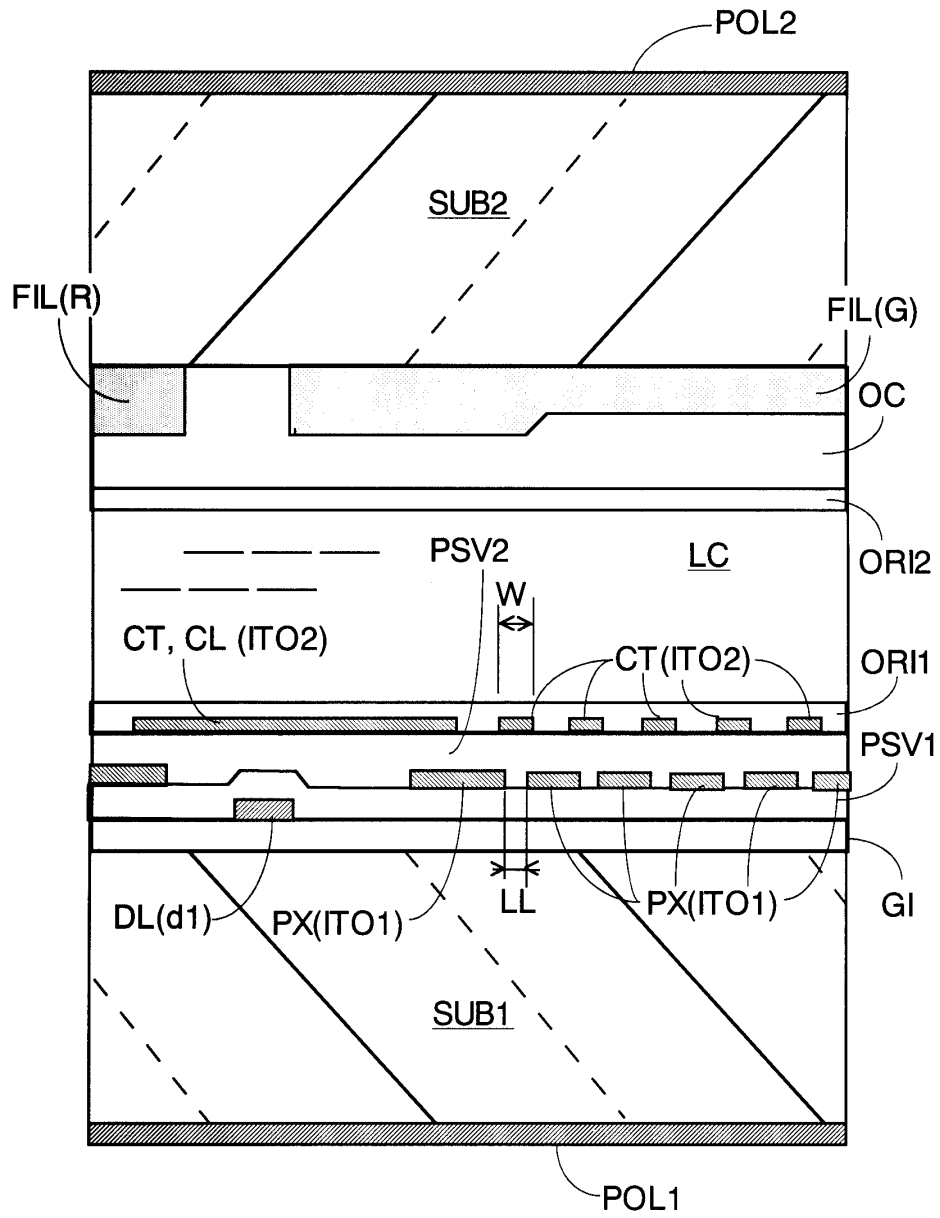
도면36



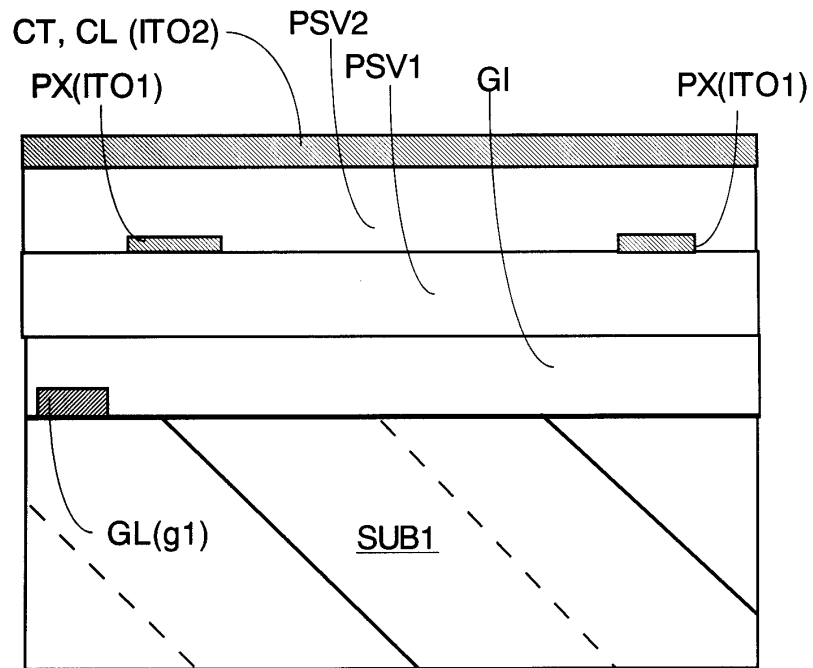
도면37



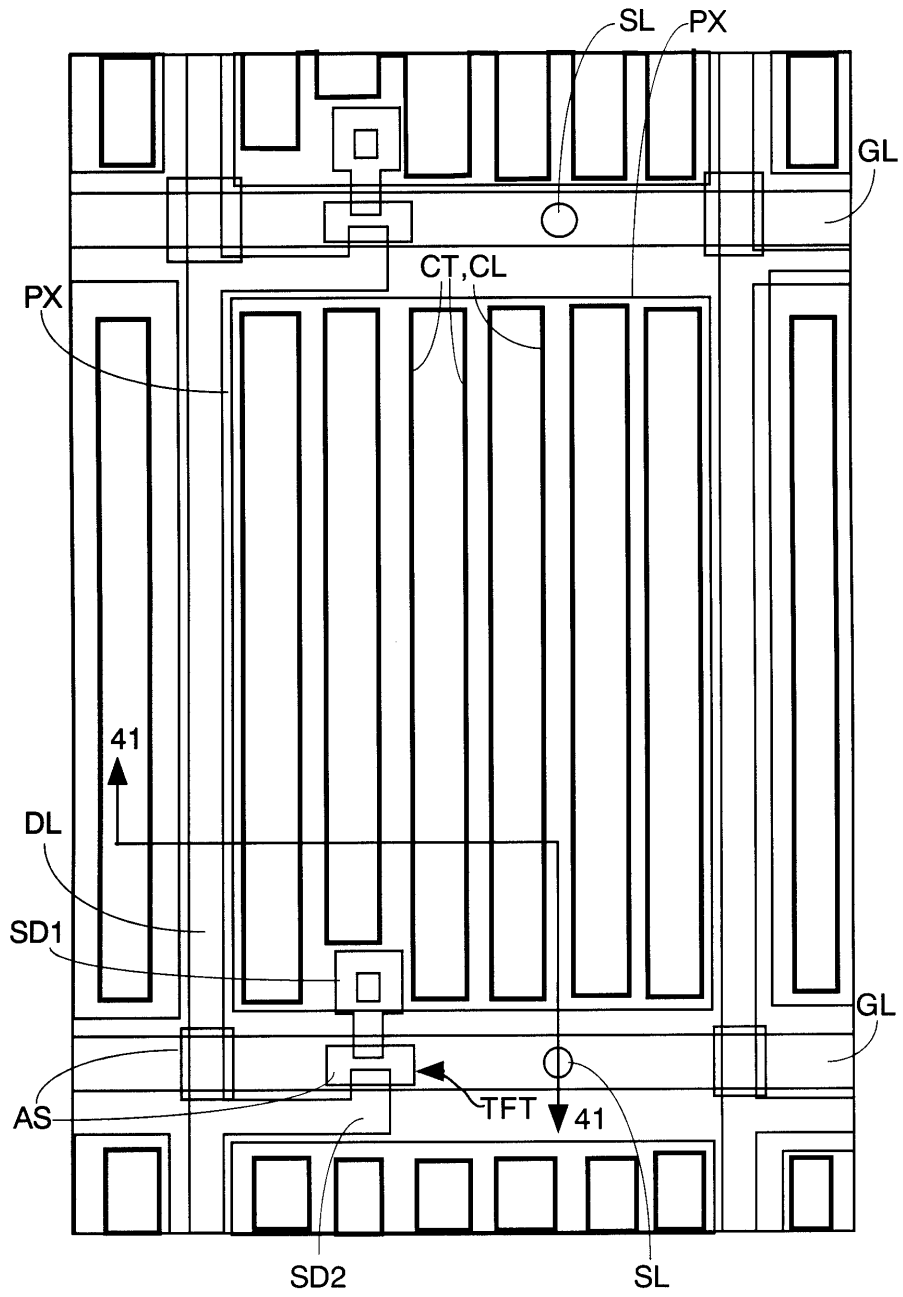
도면38



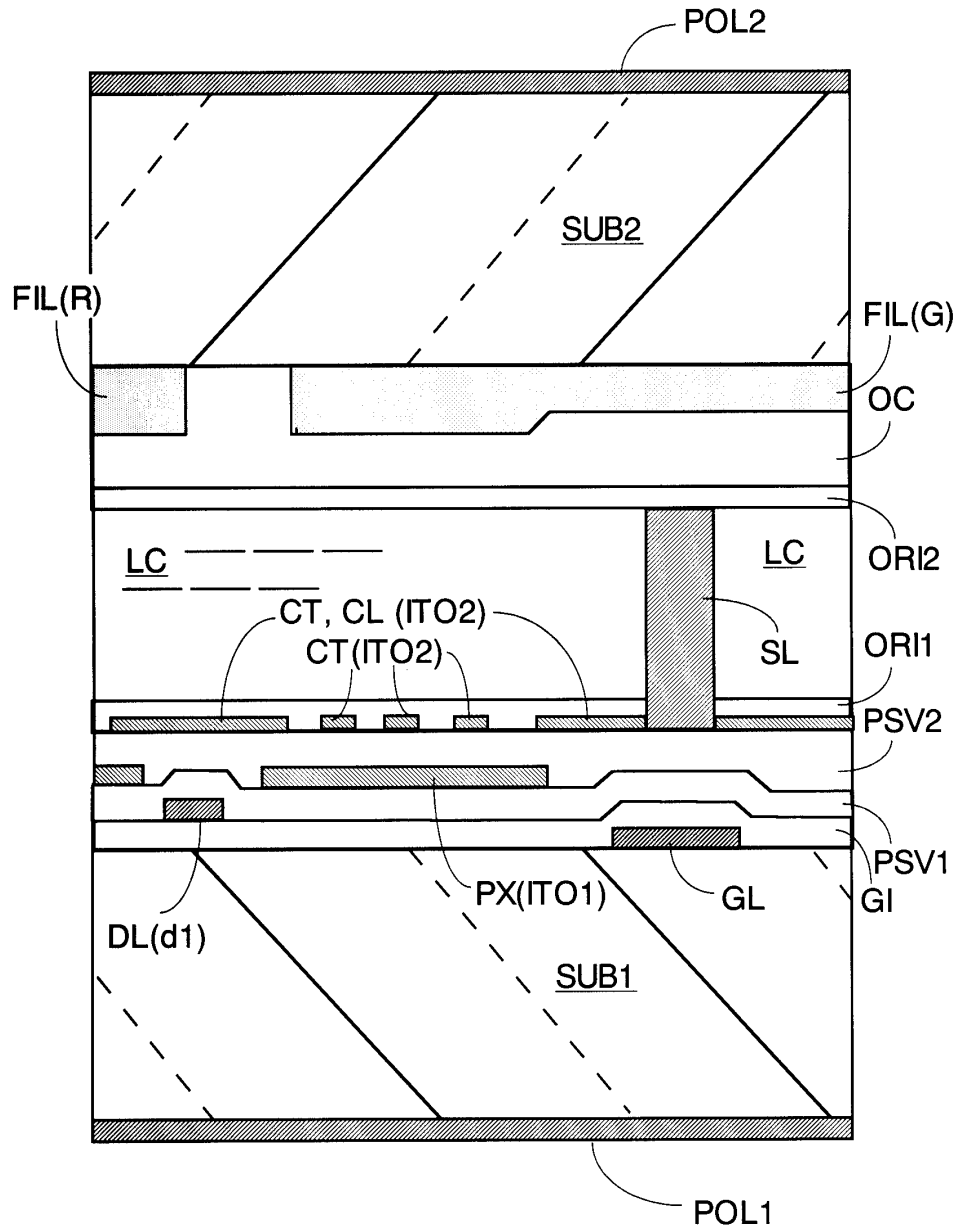
도면39



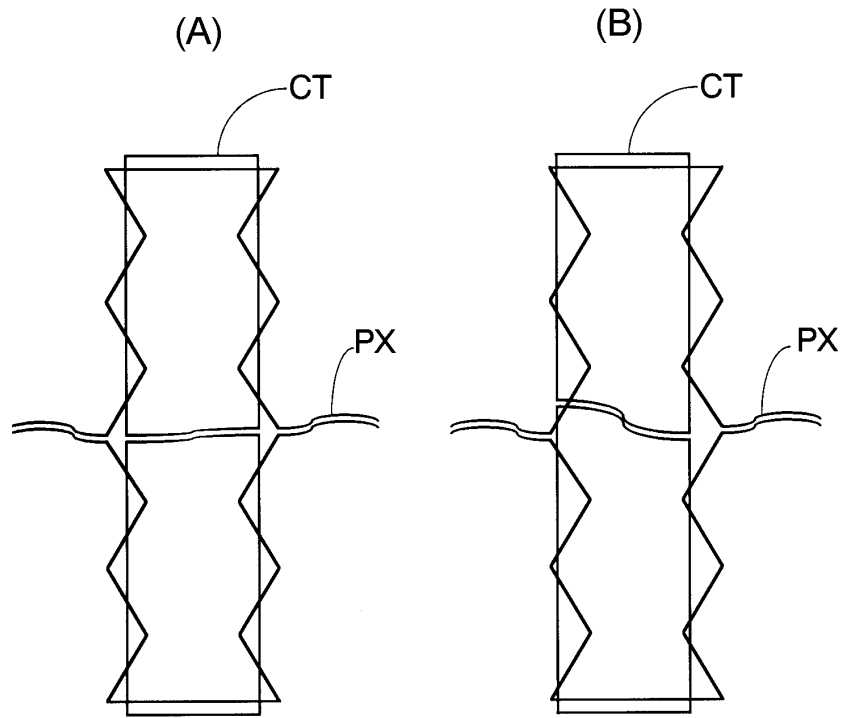
도면40



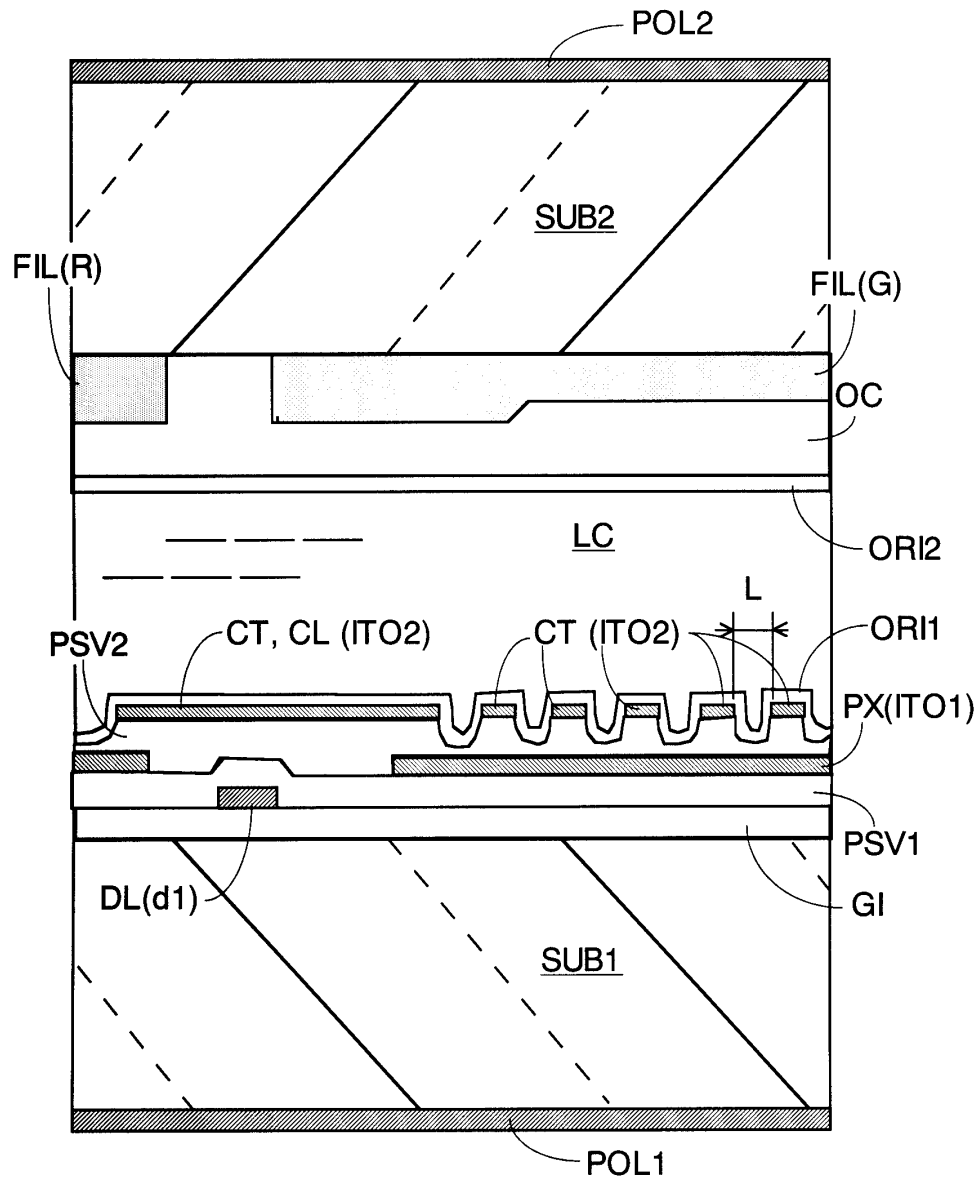
도면41



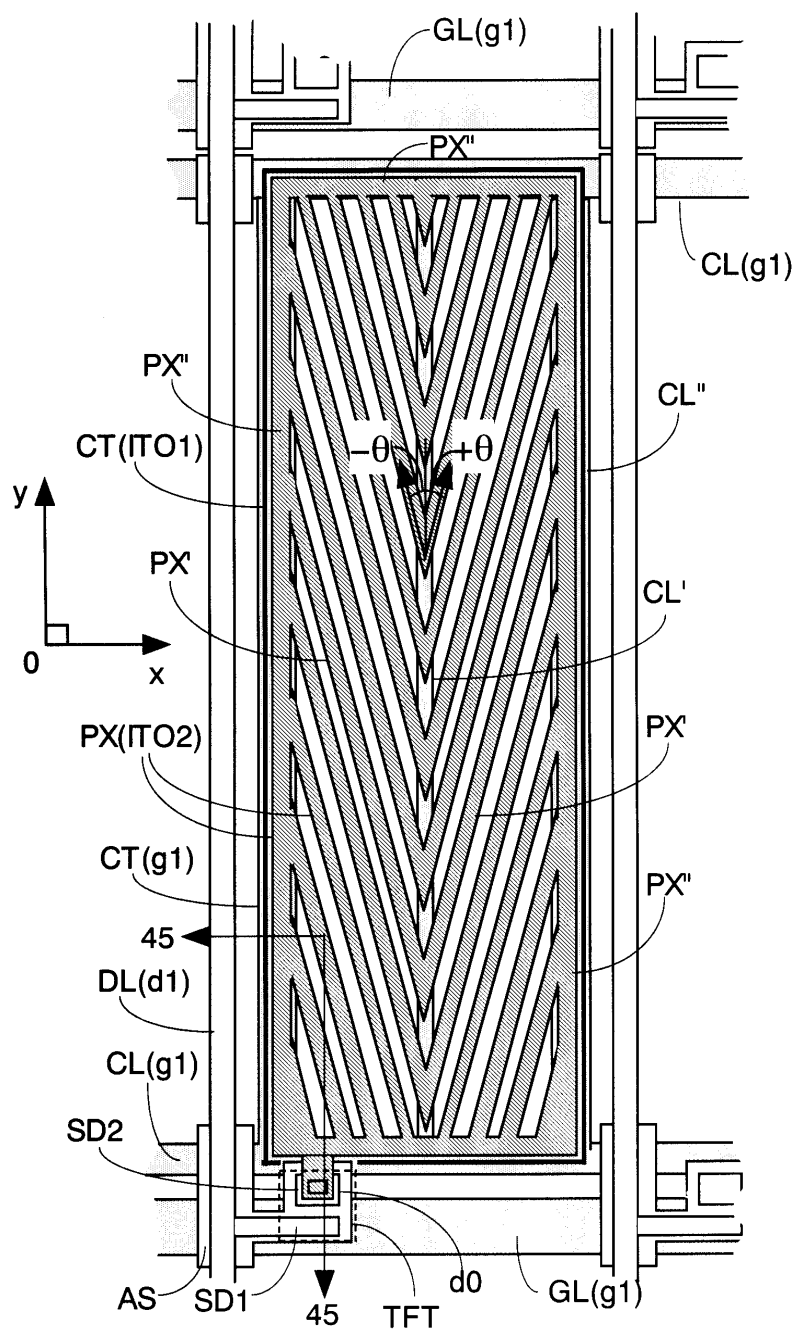
도면42



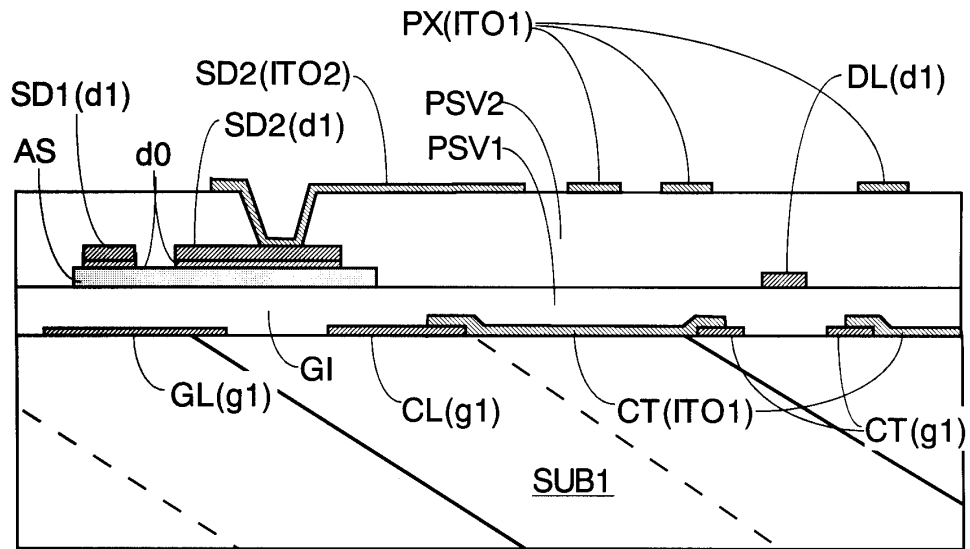
도면43



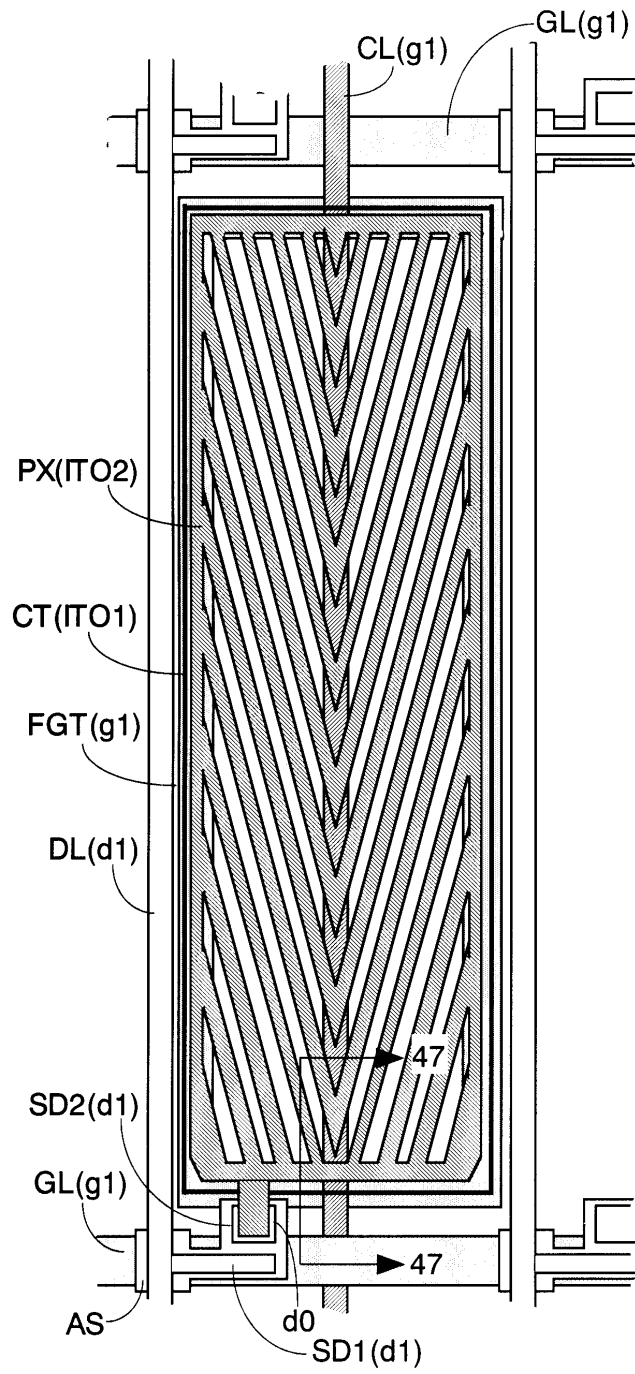
도면44



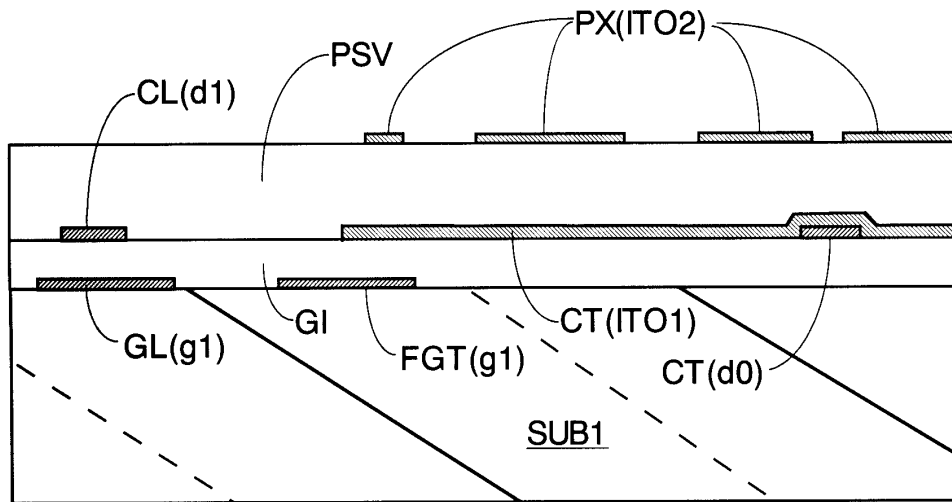
도면45



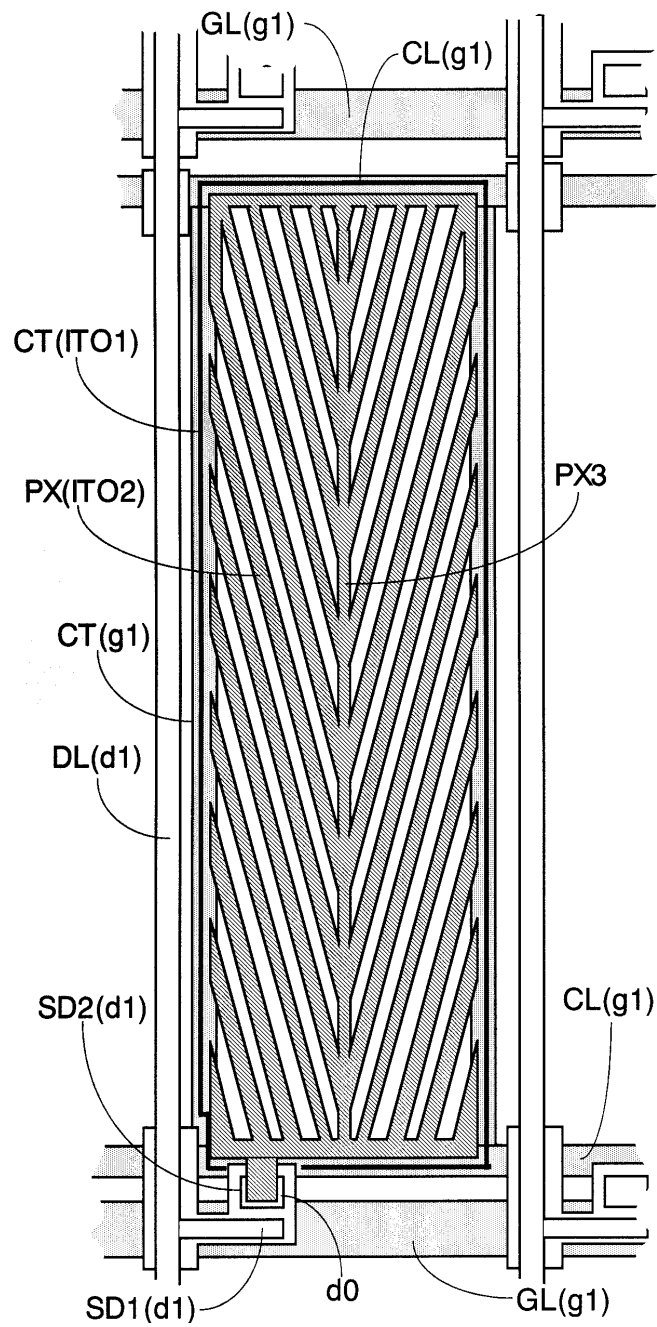
도면46



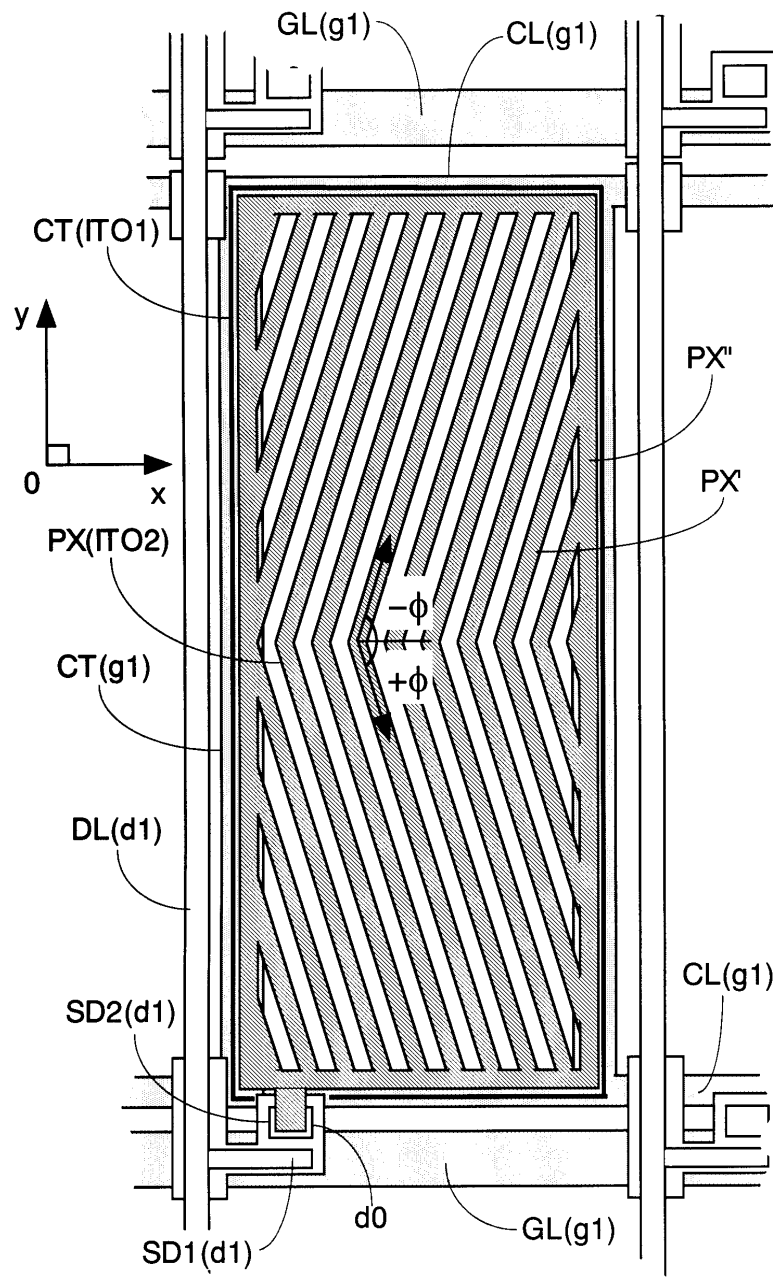
도면47



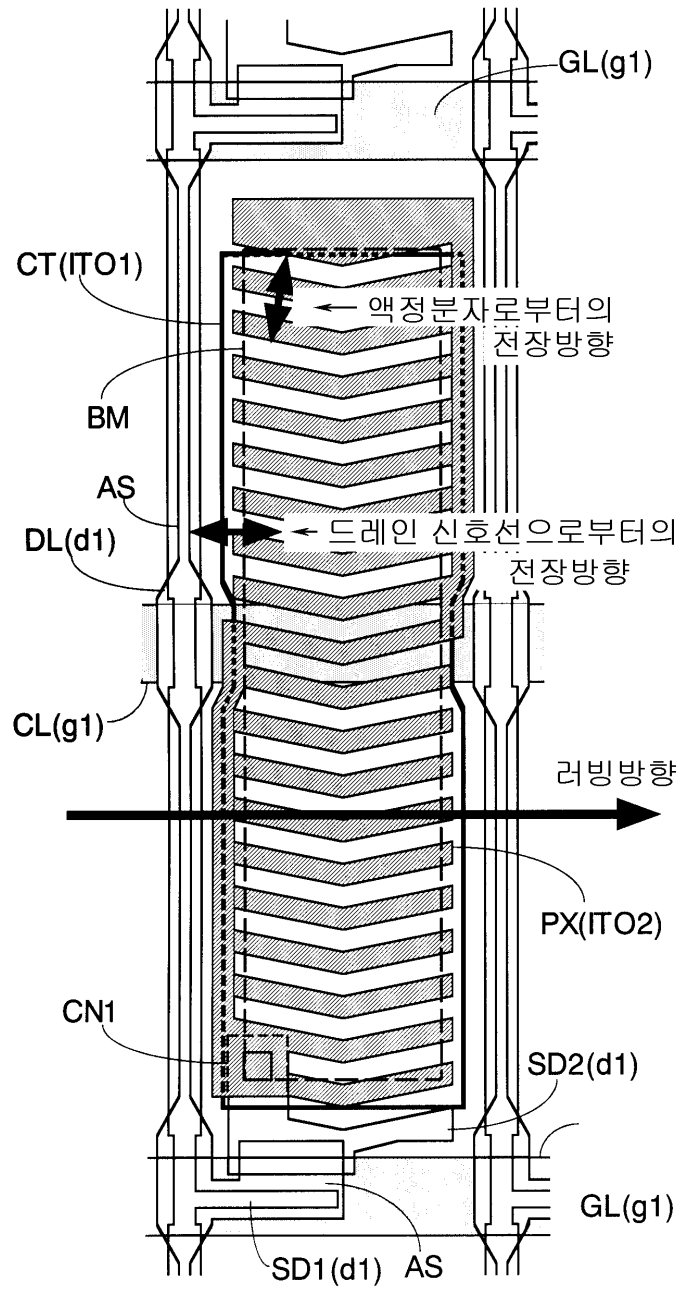
도면48



도면49



도면50



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070046986A	公开(公告)日	2007-05-03
申请号	KR1020077009051	申请日	2000-09-05
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	ONO KIKUO 오노키쿠오 YONEYA MAKOTO 요네야마코토 YAMAMOTO TSUNENORI 야마모토츠네히로 HIRAKATA JUNICHI 히라카타준이치 NAKAYOSHI YOSHIKI 나카요시요시아키		
发明人	오노키쿠오 요네야마코토 야마모토츠네히로 히라카타준이치 나카요시요시아키		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/133345 G02F1/134363 G02F1/13439 G02F1/13458 G02F1/136286 G02F1/1393 G02F2201/40 G02F1/13394 G02F1/134309 G02F1/136227 G02F1/1368 H05K999/00 H05K999/99		
代理人(译)	Yijongil		
优先权	1999252763 1999-09-07 JP		
其他公开文献	KR100923707B1		
外部链接	Espacenet		

摘要(译)

一种液晶装置，其中液晶层由面内电场方案驱动，并且图像显示性能得到改善。像素电极和对电极设置在透明基板的液晶侧上的像素区域中的绝缘膜的两侧，所述透明基板之间保持液晶并且彼此相对。在电极之间产生具有与透明基板平行的分量的电场。每个像素电极或每个对电极是在至少与另一个电极不重叠的区域中围绕另一个电极形成的透明电极。绝缘膜具有多层结构。

