

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G09G 3/36 (2006.01)
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0042988
(43) 공개일자 2006년05월15일

(21) 출원번호 10-2005-0013585
(22) 출원일자 2005년02월18일

(30) 우선권주장 JP-P-2004-00043570 2004년02월19일 일본(JP)

(71) 출원인 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이계쵸 22방 22코

(72) 발명자 사카구찌 노부히사
일본 나라쵸 덴리시 이소노까미쵸 506-1

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 액정 표시 장치

요약

본 발명은 구동 회로의 동작 속도의 향상과, 신호원의 부하 및 소비 전력의 저감을 도모하면서, 액정 표시부와 액정 드라이버간의 접속 신뢰성을 향상시킨 액정 표시 장치를 제공한다. 액정 표시 장치는 액정 표시부(44)와, 컨트롤 회로(45)로부터의 계조 표시용 데이터 신호 R·G·B를 샘플링하여 출력단에 소정 시간 보유하는 입력 래치 회로(48) 및 회로(33~37·39)를 포함하는 소스 드라이버(30)를 구비하고, 회로(33~37·39)는 p-Si 박막을 이용하여 유리 기판(43) 상에 액정 표시부(44)와 함께 형성되어 있는 한편, 입력 래치 회로(48)는 단결정 실리콘 기판 상에 형성된 로직 회로(41)내에 형성되어 있다.

대표도

도 1

색인어

액티브 매트릭스 방식, 액정 구동 회로, 입력 래치 회로, 로직 회로, 대향 전극

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태에 따른 액정 표시 장치의 구성을 도시한 블록도.

도 2는 본 발명의 다른 실시 형태에 따른 액정 표시 장치의 구성을 도시한 블록도.

도 3은 본 발명의 다른 실시 형태에 따른 액정 표시 장치에 있어서의 각종 신호의 파형 및 데이터 전송 타이밍을 도시한 도면.

도 4는 본 발명의 기술적 배경을 설명하기 위한 도면으로, 종래의 TFT 방식의 액정 표시 장치의 전체 구성을 도시한 블록도.

도 5는 본 발명 및 종래의 액정 표시 장치가 구비하는 액정 표시부(액정 패널)의 구성을 도시한 도면.

도 6은 본 발명의 기술적 배경을 설명하기 위한 도면으로, 종래의 TFT 방식의 액정 표시 장치에 있어서의 액정 구동 전압의 파형의 일례를 도시한 파형도.

도 7은 본 발명의 기술적 배경을 설명하기 위한 도면으로, 종래의 TFT 방식의 액정 표시 장치에 있어서의 액정 구동 전압의 파형의 다른 일례를 도시한 파형도.

도 8은 본 발명의 기술적 배경을 설명하기 위한 도면으로, 종래의 TFT 방식의 액정 표시 장치의 제n 소스 드라이버의 구성을 도시한 블록도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 액정 패널
- 2 : 대향 전극
- 3 : 소스 드라이버
- 4 : 게이트 드라이버
- 5 : 컨트롤러
- 6 : 액정 구동 전원
- 30 : 소스 드라이버
- 31 : 입력 래치 회로
- 32 : 시프트 레지스터 회로
- 33 : 샘플링 메모리 회로
- 34 : 홀드 메모리 회로
- 35 : 레벨 시프터 회로
- 36 : D/A 변환 회로
- 37 : 출력 회로
- 38 : 액정 구동 전압 출력 단자
- 39 : 기준 전압 발생 회로

- 41 : 로직 회로
- 42 : 액정 표시 패널
- 43 : 유리 기판
- 44 : 액정 표시부
- 45 : 컨트롤 회로
- 48 : 입력 래치 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 TFT(박막 트랜지스터) 방식 등의 액티브 매트릭스 방식의 액정 표시 장치에 관한 것으로, 더욱 상세하게는, 액정 화소에 계조 표시용 아날로그 신호를 인가하는 액정 구동 회로의 적어도 일부를, TFT 등의 스위칭부나 액정과 함께 유리 기판 등의 기판 상에 형성한 액티브 매트릭스 방식의 액정 표시 장치에 관한 것이다.

종래, 액티브 매트릭스 방식의 액정 표시 장치에 있어서는, 액정이나 스위칭부 등으로 이루어지는 액정 표시부는 유리 기판 상에 형성되어 있는 한편, 액정 표시부를 구동하는 액정 구동 회로는 유리 기판으로부터 분리한 실리콘 기판 상에 형성되고, 액정 표시부와 액정 구동 회로를 배선으로 접속한 구성이 일반적이다.

도 4는 액티브 매트릭스 방식의 대표예인 TFT 방식의 액정 표시 장치의 블록 구성을 도시한다. 이 액정 표시 장치는 액정 표시부와, 이것을 구동하는 액정 구동 회로(액정 구동부)로 나뉘어져 있다. 상기 액정 표시부는 TFT 방식의 액정 패널(1)을 갖고 있다. 그리고, 액정 패널(1)내에는 액정 표시 소자(도시하지 않음)와 후술하는 대향 전극(공통 전극)(2)이 형성되어 있다.

한편, 상기 액정 구동 회로에는 IC(집적 회로)로 형성된 소스 드라이버(3) 및 게이트 드라이버(4)와, 컨트롤러(5)와, 액정 구동 전원(6)이 탑재되어 있다. 그리고, 컨트롤러(5)는 소스 드라이버(3)에 표시 데이터 신호 D 및 제어 신호(S1)를 입력하는 한편, 게이트 드라이버(4)에는 수직 동기 신호 S2를 입력한다. 또한, 소스 드라이버(3) 및 게이트 드라이버(4)에 수평 동기 신호를 입력한다.

상기 구성에 있어서, 외부로부터 입력된 표시 데이터는 상기 컨트롤러(5)를 통해 디지털 신호인 표시 데이터 신호 D로서 소스 드라이버(3)에 입력된다. 그렇게 하면, 소스 드라이버(3)는 입력된 표시 데이터 신호 D를 시분할하여 제1 소스 드라이버~제n 소스 드라이버에 래치하고, 그 후, 컨트롤러(5)로부터 입력되는 상기 수평 동기 신호에 동기하여, 시분할된 표시 데이터 신호 D를 D/A(디지털-아날로그) 변환한다. 이에 따라, 계조 표시용의 아날로그 전압(이하, 계조 표시 전압이라 함)이 얻어진다. 그리고, 소스 드라이버(3)는 이 계조 표시 전압을, 액정 패널(1)내에 소스 신호선(도시하지 않음)을 통해, 액정 패널(1)내의 대응하는 상기 액정 표시 소자에 출력한다.

도 5는 상기 액정 패널(1)의 구성을 도시한다. 액정 패널(1)에는 화소 전극(11), 화소 용량(12), 화소 전극(11)에의 전압 인가를 온·오프 제어하는 TFT(13), 소스 신호선(14), 게이트 신호선(15), 대향 전극(16)(도 4에 있어서의 대향 전극(2)에 상응)이 형성되어 있다. 여기서, 화소 전극(11), 화소 용량(12), 및 TFT(13)에 의해 1화소분의 상기 액정 표시 소자(A)가 구성된다.

상기 소스 신호선(14)에는 도 4에 있어서의 소스 드라이버(3)로부터, 표시 대상 화소의 밝기에 따른 상기 계조 표시 전압이 부여된다. 한편, 게이트 신호선(15)에는 게이트 드라이버(4)로부터, 열방향으로 나란한 TFT(13)를 순차로 온(ON)하는 주사 신호가 부여된다. 그리고, 온 상태의 TFT(13)를 통해, 해당 TFT(13)의 드레인 전극에 접속된 화소 전극(11)에 소

스 신호선(14)의 계조 표시 전압이 인가되고, 화소 전극(11)과 대향 전극(16) 사이의 화소 용량(12)에 전하가 축적된다. 이에 따라, 화소 전극(11)과 대향 전극(16) 사이의 액정의 광 투과율이 상기 계조 표시 전압에 따라서 변화되어, 화소의 계조 표시가 행해진다.

도 6 및 도 7에, 액정 구동 전압의 파형의 예를 도시한다. 도 6 및 도 7에 있어서, 참조 부호 21, 25는 소스 드라이버(3)로부터 소스 신호선(14)에 부여되는 계조 표시 전압의 파형을 나타내고, 참조 부호 22, 26은 게이트 드라이버(4)로부터 게이트 신호선(15)에 부여되는 주사 신호의 파형이다. 또한, 도 6 및 도 7에 있어서, 참조 부호 23, 27은 대향 전극(16)의 전위이고, 참조 부호 24, 28은 화소 전극(11)에 인가되는 전압 파형이다. 여기서, 액정에 인가되는 전압은 화소 전극(11)과 대향 전극(16)간의 전위차이고, 도면에서는 사선으로 나타내고 있다.

예를 들면, 도 6의 경우는 상기 게이트 드라이버(4)로부터의 주사 신호(22)의 레벨이 "H"인 기간만큼 TFT(13)가 온되고, 소스 드라이버(3)로부터의 계조 표시 전압(21)과 대향 전극(16)의 전위(23)간의 차의 전압이 액정(화소 용량(12))에 인가된다. 그 후, 게이트 드라이버(4)로부터의 주사 신호(22)의 레벨은 "L"이 되고, TFT(13)는 오프(OFF) 상태가 된다. 이 경우, 화소에는 화소 용량(12)이 존재하기 때문에, 상술한 전압이 유지되는 것이다.

도 7의 경우도 마찬가지이다. 다만, 도 6과 도 7은 액정에 인가되는 전압이 다른 경우를 도시하고 있으며, 도 6의 경우는 도 7의 경우와 비교하여 액정에 인가하는 전압이 높게 되어 있다. 이와 같이, 액정에 인가하는 전압을 아날로그적으로 변화시킴으로써, 액정의 광 투과율을 아날로그적으로 바꾸고, 다계조 표시를 실현하고 있다. 또, 표시 가능한 계조수는 액정에 인가되는 아날로그 전압의 선택지의 수에 따라서 결정된다.

도 8은 도 4에 있어서의 소스 드라이버(3)를 구성하는 제n 소스 드라이버의 블록도의 일례를 도시한다. 입력된 디지털 신호인 표시 데이터(D)는 R(적색)의 표시 데이터 DR, G(녹색)의 표시 데이터 DG, 및 B(청색)의 표시 데이터 DB를 갖고 있다. 그리고, 이 표시 데이터 D는 일단 입력 래치 회로(31)에 래치된 후, 도 4의 컨트롤러(5)로부터의 스타트 펄스 SP 및 클럭 신호 CK에 의해 시프트되는 시프트 레지스터 회로(32)의 동작에 맞추어, 시분할에 의해 샘플링 메모리 회로(33)에 기억된다. 그 후, 샘플링 메모리 회로(33)에 기억된 표시 데이터는 컨트롤러(5)로부터의 수평 동기 신호(도시하지 않음)에 기초하여 홀드 메모리 회로(34)에 일괄 전송된다. 또, 시프트 레지스터 회로(32)로부터는 다음 단의 시프트 레지스터 회로에 캐스캐이드 출력 신호 S가 출력된다.

기준 전압 발생 회로(39)는 외부 기준 전압 발생 회로(도 4에 있어서의 액정 구동 전원(6)에 상응)로부터 공급되는 전압 VR에 기초하여, 계조 표시용의 각 레벨의 기준 전압을 발생한다. 홀드 메모리 회로(34)의 데이터는 레벨 시프터 회로(35)를 통해 D/A 변환 회로(디지털-아날로그 변환 회로)(36)에 송출되고, 기준 전압 발생 회로(39)로부터의 각 레벨의 기준 전압에 기초하여 아날로그 전압으로 변환된다. 그리고, 이 아날로그 전압은 출력 회로(37)에 의해, 액정 구동 전압 출력 단자(38)로부터 상기 계조 표시 전압으로서, 도 5의 각 액정 표시 소자(A)의 소스 신호선(14)에 출력된다.

그러나, 종래의 일반적인 액티브 매트릭스 방식의 액정 표시 장치는 화소수를 많게 한 경우에, 액정 표시부와 액정 구동 회로를 접속하기 위하여 필요한 배선수가 많아지고, 액정 구동 회로의 출력 단자수 및 액정 표시부의 입력 단자수도 많아지기 때문에, 액정 표시부와 액정 구동 회로간의 접속이 곤란하게 된다는 문제를 갖고 있다.

즉, 액정 구동 전압 출력 단자(38)는 소스 신호선(14)과 일대일로 대응해 있으므로, 예를 들면 소스 신호선(14)이 100개 있으면, 액정 구동 전압 출력 단자(38)도 100개 필요하게 된다. 컬러 액정 표시 장치이라면, 소스 신호선(14)을 R(적색) 화소, G(녹색) 화소, B(청색) 화소 각각에 대응시켜서 형성할 필요가 있기 때문에, 3개의 소스 신호선(14)으로 화면상의 1라인(표시 데이터상의 1라인)을 구동하는 구성이 된다. 이 때문에, 상기의 예에서는, 액정 구동 전압 출력 단자(38)는 3배인 300개 필요하게 된다.

이와 같이, 액정 표시 장치의 화소수를 늘리기 위해서는, 표시를 구동하는 소스 드라이버(3)의 액정 구동 전압 출력 단자(38)를, 화소수를 증대시킨 분만큼 늘릴 필요가 있어, 액정 표시부와 액정 구동 회로간의 접속이 곤란하게 되는 문제가 발생한다.

상기의 문제를 해결하기 위하여, 액정 패널의 소스 신호선을 수개 모아서 시분할로 액정 구동 회로의 1개의 구동 전압 출력 단자에 의해 구동함으로써 액정 구동 회로의 구동 전압 출력 단자를 적게 하는 방법이, 특허 문헌 1과 특허 문헌 2에 개시되어 있다. 이 방법에서는, TFT 액정 패널에도 사용되는 TFT를, 수개의 소스 신호선으로부터 1개의 소스 신호선을 선택하는 선택 스위치로서 이용하여, 1개의 구동 전압 출력 단자에 의해 복수의 소스 신호선을 구동하고 있다.

또한, 상기의 과제를 해결하기 위하여, 액정 표시부와 액정 구동 회로를 동일한 유리 기판 상에 형성한 구성도 개시되어 있다. 예를 들면, 특허 문헌 3에는 액정 표시부와, 수직 구동 회로 및 수평 구동 회로를 포함하는 액정 구동 회로와, 타이밍 발생 회로 등의 주변 회로를 동일한 유리 기판 상에 동시에 제작하는 것이 개시되어 있다. 유리 기판 상에 액정 구동 회로를 구성하는 소자를 형성하는 방법은 특허 문헌 3에는 개시되어 있지 않지만, 실리콘 박막을 유리 기판 상에 형성하는 방법이 이용되고 있다. 실리콘 박막을 유리 기판 상에 형성하는 방법으로서, 예를 들면 유리 기판 상에 플라즈마 기상 성장법에 의해 성막한 a-Si(아몰퍼스 실리콘)막을 고출력의 레이저 조사로 용융하고, 응고시킴으로써 p-Si(폴리실리콘)막을 형성하는 방법이 있다.

상기 구성에서는, 액정 구동 회로 전체가 유리 기판 상에 형성되어 있으므로, 화소수를 증대시켜서 소스 신호선이나 게이트 신호선의 갯수가 증대되더라도, 액정 표시부와 액정 드라이버간의 접속이 곤란하게 된다는 문제가 생기지 않는다.

그러나, 특허 문헌 1과 특허 문헌 2의 구동 방법은 화소수를 더욱 증대시켜서 소스 신호선이나 게이트 신호선의 갯수가 더욱 증대된 경우에는 액정 표시부와 액정 드라이버간의 접속이 곤란하게 된다는 문제점을 갖고 있다.

또한, 특허 문헌 3과 같이 모든 구동 회로를 유리 기판 상에 형성한 경우, 다음과 같은 문제점이 생긴다.

단결정 실리콘 기판 상에 형성된 반도체 장치(LSI)에서는, 전자의 이동도는 $1500\text{cm}^2/\text{V}\cdot\text{s}$ 인데 비하여, 유리 기판 상에 형성된 실리콘 박막상에서의 전자의 이동도는 실리콘 박막이 a-Si로 이루어지는 경우에는 $0.5\sim 1\text{cm}^2/\text{V}\cdot\text{s}$, 실리콘 박막이 p-Si로 이루어지는 경우에는 $100\sim 400\text{cm}^2/\text{V}\cdot\text{s}$ 이다(비특허 문헌 1 참조). 이 때문에, 유리 기판 상에 형성된 액정 구동 회로는 실리콘 기판 상에 형성된 액정 구동 회로(LSI)에 비하여, 동작 속도가 느리고, 구동 능력이 떨어진다. 액정 구동 회로는 동작 속도가 느리면, 소정의 샘플링 속도로 데이터 신호를 처리할 수 없다. 또한, 액정 구동 회로의 구동 능력이 떨어지면, 액정을 구동하기 위하여 필요한 구동 전압을 액정 표시부에 인가하기 위해, 신호원의 출력 전압을 고전압으로 할 필요가 있다. 이 때문에, 신호원의 부하가 크다.

또한, 실리콘 기판 상에 형성된 액정 구동 회로(LSI)는 구동 전압이 $3.3\sim 5\text{V}$ 정도로 액정을 구동할 수 있는데 비하여, 유리 기판 상에 형성된 p-Si 박막 등의 반도체 박막으로 이루어지는 액정 구동 회로에서는, 액정을 구동하기 위하여 $8\sim 12\text{V}$ 의 구동 전압을 출력할 필요가 있기 때문에, 소비 전력이 증대된다(비특허 문헌 2 참조).

특허 문헌 3의 발명에서는, 이들 문제를 발생시키지 않고 모든 구동 회로를 유리 기판 상에 구성할 수는 없다. 이 때문에, 특허 문헌 3의 발명에서는, 상술한 드라이버 액정 구동 전압의 출력 단자수가 증대되는 문제는 충분히 해결되어 있지 않다.

[종래기술의 문헌 정보]

[특허 문헌 1]

일본 특허공개 소61-223791호 공보(1986년 10월 4일 공개)

[특허 문헌 2]

일본 특허공개 평6-138851호 공보(1994년 5월 20일 공개)

[특허 문헌 3]

일본 특허공개 2002-175026호 공보(2002년 6월 21일 공개)

[비특허 문헌 1]

安部正幸, 岡部正博, "폴리실리콘 TFT 액정 디스플레이", [online], 1997년, 가부시끼가이샤 후지쯔 쟈큐소, [2004년 1월 15일 검색], 인터넷 <URL:http://magazine.fujitsu.com/vol48-3/7-2.html>

[비특허 문헌 2]

齋藤健二, "Mobile:저온 폴리실리콘 TFT의 진짜 메리트란?", [online], 2003년 7월 4일, 소프트뱅크·아이티미디어 가부시키가이샤, [2004년 1월 15일 검색], 인터넷 <URL:http://www.itmedia.co.jp/mobile/0307/04/n_1tpn.html>

발명이 이루고자 하는 기술적 과제

본원 발명은 상기의 문제점을 감안하여 이루어진 것으로, 그 목적은 구동 회로의 동작 속도의 향상과, 신호원의 부하 및 소비 전력의 저감을 도모하면서, 액정 표시부와 액정 패널간의 접속 신뢰성을 향상시킨 액정 표시 장치를 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 액정 표시 장치는 상기의 과제를 해결하기 위하여, 액정 화소, 및 이 액정 화소로의 전압 인가를 ON/OFF 제어하는 스위칭부를 포함하는 액정 표시부와, 외부의 컨트롤 회로로부터의 계조 표시용 데이터 신호를 포함하는 신호군에 기초하여 상기 액정 화소에 인가하는 계조 표시용 아날로그 전압을 생성하고 스위칭부에 공급하는 구동 회로를 구비하는 액정 표시 장치에 있어서, 상기 구동 회로는 컨트롤 회로로부터의 계조 표시용 데이터 신호를 샘플링하여 출력단에 소정 시간 보유하는 입력 래치 회로와, 이 입력 래치 회로에서 샘플링된 계조 표시용 데이터 신호에 기초하여 계조 표시용 아날로그 전압을 생성하는 계조 표시용 전압 생성 회로를 포함하고, 상기 계조 표시용 전압 생성 회로는 제1 반도체 재료를 이용하여 기판 상에 상기 액정 표시부와 함께 형성되어 있는 한편, 상기 입력 래치 회로는 제1 반도체 재료와는 다른 제2 반도체 재료로 형성된 로직 회로내에 형성되어 있는 것을 특징으로 하고 있다.

상기 구성에 따르면, 상기 계조 표시용 전압 생성 회로가 액정 표시부와 함께 제1 반도체 재료로 이루어지는 박막을 이용하여 기판 상에 형성되어 있으므로, 계조 표시용 전압 생성 회로와 액정 표시부간의 접속 문제가 생기지 않는다.

또한, 로직 회로로부터 계조 표시용 전압 생성 회로에 공급되는 계조 표시용 데이터 신호는 액정 표시부의 신호선 1개(또는 수개)에 대하여 1개씩 필요하고, 예를 들면 수백개나 필요한 계조 표시용 아날로그 전압과 달리, 흑백의 경우에는, 1개만, RGB 컬러의 경우에는 3개만 필요하다. 이 때문에, 기판 외부의 회로(로직 회로)와 기판 상의 회로(계조 표시용 전압 생성 회로)를 접속하기 위한 배선이나 단자(로직 회로의 출력 단자 및 계조 표시용 전압 생성 회로의 입력 단자)의 수를 적게 할 수 있으므로, 접속 신뢰성이 향상된다.

또한, 입력 래치 회로는 로직 회로내에, 계조 표시용 전압 생성 회로를 형성하는 제1 반도체 재료와는 다른 제2 반도체 재료로 형성되어 있으므로, 제2 반도체 재료로서 단결정 실리콘을 사용하여, 입력 래치 회로의 동작 속도를 향상시킬 수 있다. 이에 따라, 표시 속도를 향상시킬 수 있다. 또한, 제2 반도체 재료로서 단결정 실리콘을 사용하여, 입력 래치 회로의 구동 능력을 높일 수 있다. 이에 따라, 소비 전력을 삭감함과 함께, 신호원의 부하를 저감할 수 있다.

동작 속도에 대한 문제를 해결하는 구성으로서, 구동 회로에 있어서의 입력 래치 회로 이외의 어떠한 구성 요소(예를 들면 시프트 레지스터)를 액정 패널과는 별도로 설치하고, 구동 회로의 나머지 구성 요소(예를 들면 시프트 레지스터 이외의 구성 요소)를 액정 패널상에 형성하는 것이 고려된다. 그러나, 이 경우, 종래의 일반적인 액티브 매트릭스 방식의 액정 표시 장치와 마찬가지로, 화소수를 많게 한 경우에, 액정 표시부와 액정 구동 회로를 접속하기 위하여 필요한 배선수가 많아지고, 액정 구동 회로의 출력 단자수 및 액정 표시부의 입력 단자수도 많아지기 때문에, 액정 표시부와 액정 구동 회로간의 접속이 곤란하게 되는 문제가 발생한다.

본 발명의 다른 목적, 특징 및 우수한 점은 이하에 나타난 기재에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이점은 첨부한 도면을 참조한 하기의 설명으로 명백해 질 것이다.

[제1 실시 형태]

본 발명의 일 실시 형태에 관하여, 도면에 기초하여 설명하면 이하와 같다. 도 1은 본 발명에 따른 액정 표시 장치의 일 실시 형태로서의 표시 데이터를 LSI에 의해 구동하여 표시를 행하는 TFT 방식의 액정 표시 장치의 구성을 도시한 블록도이다.

도 8에 도시되는 각 블록의 기능을 실현하는 회로를 모두 유리 기판 상에 형성한 경우, 상술한 바와 같이, 여러가지 문제가 생긴다. 즉 유리 기판 상의 회로의 입력 버퍼의 입력 용량이 크고, 또한 도 4의 회로 구성과 같이 표시 데이터 D가 n개의 소스 드라이버에 병렬로 입력되기 때문에, 표시 데이터 D를 출력하는 컨트롤러(5)의 출력부의 구동 능력은 커야만 한다. 또한, 컨트롤러(5)로부터 유리 기판 상의 회로로의 전송 속도가 고속이기 때문에, 컨트롤러(5)로부터의 데이터 신호를 그대

로 유리 기판 상의 회로에 전송하면, 데이터 신호에 둔화나 지연이 발생하고, 표시 데이터의 샘플링에 문제가 발생한다. 이들 문제를 해결하기 위하여, 본 실시 형태에 따른 액정 표시 장치에서는, 입력 래치 회로를 유리 기판 상의 회로가 아니라 외장형 LSI로 구성하고 있다.

본 실시 형태에 따른 액정 표시 장치는 액정 화소(도시하지 않음), 및 이 액정 화소에의 전압 인가를 ON/OFF 제어하는 스위칭부로서의 TFT(도시하지 않음)를 포함하는 액정 표시부(44)와, 외부의 컨트롤 회로(45)로부터의 스타트 펄스 신호 SP, 클럭 신호 CK, 적색의 계조 표시용 데이터 신호 R, 녹색의 계조 표시용 데이터 신호 G, 청색의 계조 표시용 데이터 신호 B, 및 수평 동기 신호(래치 신호)에 기초하여, 상기 액정 화소에 인가하는 계조 표시용 아날로그 전압을 생성하고 액정 표시부(44)의 소스 신호선에(TFT에) 공급하는 소스 드라이버(구동 회로)(30)를 구비하고 있다. 또한, 액정 표시 장치의 외부에는 스타트 펄스 신호 SP, 클럭 신호 CK, 계조 표시용 데이터 신호 R·G·B, 수평 동기 신호(래치 신호) 등을 생성하는 컨트롤 회로(45)가 형성되어 있다.

그리고, 소스 드라이버(30)는 컨트롤 회로(45)로부터의 계조 표시용 데이터 신호 R·G·B를 샘플링하여 출력단에 소정 시간 보유하는 입력 래치 회로(48)를 포함하는 로직 회로(41)와, 상기 입력 래치 회로(48)에서 샘플링된 계조 표시용 데이터 신호 DR·DG·DB에 기초하여 계조 표시용 아날로그 전압을 생성하는 계조 표시용 전압 생성 회로(후술함)를 구비하고 있다.

상기 계조 표시용 전압 생성 회로는 p-Si 실리콘 박막을 이용한 소자(예를 들면 박막 트랜지스터)를 포함하는 복수의 소자(도시하지 않음)로 구성되고, 유리 기판(기판)(43) 상에 액정 표시부(44)와 함께 형성되어 있다. 상기 계조 표시용 전압 생성 회로, 액정 표시부(44), 및 유리 기판(43)에 의해, 액정 표시 패널(42)이 구성되어 있다. 또, 상기 소자를 형성하는 반도체 박막은 예를 들면 유리 기판(43) 상에 플라즈마 기상 성장법에 의해 a-Si막을 성장하고, 이어서 a-Si막을 고출력의 레이저 조사로 용융하고, 응고시키는 방법으로 형성할 수 있다.

한편, 입력 래치 회로(48)는 유리 기판(43)으로부터 분리된 외장형 LSI인 로직 회로(41)내에 형성되어 있으며, 로직 회로(41)는 단결정 실리콘 기판 상에 형성되어 있다.

또, 상기 계조 표시용 전압 생성 회로는 p-Si 실리콘 이외의 반도체 재료, 예를 들면 a-Si 실리콘으로 이루어지는 박막으로 형성되어 있어도 된다. 또한, 로직 회로(41)는 상기 계조 표시용 전압 생성 회로를 구성하는 반도체 재료(제1 반도체 재료)와는 다른 반도체 재료(제2 반도체 재료)로 형성되어 있어도 된다.

다음으로, 로직 회로(41)에 관하여 더욱 상세히 설명한다. 로직 회로(41)는 상술한 바와 같이, 소스 드라이버(30)의 일부인 입력 래치 회로(48)를 구비하고 있다. 입력 래치 회로(48)에는 컨트롤 회로(45)로부터, 디지털 신호인 계조 표시용 데이터 신호 R·G·B가 각 6비트로 입력됨과 함께, 클럭 신호 CK 및 데이터 샘플링 개시를 나타내는 스타트 펄스 신호 SP가 입력된다. 입력 래치 회로(48)는 계조 표시용 데이터 신호 R·G·B를 클럭 신호 CK에 동기한 타이밍(예를 들면 클럭 신호 CK의 상승 타이밍)으로 샘플링하고, 다음 클럭 신호 CK에 동기한 타이밍(예를 들면 다음 클럭 신호 CK의 상승 타이밍)까지 취득한 데이터를 보유하는 기능을 갖는다.

로직 회로(41)는 입력 래치 회로(48)로부터 출력된 계조 표시용 데이터 신호 DR·DG·DB를 증폭하여 상기 계조 표시용 전압 생성 회로에 출력하는 구동용 버퍼(증폭 회로, 제1 버퍼 회로)(47R·47G·47B)와, 스타트 펄스 신호 SP 및 클럭 신호 CK를 증폭하여 상기 계조 표시용 전압 생성 회로에 출력하는 구동용 버퍼(증폭 회로, 제2 버퍼 회로)(46C·46S)를 구비하고 있다. 이하, 구동용 버퍼(47R·47G·47B)를 통합하여 구동용 버퍼(147)라고 하기도 한다. 구동용 버퍼(47R·47G·47B·46C·46S)는 상기 계조 표시용 전압 생성 회로에 입력되는 신호(계조 표시용 데이터 신호 DR·DG·DB, 스타트 펄스 신호 SP, 및 로직 신호 CK)에 지연이나 둔화가 발생하지 않도록, 충분히 신호를 증폭하는 능력을 갖고 있다. 이와 같이, 로직 회로(41)가, 상기 계조 표시용 전압 생성 회로에 입력되는 신호를 증폭하는 구동용 버퍼(47R·47G·47B·46C·46S)를 구비하고 있기 때문에, 로직 회로(41)와 액정 표시 패널(42)을 잇는 배선의 저항(로직 회로(41)를 액정 표시 패널(42)에 실장했을 때의 배선 저항)이나, 액정 표시 패널(42)의 입력 용량(상기 계조 표시용 전압 생성 회로의 입력 용량)에 관계없이, 상기 계조 표시용 전압 생성 회로에 입력되는 신호(계조 표시용 데이터 신호 DR·DG·DB, 스타트 펄스 신호 SP, 및 클럭 신호 CK)에 지연이나 둔화가 발생하는 것을 억제할 수 있다. 따라서, 배선 저항이나 입력 용량을 고려할 필요가 없다.

로직 회로(41)와 액정 표시 패널(42)은 유리 기판(43) 상의 배선으로 접속하는 COG(Chip On Glass) 실장이나, 테이프 형태의 기재에 도전성의 배선을 형성하여 이루어지는 테이프 캐리어를 이용하여 로직 회로(41)의 출력 단자와 액정 표시 패널(42)의 입력 단자(접속부)를 접속하는 방법에 의해 접속된다.

또, 도시하지 않지만, 컨트롤 회로(45)로부터의 게이트 펄스 신호에 따라서 액정 표시부(44)의 게이트 신호선을 동작시키고, 계조 표시용 전압의 각 액정 화소에의 기입을 억제하는 게이트 드라이버(도시하지 않음)가, 액정 표시 장치의 내부 또는 외부에 형성되어 있다.

액정 표시부(44)는 도 5에 도시한 바와 같이, 액정으로 이루어지는 화소 용량(액정 화소)(12), 화소 용량(12)의 양단(액정 층의 양면) 사이에 전계를 형성하기 위한 화소 전극(11), 화소 전극(11)에의 전압 인가(화소 용량(12)에의 전계 형성)를 온/오프 제어하는 스위칭부로서의 TFT(13), TFT(13)의 드레인 전극에 계조 표시용 전압(소스 신호)을 공급하기 위한 소스 신호선(14), TFT(13)의 게이트 전극에 게이트 신호를 공급하기 위한 게이트 신호선(15), 화소 전극(11)에 대향하는 도시하지 않은 1개의 대향 전극(도 4에서의 대향 전극(2)에 상응)을 구비하고 있다. 여기서, 1개의 화소 전극(11), 1개의 화소 용량(12), 및 1개의 TFT(13)에 의해 1화소분의 액정 표시 소자(A)가 구성된다.

소스 신호선(14)에는 도 1에 있어서의 소스 드라이버(30)로부터, 표시 대상 화소의 밝기에 따른 계조 표시용의 아날로그 전압이 부여된다. 한편, 게이트 신호선(15)에는 게이트 드라이버(4)로부터, 열방향으로 나란한 TFT(13)를 순차로 온하는 주사 신호가 부여된다. 그리고, 온 상태의 TFT(13)를 통해, 해당 TFT(13)의 드레인 전극에 접속된 화소 전극(11)에 소스 신호선(14)을 통해 소스 드라이버(30)로부터 계조 표시용의 아날로그 전압이 인가되고, 화소 전극(11)과 대향 전극(16) 사이의 화소 용량(12), 즉 액정에 전하가 축적된다. 이에 따라, 화소 전극(11)과 대향 전극(16) 사이의 액정의 광 투과율이 상기 계조 표시용 아날로그 전압에 따라서 변화되어, 화소의 계조 표시가 행해진다.

이하에서는, 주로 본 발명의 계조 표시용 전압 발생 장치를 이루는 소스 드라이버(30)에 관하여 설명한다.

소스 드라이버(30)는 도 1에 그 개략 회로 구성을 도시한 바와 같이, 상술한 입력 래치 회로(48)에 더하여, 계조 표시용 아날로그 전압을 생성하는 상기 계조 표시용 전압 생성 회로로서, 시프트 레지스터 회로(32)와, 샘플링 메모리 회로(33)와, 홀드 메모리 회로(34)와, 레벨 시프터 회로(35)와, 기준 전압 발생 회로(39)와, D/A 변환 회로(36)와, 출력 회로(37)를 구비하고 있다.

시프트 레지스터 회로(32)는 로직 회로(41)에 의해 구동되고, 스타트 펄스 신호 SP 및 클록 신호 CK에 의해 시프트된다. 로직 회로(41)로부터 전송되어 온 스타트 펄스 신호 SP는 클록 신호 CK에 동기하고, 시프트 레지스터 회로(32)내에서 전송되고, 이 시프트 레지스터 회로(32)의 최종 단에서 다음 단의 소스 드라이버에 캐스캐이드 출력 신호(다음 단의 소스 드라이버용의 스타트 펄스 신호 SP)로서 출력된다.

입력 래치 회로(48)로부터 액정 표시 패널(42)에 입력된 계조 표시용 데이터 신호 DR·DG·DB는 시프트 레지스터 회로(32)의 동작에 맞추어, 즉 시프트 레지스터 회로(32)로부터의 출력 신호에 동기하여, 시분할로 샘플링 메모리 회로(33)내에 일단 기억된 후, 컨트롤 회로(45)로부터의 수평 동기 신호(도시하지 않음)에 기초하여 홀드 메모리 회로(34)에 일괄 전송된다.

1수평 동기 기간의 표시 데이터가 샘플링 메모리 회로(33)에 기억되면, 홀드 메모리 회로(34)는 컨트롤 회로(45)로부터 공급되는 수평 동기 신호(래치 신호)에 기초하여 샘플링 메모리 회로(33)로부터의 출력 신호를 취득하고, 다음의 레벨 시프터 회로(35)에 출력함과 함께, 다음의 수평 동기 신호 LS가 입력될 때까지 그 표시 데이터를 유지한다.

레벨 시프터 회로(35)는 액정 패널의 인가 전압 레벨을 처리하는 다음 단의 D/A 변환 회로(36)에 적합하게 하기 위하여, 홀드 메모리 회로(34)로부터 공급된 출력 신호의 신호 레벨을 승압 등에 의해 변환하는 회로이다. 기준 전압 발생 회로(39)는 도시하지 않은 전원으로부터의 복수의 참조 전압 VR에 기초하여, 다른 복수의 아날로그 전압을 발생시키고, D/A 변환 회로(36)에 출력한다.

기준 전압 발생 회로(39)는 외부 기준 전압 발생 회로(도 4에서의 액정 구동 전원(6)에 상응)로부터 공급되는 전압(VR)에 기초하여, 각 레벨의 아날로그 기준 전압을 발생한다. D/A 변환 회로(36)는 기준 전압 발생 회로(39)로부터 공급되는 각 레벨의 아날로그 기준 전압에 기초하여, 표시 데이터 신호를 아날로그 전압으로 변환한다. 즉 D/A 변환 회로(36)는 기준 전압 발생 회로(39)로부터 공급되는 각 레벨의 아날로그 기준 전압으로부터, 레벨 시프터 회로(35)에 의해 레벨 변환된 표시 데이터 신호에 따른 아날로그 기준 전압을 선택한다. 이 계조 표시를 나타내는 아날로그 기준 전압은 출력 회로(37)에 의해, 각 액정 구동 전압 출력 단자(38)로부터, 액정 표시부(44)의 각 소스 신호선(도 5의 각 액정 표시 소자(A)의 소스 신호선(14))에 상기 계조 표시용 아날로그 전압으로서 출력된다. 출력 회로(37)는 버퍼 회로로서 기능하고, 예를 들면 차동 증폭 회로를 이용한 전압 폴로워(voltage follower) 회로로 구성되는 것이다.

이상과 같이, 본 실시 형태에 따른 액정 표시 장치는 액정 화소와 액정 화소에 전압을 부여하는 스위칭부를 갖는 액정 패널 상에, 외부의 컨트롤 회로로부터의 제어 신호와 계조 표시용 데이터에 의해 상기 액정 화소에의 계조 표시용 전압을 생성하고 공급하는 구동 회로가 박막 트랜지스터에 의해 형성되어 있는 액정 표시 장치에 있어서, 상기 액정 패널상에 형성된 상기 구동 회로와, 외부 컨트롤 회로 사이에, 상기 구동 회로와는 별도의 기재로 형성한 로직 회로를 구성하고, 상기 구동 회로에 입력하는 신호의 일부를 변환하는 것이다.

이와 같이, 액정 표시부의 구동을 행하는 구동 회로 내에서, 유리 기판 상에 형성한 경우에, 신호계의 부하가 크고, 동작 속도가 느린 등의 특성의 문제가 발생하는 부분을 외장형 로직 회로(LSI)로 대응함으로써, 신호계의 부하를 저감하고, 동작 속도를 높일 수 있다.

또한, 이상과 같이, 본 실시 형태에 따른 액정 표시 장치에서는, 상기 로직 회로는 상기 계조 표시용 데이터 신호의 버퍼 회로와, 클럭 신호의 버퍼 회로를 포함하고 있다. 이에 따라, 동작 입력의 둔화가 문제되는 입력 신호에 대하여, 로직 회로(LSI)에 의해 증폭(구동 동작)할 수 있다. 그러므로, 컨트롤 회로와 구동 회로를 잇는 배선의 부하에 기인하는 신호의 둔화의 발생을 억제할 수 있다.

[제2 실시 형태]

본 발명의 다른 실시 형태에 관하여, 도면에 기초하여 설명하면 이하와 같다. 또, 설명의 편의상, 상기 제1 실시 형태에서 나타난 각 부재와 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 설명을 생략한다.

상술한 바와 같이, 유리 기판 상의 회로(액정 표시 패널 내장의 회로)의 동작은 단결정 실리콘 기판 상의 회로의 동작과 비교하여 느리다. 이 때문에, 표시 데이터를 샘플링하는데 필요한 클럭 신호 CK의 속도를, 액정 패널 내장의 회로의 동작이 따라올 수 없어서, 표시 데이터를 제대로 샘플링할 수 없는 경우가 있다.

본 실시 형태에 따른 액정 표시 장치는 이와 같은 문제를 해소하기 위하여, 액정 패널에 내장된 회로의 데이터 샘플링 속도를, 컨트롤 회로로부터 공급되는 클럭 신호에 따른 데이터 샘플링 속도의 1/2로 한 것이다.

도 2는 본 발명에 따른 액정 표시 장치의 일 실시 형태로서의 TFT 방식의 액정 표시 장치의 구성을 도시한 블록도이다. 본 실시 형태에 따른 액정 표시 장치는 도 2에 도시한 바와 같이, 제1 실시 형태에서 언급한 액정 표시부(44)와, 소스 드라이버(구동 회로)(130)를 구비하고 있다. 또한, 액정 표시 장치의 외부에는 제1 실시 형태에서 언급한 컨트롤 회로(45)가 형성되어 있다. 소스 드라이버(130)는 유리 기판(43)으로부터 분리된 단결정 실리콘 기판 상에 형성된 외장형 LSI로서 로직 회로(41) 대신에 로직 회로(51)를 구비하고, 6비트 입력의 샘플링 메모리 회로(33) 대신에 12비트 입력의 샘플링 메모리 회로(53)를 구비하고 있는 이외에는, 제1 실시 형태의 소스 드라이버(30)와 동일한 구성을 구비하고 있다.

로직 회로(51)내에는 입력 래치 회로(38)와 동일한 기능에 더하여, 후술하는 다른 기능을 갖는 타이밍 컨트롤 회로(54)가 형성되어 있다. 타이밍 컨트롤 회로(54)에는 컨트롤 회로(45)로부터, 디지털 신호인 계조 표시용 데이터 신호 R·G·B가 각 6비트로 입력됨과 함께, 클럭 신호 CK 및 데이터 샘플링 개시를 나타내는 스타트 펄스 신호 SP가 입력된다. 타이밍 컨트롤 회로(54)는 계조 표시용 데이터 신호 R·G·B를 클럭 신호 CK에 기초하여 샘플링한다.

도 3에 데이터 샘플링의 타이밍을 도시한다. 타이밍 컨트롤 회로(54)는 스타트 펄스 SP에 동기하여, 데이터 샘플링을 개시함과 함께, 시프트 레지스터 회로(32)의 전송 클럭인 클럭 신호 CK2의 작성을 개시한다.

타이밍 컨트롤 회로(54)는 회로는 도시하지 않지만, 컨트롤 회로(45)로부터의 클럭 신호(제1 클럭 신호) CK를 2분주(分周)하여 클럭 신호 CK의 1/2의 주파수의 클럭 신호(제2 클럭 신호) CK2를 작성하여 시프트 레지스터 회로(32)에 출력하는 분주 회로(클럭 신호 변환 회로)를 더 포함하고 있다.

타이밍 컨트롤 회로(54)는 회로는 도시하지 않지만 컨트롤 회로(45)로부터의 3개의 계조 표시용 데이터 신호 R·G·B를, 그 1/2의 샘플링 주파수를 갖는 6개의 계조 표시용 데이터 신호 DR1·DR2·DG1·DG2·DB1·DB2로 변환하는 데이터 신호 변환 회로를 더 포함하고 있다. 데이터 신호 변환 회로는 계조 표시용 데이터 신호 R·G·B를 클럭 신호 CK에 기초하여 샘플링하고, 각 색 6비트씩의 계조 표시용 데이터 신호 R·G·B를, 도 3에 도시한 바와 같이 각 색 12비트씩의 DR1·DR2·DG1·DG2·DB1·DB2로 변환한다. 또, 도 3에서는, 적색 신호(R, DR1, DR2)만을 도시하고 있지만, 다른 색의 신호도 마찬가지이다. D1은 시리얼로 입력되는 표시 데이터의 제1번째의 값(비트)을 나타내고, 차례로, D2가 제2번째의 값, D3가 제3번째의 값, …D16이 제16번째의 값을 나타낸다.

데이터 신호 변환 회로는 예를 들면 회로는 도시하지 않지만, 클록 신호 CK의 상승에 동기하고, 계조 표시용 데이터 신호 R·G·B를 래치하는(D1, D3, ...를 래치하는) 입력 래치 회로와, 클록 신호 CK2를 반전시켜서 클록 신호 /CK2를 생성하는 인버터 회로와, 클록 신호 /CK2의 상승에 동기하고 데이터를 래치하는(D2, D4, ...를 래치하는) 입력 래치 회로에 의해 용이하게 실현할 수 있다.

액정 표시 패널(42)에 입력된 계조 표시용 데이터 신호 DR1, DR2, DF1, DG2, DB1, DB2는 클록 신호 CK2에 의해 시프트되는 시프트 레지스터 회로(32)의 동작에 맞추어, 시분할에 의해 샘플링 메모리 회로(53)에 기억된다. 샘플링 메모리 회로(53)에는 도 3에 도시한 Latch1, Latch2, Latch3, ...이 데이터 취득 타이밍을 나타내는 취득 신호로서 입력되어 있으며, 이들 신호에 동기하여 계조 표시용 데이터 신호 DR1·DR2·DG1·DG2·DB1·DB2가 취득된다.

이 때, 클록 신호 CK2는 클록 신호 CK에 대하여 2분주의 클록 신호로 되어 있다. 즉 액정 표시 패널(42)내의 회로의 동작을 제어하는 클록 신호 CK의 주파수(액정 표시 패널(42)내의 회로의 동작 주파수)가, 로직 회로(51)의 동작을 제어하는 클록 신호 CK의 주파수(로직 회로(51)의 동작 주파수)의 1/2로 되어 있다. 이 때문에, 액정 표시 패널(42)내의 회로의 동작 속도는 로직 회로(41)의 동작 속도에 대하여 1/2가 된다. 이 때문에, 동작 속도가 느린 액정 표시 패널(42)내의 회로에서도 클록 신호의 속도에 대응할 수 있다.

또, 홀드 메모리 회로(34), 레벨 시프터 회로(35), D/A 변환 회로(36), 출력 회로(37), 및 기준 전압 발생 회로(39)의 동작에 대해서는, 제1 실시 형태와 동일하므로, 그 설명을 생략한다.

로직 회로(51)는 타이밍 컨트롤 회로(54)로부터 출력된 계조 표시용 데이터 신호 DR1·DR2·DG1·DG2·DB1·DB2를 증폭하여 샘플링 메모리 회로(53)에 출력하는 구동용 버퍼(47R1·47R2·47G1·47G2·47B1·47B2)와, 클록 신호 CK2를 증폭하여 시프트 레지스터 회로(32)에 출력하는 구동용 버퍼(56C)를 구비하고 있다. 이하, 구동용 버퍼(47R1·47R2·47G1·47G2·47B1·47B2)를 통합하여 구동용 버퍼(148)라고 하기도 한다. 구동용 버퍼(47R1·47R2·47G1·47G2·47B1·47B2·56C)는 시프트 레지스터 회로(32) 및 샘플링 메모리 회로(53)에 입력되는 신호(계조 표시용 데이터 신호 DR1·DR2·DG1·DG2·DB1·DB2, 및 클록 신호 CK2)에 지연이나 둔화가 발생하지 않도록, 충분한 신호를 증폭하는 능력을 갖고 있다. 이와 같이, 로직 회로(51)가, 시프트 레지스터 회로(32) 및 샘플링 메모리 회로(53)에 입력되는 신호를 증폭하는 구동용 버퍼(47R1·47R2·47G1·47G2·47B1·47B2·56C)를 구비하고 있기 때문에, 로직 회로(51)와 액정 표시 패널(42)을 잇는 배선의 저항이나, 액정 표시 패널(42)의 입력 용량에 관계없이, 시프트 레지스터 회로(32) 및 샘플링 메모리 회로(53)에 입력되는 신호에 지연이나 둔화가 발생하는 것을 억제할 수 있다. 따라서, 배선 저항이나 입력 용량을 고려할 필요가 없다.

또한, 액정 표시 패널(42)에 입력되는 신호 중에서, 고속 신호인 클록 신호 CK 및 계조 표시용 데이터 신호 DR·DG·DB가 특히 파형 둔화의 영향을 받기 쉽기 때문에, 로직 회로(51)에서는, 액정 표시 패널(42)에 입력되는 신호 중에서, 클록 신호 CK 및 계조 표시용 데이터 신호 DR·DG·DB만을 증폭하고 있다. 이에 따라, 고속화가 가능해지고, 표시 화면의 대화면화 및 미세화가 용이해진다.

또한, 도 4와 같이 계조 표시용 데이터 D가 n개의 소스 드라이버의 각 입력 단자에 병렬로 입력되는 구성인 경우, 클록 신호 CK 및 계조 표시용 데이터 신호 DR·DG·DB의 파형 둔화의 발생이 억제되는 것은 신호계의 부하의 증대를 억제하는 것에도 큰 효과를 가져온다.

로직 회로(51)와 액정 표시 패널(42)은 유리 기판(43) 상의 배선으로 접속하는 COG(Chip On Glass) 실장이나, 테이프 형상의 기재에 도전성의 배선을 형성하여 이루어지는 테이프 캐리어를 이용하여 로직 회로(51)의 출력 단자와 액정 표시 패널(42)의 입력 단자(접속부)를 접속하는 방법에 의해 접속된다. 이에 따라, 컨트롤 회로(45)로서 기존의 컨트롤 회로 LSI를 사용할 수 있다.

이상과 같이, 본 실시 형태에서는, 클록 신호 및 계조 표시용 데이터 신호를 액정 표시 패널(42)의 동작 속도에 대응시키기 위하여, 클록 신호를 2분주하고, 계조 표시용 데이터 신호의 수(비트수; 데이터 갯수)를 2배로 하여 액정 표시 패널(42)의 동작 속도에 대응시키고 있다. 즉 동작 속도에 관해서는 액정 표시를 행하는데 가장 동작 속도가 요구되는, 샘플링 메모리 회로(53)에서의 데이터의 샘플링 속도를, 유리 기판(43) 상의 회로에서 대응할 수 있는 속도까지 느리게 하고 있다. 그리고, 샘플링 속도가 늦어진 만큼은 외장형 로직 회로(51)(LSI)에 의해 계조 표시용 데이터 신호를 변환하고, 유리 기판(43) 상의 샘플링 메모리 회로(53)에 일정 시간당 취득되는 계조 표시용 데이터 신호의 수(비트수; 데이터 갯수)를 증가시킴으로써 대응하고 있다.

샘플링 메모리 회로(53)에 일정 시간당 취득되는 계조 표시용 데이터 신호의 수(비트수; 데이터 갯수)를 증가시키는 것은 이하의 이유 때문이다. 계조 표시용 데이터 신호는 샘플링 메모리 회로(53)의 동작을 제어하는 클럭 신호에 동기하여 샘플링 메모리 회로(53)에 입력된다. 이 때문에, 본 실시 형태에서는, 제1 실시 형태에 대하여, 샘플링 메모리 회로(53)의 동작을 제어하는 클럭 신호를 느리게 한 만큼, 샘플링 메모리 회로(53)에의 데이터 기입이 늦어진다. 이 때문에, 겉보기 표시 속도를 제1 실시 형태와 동일하게 하기 위해서는, 클럭 신호를 1/2로 느리게 했다고 하면, 일정 시간당에 있어서의 샘플링 메모리 회로(53)에의 데이터의 취득량을 2배로 할 필요가 있다.

또한, 마찬가지로, 클럭 신호를 n분주하고(n은 3이상의 정수), 계조 표시용 데이터 신호의 수(비트수; 데이터 갯수)를 n배로 함으로써, 액정 표시 패널(42)내의 회로의 동작 주파수를 더욱 저속으로 제어할 수 있다.

본 발명은 상술한 각 실시 형태에 한정되는 것이 아니라, 청구항에 나타난 범위에서 여러가지 변경이 가능하다. 예를 들면, 상기 각 실시 형태에서는, 스위칭부로서 TFT를 이용하고 있었지만, 스위칭부로서 MIM(Metal-Insulator-Metal) 소자 등을 이용해도 된다. 또한, 본 발명의 기술적 범위에는 다른 실시 형태에 각각 개시된 기술적 수단을 적절히 조합하여 얻어지는 실시 형태도 포함된다.

발명의 효과

지금까지 설명한 바와 같이, 본 발명에 따르면, 기관 외부의 회로(드라이버 IC 등)와 기관(유리 기관 등) 상의 회로를 접속하기 위한 배선이나 단자의 수를 적게 할 수 있으므로, 접속 신뢰성이 향상된다는 효과를 갖는다. 또한, 입력 래치 회로는 로직 회로내에, 기관 상의 회로를 형성하는 p-Si나 a-Si 등의 제1 반도체 재료와는 다른 제2 반도체 재료로 형성되어 있으므로, 제2 반도체 재료로서 단결정 실리콘을 사용하여, 입력 래치 회로의 동작 속도 및 구동 능력을 향상시킬 수 있다. 그 결과, 본 발명은 구동 회로의 동작 속도의 향상과, 신호원의 부하 및 소비 전력의 저감을 도모할 수 있다는 효과를 갖는다.

따라서, 본 발명은 TFT(박막 트랜지스터) 방식 등의 액티브 매트릭스 방식의 액정 표시 장치의 제조업에 이용할 수 있으며, 특히 화소수가 많은 액티브 매트릭스 방식의 액정 표시 장치의 제조업에 바람직하게 이용할 수 있다.

또한, 상기 로직 회로는 컨트롤 회로로부터의 신호군의 적어도 일부를 증폭하는 증폭 회로를 더 포함하는 것이 바람직하다.

상기 구성에 따르면, 컨트롤 회로로부터의 신호군의 적어도 일부를 증폭함으로써, 컨트롤 회로와 계조 표시용 전압 생성 회로를 잇는 배선의 부하에 기인하는 신호 둔화의 발생을 억제할 수 있다. 그 결과, 컨트롤 회로로부터의 출력 신호의 둔화에 기인하는 표시 특성의 저하(예를 들면 표시 속도의 저하) 등을 억제할 수 있다. 또, 배선의 부하에 기인하는 신호 둔화의 발생을 억제하기 위하여, 컨트롤 회로와 로직 회로를 잇는 배선은 짧게 하는 것이 바람직하다.

상기 컨트롤 회로는 계조 표시용 데이터 신호 및 클럭 신호를 로직 회로에 출력하도록 되어 있으며, 상기 증폭 회로는 상기 계조 표시용 데이터 신호를 증폭하는 제1 버퍼 회로와, 상기 클럭 신호를 증폭하는 제2 버퍼 회로를 포함하는 것이 바람직하다.

상기 구성에 따르면, 컨트롤 회로로부터의 계조 표시용 데이터 신호 및 클럭 신호를 각각 제1 버퍼 회로 및 제2 버퍼 회로에서 증폭함으로써, 컨트롤 회로와 계조 표시용 전압 생성 회로를 잇는 배선의 부하에 기인하는 계조 표시용 데이터 신호 및 클럭 신호 둔화의 발생을 억제할 수 있다. 그 결과, 계조 표시용 데이터 신호의 둔화에 기인하는 표시 특성의 저하(예를 들면 응답 특성의 저하)나, 클럭 신호의 둔화에 의한 표시의 지연 등을 억제할 수 있다. 또, 배선의 부하에 기인하는 신호의 둔화의 발생을 억제하기 위하여, 컨트롤 회로와 로직 회로를 잇는 배선은 짧게 하는 것이 바람직하다.

또한, 상기 로직 회로는 제1 클럭 신호에 따라서 동작하도록 되어 있으며, 상기 계조 표시용 전압 생성 회로는 제2 클럭 신호에 따라서 동작하도록 되어 있으며, 상기 제2 클럭 신호의 주파수가, 상기 제1 클럭 신호의 주파수보다 낮아도 된다.

상기 구성에 따르면, 계조 표시용 전압 생성 회로의 동작을 제어하는 제2 클럭 신호의 주파수를 더욱 낮게 함으로써, 동작 속도가 느린 상기 기관 상의 계조 표시용 전압 생성 회로에 있어서, 제1 클럭 신호에 따른 소정의 동작 속도로 컨트롤 회로로부터의 신호를 처리하는 것이 가능해진다. 따라서, 예를 들면 컨트롤 회로로부터의 계조 표시용 데이터 신호 등을, 제1 클럭 신호에 따른 소정의 샘플링 속도로 샘플링할 수 있으므로, 표시의 지연 등을 방지할 수 있다.

또, 상기 제1 클럭 신호 및 제2 클럭 신호를 공급하는 부재는 각각 컨트롤 회로, 로직 회로, 계조 표시용 전압 생성 회로, 이들 회로의 외부 어디에 형성되어 있어도 된다.

상기 컨트롤 회로는 상기 제1 클럭 신호를 출력하도록 되어 있으며, 상기 로직 회로는 상기 컨트롤 회로로부터의 제1 클럭 신호를, 상기 제1 클럭 신호보다 낮은 주파수의 제2 클럭 신호로 변환하여 상기 계조 표시용 전압 생성 회로에 출력하는 클럭 신호 변환 회로를 더 포함하고 있어도 된다.

상기 구성에 따르면, 입력 래치 회로의 동작을 제어하는 제1 클럭 신호의 생성원을 컨트롤 회로에 형성하는 것만으로 되므로, 구성을 간소화할 수 있으며, 또한 기존의 컨트롤 회로가 사용 가능하게 된다.

또, 상기 신호 변환 회로는 상기 제1 클럭 신호를 1/N(N은 2이상의 정수)로 분주하는 분주 회로인 것이, 신호 변환 회로의 회로 구성을 간소화할 수 있는 점에서 바람직하다.

상기 로직 회로는 상기 컨트롤 회로로부터의 계조 표시용 데이터 신호를, 그 1/N(N은 2이상의 정수)의 샘플링 주파수를 가지며, 아울러, 상기 컨트롤 회로로부터의 표시용 데이터 신호에 대하여 N배의 수의 계조 표시용 데이터 신호로 변환하는 데이터 신호 변환 회로를 더 포함하고 있어도 된다.

상기 구성에 따르면, 로직 회로내에서 샘플링 주파수를 낮게(샘플링 속도를 느리게) 함으로써, 동작 속도가 느린 기관 상의 계조 표시용 전압 생성 회로에서도, 계조 표시용 데이터 신호의 샘플링 주파수에 따른 소정의 속도로 샘플링할 수 있다. 그 결과, 표시의 지연 등을 방지할 수 있다.

본 발명의 액정 표시 장치에 있어서, 로직 회로는 제2 반도체 재료로서 단결정 실리콘을 이용하여 단결정 실리콘 기관 상에 형성되어 있는 것이 바람직하다. 이에 따라, 단결정 실리콘 기관은 a-Si 박막이나 p-Si 박막과 비교하여 전자 이동도가 높기 때문에, 입력 래치 회로의 동작 속도를 향상시킬 수 있다.

또, 상기 기관으로서는, 유리 기관 등의 투광성 기관이 바람직하다. 또한, 상기 계조 표시용 전압 생성 회로를 형성하는 제1 반도체 재료는 p-Si인 것이 바람직하다. 이에 따라, p-Si 박막은 a-Si 박막과 비교하여 전자 이동도가 높기 때문에, 계조 표시용 전압 생성 회로의 동작 속도 및 구동 능력을 향상시킬 수 있다.

발명의 상세한 설명의 항에서 이루어진 구체적인 실시 형태 또는 실시예는 어디까지나 본 발명의 기술 내용을 확실하게 하기 위한 것으로, 그와 같은 구체예에만 한정하여 협의로 해석되어서는 안되며, 본 발명의 정신과 다음에 기재하는 특허 청구 범위 내에서 다양하게 변경하여 실시할 수 있는 것이다.

(57) 청구의 범위

청구항 1.

액정 표시 장치로서,

액정 화소, 및 상기 액정 화소에의 전압 인가를 ON/OFF 제어하는 스위칭부를 포함하는 액정 표시부와,

외부의 컨트롤 회로로부터의 계조 표시용 데이터 신호를 포함하는 신호군에 기초하여 상기 액정 화소에 인가하는 계조 표시용 아날로그 전압을 생성하여 스위칭부에 공급하는 구동 회로를 구비하고,

상기 구동 회로는 컨트롤 회로로부터의 계조 표시용 데이터 신호를 샘플링하여 출력단에 소정 시간 보유하는 입력 래치 회로와, 상기 입력 래치 회로에서 샘플링된 계조 표시용 데이터 신호에 기초하여 계조 표시용 아날로그 전압을 생성하는 계조 표시용 전압 생성 회로를 포함하고,

상기 계조 표시용 전압 생성 회로는 제1 반도체 재료를 이용하여 기관 상에 상기 액정 표시부와 함께 형성되어 있는 한편, 상기 입력 래치 회로는 제1 반도체 재료와는 다른 제2 반도체 재료로 형성된 로직 회로내에 형성되어 있는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 로직 회로는 컨트롤 회로로부터의 신호군의 적어도 일부를 증폭하는 증폭 회로를 더 포함하는 액정 표시 장치.

청구항 3.

제2항에 있어서,

상기 컨트롤 회로는 계조 표시용 데이터 신호 및 클록 신호를 로직 회로에 출력하도록 되어 있으며,

상기 증폭 회로는 상기 계조 표시용 데이터 신호를 증폭하는 제1 버퍼 회로와, 상기 클록 신호를 증폭하는 제2 버퍼 회로를 포함하는 액정 표시 장치.

청구항 4.

제1항에 있어서,

상기 로직 회로는 제1 클록 신호에 따라서 동작하도록 되어 있고,

상기 계조 표시용 전압 생성 회로는 제2 클록 신호에 따라서 동작하도록 되어 있으며,

상기 제2 클록 신호의 주파수가, 상기 제1 클록 신호의 주파수보다 낮은 액정 표시 장치.

청구항 5.

제4항에 있어서,

상기 컨트롤 회로는 상기 제1 클록 신호를 출력하도록 되어 있으며,

상기 로직 회로는 상기 컨트롤 회로로부터의 제1 클록 신호를, 상기 제1 클록 신호보다 낮은 주파수의 제2 클록 신호로 변환하여 상기 계조 표시용 전압 생성 회로에 출력하는 클록 신호 변환 회로를 더 포함하는 액정 표시 장치.

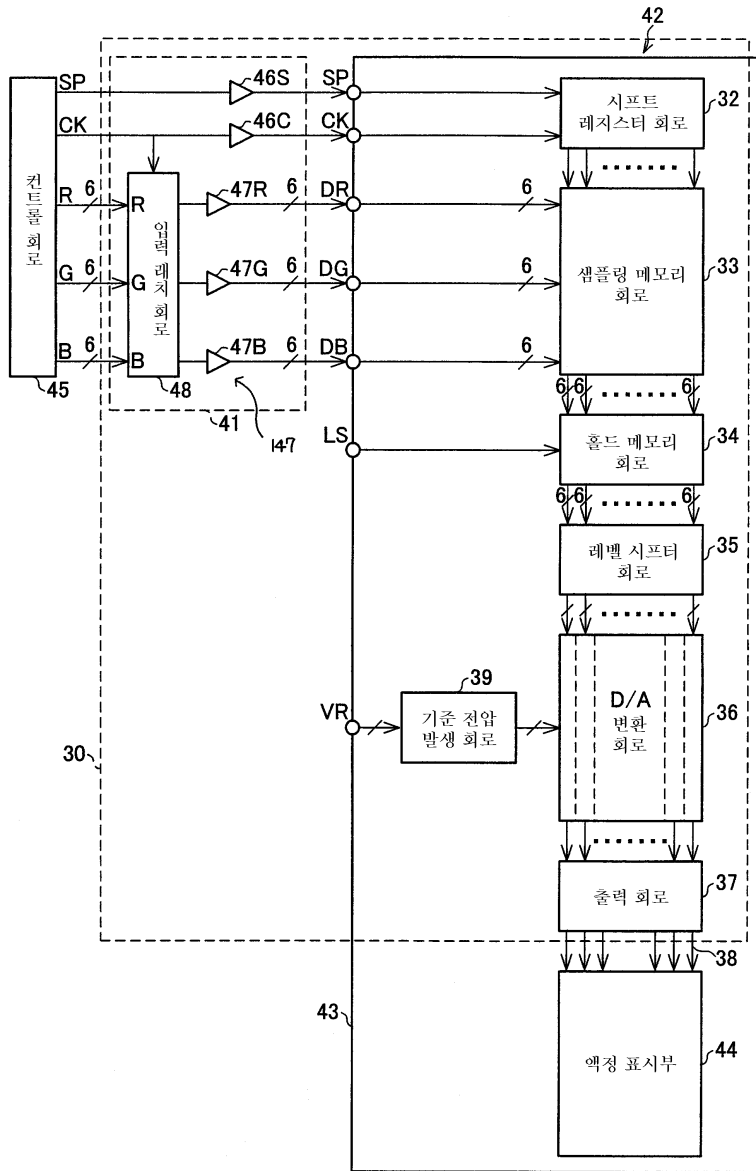
청구항 6.

제1항에 있어서,

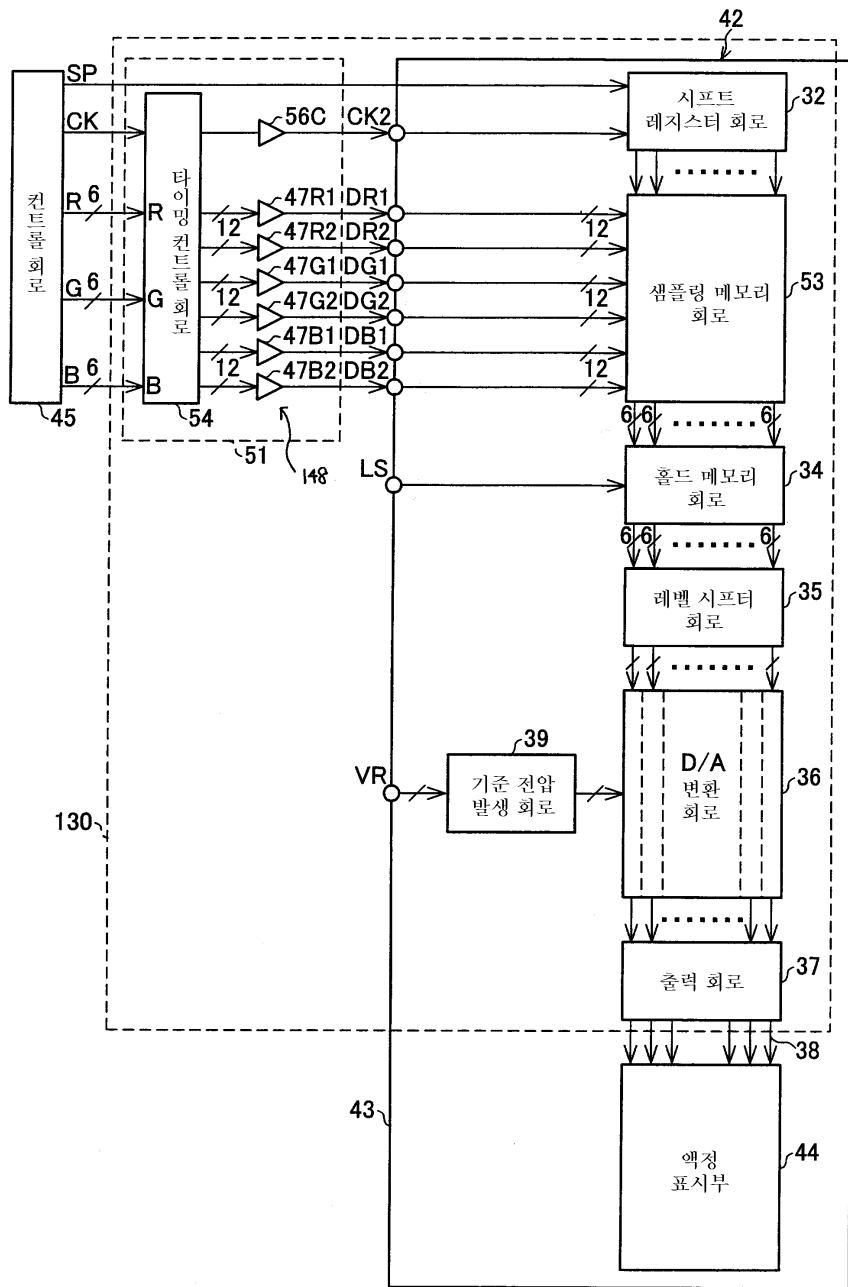
상기 로직 회로는 상기 컨트롤 회로로부터의 계조 표시용 데이터 신호를, 그 $1/N$ (N 은 2이상의 정수)의 샘플링 주파수를 가지며, 아울러 상기 컨트롤 회로로부터의 표시용 데이터 신호에 대하여 N 배 수의 계조 표시용 데이터 신호로 변환하는 데이터 신호 변환 회로를 더 포함하는 액정 표시 장치.

도면

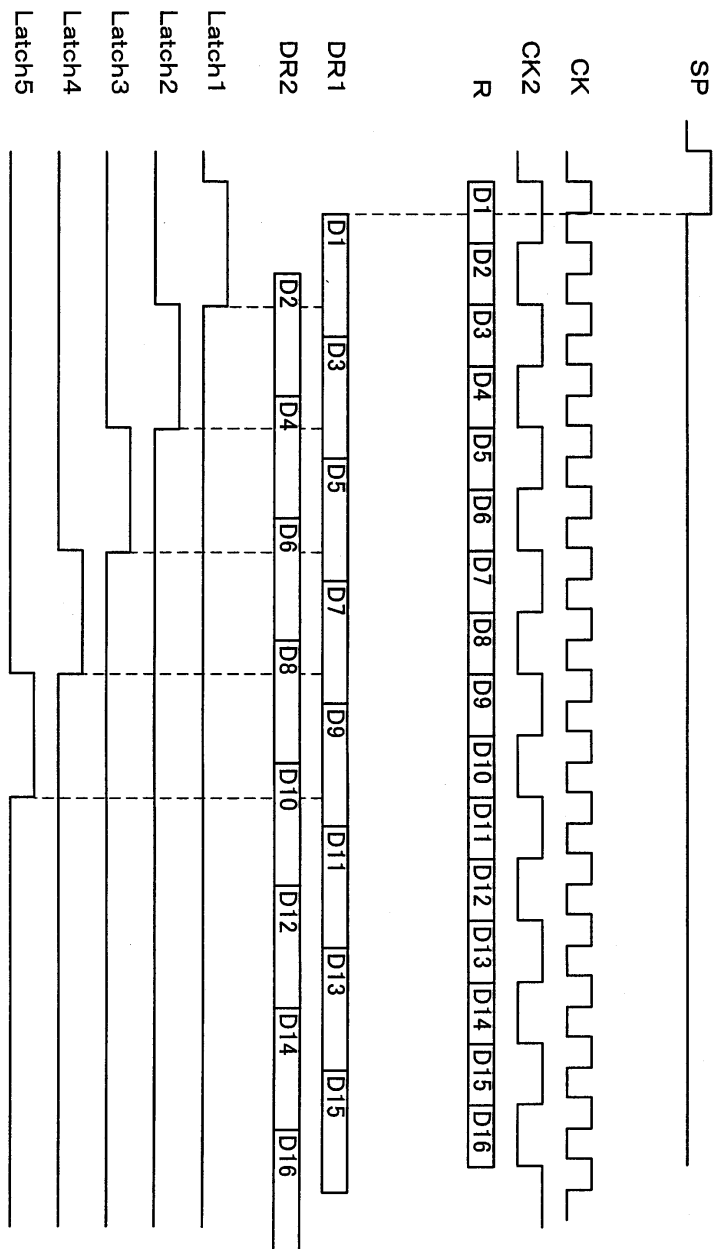
도면1



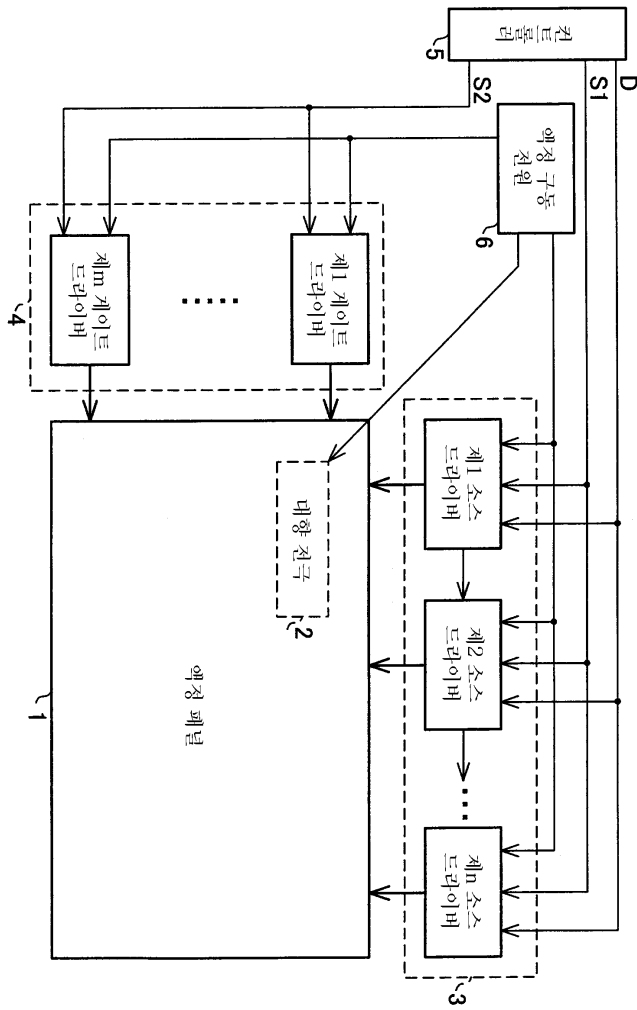
도면2



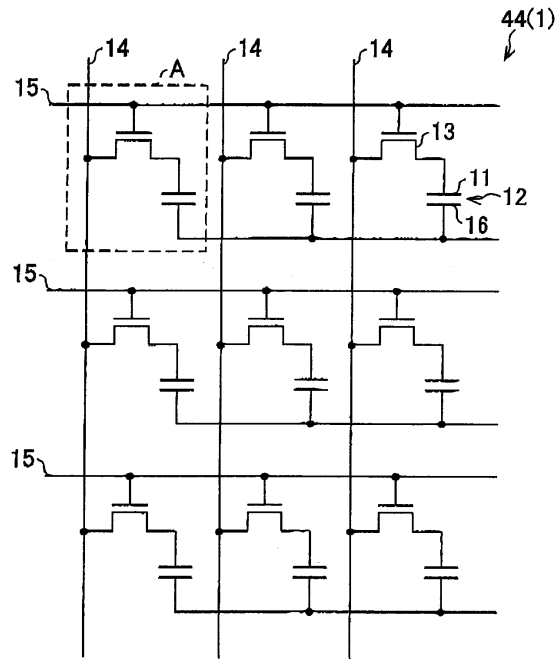
도면3



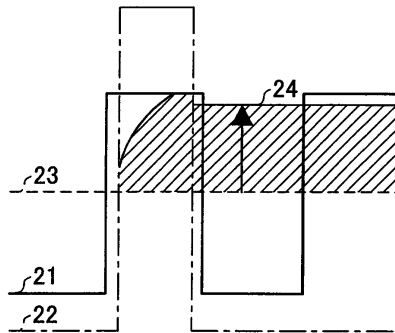
도면4



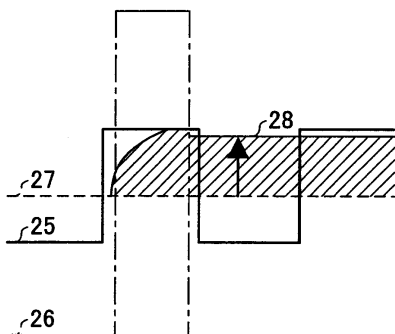
도면5



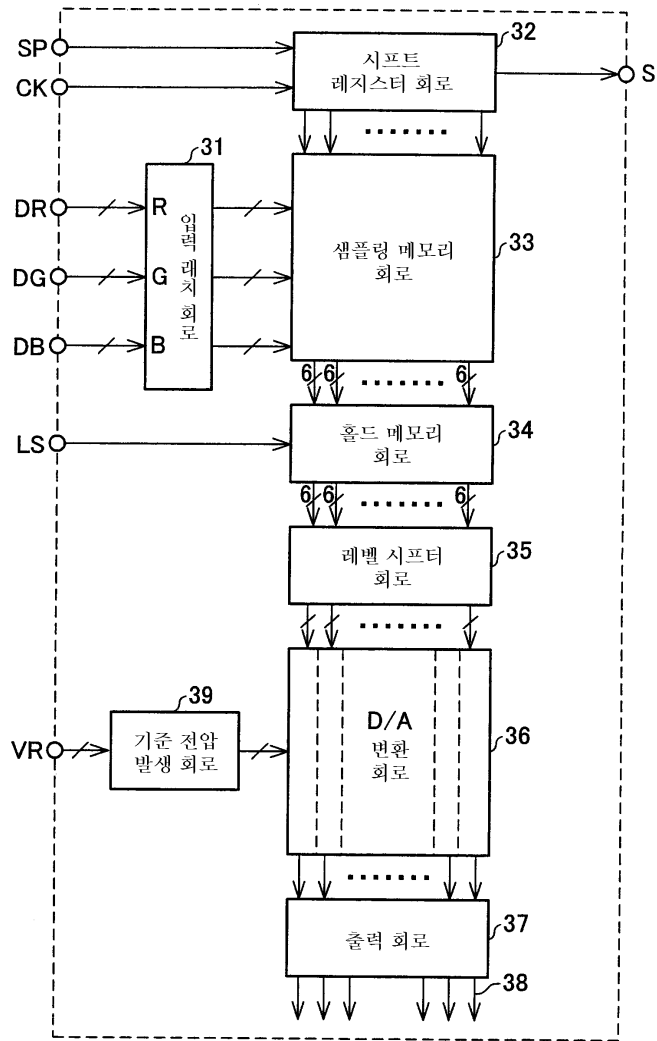
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060042988A	公开(公告)日	2006-05-15
申请号	KR1020050013585	申请日	2005-02-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SAKAGUCHI NOBUHISA		
发明人	SAKAGUCHI, NOBUHISA		
IPC分类号	G09G3/36 G02F1/133 G02F1/136 G09G3/20 G09G5/00		
CPC分类号	G09G2310/027 G09G3/3688 G09G5/006		
代理人(译)	CHANG, SOO KIL		
优先权	2004043570 2004-02-19 JP		
其他公开文献	KR100623549B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，其改善了液晶显示部件和液晶驱动器之间的连接可靠性，同时提高了驱动电路的操作速度并减小了信号源的负载和功耗。液晶显示装置包括液晶显示单元44和输入锁存电路48，用于从控制电路45对灰度显示数据信号R·G·B进行采样并将它们保持在输出端预定时间，通过使用p-Si薄膜，电路33至37和39与液晶显示部分44一起形成在玻璃基板43上，锁存电路48形成在形成在单晶硅衬底上的逻辑电路41中。1 指数方面有源矩阵方法，液晶驱动电路，输入锁存电路，逻辑电路，

