

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/133(11) 공개번호 10-2005-0068419
(43) 공개일자 2005년07월05일(21) 출원번호 10-2003-0099810
(22) 출원일자 2003년12월30일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 권경준
서울특별시종로구필운동24번지인동빌라401호

(74) 대리인 김영호

심사청구 : 있음

(54) 액정표시소자의 메모리 구동방법 및 장치

요약

본 발명은 프레임 메모리의 개수를 줄이도록 한 액정표시소자의 메모리 구동방법 및 장치에 관한 것이다.

이 메모리 구동방법 및 장치는 현재 프레임 데이터를 입력 라인 메모리에 제1 속도로 저장하고, 상기 입력 라인 메모리에 저장된 데이터를 상기 제1 속도보다 빠른 제2 속도로 프레임 메모리에 저장시키며, 상기 프레임 메모리에 저장된 이전 프레임 데이터를 상기 제2 속도로 출력 라인 메모리에 저장한다. 그리고 상기 메모리 구동방법 및 장치는 상기 현재 프레임 데이터와 상기 출력 라인 메모리로부터 상기 제1 속도로 출력되는 이전 프레임 데이터를 비교하고 그 비교 결과에 따라 미리 설정된 변조 데이터를 선택한다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 통상의 액정표시장치에 있어서 데이터에 따른 휘도 변화를 나타내는 파형도이다.

도 2는 고속 구동방식에 있어서 데이터 변조에 따른 휘도 변화의 일례를 나타내는 파형도이다.

도 3은 고속 구동장치의 일례를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

도 5 및 도 6은 도 4에 도시된 변조부의 제1 실시예를 상세히 나타내는 회로도이다.

도 7은 도 6에 도시된 메모리들의 데이터 입/출력을 나타내는 도면이다.

도 8 및 도 9는 도 4에 도시된 변조부의 제2 실시예를 상세히 나타내는 회로도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

51 : 타이밍 컨트롤러 52 : 변조부

53 : 데이터 구동부 54 : 게이트 구동부

55 : 데이터라인 56 : 게이트라인

57 : 액정표시패널

61, 62, 71a, 71b, 72a, 72b, 81, 82, 91a, 91b, 92a, 92b : 라인 메모리

63, 83 : 프레임 메모리 64, 84 : 지연기

65, 85 : 변조기 66, 86 : 위상 고정 루프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 프레임 메모리의 개수를 줄이도록 한 액정표시소자의 메모리 구동방법 및 장치에 관한 것이다.

액정표시소자(Liquid Crystal Display)는 비디오 신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다.

이러한 액정표시소자 중에서 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시소자는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시소자에 사용되는 스위칭소자로써는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

액정표시소자는 수학식 1 및 2에서 알 수 있는 바, 액정의 고유한 점성과 탄성 등의 특성에 의해 응답속도가 느린 단점이 있다.

$$\text{수학식 1} \\ \tau_r \propto \frac{\gamma d^2}{\Delta \epsilon |V_a^2 - V_F^2|}$$

여기서, τ_r 는 액정에 전압이 인가될 때의 라이징 타임(rising time)을, V_a 는 인가전압을, V_F 는 액정분자가 경사운동을 시작하는 프리드릭 천이 전압(Freederick Transition Voltage)을, d 는 액정셀의 셀갭(cell gap)을, γ (gamma)는 액정분자의 회전점도(rotational viscosity)를 각각 의미한다.

$$\text{수학식 2} \\ \tau_f \propto \frac{\gamma d^2}{K}$$

여기서, τ_f 는 액정에 인가된 전압이 오프된 후 액정이 탄성 복원력에 의해 원위치로 복원되는 폴링타임(falling time)을, K 는 액정 고유의 탄성계수를 각각 의미한다.

현재까지 액정표시소자에서 가장 일반적으로 사용되어 왔던 액정 모드인 TN 모드(Twisted Nematic mode)의 액정 응답속도는 액정 재료의 물성과 셀갭 등에 의해 달라질 수 있지만 통상, 라이징 타임이 20-80ms이고 폴링 타임이 20-30ms이다. 이러한 액정의 응답속도는 한 프레임기간(NTSC : 16.67ms)보다 길다. 이 때문에 도 1과 같이 액정셀에 충전되는 전압이 원하는 전압에 도달하기 전에 다음 프레임으로 진행되므로 동영상에서 화면이 흐릿하게 되는 모션 블러링(Motion Burring) 현상이 나타나게 된다.

도 1을 참조하면, 종래의 액정표시소자는 느린 응답속도로 인하여 한 레벨에서 다른 레벨로 데이터(VD)가 변할 때 그에 대응하는 표시 휘도(BL)가 원하는 휘도에 도달하지 못하게 되어 원하는 색과 휘도를 표현하지 못하게 된다. 그 결과, 액정표시소자는 동영상에서 모션 블러링 현상이 나타나게 되고, 명암비(Contrast ratio)의 저하로 인하여 화질이 떨어지게 된다.

이러한 액정표시소자의 느린 응답속도를 해결하기 위하여, 미국특허 제5,495,265호와 PCT 국제공개번호 WO 99/05567에는 록업 테이블을 이용하여 데이터의 변화여부에 따라 데이터를 변조하는 방안(이하, '고속구동'이라 한다)이 제안된 바 있다. 이 고속 구동방법은 도 2와 같은 원리로 데이터를 변조하게 된다.

도 2를 참조하면, 고속 구동방법은 입력 데이터(VD)를 미리 설정된 변조 데이터(MVD)로 변조하고 그 변조 데이터(MVD)를 액정셀에 인가하여 원하는 휘도(MBL)를 얻게 된다. 이 고속 구동방법은 한 프레임기간 내에 입력 데이터의 휘도 값에 대응하여 원하는 휘도를 얻을 수 있도록 데이터의 변화여부에 기초하여 수학적 식 1에서 $|V_a^2 - V_F^2|$ 을 크게 하게 된다. 따라서, 고속 구동방법을 이용하는 액정표시소자는 액정의 낮은 응답속도를 데이터값의 변조로 보상하여 동영상에서 모션 블러링 현상을 완화시킨다.

다시 말하여, 고속 구동방법은 이전 프레임과 현재 프레임 사이에서 데이터를 비교하고 그 데이터들 사이에 변화가 있으면, 미리 설정된 변조 데이터로 현재 프레임의 데이터를 변조한다. 이 고속 구동방법이 구현된 고속 구동장치는 도 3과 같이 구현될 수 있다.

도 3을 참조하면, 고속 구동장치는 데이터 입력라인(42)으로부터의 데이터를 저장하기 위한 제1 및 제2 프레임 메모리(43a)와, 데이터를 변조하기 위한 변조기(44)를 구비한다.

제1 및 제2 프레임 메모리(43a, 43b)는 픽셀 클럭에 맞추어 데이터를 프레임 단위로 교대로 저장하고 저장된 데이터를 교대로 출력하여 변조기(44)에 이전 프레임 데이터 즉, n-1 번째 프레임 데이터(Fn-1)를 공급한다.

변조기(44)는 데이터 입력라인(43)으로부터의 n 번째 프레임 데이터(Fn)와 제1 및 제2 프레임 메모리(43a, 43b)로부터의 n-1 번째 프레임 데이터(Fn)를 비교하고 그 비교결과에 대응하는 변조 데이터(MRGB)를 표 1과 같은 룩업 테이블에서 선택하여 데이터를 변조한다. 룩업 테이블은 읽기 전용 메모리(Read Only Memory, ROM)에 저장된다.

표 1.

구분	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	2	3	4	5	6	7	9	10	12	13	14	15	15	15	15
1	0	1	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	2	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	3	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	4	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	6	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	7	9	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	8	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	9	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	10	11	12	13	14	15
11	0	0	1	2	3	4	5	6	7	8	9	11	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	12	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	13	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	14	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	15

표 1에 있어서, 최좌측열은 이전 프레임(Fn-1)의 데이터이며, 최상측행은 현재 프레임(Fn)의 데이터이다.

n 번째 프레임 기간 동안, 실선으로 나타낸 바와 같이 동일한 픽셀 클럭에 맞추어 n 번째 프레임 데이터(Fn)는 제1 프레임 메모리(43a)에 저장됨과 동시에 변조기(44)에 공급된다. 이와 동시에 n 번째 프레임 기간 동안 제2 프레임 메모리(43b)는 n-1 번째 프레임 데이터(Fn-1)를 변조기(44)에 공급한다.

이와 달리, n+1 번째 프레임 기간 동안, 점선으로 나타낸 바와 같이 동일한 픽셀 클럭에 맞추어 현재의 n+1 번째 프레임 데이터(Fn+1)는 제2 프레임 메모리(43b)에 저장됨과 동시에 변조기(44)에 공급된다. 이와 동시에 n+1 번째 프레임 기간 동안 제1 프레임 메모리(43a)는 n 번째 프레임 데이터(Fn)를 변조기(44)에 공급한다.

이와 같이 고속 구동장치는 이전 프레임 데이터를 변조기(44)에 교대로 공급하기 위하여 2 개의 프레임 메모리(43a, 43b)가 필요하다. 이러한 프레임 메모리는 회로비용을 상승시키는 요인으로 작용하므로 그 프레임 메모리의 개수나 메모리 용량을 줄일 수 있는 방안이 절실히 요구되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 액정의 응답속도를 빠르게 하여 표시품질을 높이고 프레임 메모리의 개수를 줄이도록 한 액정 표시소자의 메모리 구동방법 및 장치를 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자의 메모리 구동방법은 현재 프레임 데이터를 입력 라인 메모리에 제1 속도로 저장하는 단계와; 상기 입력 라인 메모리에 저장된 데이터를 상기 제1 속도보다 빠른 제2 속도

로 프레임 메모리에 저장시키는 단계와; 상기 프레임 메모리에 저장된 이전 프레임 데이터를 상기 제2 속도로 출력 라인 메모리에 저장하는 단계와; 상기 현재 프레임 데이터와 상기 출력 라인 메모리로부터 상기 제1 속도로 출력되는 이전 프레임 데이터를 비교하고 그 비교 결과에 따라 미리 설정된 변조 데이터를 선택하는 단계를 포함한다.

상기 제1 속도는 1 픽셀 클럭 레이트이며, 상기 제2 속도는 상기 1 픽셀 클럭 레이트에 비하여 2 배 빠른 2 픽셀 클럭 레이트인 것을 특징으로 한다.

상기 현재 프레임 데이터를 입력 라인 메모리에 제1 속도로 저장하는 단계는 상기 현재 프레임 데이터의 기수 라인 데이터를 기수 라인기간 동안 제1 입력 라인 메모리에 상기 제1 속도로 저장하는 단계와; 상기 현재 프레임 데이터의 우수 라인 데이터를 우수 라인기간 동안 제2 입력 라인 메모리에 상기 제1 속도로 저장하는 단계를 포함한다.

상기 입력 라인 메모리에 저장된 데이터를 상기 제1 속도보다 빠른 제2 속도로 프레임 메모리에 저장시키는 단계는 상기 제1 입력 라인 메모리에 저장된 상기 현재 프레임 데이터의 기수 라인 데이터를 상기 우수 라인기간의 1/2 기간 내에 상기 프레임 메모리에 저장하는 단계와; 상기 제2 입력 라인 메모리에 저장된 상기 현재 프레임 데이터의 우수 라인 데이터를 상기 기수 라인기간의 1/2 기간 내에 상기 프레임 메모리에 저장하는 단계를 포함한다.

상기 프레임 메모리에 저장된 이전 프레임 데이터를 상기 제2 속도로 출력 라인 메모리에 저장하는 단계는 상기 프레임 메모리에 저장된 상기 이전 프레임 데이터의 기수 라인 데이터를 상기 우수 라인기간 동안 제1 출력 라인 메모리에 저장하는 단계와; 상기 프레임 메모리에 저장된 상기 이전 프레임 데이터의 우수 라인 데이터를 상기 기수 라인기간 동안 제2 출력 라인 메모리에 저장하는 단계를 포함한다.

상기 액정표시장치의 메모리 구동방법은 상기 현재 프레임 데이터를 지연시켜 상기 현재 프레임 데이터와 상기 이전 프레임 데이터를 동기시키는 단계를 더 포함한다.

본 발명의 실시예에 따른 액정표시장치의 메모리 구동장치는 현재 프레임 데이터를 제1 속도로 저장하고 상기 제1 속도보다 빠른 제2 속도로 저장된 데이터를 출력하는 입력 라인 메모리와; 이전 프레임 데이터를 상기 제2 속도로 저장하고 상기 제1 속도로 저장된 데이터를 출력하는 출력 라인 메모리와; 상기 제2 속도로 상기 입력 라인 메모리로부터의 상기 현재 프레임 데이터를 저장함과 아울러 상기 제2 속도로 상기 이전 프레임 데이터를 상기 출력 라인 메모리에 공급하는 프레임 메모리와; 상기 현재 프레임 데이터와 상기 출력 라인 메모리로부터의 상기 이전 프레임 데이터를 비교하고 그 비교 결과에 따라 미리 설정된 변조 데이터를 선택하는 변조기를 구비한다.

상기 액정표시장치의 메모리 구동장치는 상기 1 픽셀 클럭 레이트의 픽셀 클럭을 체배하여 상기 픽셀 클럭에 비하여 주파수가 2배 높은 상기 2 픽셀 클럭 레이트의 2 배 픽셀 클럭을 발생하는 주파수 체배기를 더 구비한다.

상기 입력라인 메모리는 상기 현재 프레임 데이터의 기수 라인 데이터를 기수 라인기간 동안 상기 제1 속도로 저장하고 우수 라인기간의 1/2 기간 내에 상기 현재 프레임 데이터의 기수 라인 데이터를 상기 제2 속도로 상기 프레임 메모리에 공급하는 제1 입력 라인 메모리와; 상기 현재 프레임 데이터의 우수 라인 데이터를 우수 라인기간 동안 상기 제1 속도로 저장하고 기수 라인기간의 1/2 기간 내에 상기 현재 프레임 데이터의 우수 라인 데이터를 상기 제2 속도로 상기 프레임 메모리에 공급하는 제2 입력 라인 메모리를 구비한다.

상기 제1 및 제2 입력 라인 메모리는 교대로 데이터를 입/출력하는 것을 특징으로 한다.

상기 출력 라인 메모리는 상기 이전 프레임 데이터의 기수 라인 데이터를 우수 라인기간 동안 상기 제2 속도로 저장하고 저장된 상기 이전 프레임 데이터의 기수 라인 데이터를 상기 제1 속도로 상기 변조기에 공급하는 제1 출력 라인 메모리와; 상기 이전 프레임 데이터의 우수 라인 데이터를 기수 라인기간 동안 상기 제2 속도로 저장하고 저장된 상기 이전 프레임 데이터의 우수 라인 데이터를 상기 제1 속도로 상기 변조기에 공급하는 제2 출력 라인 메모리를 구비한다.

상기 제1 및 제2 출력 라인 메모리는 교대로 데이터를 입/출력하는 것을 특징으로 한다.

상기 액정표시장치의 메모리 구동장치는 상기 현재 프레임 데이터를 지연시켜 상기 현재 프레임 데이터와 상기 이전 프레임 데이터를 동기시키는 지연기를 더 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 데이터라인(55)과 게이트라인(56)이 교차되며 그 교차부에 액정셀(Clc)을 구동하기 위한 TFT가 형성된 액정표시패널(57)과, 액정표시패널(57)의 데이터라인(55)에 데이터를 공급하기 위한 데이터 구동부(53)와, 액정표시패널(57)의 게이트라인(56)에 스캔펄스를 공급하기 위한 게이트 구동부(54)와, 미리 설정된 변조 데이터(MRGB)로 데이터(RGB)를 변조하는 변조부(52)와, 데이터 구동부(53)와 게이트 구동부(54)를 제어함과 아울러 변조부(52)에 데이터(RGB)를 공급하는 타이밍 콘트롤러(51)를 구비한다.

액정표시패널(57)은 두 장의 유리기관 사이에 액정이 주입되며, 그 하부 유리기관 상에 데이터라인들(55)과 게이트라인들(56)이 상호 직교되도록 형성된다. 데이터라인들(55)과 게이트라인들(56)의 교차부에 형성된 TFT는 게이트라인(56)으로부터의 스캔펄스에 응답하여 데이터라인들(55)로부터의 데이터를 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(56)에 접속되며, 소스전극은 데이터라인(55)에 접속된다. 그리고 TFT의 드레인전극은 액정셀

(C1c)의 화소전극에 접속된다. 또한, 액정표시패널(57)의 하부유리기판 상에는 액정셀(C1c)의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor, Cst)가 형성된다. 이 스토리지 캐패시터(Cst)는 액정셀(C1c)과 전단 게이트라인(56) 사이에 형성될 수도 있으며, 액정셀(C1c)과 별도의 공통라인 사이에 형성될 수도 있다.

데이터 구동부(53)는 쉬프트레지스터, 타이밍 콘트롤러(51)로부터의 변조 데이터(MRGB)를 일시저장하기 위한 레지스터, 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 래치, 래치로부터의 디지털 데이터값에 대응하여 아날로그 정극성/부극성의 감마보상전압을 선택하기 위한 디지털/아날로그 변환기, 정극성/부극성 감마보상전압이 공급되는 데이터라인(55)을 선택하기 위한 멀티플렉서 및 멀티플렉서와 데이터라인 사이에 접속된 출력버퍼 등으로 구성된다. 이 데이터 구동부(53)는 타이밍 콘트롤러(51)로부터의 변조 데이터(MRGB)를 입력 받고 그 변조 데이터(MRGB)를 타이밍 콘트롤러(51)의 제어 하에 액정표시패널(57)의 데이터라인들(55)에 공급한다.

게이트 구동부(54)는 타이밍 콘트롤러(51)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스윙폭을 액정셀(C1c)의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 이 게이트 구동부(54)는 스캔펄스를 게이트라인(56)에 공급함으로써 그 게이트라인(56)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터의 화소전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(C1c)을 선택한다. 데이터 구동부(53)로부터 발생하는 데이터들은 스캔펄스에 동기됨으로써 선택된 1 수평라인의 액정셀(C1c)에 공급된다.

타이밍 콘트롤러(51)는 수직/수평 동기신호(V,H)와 픽셀클럭(CLK)을 이용하여 게이트 구동부(54)를 제어하기 위한 게이트 제어신호(GDC)와 데이터 구동부(53)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 그리고 타이밍 콘트롤러(51)는 픽셀클럭(CLK)에 맞추어 디지털 비디오 데이터(RGB)를 샘플링하고 그 데이터(RGB)를 변조부(52)에 공급한다.

변조부(52)는 이전 프레임과 현재 프레임 사이의 데이터 값 변화를 고려하여 수학적 3 내지 5의 조건으로 설정된 변조 데이터(MRGB)를 이용하여 데이터(RGB)를 변조하고 그 변조 데이터(MRGB)를 타이밍 콘트롤러(51)에 공급한다. 변조 데이터(MRGB)는 ROM에 저장되는 룩업 테이블에 등재된다.

수학적식 3

$$Fn(RGB) < Fn-1(RGB) \rightarrow Fn(MRGB) < Fn(RGB)$$

수학적식 4

$$Fn(RGB) = Fn-1(RGB) \rightarrow Fn(MRGB) = Fn(RGB)$$

수학적식 5

$$Fn(RGB) > Fn-1(RGB) \rightarrow Fn(MRGB) > Fn(RGB)$$

수학적식 3 내지 수학적식 5에서 알 수 있는 바 변조 데이터(MRGB)는 동일한 픽셀에서 그 픽셀 데이터 값이 이전 프레임(Fn-1)보다 현재 프레임(Fn)에서 더 커지면 현재 프레임(Fn)보다 더 큰 값인 반면에, 이전 프레임(Fn-1)보다 현재 프레임(Fn)에서 더 작아지면 현재 프레임(Fn)보다 더 작은 값이다. 그리고 변조 데이터(MRGB)는 동일한 픽셀에서 그 픽셀 데이터 값이 이전 프레임(Fn-1)과 현재 프레임(Fn)에서 동일하면 현재 프레임(Fn)과 동일한 값으로 설정된다.

도 5 및 도 6은 데이터 변조부(52)의 제1 실시예를 나타낸다.

도 5 및 도 6을 참조하면, 본 발명에 따른 액정표시장치는 픽셀 클럭(CLK)의 주파수를 체배하기 위한 위상고정루프(Phase Lock Loop, PLL)(67)를 더 구비하고, 변조부(52)는 입력 라인 메모리(61), 출력 라인 메모리(62), 프레임 메모리(63), 변조기(65) 및 지연기(64)를 구비한다.

위상고정루프(66)는 픽셀 클럭(CLK)의 주파수를 체배하여 픽셀 클럭(CLK)에 비하여 주파수가 2 배 높은 2 배의 픽셀 클럭(CLK)을 발생한다. 이 위상고정루프(66)는 타이밍 콘트롤러(51) 내의 위상고정루프로 대신되거나 별도의 위상 고정루프 회로로 구현되어 타이밍 콘트롤러(51)로부터 분리되거나 타이밍 콘트롤러(51) 내에 추가적으로 설치될 수 있다.

입력 라인 메모리(61)는 픽셀 클럭(CLK)에 따라 1 픽셀 클럭 레이트(Pixel clock rate)의 속도로 현재 프레임의 데이터(Fn)를 저장하며, 2 배의 픽셀 클럭(2CLK)에 따라 2 픽셀 클럭 레이트의 속도로 저장된 데이터를 프레임 메모리(63)에 공급한다. 이 입력 라인 메모리(61)는 도 6과 같이 1 픽셀 클럭 레이트의 속도로 데이터 입력라인(60)으로부터의 데이터를 각각 1 라인씩 교대로 저장하고 2 픽셀 클럭 레이트의 속도로 저장된 데이터를 프레임 메모리(63)에 공급하는 제1 및 제2 입력 라인 메모리(71a, 71b)를 포함한다.

프레임 메모리(63)는 2 배의 픽셀 클럭(2CLK)에 따라 2 픽셀 클럭 레이트의 속도로 입력 라인 메모리(61)로부터의 현재 프레임 데이터(Fn)를 저장하고 2 픽셀 클럭 레이트의 속도로 저장된 이전 프레임 데이터(Fn-1)를 출력 라인 메모리(62)에 공급한다.

출력 라인 메모리(62)는 2 배의 픽셀 클럭(2CLK)에 따라 2 픽셀 클럭 레이트의 속도로 프레임 메모리(63)로부터의 이전 프레임 데이터(F_{n-1})를 저장하며, 픽셀 클럭(CLK)에 따라 1 픽셀 클럭 레이트의 속도로 저장된 데이터를 변조기(65)에 공급한다. 이 출력 라인 메모리(61)는 도 6과 같이 2 픽셀 클럭 레이트의 속도로 프레임 메모리(63)로부터의 데이터를 각각 1 라인씩 교대로 저장하고 1 픽셀 클럭 레이트의 속도로 저장된 데이터를 변조기(65)에 공급하는 제1 및 제2 출력 라인 메모리(72a, 72b)를 포함한다.

변조기(65)는 지연기(64)로부터의 현재 프레임 데이터(F_n)와 출력 라인 메모리(62)로부터의 이전 프레임 데이터(F_{n-1})를 비교하고 그 비교 결과 수학적 3 내지 5를 만족하는 변조 데이터(MRB)를 선택한다. 그리고 변조기(65)는 선택된 변조 데이터(MRGB)를 데이터 구동부(53)에 공급한다.

지연기(64)는 입력 라인 메모리(61)와 출력 라인 메모리(62)에서 지연되는 이전 프레임 데이터(F_{n-1})의 지연양과 동일한 지연 값으로 데이터 입력라인(60)으로부터의 현재 프레임 데이터(F_n)를 지연시켜 변조기(65)에 입력되는 이전 프레임 데이터(F_{n-1})와 현재 프레임 데이터(F_n)를 동기시킨다. 입력 라인 메모리(61)와 출력 라인 메모리(62)에 의해 이전 프레임 데이터(F_{n-1})가 2 라인기간 만큼 지연되므로 지연기(64)의 지연 값은 2 라인기간이다. 따라서, 지연기(64)는 두 개의 라인 메모리로 구현될 수 있다.

액정표시패널(57) 상에 k 개의 수평라인이 존재한다는 것을 가정하여 메모리들(61, 62, 63) 사이의 데이터 구동방법을 도 6 및 도 7을 결부하여 설명하기로 한다.

도 6 및 도 7을 참조하면, 제1 라인기간 동안 제1 입력 라인 메모리(71a)는 1 픽셀 클럭 레이트의 속도로 현재 프레임의 첫 번째 라인 데이터($L1(F_n)$)를 저장한다.

제2 라인기간에서, 프레임 메모리(63)는 2 픽셀 클럭 레이트의 속도로 초기 1/2 기간 동안 저장되어 있던 이전 프레임의 첫 번째 라인 데이터($L1(F_{n-1})$)를 제1 출력 라인 메모리(72a)에 공급하고 나머지 1/2 기간 동안 제1 입력 라인 메모리(71a)로부터의 현재 프레임의 첫 번째 라인 데이터($L1(F_n)$)를 저장한다. 이 제2 라인기간 동안 제2 입력 라인 메모리(71b)는 1 픽셀 클럭 레이트의 속도로 현재 프레임의 두 번째 라인 데이터($L2(F_n)$)를 저장하고 제1 출력 라인 메모리(72a)는 2 픽셀 클럭 레이트의 속도로 프레임 메모리(63)로부터 공급되는 이전 프레임의 첫 번째 라인 데이터($L1(F_{n-1})$)를 저장한 후 그 데이터($L1(F_{n-1})$)를 변조기(65)에 공급한다.

제3 라인기간에서, 프레임 메모리(63)는 2 픽셀 클럭 레이트의 속도로 초기 1/2 기간 동안 저장되어 있던 이전 프레임의 두 번째 라인 데이터($L2(F_{n-1})$)를 제2 출력 라인 메모리(72b)에 공급하고 나머지 1/2 기간 동안 제2 입력 라인 메모리(71b)로부터의 현재 프레임의 두 번째 라인 데이터($L2(F_n)$)를 저장한다. 이 제3 라인기간 동안 제1 입력 라인 메모리(71a)는 1 픽셀 클럭 레이트의 속도로 현재 프레임의 3 번째 라인 데이터($L3(F_n)$)를 저장하고 제2 출력 라인 메모리(72b)는 2 픽셀 클럭 레이트의 속도로 프레임 메모리(63)로부터 공급되는 이전 프레임의 두 번째 라인 데이터($L2(F_{n-1})$)를 저장한 후 그 데이터($L2(F_{n-1})$)를 변조기(65)에 공급한다.

한 프레임 기간에서 마지막 라인기간인 제k 라인기간에서, 프레임 메모리(63)는 2 픽셀 클럭 레이트의 속도로 초기 1/2 기간 동안 저장되어 있던 이전 프레임의 k-1 번째 라인 데이터($L(k-1)(F_{n-1})$)를 제1 출력 라인 메모리(72a)에 공급하고 나머지 1/2 기간 동안 제1 입력 라인 메모리(71a)로부터의 현재 프레임의 k-1 번째 라인 데이터($L(k-1)(F_n)$)를 저장한다. 이 제k 라인기간 동안 제2 입력 라인 메모리(71b)는 1 픽셀 클럭 레이트의 속도로 현재 프레임의 k 번째 라인 데이터($Lk(F_n)$)를 저장하고 제1 출력 라인 메모리(72a)는 2 픽셀 클럭 레이트의 속도로 프레임 메모리(63)로부터 공급되는 이전 프레임의 k-1 번째 라인 데이터($L(k-1)(F_{n-1})$)를 저장한 후 그 데이터($L(k-1)(F_{n-1})$)를 변조기(65)에 공급한다.

다음 프레임(F_{n+1})의 첫 번째 라인기간에서, 프레임 메모리(63)는 2 픽셀 클럭 레이트의 속도로 초기 1/2 기간 동안 저장되어 있던 이전 프레임(F_{n-1})의 k 번째 라인 데이터($Lk(F_{n-1})$)를 제2 출력 라인 메모리(72b)에 공급하고 나머지 1/2 기간 동안 제2 입력 라인 메모리(71b)로부터의 현재 프레임(F_n)의 k 번째 라인 데이터($L(k-1)(F_n)$)를 저장한다. 이 다음 프레임(F_n)의 첫 번째 라인기간 동안 제1 입력 라인 메모리(71a)는 1 픽셀 클럭 레이트의 속도로 다음 프레임(F_{n+1})의 첫 번째 라인 데이터($L1(F_{n+1})$)를 저장하고 제2 출력 라인 메모리(72b)는 2 픽셀 클럭 레이트의 속도로 프레임 메모리(63)로부터 공급되는 이전 프레임(F_{n-1})의 k 번째 라인 데이터($Lk(F_{n-1})$)를 저장한 후 그 데이터($Lk(F_{n-1})$)를 변조기(65)에 공급한다.

한편, 이전 프레임(F_{n-1})이란 액정표시장치에서 현재 표시되는 화면의 이전 화면에 해당하는 프레임이며, 현재 프레임(F_n)이란 액정표시장치에서 현재 표시되는 화면에 해당하는 프레임이다. 그리고 다음 프레임(F_{n+1})이란 현재 표시되는 화면에 이어서 표시될 다음 화면에 해당하는 프레임이다.

결과적으로, 프레임 메모리(63)는 각각의 기수 번째 라인 기간 동안 2 픽셀 클럭 레이트의 속도로 제2 입력 라인 메모리(71b)에 저장된 현재 프레임의 1 라인 데이터를 읽어 오고 저장된 이전 프레임의 1 라인 데이터를 제2 출력 라인 메모리(72b)에 공급한다. 그리고 프레임 메모리(63)는 각각의 우수 번째 라인 기간 동안 2 픽셀 클럭 레이트의 속도로 제1 입력 라인 메모리(71a)에 저장된 현재 프레임의 1 라인 데이터를 읽어 오고 저장된 이전 프레임의 1 라인 데이터를 제1 출력 라인 메모리(72a)에 공급한다.

도 8 및 도 9는 데이터 변조부(52)의 제2 실시예를 나타낸다. 이 실시예는 데이터 비교를 풀비트 단위로 하지 않고 최상위 비트들 단위로 하고 변조 데이터(MRGB)의 비트수를 최상위 비트 수로 하여 프레임 메모리와 변조기의 메모리 용량을 줄이는 효과가 있다.

도 8 및 도 9를 참조하면, 변조부(52)는 1 픽셀 클럭 레이트로 데이터를 저장하고 2 픽셀 클럭 레이트로 데이터를 출력하는 입력 라인 메모리(81)와, 2 픽셀 클럭 레이트로 데이터를 저장하고 1 픽셀 클럭 레이트로 데이터를 출력하는 출력 라인

메모리(82)와, 2 픽셀 클럭 레이트로 데이터를 저장 및 출력하는 프레임 메모리(83)와, 최상위 비트 데이터(MSB) 단위로 이전 프레임과 현재 프레임을 비교하고 현재 프레임 데이터를 변조하는 변조기(85) 및 이전 프레임 데이터와 현재 프레임 데이터를 동기시키기 위한 지연기(84)를 구비한다.

도 5에 도시된 위상고정루프(86)는 도 5에 도시된 그 것과 실질적으로 동일하므로 이에 대한 설명을 생략하기로 한다.

입력 라인 메모리(81)는 픽셀 클럭(CLK)에 따라 1 픽셀 클럭 레이트(Pixel clock rate)의 속도로 현재 프레임의 최상위 비트 데이터(Fn(MSB))를 저장하며, 2 배의 픽셀 클럭(2CLK)에 따라 2 픽셀 클럭 레이트의 속도로 저장된 데이터를 프레임 메모리(83)에 공급한다. 이 입력 라인 메모리(81)는 도 9와 같이 1 픽셀 클럭 레이트의 속도로 데이터 입력라인(80)으로부터의 최상위 비트 데이터(MSB)를 각각 1 라인씩 교대로 저장하고 2 픽셀 클럭 레이트의 속도로 저장된 데이터를 프레임 메모리(83)에 공급하는 제1 및 제2 입력 라인 메모리(91a, 91b)를 포함한다.

프레임 메모리(83)는 2 배의 픽셀 클럭(2CLK)에 따라 2 픽셀 클럭 레이트의 속도로 입력 라인 메모리(81)로부터의 현재 프레임 데이터(Fn)를 저장하고 2 픽셀 클럭 레이트의 속도로 저장된 이전 프레임 데이터(Fn-1)를 출력 라인 메모리(82)에 공급한다.

출력 라인 메모리(82)는 2 배의 픽셀 클럭(2CLK)에 따라 2 픽셀 클럭 레이트의 속도로 프레임 메모리(83)로부터의 이전 프레임 데이터(Fn-1)를 저장하며, 픽셀 클럭(CLK)에 따라 1 픽셀 클럭 레이트의 속도로 저장된 데이터를 변조기(85)에 공급한다. 이 출력 라인 메모리(82)는 도 9와 같이 2 픽셀 클럭 레이트의 속도로 프레임 메모리(83)로부터의 데이터를 각각 1 라인씩 교대로 저장하고 1 픽셀 클럭 레이트의 속도로 저장된 데이터를 변조기(85)에 공급하는 제1 및 제2 출력 라인 메모리(92a, 92b)를 포함한다.

변조기(85)는 지연기(84)로부터의 현재 프레임 데이터의 최상위 비트 데이터(Fn(MSB))와 출력 라인 메모리(82)로부터의 이전 프레임 데이터(Fn-1(MSB))를 비교하고 그 비교 결과 제1 및 수학식 3 내지 5를 만족하는 변조 데이터(MRGB(MSB))를 선택한다.

변조기(85)에 의해 선택된 변조 데이터(MRGB(MSB))는 현재 프레임의 최하위 비트 데이터(Fn(LSB))와 함께 데이터 구동부(53)에 공급된다.

지연기(84)는 입력 라인 메모리(81)와 출력 라인 메모리(82)에서 지연되는 이전 프레임 데이터(Fn-1)의 지연량과 동일한 지연 값으로 데이터 입력라인(80)으로부터의 현재 프레임 데이터(Fn)를 지연시켜 변조기(85)에 입력되는 이전 프레임 데이터(Fn-1)와 현재 프레임 데이터(Fn)를 동기시킨다. 입력 라인 메모리(81)와 출력 라인 메모리(82)에 의해 이전 프레임 데이터(Fn-1)가 2 라인기간 만큼 지연되므로 지연기(84)의 지연 값은 2 라인기간이다. 따라서, 지연기(84)는 두 개의 라인 메모리로 구현될 수 있다.

이 메모리의 입/출력 동작은 도 7과 실질적으로 동일하므로 이에 대한 상세한 설명을 생략한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시소자의 메모리 구동방법 및 장치는 데이터의 변조를 통해 액정의 응답속도를 빠르게 하여 표시품질을 높이고 프레임 메모리의 개수를 줄여 회로 비용을 저감할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

현재 프레임 데이터를 입력 라인 메모리에 제1 속도로 저장하는 단계와;

상기 입력 라인 메모리에 저장된 데이터를 상기 제1 속도보다 빠른 제2 속도로 프레임 메모리에 저장시키는 단계와;

상기 프레임 메모리에 저장된 이전 프레임 데이터를 상기 제2 속도로 출력 라인 메모리에 저장하는 단계와;

상기 현재 프레임 데이터와 상기 출력 라인 메모리로부터 상기 제1 속도로 출력되는 이전 프레임 데이터를 비교하고 그 비교 결과에 따라 미리 설정된 변조 데이터를 선택하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 메모리 구동방법.

청구항 2.

제 1 항에 있어서,

상기 제1 속도는 1 픽셀 클럭 레이트이며,

상기 제2 속도는 상기 1 픽셀 클럭 레이트에 비하여 2 배 빠른 2 픽셀 클럭 레이트인 것을 특징으로 하는 액정표시소자의 메모리 구동방법.

청구항 3.

제 1 항에 있어서,

상기 현재 프레임 데이터를 입력 라인 메모리에 제1 속도로 저장하는 단계는,

상기 현재 프레임 데이터의 기수 라인 데이터를 기수 라인기간 동안 제1 입력 라인 메모리에 상기 제1 속도로 저장하는 단계와;

상기 현재 프레임 데이터의 우수 라인 데이터를 우수 라인기간 동안 제2 입력 라인 메모리에 상기 제1 속도로 저장하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 메모리 구동방법.

청구항 4.

제 3 항에 있어서,

상기 입력 라인 메모리에 저장된 데이터를 상기 제1 속도보다 빠른 제2 속도로 프레임 메모리에 저장시키는 단계는,

상기 제1 입력 라인 메모리에 저장된 상기 현재 프레임 데이터의 기수 라인 데이터를 상기 우수 라인기간의 1/2 기간 내에 상기 프레임 메모리에 저장하는 단계와;

상기 제2 입력 라인 메모리에 저장된 상기 현재 프레임 데이터의 우수 라인 데이터를 상기 기수 라인기간의 1/2 기간 내에 상기 프레임 메모리에 저장하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 메모리 구동방법.

청구항 5.

제 4 항에 있어서,

상기 프레임 메모리에 저장된 이전 프레임 데이터를 상기 제2 속도로 출력 라인 메모리에 저장하는 단계는,

상기 프레임 메모리에 저장된 상기 이전 프레임 데이터의 기수 라인 데이터를 상기 우수 라인기간 동안 제1 출력 라인 메모리에 저장하는 단계와;

상기 프레임 메모리에 저장된 상기 이전 프레임 데이터의 우수 라인 데이터를 상기 기수 라인기간 동안 제2 출력 라인 메모리에 저장하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 메모리 구동방법.

청구항 6.

제 1 항에 있어서,

상기 현재 프레임 데이터를 지연시켜 상기 현재 프레임 데이터와 상기 이전 프레임 데이터를 동기시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시소자의 메모리 구동방법.

청구항 7.

현재 프레임 데이터를 제1 속도로 저장하고 상기 제1 속도보다 빠른 제2 속도로 저장된 데이터를 출력하는 입력 라인 메모리와;

이전 프레임 데이터를 상기 제2 속도로 저장하고 상기 제1 속도로 저장된 데이터를 출력하는 출력 라인 메모리와;

상기 제2 속도로 상기 입력 라인 메모리로부터의 상기 현재 프레임 데이터를 저장함과 아울러 상기 제2 속도로 상기 이전 프레임 데이터를 상기 출력 라인 메모리에 공급하는 프레임 메모리;

상기 현재 프레임 데이터와 상기 출력 라인 메모리로부터의 상기 이전 프레임 데이터를 비교하고 그 비교 결과에 따라 미리 설정된 변조 데이터를 선택하는 변조기를 구비하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

청구항 8.

제 7 항에 있어서,

상기 제1 속도는 1 픽셀 클럭 레이트이며,

상기 제2 속도는 상기 1 픽셀 클럭 레이트에 비하여 2 배 빠른 2 픽셀 클럭 레이트인 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

청구항 9.

제 8 항에 있어서,

상기 1 픽셀 클럭 레이트의 픽셀 클럭을 체배하여 상기 픽셀 클럭에 비하여 주파수가 2배 높은 상기 2 픽셀 클럭 레이트의 2 배 픽셀 클럭을 발생하는 주파수 체배기를 더 구비하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

청구항 10.

제 7 항에 있어서,

상기 입력라인 메모리는,

상기 현재 프레임 데이터의 기수 라인 데이터를 기수 라인기간 동안 상기 제1 속도로 저장하고 우수 라인기간의 1/2 기간 내에 상기 현재 프레임 데이터의 기수 라인 데이터를 상기 제2 속도로 상기 프레임 메모리에 공급하는 제1 입력 라인 메모리와;

상기 현재 프레임 데이터의 우수 라인 데이터를 우수 라인기간 동안 상기 제1 속도로 저장하고 기수 라인기간의 1/2 기간 내에 상기 현재 프레임 데이터의 우수 라인 데이터를 상기 제2 속도로 상기 프레임 메모리에 공급하는 제2 입력 라인 메모리를 구비하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

청구항 11.

제 10 항에 있어서,

상기 제1 및 제2 입력 라인 메모리는 교대로 데이터를 입/출력하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

청구항 12.

제 10 항에 있어서,

상기 출력 라인 메모리는,

상기 이전 프레임 데이터의 기수 라인 데이터를 우수 라인기간 동안 상기 제2 속도로 저장하고 저장된 상기 이전 프레임 데이터의 기수 라인 데이터를 상기 제1 속도로 상기 변조기에 공급하는 제1 출력 라인 메모리와;

상기 이전 프레임 데이터의 우수 라인 데이터를 기수 라인기간 동안 상기 제2 속도로 저장하고 저장된 상기 이전 프레임 데이터의 우수 라인 데이터를 상기 제1 속도로 상기 변조기에 공급하는 제2 출력 라인 메모리를 구비하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

청구항 13.

제 12 항에 있어서,

상기 제1 및 제2 출력 라인 메모리는 교대로 데이터를 입/출력하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

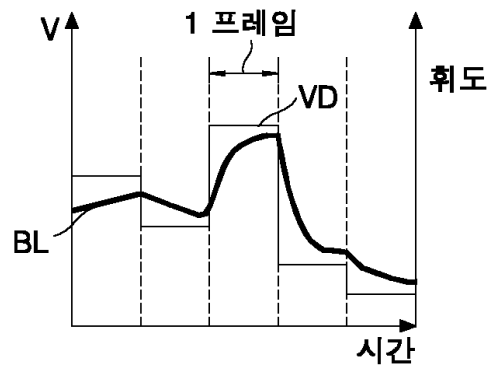
청구항 14.

제 7 항에 있어서,

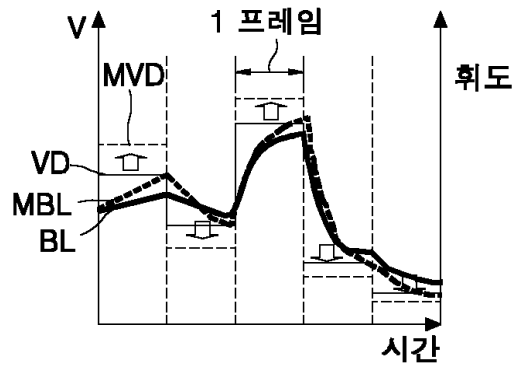
상기 현재 프레임 데이터를 지연시켜 상기 현재 프레임 데이터와 상기 이전 프레임 데이터를 동기시키는 지연기를 더 구비하는 것을 특징으로 하는 액정표시소자의 메모리 구동장치.

도면

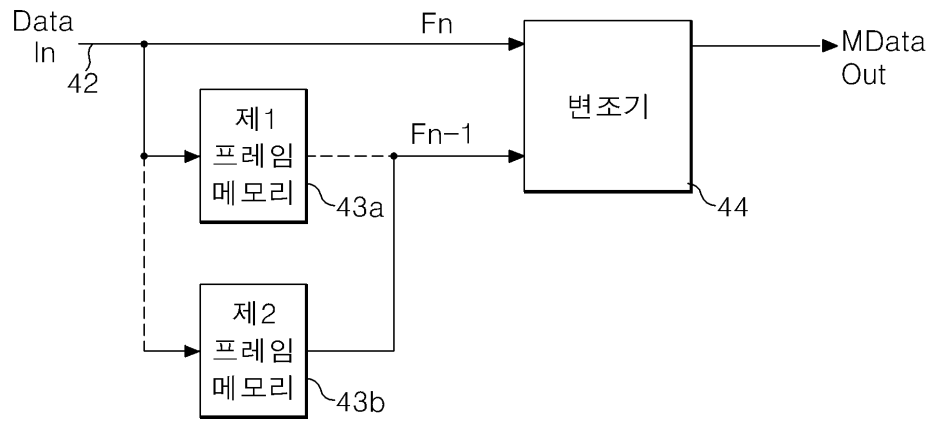
도면1



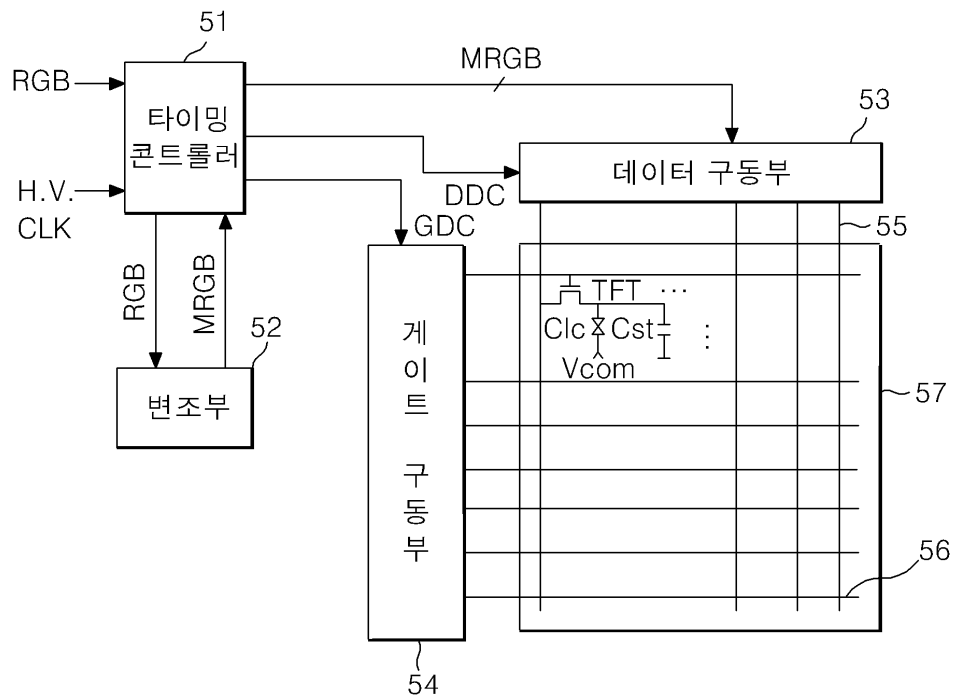
도면2



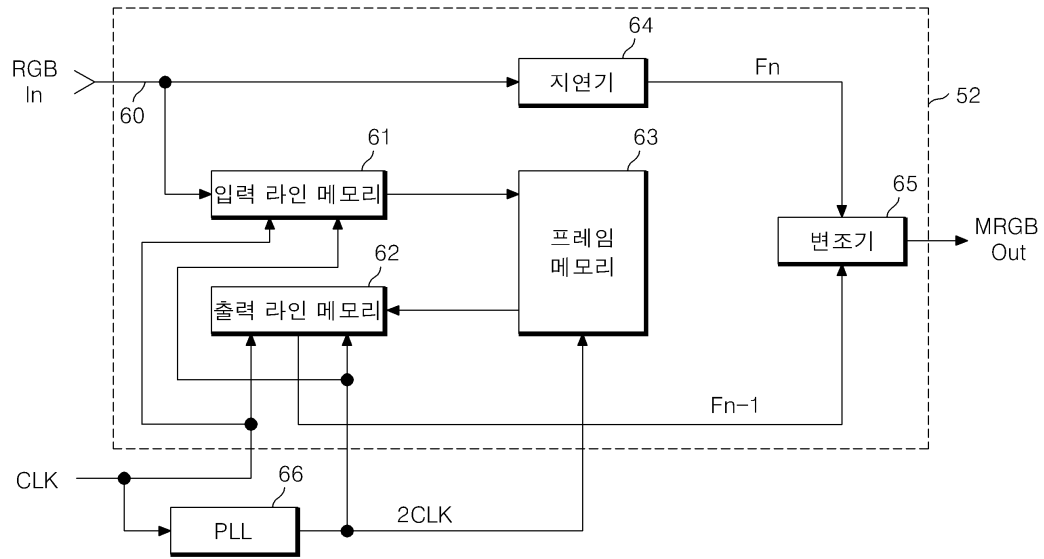
도면3



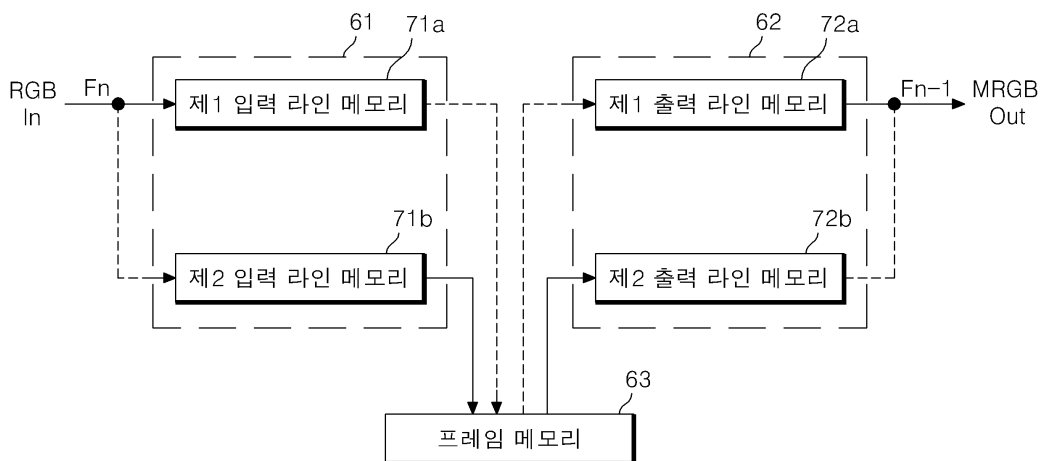
도면4



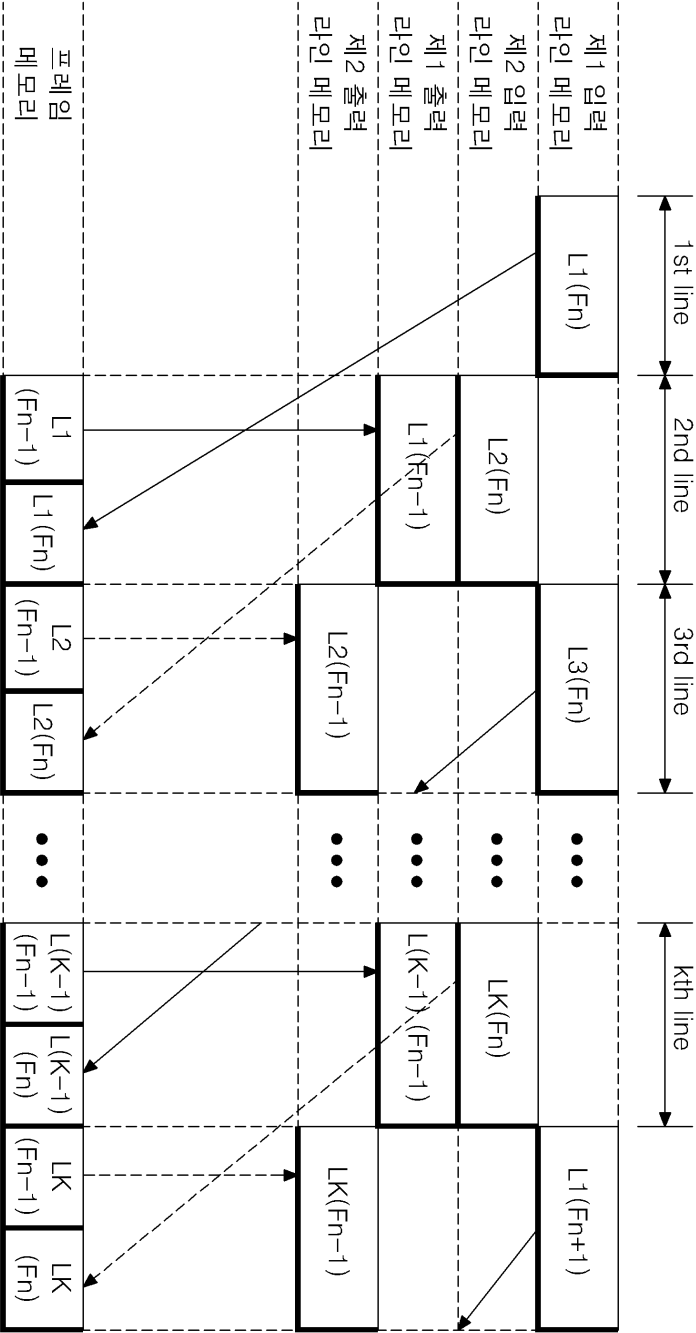
도면5



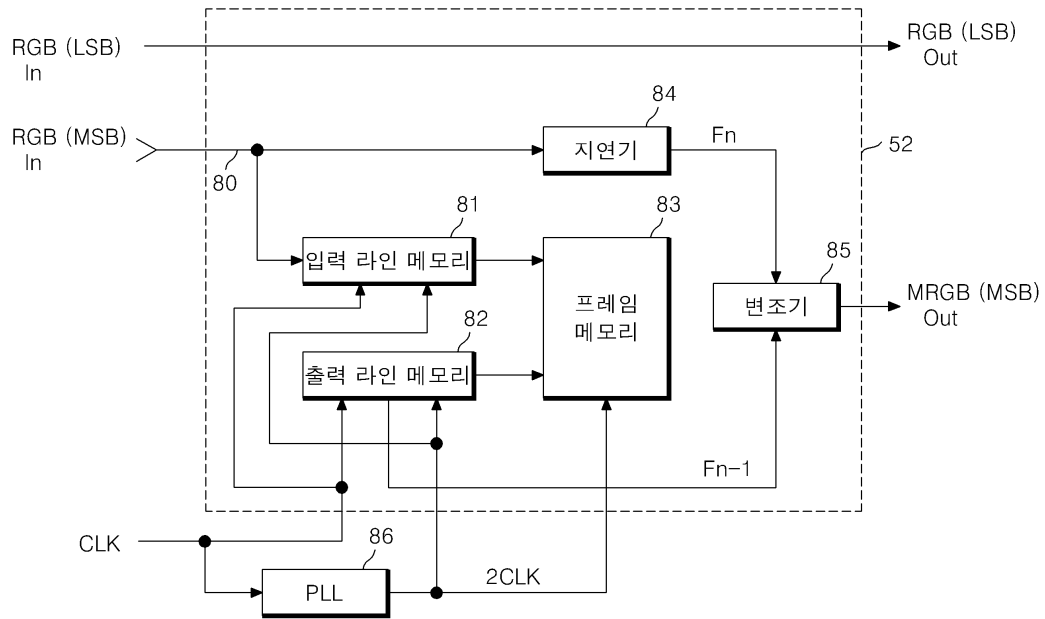
도면6



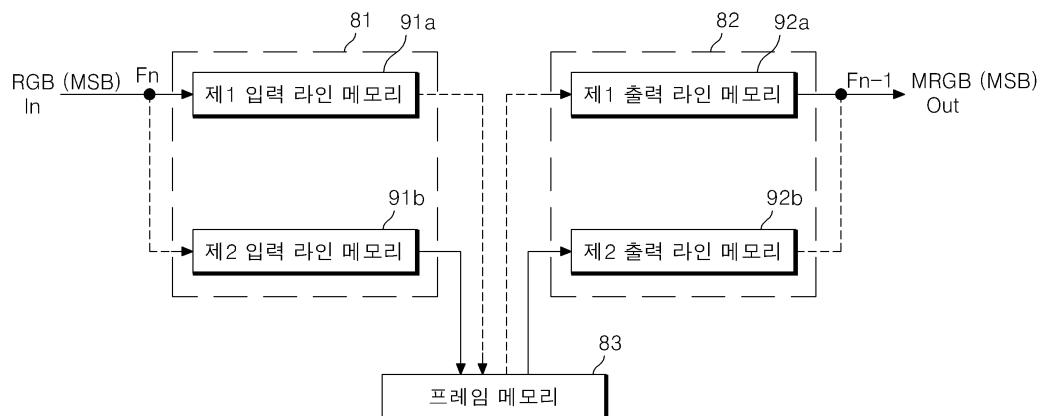
도면7



도면8



도면9



专利名称(译)	用于驱动液晶显示元件的存储器的方法和装置		
公开(公告)号	KR1020050068419A	公开(公告)日	2005-07-05
申请号	KR1020030099810	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON KYUNGJOON 권경준		
发明人	권경준		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3611 G09G3/2092 G09G2320/0252 G09G2340/16 G09G2360/18		
代理人(译)	杨镛		
其他公开文献	KR100582204B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于驱动液晶显示装置的存储器的方法和装置，以通过数据调制提高液晶的响应速度来实现改善的显示质量和减少帧存储器的数量。组成：一种方法包括：将当前帧数据以第一速度存储到输入行存储器中的步骤;将存储在输入行存储器中的数据以比第一速度快的第二速度存储到帧存储器中的步骤;将存储在帧存储器中的先前帧数据以第二速度存储到输出行存储器中的步骤;以及将当前帧数据与从输出线存储器输出的先前帧数据进行第一速度比较，并根据比较结果选择预置调制数据的步骤。©KIPO 2006

