

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2005-0002326
(43) 공개일자 2005년01월07일

(21) 출원번호 10-2003-0043701
(22) 출원일자 2003년06월30일

(71) 출원인 하이맥스 테크놀로지스, 인코포레이티드
중화민국 타이완 타이난 카운티 타이난 사이언스-베이스드 인더스트리얼 파크 치예 로우
드 넘버1 3에프

(72) 발명자 치우밍첸
대만,타이난시,타이난사이언스인더스트리얼파크,산화타운,난크8가.,12번지1층

(74) 대리인 이주연

심사청구 : 있음

(54) 액정표시장치용 저전력 소스 드라이버

요약

입력 전압을 입력받아 출력 전압을 생성하여 액정 표시 장치의 데이터 라인을 구동하는 소스 드라이버가 제공된다. 상기 소스 드라이버에 따르면, 제1 및 제2 PMOS 트랜지스터는 제1 소스 폴로워로 사용되어 상기 입력 전압을 따라 가며 바디 효과(body effect)를 제거하고 로딩 부하 손실을 일정하도록 유지한다. 제1 및 제2 NMOS 트랜지스터는 제2 소스 폴로워로 사용된다. 커패시터는 적어도 상기 입력 전압에 상기 NMOS 트랜지스터들의 문턱 전압을 더한 전압 레벨로 상기 제1 NMOS 트랜지스터의 드레인 전압을 올리도록 동작한다. 또한, 여분의 스위치(들)가 상기 출력 전압이 상기 입력 전압에 접근할 경우 정확한 출력 전압에 도달되도록 사용된다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 LCD 구동 장치의 회로를 나타낸 블록도이다.

도 2는 본 발명의 제1 실시예에 따른 소스 드라이버의 회로도이다.

도 3a 내지 도 3h는 도 2 및 도 4의 소스 드라이버의 동작을 설명하기 위한 타이밍도이다.

도 4는 도 2의 소스 드라이버를 변형한 회로도이다.

도 5는 도 2의 소스 드라이버의 동작을 설명하기 위한 테이블이다.

도 6은 본 발명의 제2 실시예에 따른 소스 드라이버의 회로도이다.

도 7a 내지 도 7i는 도 6의 소스 드라이버의 제1 동작을 설명하기 위한 타이밍도이다.

도 8a 내지 도 8i는 도 6의 소스 드라이버의 제2 동작을 설명하기 위한 타이밍도이다.

도 9a 내지 도 9i는 도 6의 소스 드라이버의 제3 동작을 설명하기 위한 타이밍도이다.

도 10은 도 6의 소스 드라이버를 변형한 회로도이다.

도 11은 도 6의 소스 드라이버의 동작을 설명하기 위한 테이블이다.

* 도면의 주요부분에 대한 부호의 설명 *

101 : 전압 분배기 102 : 디코더

103 : 드라이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(LCD; Liquid Crystal Display)를 구동하기 위한 장치에 관한 것으로, 보다 상세하게는 LCD 구동 장치용 저전력 소스 드라이버에 관한 것이다.

액정표시패널(LCD panel)은 음극선관(CRT) 패널에 비하여 두께가 얇고 전력 소모량이 적으므로, 개인용 컴퓨터, 워드 프로세서 및 칼라 텔레비전 등에 사용되어 왔다. 구체적으로, 능동 매트릭스형 액정표시장치는 고속 응답속도, 고 밀도의 스크린 및 다중 계조 표시가 가능한 특성을 가지므로 많은 수요가 있다.

일반적으로, 능동매트릭스 액정표시장치는 반도체 기판, 대향 기판 및 상기 반도체 기판과 대향 기판사이에 삽입된 액정으로 이루어진다. 상기 반도체 기판은 박막 메탈 배선, 투명 픽셀 전극들 및 박막트랜지스터들(thin-film transistors)을 포함하며, 상기 대향 기판은 투명 공통 전극을 포함한다. 계조 전압(gradation voltage)은 스위칭 작용을 하는 상기 박막트랜지스터를 제어함으로써 상기 각각의 픽셀 전극으로 인가된다. 액정의 투과율은 상기 각각의 픽셀 전극과 상기 투명 공통 전극간의 전압 차에 의하여 변하며, 그 결과 영상이 디스플레이된다.

상기 반도체 기판에는 상기 픽셀 전극들로 계조 전압을 인가하기 위한 데이터 라인과, 상기 박막트랜지스터들로 스위칭 컨트롤 신호들(또는 스캔 신호들)을 인가하기 위한 스캔 라인들이 제공된다. 상기 스캔 라인의 스캔 신호가 하이 레벨 상태이면, 상기 스캔 라인에 연결된 모든 박막트랜지스터들이 턴온되고, 상기 데이터 라인에 보내지는 계조 전압이 상기 박막트랜지스터들을 통하여 상기 픽셀 전극들에 인가된다. 스캔 신호가 상기 박막트랜지스터를 턴오프시킬 정도로 낮으면, 상기 픽셀 전극과 상기 공통 전극사이의 전압 차가 다음 계조 전압이 상기 픽셀 전극에 인가될 때까지 유지된다. 따라서, 스캔 신호들이 순차적으로 각각의 스캔 라인들에 인가되면, 계조 전압이 모든 픽셀 전극들에 인가되고, 그 결과 디스플레이 스크린은 매 프레임 주기마다 갱신된다.

상기 데이터 라인들을 구동하기 위한 LCD 구동 장치는 액정 커패시턴스, 배선 저항 및 배선 커패시턴스를 가지는 각각의 데이터라인의 큰 부하(load)를 충전시키고 방전시킬 수 있어야 한다.

상기 LCD 구동 장치는 전압 분배기, 디코더 및 데이터 라인에 연결된 드라이버(driver)로 이루어진다. 종래의 드라이버는 연산 증폭기(S.Saito et al., 'A 6-bit Digital Data Printer for Color TFT-LCDs', SID 95 Digest, 페이지 257-260, 1995 참고)로 구현되었다. 연산 증폭기는 큰 전류 공급 능력을 가지고 있으므로, 큰 커패시턴스 값을 가진 데이터 라인을 고속으로 구동할 수 있다. 또한, 상기 연산 증폭기 내의 트랜지스터의 문턱 전압이 조금씩 변동될 경우에도, 상기 연산 증폭기의 출력 전압의 변동은 상대적으로 적다. 또한, 상기 출력 전압은 매우 정확하다.

그러나, 종래의 드라이버에 있어서, 데이터 라인의 수가 증가함에 따라 다수의 구성 요소로 이루어진 연산 증폭기의 개수가 증가한다. 따라서, 만일 상기 종래의 드라이버를 가진 LCD 구동 장치가 단일 집적회로의 형태로 구현될 경우, 상기 집적회로는 상기 증가된 연산 증폭기를 수용할 수 있을 정도의 충분한 크기를 갖도록 증가해야 하고, 그 결과 집

적 회로의 제조 비용이 증가한다. 또한, 연산 증폭기는 안정한 전류(steady current)가 요구되고 그 결과 전력 소모가 증가된다. 연산 증폭기의 구조는 저전력 소모에는 적합하지 않다. 상기 연산 증폭기를 LCD 구동 장치에 채택한 구체적인 기술은 미국 특허 US 6,075,524(특허권자 Ruta, 발명의 명칭 'Integrated Analog Source Driver For Active Matrix Liquid Crystal Display')에 개시되어 있다. 미국 특허 US 6,127,997(특허권자 Tsuchi, 발명의 명칭 'Driver For Liquid Crystal Display Apparatus With No operational Amplifier')에서는 연산 증폭기를 채택하지 않은 LCD 구동 장치를 개시하고 있다. 그러나, 연산 증폭기를 채택하지 않은 LCD 구동 장치에서도, 충전 또는 방전 동작시의 스윙 폭이 크기 때문에 채널 프리 차아지(channel precharge) 전하 손실이 커지는 문제가 여전히 존재한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 제조 비용을 절감할 수 있고, 전력 소모를 줄일 수 있으며, 정확한 소스 드라이버 출력을 얻을 수 있고, 충전 전하 손실을 줄일 수 있는 LCD 구동 장치용 소스 드라이버를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 입력 전압을 입력받아 출력 전압을 생성하여 액정 표시 장치의 데이터 라인을 구동하는 소스 드라이버가 제공된다. 상기 소스 드라이버에 따르면, 제1 및 제2 PMOS 트랜지스터는 제1 소스 폴로워로 사용되어 상기 입력 전압을 따라가며 n-well 공정에서의 바디 효과(body effect)를 제거하고 로딩 부하 손실을 일정하도록 유지한다. 제1 및 제2 PMOS 트랜지스터는 상기 제1 PMOS 트랜지스터의 드레인에 결합된 공통 게이트를 가지고 있다. 상기 제2 PMOS 트랜지스터의 소오스는 출력 단자에 결합된다. 제1 및 제2 NMOS 트랜지스터는 상기 제1 NMOS 트랜지스터의 드레인에 결합된 공통 게이트를 가지며, 상기 제2 NMOS 트랜지스터의 소오스는 상기 출력 단자에 결합된다. 제3 NMOS 트랜지스터의 게이트는 입력 단자에 결합되고, 소오스는 상기 제1 PMOS 트랜지스터의 소오스에 결합된다. 제3 NMOS 트랜지스터의 게이트는 입력 단자에 결합되고, 소오스는 상기 제1 PMOS 트랜지스터의 소오스에 결합된다. 제3 PMOS 트랜지스터의 소오스는 상기 전원 공급 단자에 결합되고, 게이트는 상기 제3 PMOS 트랜지스터의 드레인에 결합된다. 제1 스위치는 상기 제3 PMOS 트랜지스터의 드레인과 상기 제1 NMOS 트랜지스터의 드레인 사이에 결합된다. 제2 스위치는 상기 접지 단자와 상기 제1 PMOS 트랜지스터의 드레인간에 결합된다. 제3 스위치는 전원 전압 단자와 상기 제3 NMOS 트랜지스터의 드레인간에 결합된다. 제4 스위치는 상기 입력 단자와 상기 제1 NMOS 트랜지스터의 소오스간에 결합된다. 제5 스위치는 상기 전원 공급 단자와 상기 제2 NMOS 트랜지스터의 드레인간에 결합된다. 제6 스위치는 상기 접지 단자와 상기 제2 PMOS 트랜지스터의 드레인간에 결합된다. 제1 커패시터는 제어 신호를 입력받아 적어도 상기 입력 전압에 상기 NMOS 트랜지스터들의 문턱 전압을 더한 전압 레벨로 상기 제1 NMOS 트랜지스터의 드레인 전압을 올리도록 동작한다. 제1 커패시터는 접지와 상기 제1 NMOS 트랜지스터의 드레인간에 결합된다.

본 발명의 일측면에 따르면, 상기 소스 드라이버는 제4 PMOS 트랜지스터와 제7 스위치를 더 포함한다. 상기 제4 PMOS 트랜지스터의 게이트는 상기 입력 단자에 결합되며, 소오스는 상기 제1 NMOS 트랜지스터의 소오스에 결합된다. 상기 제7 스위치는 상기 접지 단자와 상기 제4 PMOS 트랜지스터의 드레인에 결합된다.

본 발명의 일측면에 따르면, 상기 소스 드라이버는 상기 입력 단자와 상기 제3 NMOS 트랜지스터의 소오스간에 결합된 제9 스위치를 더 포함한다.

본 발명의 다른 측면에 따르면, 상기 소스 드라이버는 게이트가 저전압에 연결되고 소오스가 상기 제2 PMOS 트랜지스터의 드레인에 결합되며 드레인이 상기 출력 단자에 결합된 제4 NMOS 트랜지스터를 더 포함한다.

본 발명의 또 다른 측면에 따르면, 상기 소스 드라이버는 상기 입력 단자와 상기 출력 단자간에 결합된 제8 스위치를 더 포함한다. 상기 제2 PMOS 트랜지스터 또는 상기 제2 NMOS 트랜지스터가 소스 폴로워로 동작한 후 상기 제8 스위치는 턴 온된다.

본 발명에 따른 상기 LCD 구동 장치는 연산 증폭기를 사용하지 않으며, 채널의 프리 차지 전하 손실이 커지는 문제를 줄일 수 있다.

이하, 본 발명에 따른 LCD 구동 장치의 실시예들을 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

먼저, 본 발명에 따른 LCD 구동 장치의 실시예들을 설명하기 전에 일반적인 LCD 구동 장치에 대해 도 1을 참조하여 설명한다. 도 1에 도시된 바와 같이, LCD 구동장치는 일반적으로 전압 분배기(101), 디코더(102) 및 데이터 라인(DL)에 연결된 드라이버(103)로 이루어진다. 데이터 라인(DL)은 박막 트랜지스터(TFTs)를 통하여 픽셀 전극들에 연결

된다. 전압 분배기(101)는 다중 계조 전압(multi-gradation voltage)을 발생시키는 저항들(R1, R2, ..., R64)로 이루어진다. 또한, 디코더(102)는 상기 저항들(R1, R2, ..., R64)과 연결된 제1 라인들과 비디오 데이터 신호들(D0, D1, ..., D5)을 입력받는 제2 라인들간의 교차점에 위치하는 CMOS(complementary metal oxide semiconductor) 스위치들로 이루어진다.

도 2는 본 발명의 제1 실시예에 따른 소스 드라이버의 회로도이다.

상기 본 발명의 제1 실시예에 따르는 소스 드라이버의 제1 PMOS 트랜지스터와 제2 PMOS 트랜지스터는 입력 전압을 쫓아가므로써 n-well 공정에서의 바디 효과(body effect)를 제거할 수 있고, 로딩 전하 손실(loading charge loss)을 일정하게 유지할 수 있다. 상기 제1 및 제2 PMOS 트랜지스터들(PT1, PT2)은 각각 상기 제1 PMOS 트랜지스터(MP1)의 드레인에 연결된 공통 게이트를 가지며, 상기 제2 PMOS 트랜지스터의 소오스는 출력 단자에 연결된다.

제1 및 제2 NMOS 트랜지스터(NT1, NT2)는 각각 상기 제1 NMOS 트랜지스터(MN1)의 드레인에 연결된 공통 게이트를 가지며, 상기 제2 NMOS 트랜지스터의 소오스는 출력 단자에 연결된다. 제3 NMOS 트랜지스터의 게이트는 입력 단자에 연결되고, 소오스는 상기 제1 PMOS 트랜지스터(PT1)의 소오스에 연결된다. 제3 PMOS 트랜지스터(PT3)의 드레인은 전원 공급 단자에 연결되고, 게이트는 상기 제3 PMOS 트랜지스터(PT3)의 소오스에 연결된다. 제1 스위치(S1)는 상기 제3 PMOS 트랜지스터(PT3)의 소오스와 상기 제1 NMOS 트랜지스터(NT1)의 드레인간에 연결된다. 제2 스위치(S2)는 접지 단자와 상기 제1 PMOS 트랜지스터(PT1)의 드레인간에 연결된다. 제3 스위치(S3)는 전원 공급 단자와 상기 제3 NMOS 트랜지스터(NT3)의 드레인간에 연결된다. 제4 스위치(S4)는 상기 입력 단자와 상기 제1 NMOS 트랜지스터(NT1)의 소오스간에 연결된다. 제5 스위치(S5)는 상기 전원 공급 단자와 상기 제2 NMOS 트랜지스터(NT2)의 드레인간에 연결된다. 제6 스위치(S6)는 접지 단자와 상기 제2 PMOS 트랜지스터(NP2)의 드레인간에 연결된다. 제1 커패시터(C1)는 상기 제어 신호 단자와 상기 제1 NMOS 트랜지스터(NT1)의 드레인간에 연결된다. 제1 커패시터(C1)는 제어 신호(NP)를 입력받아 상기 제1 NMOS 트랜지스터(NT1)의 드레인 전압을 최소한 상기 입력 전압에 상기 NMOS 트랜지스터의 문턱 전압 값을 더한 전압 레벨로 올린다. 어떤 종류의 커패시터(예를 들어, 금속-절연층-금속 형태의 커패시터 또는 공극 형태의 커패시터)라도 상기 제1 커패시터(C1)로 사용될 수 있다.

제3 NMOS 트랜지스터(NT3), 상기 제3 및 제2 스위치(S2, S3)는 상기 제2 PMOS 트랜지스터(PT2)의 게이트 전압을 상기 입력 전압을 상기 제1 PMOS 트랜지스터(PT1)의 문턱 전압과 상기 제3 NMOS 트랜지스터(NT3)의 문턱 전압만큼 쉬프트시킨 전압 레벨로 바이어스 하도록 동작한다. 상기 제3 PMOS 트랜지스터(PT3), 상기 제4 및 제1 스위치(S4, S1)는 상기 제2 NMOS 트랜지스터(NT2)의 게이트 전압을 상기 입력 전압을 상기 제1 NMOS 트랜지스터(NT1)의 문턱 전압만큼 쉬프트 시킨 전압 레벨로 바이어스 한다. 상기 제6 스위치(S6)는 상기 제2 PMOS 트랜지스터(PT2)를 소스 폴로워로 동작하도록 한다. 따라서, 상기 제1 및 제2 PMOS 트랜지스터(PT1, PT2)의 공통 게이트 전압을 상기 제2 PMOS 트랜지스터(PT2)의 문턱 전압만큼 쉬프트 시킨 전압 레벨이 출력 전압으로서 상기 출력 단자에 출력된다. 상기 제5 스위치(S5)는 상기 제2 NMOS 트랜지스터(NT2)를 소스 폴로워로 동작하도록 한다. 따라서, 상기 제1 및 제2 NMOS 트랜지스터(NPT1, NPT2)의 공통 게이트 전압을 상기 제2 NMOS 트랜지스터(NPT2)의 문턱 전압만큼 쉬프트 시킨 전압 레벨이 출력 전압으로서 상기 출력 단자에 출력된다.

본 발명에 따른 상기 소스 드라이버에서는 제4 PMOS 트랜지스터(PT4)와 제7 스위치(S7)를 더 포함한다. 상기 제4 PMOS 트랜지스터(PT4)의 게이트는 상기 입력 단자에 연결되고, 소오스는 상기 제1 NMOS 트랜지스터(NT1)의 소오스와 연결된다. 상기 제7 스위치(S7)는 상기 접지 단자와 상기 제4 PMOS 트랜지스터(PT4)의 드레인간에 연결된다. 더욱, 상기 소오스 드라이버는 제4 NMOS 트랜지스터(NT4)를 더 포함할 수 있다. 상기 제4 NMOS 트랜지스터(NT4)의 게이트는 저전압과 연결되고, 소오스는 상기 제2 PMOS 트랜지스터(PT2)의 드레인에 연결되며, 드레인은 상기 출력 단자에 연결된다.

도 3a 내지 도 3h는 도 2 및 도 4의 소스 드라이버의 동작을 설명하기 위한 타이밍도이다. 이하, 도 2의 소오스 드라이버의 동작을 2번의 데이터 출력 주기(data output period)를 도시한 도 3a 내지 3h를 이용하여 설명한다.

먼저, 도 3b에 도시된 바와 같이, t_0 시간에 스위치 S1 및 S2는 둘 다 턴온된다. 트랜지스터 PT1 및 PT2의 바이어스 전압 V_1 은 0 볼트이다. 또한, 트랜지스터 NT1 및 NT2의 게이트에서의 바이어스 전압 V_2 는 $V_{DD} - V_{thp4}$ 볼트이다.

다음, 도 3b 및 3c에 도시된 바와 같이, t_1 시간에 스위치 S1 및 S2는 턴오프되고, 제어 신호(NP)는 온(ON) 상태로서 상기 제1 NMOS 트랜지스터(NT1)의 드레인 전압을 상기 NMOS 트랜지스터의 문턱 전압에 소정의 감마 전압을 더한 전압 레벨보다 더 높은 전압 레벨로 올려준다. 동시에, 스위치 S3 및 S7, 그리고 트랜지스터 PT4(또는 PT4 및 S7)가 턴온되고, 그 결과 바이어스 전압 V_1 및 V_2 는 다음의 수학식 1 및 수학식 2와 같게 된다.

수학식 1

$$V1 = V_{in} - V_{thn3} + V_{thp1}$$

수학식 2

$$V2 = V_{in} + V_{thn1} + V_{thp4}$$

(여기서, V_{thp1} 은 트랜지스터 PT1의 문턱 전압, V_{thn3} 은 트랜지스터 NT3의 문턱 전압, V_{thn1} 은 트랜지스터 NT1의 문턱 전압, V_{thp4} 는 트랜지스터 PT4의 문턱 전압이다.)

다음, 도 3d 및 3e에 도시된 바와 같이, $t2$ 시간에 스위치 S4 및 S6은 턴온되고, 그 결과 바이어스 전압 $V2$ 는 다음의 수학식 3을 만족한다.

수학식 3

$$V2 = V_{in} + V_{thn1}$$

이 경우, 트랜지스터 PT2는 소스 폴로워로 동작하므로, 출력 전압 V_{out} 는 다음의 수학식 4를 만족한다.

수학식 4

$$V_{out} = V_{in} - V_{thn3} + V_{thp1} - V_{thp2}$$

(여기서, V_{thp2} 는 트랜지스터 PT2의 문턱 전압이다.)

여기서, PMOS 트랜지스터 PT4와 스위치 S7은 본 발명에서 본질적인 요소가 아니다. 만일 PMOS 트랜지스터 PT4와 스위치 S7이 존재하지 않는다면, $t1$ 및 $t2$ 시간에서의 동작은 다음과 같이 조금 달라질 수 있다.

다음, 도 3c 및 3f에 도시된 바와 같이, $t1$ 시간에 스위치 S3은 턴온되고, 그 결과 바이어스 전압 $V1$ 은 상기 수학식 1에 의하여 $V1 = V_{in} - V_{thn3} + V_{thp1}$ 값을 가진다.

다음, 도 3d 및 3e에 도시된 바와 같이, $t2$ 시간에 스위치 S4 및 S6은 턴온되고, 그 결과 바이어스 전압 $V2$ 는 상기 수학식 3에 의하여 $V2 = V_{in} + V_{thn1} + V_{thp4}$ 값을 가진다.

이 경우, 트랜지스터 PT2는 소스 폴로워로 동작하므로, 출력 전압 V_{out} 는 상기 수학식 4에 의하여 $V_{out} = V_{in} - V_{thn3} + V_{thp1} - V_{thp2}$ 값을 가진다.

상기 바이어스 전압 $V2$ 는 상기 PMOS 트랜지스터 PT4 및 스위치 S7이 존재하지 않는 경우나 존재하는 경우나 $t2$ 시간에 동일한 값을 가진다. 그러나, 본 발명에 따른 소스 드라이버가 PMOS 트랜지스터 PT4 및 스위치 S7을 가지지 않은 경우에는 입력 단자에 큰 전류가 흐르게 된다. 따라서, 만약 V_{thp1} 이 V_{thp2} 와 유사한 값을 가진다면, 출력 전압 V_{out} 는 다음의 수학식 5에 따른 값을 가진다.

수학식 5

$$V_{out} = V_{in} - V_{thn3}$$

여기서, 트랜지스터 PT1 및 PT2가 상호 인접하게 형성되고 서로 거의 동일한 사이즈를 가지게 된다면, 문턱 전압 V_{thp1} 은 대략 문턱 전압 V_{thp2} 와 같게 된다.

다음, 도 3g에 도시된 바와 같이, 시간 t_3 에서 스위치 S5는 턴온된다. 이 상태에서, 트랜지스터 NT2는 소스 폴로워로 동작하므로, 출력 전압 V_{out} 는 다음의 수학식 6을 만족한다.

수학식 6

$$V_{out} = V_{in} + V_{thn1} - V_{thn2}$$

(여기서, V_{thn2} 는 트랜지스터 NT2의 문턱 전압이다.)

따라서, 만약 V_{thn1} 이 V_{thn2} 와 유사한 값을 가진다면($V_{thn1} \approx V_{thn2}$), 출력 전압은 다음의 수학식 7을 만족한다.

수학식 7

$$V_{out} \approx V_{in}$$

따라서, 상기 첫 번째 실시예에서는, 출력 전압 V_{out} 는 상기 입력 전압 V_{in} 과 동일한 값을 가질 수 있으며, 소스 폴로워로서의 트랜지스터 PT2는 트랜지스터 NT2와 함께 높은 정밀도의 전압 버퍼를 제공한다.

또한, PMOS 트랜지스터의 소스 폴로워는 초저전압의 감마 전압(ultra-low gamma voltage)을 쫓아 갈 수 없기 때문에, 일반적인 N-well 공정에서 비디오 데이터가 상기 초저전압의 감마전압을 선택한 경우에는 또 하나의 NMOS 트랜지스터를 사용하여 출력 전압을 접지 전압으로 풀다운 시키는 것이 바람직하다. 입력 전압이 트랜지스터 PT2의 문턱 전압보다 작은 경우에는 출력 전압을 접지 전압으로 풀다운 시키기 위하여 상기 NMOS 트랜지스터 NT4가 사용된다.

시간 t_5 내지 t_8 에서의 동작은 시간 t_0 내지 t_3 에서의 동작을 반복한다.

도 4는 도 2의 소스 드라이버를 변형한 회로도이다.

도 4의 소스 드라이버는 상기 입력 단자와 상기 출력 단자간에 연결된 제8 스위치(S8)를 더 포함한다. 상기 제8 스위치(S8)는, 도 3h에 도시된 바와 같이, 상기 제2 PMOS 트랜지스터(PT2) 또는 상기 제2 NMOS 트랜지스터(NT2)가 소스 폴로워로서의 동작이 종료된 후에 턴온된다. 출력 전압 V_{out} 이 V_{in} 에 가까워 질 경우 소스 폴로워의 구동 능력이 매우 약해지므로 제8 스위치(S8)를 사용함으로써 정확한 최적 값(목표 값)을 얻을 수 있다. 제8 스위치(S8)를 사용하는 다른 이유는 트랜지스터 NT1과 NT2간의 문턱 전압의 차이에 기인한 V_{out} 과 최적 값의 차이를 보상하기 위한 것이다.

예를 들어, 도 4의 소스 드라이버의 동작은 도 3a 내지 3h에 도시된 바와 같다. t_2 내지 t_4 시간동안 출력 전압 V_{out} 은 수학식 6의 $V_{out} = V_{in} + V_{thn1} - V_{thn2}$ 로 나타낼 수 있다.

이 경우, V_{thn1} 과 V_{thn2} 간에 차이가 있는 경우, 출력 전압 V_{out} 는 최적 값(즉 V_{in})으로부터 ΔV 만큼의 편차를 갖게 된다. 다음, 시간 t_4 에서, 스위치 S5 및 S6은 둘 다 턴오프되고, 스위치 S8은 턴온된다. 그 결과, 출력 전압 V_{out} 은 동일한 그레이 출력 전압(gray output voltage)을 가진 소스 출력들(소스 드라이버들의 출력들)에 의해 평균화 될 것이고, 만약 시간이 충분히 길다면 ΔV 가 작은 값을 가지므로 출력 전압 V_{out} 은 궁극적으로 입력 전압 V_{in} 과 같아질 것이다. 스위치 S8 턴온 시간이 길지 않은 경우에도 동일한 그레이 출력 전압을 가지는 각각의 소스 드라이버 출력은 여전히 평균화되고, 반대 극성에서의 소스 드라이버 출력은 상기 최적 값으로부터 동일한 오프셋(offset)을 가질 것이므로 상기 최적 값으로부터의 ΔV 값은 상기 반대 극성에 의해 상쇄 될 수 있다. 그러므로, 도 4에서는 스위치 S8을 턴온 시킴으로써 출력 전압 V_{out} 의 정밀도는 증가된다.

상기 소스 드라이버는 제5 NMOS 트랜지스터(NT5)와 제5 PMOS 트랜지스터(PT5)를 더 포함한다. 제5 NMOS 트랜지스터(NT5)의 소오스는 상기 출력 단자에 연결되고, 드레인은 상기 전원 공급 단자에 연결되며, 게이트는 상기 입력 단자에 연결된다. 상기 제5 NMOS 트랜지스터(NT5)와 제5 PMOS 트랜지스터(PT5)는 목표 값에 도달하기 위하여

소스 드라이버의 출력을 방전 또는 충전시키는데 사용된다. 제5 NMOS 트랜지스터(NT5) 및 제5 PMOS 트랜지스터(PT5)에 의해 소스 드라이버의 출력은 좀 더 정확한 값을 가질 수 있다.

도 5는 도 2의 소스 드라이버의 동작을 설명하기 위한 테이블이다.

도 5에 도시된 바와 같이, 상기 소스 드라이버는 논리 회로에 의해 쉽게 구현될 수 있다.

도 6은 본 발명의 제2 실시예에 따른 소스 드라이버의 회로도이다. 도 6의 소스 드라이버 회로 구조는 실질적으로 도 2의 소스 드라이버 회로 구조와 동일하다. 주된 차이점은 다음과 같다. 본 발명의 제2 실시예에 따른 소스 드라이버는 제4 PMOS 트랜지스터(PT4)와 제7 스위치(S7)를 필요로 한다. 더욱, 제8 스위치(S8)는 상기 입력 단자와 제1 PMOS 트랜지스터(PT1)간에 연결된다.

PMOS 트랜지스터의 소스 폴로워는 저레벨의 감마 전압을 쫓아가지 못하므로, 저레벨의 감마 전압을 쫓아가도록 하기 위하여 NMOS 트랜지스터로 이루어진 소스 폴로워가 필요하다. 예를 들어, V0은 가장 높은 감마 전압, V63은 가장 낮은 감마 전압이라고 가정한다. 감마 전압 V1, V2, ..., V62는 순차적으로 감소한다. 본 발명의 제2 실시예에 따른 소스 드라이버는 상기 감마 전압을 세 부분으로 분리한다. 상기 제1 부분의 감마 전압은 V0 내지 V7이고, 제2 부분의 감마 전압은 V8 내지 V55이고, 제3 부분의 감마 전압은 V56 내지 V63이다.

도 7a 내지 도 7f는 도 6의 소스 드라이버의 2번의 데이터 출력 주기를 나타내는 제1 동작을 파트(part) I에서 설명하기 위한 타이밍도이다. 스위치 S4는 제1 부분 및 제2 부분에서 항상 턴오프된다.

먼저, 도 7b에 도시된 바와 같이, t0 시간에 스위치 S1 및 S2는 둘 다 턴온된다. 트랜지스터 PT1 및 PT2의 게이트에서의 바이어스 전압 V1은 0 볼트이다. 또한, 트랜지스터 NT1 및 NT2의 게이트에서의 바이어스 전압 V2는 VDD - Vthp3 볼트이다.

다음, 도 7b, 7c 및 7e에 도시된 바와 같이, t1 시간에 스위치 S1 및 S2는 턴오프되고, 스위치 S3 및 S7은 턴온된다. 또한, 제어 신호(NP)는 온(ON) 상태로서 상기 제1 NMOS 트랜지스터(NT1)의 드레인 전압을 상기 입력 전압에 NMOS 트랜지스터의 문턱 전압 및 PMOS 트랜지스터의 문턱 전압만큼 더한 전압 레벨로 올려준다. 동시에, 바이어스 전압 V2는 다음의 수학식 2와 같이 $V2 = V_{in} + V_{thn1} + V_{thp4}$ 가 된다.

다음, 도 7f에 도시된 바와 같이, t2 시간에 스위치 S3 및 S7은 턴오프되고, 스위치 S9는 턴온되므로 바이어스 전압 V1은 다음의 수학식 8을 만족한다.

수학식 8

$$V2 = V_{in} + V_{thp1}$$

스위치 S5는 턴온되면, 이 상태에서 트랜지스터 NT2는 소스 폴로워로 동작하므로, 출력 전압 Vout는 다음의 수학식 9를 만족한다.

수학식 9

$$V_{out} = V_{in} + V_{thn1} + V_{thp4} - V_{thn2}$$

따라서, 만약 Vthn1이 Vthn2 값과 유사하다면, 출력 전압은 다음의 수학식 10을 만족한다.

수학식 10

$$V_{out} = V_{in} + V_{thp4}$$

상기 (V_{in} + V_{thp4})의 최대 가능한 전압 레벨은 전원 전압 레벨이다.

다음, 도 7d 및 7g에 도시된 바와 같이, 시간 t3에서 스위치 S5는 턴오프되고, 스위치 S6은 턴온된다. 이 상태에서, 트랜지스터 PT2는 소스 폴로워로 동작하므로, 출력 전압 Vout는 다음의 수학적 식 11을 만족한다.

수학적 식 11

$$V_{out} = V_{in} + V_{thp1} - V_{thp2}$$

(여기서, Vthp2는 트랜지스터 PT2의 문턱 전압이다.)

따라서, 만약 Vthp1이 Vthp2와 유사한 값을 가진다면(Vthp1 = Vthp2), 출력 전압은 상기 수학적 식 7에 따라 Vout = Vin이 된다.

여기서, 트랜지스터 PT1 및 PT2가 상호 인접하게 형성되고 서로 거의 대략 동일한 사이즈를 가지게 된다면, 문턱 전압 Vthp1은 대략 문턱 전압 Vthp2와 같게 된다.

또한, PMOS 트랜지스터의 소스 폴로워는 초저전압의 감마 전압(ultra-low gamma voltage)을 쫓아 갈 수 없기 때문에, 일반적인 N-well 공정에서 비디오 데이터가 상기 초저전압의 감마전압을 선택한 경우에는 또 하나의 NMOS 트랜지스터를 사용하여 출력 전압을 접지 전압으로 풀다운 시키는 것이 바람직하다. 입력 전압이 트랜지스터 PT2의 문턱 전압보다 작은 경우에는 출력 전압을 접지 전압으로 풀다운 시키기 위하여 상기 NMOS 트랜지스터 NT4가 사용된다.

시간 t5 내지 t8에서의 동작은 시간 t0 내지 t3에서의 동작을 반복한다.

도 8a 내지 도 8f는 도 6의 소스 드라이버의 제2 동작을 파트(part) II에서 설명하기 위한 타이밍도이다. 상기 파트 II에 따른 소스 드라이버의 제2 동작은, 도 7a 및 8a에 도시된 바와 같이, S5가 턴온된 기간동안 (Vin + Vthp4)의 관계가 유지된다는 점을 제외하고는 본 발명의 제1 실시예에 따른 소스 드라이버와 유사하다.

도 9a 내지 도 9i는 도 6의 소스 드라이버의 제3 동작을 파트(part) III에서 설명하기 위한 타이밍도이다. 파트(part) III의 V56 및 V63 사이 감마 전압은 낮은 값을 가지므로, PMOS 트랜지스터의 소스 폴로워는 낮은 감마 전압을 정확히 따라갈 수 없으며, NMOS 트랜지스터의 소스 폴로워는 상기 낮은 감마 전압을 따라가도록 하는데 사용된다. 스위치 S9는 파트(part) III에서 항상 턴오프되어 있다.

먼저, 도 9b에 도시된 바와 같이, t0 시간에 스위치 S1 및 S2는 둘 다 턴온된다. 트랜지스터 PT1 및 PT2의 게이트에서의 바이어스 전압 V1은 0 볼트이다. 또한, 트랜지스터 NT1 및 NT2의 게이트에서의 바이어스 전압 V2는 VDD - Vthp3 볼트이다.

다음, 도 9b 및 9c에 도시된 바와 같이, t1 시간에 스위치 S1 및 S2는 턴오프되고, 스위치 S3 및 S7은 턴온된다. 또한, 제어 신호(NP)는 온(ON) 상태로서 상기 제1 NMOS 트랜지스터(NT1)의 드레인 전압을 상기 NMOS 트랜지스터 NT1의 문턱 전압 및 상기 PMOS 트랜지스터 PT4의 문턱 전압에 상기 입력 전압을 더한 전압 레벨로 올려준다.

다음, t2 시간에, 도 9d 및 9f에 도시된 바와 같이, 스위치 S4는 턴온되고, 상기 바이어스 전압 V1은 상기 수학적 식 1의 V1 = Vin + Vthp1 - Vthn3을 만족하고, 상기 바이어스 전압 V2는 상기 수학적 식 3의 V2 = Vin + Vthn1을 만족한다.

동시에, 스위치 S6은 턴온된다. 이 상태에서 트랜지스터 PT2는 소스 폴로워로서 작동하고, 출력 전압 Vout는 상기 수학적 식 4의 Vout = Vin + Vthp1 - Vthn3 - Vthp2를 만족한다. 여기서, Vthp2는 트랜지스터 PT2의 문턱 전압이다. 따라서, 만약 Vthp1이 Vthp2와 유사한 값을 가진다면, 출력 전압 Vout는 상기 수학적 식 5의 Vout = Vin - Vthn3을 만족한다.

여기서, 트랜지스터 PT1 및 PT2가 상호 인접하게 형성되고 서로 거의 동일한 사이즈를 가지게 된다면, 문턱 전압 Vthp1은 대략 문턱 전압 Vthp2와 같게 된다.

다음, 도 9g에 도시된 바와 같이, 시간 t3에서 스위치 S5는 턴온된다. 이 상태에서, 트랜지스터 NT2는 소스 폴로워로 동작하므로, 출력 전압 Vout는 상기 수학적 식 6의 Vout = Vin + Vthn1 - Vthn2를 만족한다. 여기서, Vthn2는 트랜지스터 NT2의 문턱 전압이다. 따라서, 만약 Vthn1이 Vthn2와 유사한 값을 가진다면(Vthn1 = Vthn2), 출력 전압은 상기 수학적 식 7의 Vout = Vin을 만족한다.

도 10은 도 6의 소스 드라이버를 변형한 회로도이다. 상기 소스 드라이버는 상기 입력 단자와 상기 출력 단자간에 연결된 제8 스위치(S8)를 더 포함한다. 상기 제8 스위치(S8)는, 도 7h, 8h 및 9h에 도시된 바와 같이, 상기 제2 PMOS 트랜지스터(PT2) 또는 상기 제2 NMOS 트랜지스터(NT2)가 소스 폴로워 동작 후에 턴온된다. 출력 전압 V_{out} 이 V_{in} 에 가까워 질 경우 소스 폴로워의 구동 능력이 매우 약해지므로 제8 스위치(S8)를 사용함으로써 정확한 최적 값(목표 값)을 얻을 수 있다. 제8 스위치(S8)를 사용하는 다른 이유는 도 4에 대한 설명에서 설명된 바와 같이 트랜지스터 NT1과 NT2간의 문턱 전압의 차이에 기인한 V_{out} 와 최적 값의 차이를 보상하기 위한 것이다.

상기 소스 드라이버는 제5 NMOS 트랜지스터(NT5)와 제5 PMOS 트랜지스터(PT5)를 더 포함한다. 제5 NMOS 트랜지스터(NT5)의 소오스는 상기 출력 단자에 연결되고, 드레인은 상기 전원 공급 단자에 연결되며, 게이트는 상기 입력 단자에 연결된다. 제5 PMOS 트랜지스터(PT5)의 소오스는 상기 출력 단자에 연결되고, 드레인은 상기 접지 단자에 연결되며, 게이트는 상기 입력 단자에 연결된다. 상기 제5 NMOS 트랜지스터(NT5)와 제5 PMOS 트랜지스터(PT5)는 더 정확한 출력 전압을 얻기 위하여 사용된다.

도 11은 도 6의 소스 드라이버의 동작을 설명하기 위한 테이블이다. 소스 드라이버의 동작은 파트(part) I, 파트(part) II, 파트(part) III에서 서로 다르지만, 소스 드라이버의 동작은, 도 7 내지 도 9에 도시된 바와 같이, 상기 논리 회로(도시하지 않음)에 의하여 여전히 구현될 수 있다. 즉, 상기 파트(part) I, II, III의 스위치 S5 및 S6 또는 스위치 S4 및 S8은 상기 멀티플렉서에 의하여 쉽게 구현될 수 있다.

따라서, 상기 본 발명의 제2 실시예에서는, 상기 출력 전압 V_{out} 은 상기 입력 전압 V_{in} 과 동일할 수 있으며, 소스 폴로워로서의 상기 트랜지스터 NT2에 결합된 소스 폴로워로서의 트랜지스터 PT2에 의하여 높은 전류 공급 능력이 제공될 수 있다.

상술한 본 발명의 실시예들에서는, 상기 PMOS 트랜지스터들은 게이트가 절연된 형태의 다른 P 채널 트랜지스터가 될 수도 있고, 상기 NMOS 트랜지스터들은 게이트가 절연된 형태의 다른 N 채널 트랜지스터가 될 수도 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면, 상기 소스 드라이버는 많은 회로 구성 요소들로 이루어진 연산 증폭기를 사용하지 않으며, LCD 장치에 적용되는 상기 신규한 구성의 소스 드라이버 회로는 반도체 웨이퍼 IC 공정을 적절하게 이용함으로써 상기 소스 드라이버의 칩 사이즈는 감소될 수 있고, 결과적으로 제조 비용뿐만 아니라 전력 소모도 줄일 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

입력 전압을 입력받아 출력 전압을 생성하여 데이터 라인을 구동하는 액정표시장치용 소스 드라이버에 있어서,

접지 전압이 인가되는 접지 단자;

상기 접지 전압보다 높은 전원 전압이 인가되는 전원 공급 단자;

입력 전압을 입력받는 입력 단자;

출력 전압을 생성하는 출력 단자;

게이트가 드레인과 결합된 제1 PMOS 트랜지스터;

게이트가 상기 제1 PMOS 트랜지스터의 드레인과 결합되고, 소스가 상기 출력 단자에 결합된 제2 PMOS 트랜지스터;

게이트가 드레인에 결합된 제1 NMOS 트랜지스터;

게이트가 상기 제1 NMOS 트랜지스터의 드레인과 결합되고, 소스가 상기 출력 단자에 결합된 제2 NMOS 트랜지스터;

게이트가 상기 입력 단자에 결합되고, 소오스가 상기 제1 PMOS 트랜지스터의 소스에 결합된 제3 NMOS 트랜지스터;

드레인이 상기 전원 공급 단자에 결합되고, 게이트가 소스가 결합된 제3 PMOS 트랜지스터;

상기 제3 PMOS 트랜지스터의 소스와 상기 제1 NMOS 트랜지스터의 드레인 사이에 결합된 제1 스위치;

상기 접지 단자와 상기 제1 PMOS 트랜지스터의 드레인 사이에 결합된 제2 스위치;

상기 전원 공급 단자와 상기 제3 NMOS 트랜지스터의 드레인 사이에 결합된 제3 스위치;

상기 입력 단자와 상기 제1 NMOS 트랜지스터의 소오스 사이에 결합된 제4 스위치;

상기 전원 공급 단자와 상기 제2 NMOS 트랜지스터의 드레인 사이에 결합된 제5 스위치;

상기 접지 단자와 상기 제2 PMOS 트랜지스터의 드레인 사이에 결합된 제6 스위치; 및

상기 제어 신호 단자와 상기 제1 NMOS 트랜지스터의 드레인 사이에 결합된 제1 커패시터를 포함하는 소스 드라이버.

청구항 2.

제1항에 있어서, 상기 제1 커패시터는 상기 제1 커패시터는 소정 시간 동안 적어도 상기 입력 전압에 상기 NMOS 트랜지스터들의 문턱 전압을 더한 전압 레벨로 상기 제1 NMOS 트랜지스터의 드레인 전압을 올리도록 동작하는 것을 특징으로 하는 소스 드라이버.

청구항 3.

제1항에 있어서, 상기 제3 및 제2 스위치는 소정 시간동안 상기 제2 PMOS 트랜지스터의 게이트를 ($V_{in} + V_{thp1} + V_{thn3}$)-여기서, V_{in} 은 상기 입력 전압, V_{thp1} 은 상기 제1 PMOS 트랜지스터의 문턱 전압이고, V_{thn3} 은 상기 제3 NMOS 트랜지스터의 문턱 전압임-전압으로 바이어스 시키도록 동작하는 것을 특징으로 하는 소스 드라이버.

청구항 4.

제1항에 있어서, 상기 제4 및 제1 스위치는 소정 시간동안 상기 제2 NMOS 트랜지스터의 게이트를 ($V_{in} + V_{thn1}$)-여기서, V_{in} 은 상기 입력 전압, V_{thn1} 은 상기 제1 NMOS 트랜지스터의 문턱 전압임-전압으로 바이어스 시키도록 동작하는 것을 특징으로 하는 소스 드라이버.

청구항 5.

제1항에 있어서, 상기 제6 스위치는 상기 제2 PMOS 트랜지스터를 소스 폴로워(source follower)로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 6.

제1항에 있어서, 상기 제5 스위치는 상기 제2 NMOS 트랜지스터를 소스 폴로워(source follower)로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 7.

제1항에 있어서, 상기 소스 드라이버는

소스가 상기 제2 PMOS 트랜지스터의 드레인과 결합되고, 드레인이 상기 출력 단자에 결합되며, 상기 입력 전압이 상기 트랜지스터의 문턱 전압보다 작은 경우에 소정 시간동안 실질적으로 상기 출력 전압을 접지시키는 제4 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 8.

제1항에 있어서, 상기 소스 드라이버는

게이트가 상기 입력 단자에 결합되고, 소오스가 상기 제1 NMOS 트랜지스터의 소오스에 결합된 제4 PMOS 트랜지

스터; 및

상기 접지 단자와 상기 제4 PMOS 트랜지스터의 드레인 사이에 결합된 제7 스위치를 더 포함하는 것을 특징으로 하는 소스 드라이버

청구항 9.

제8항에 있어서, 상기 소스 드라이버는

상기 입력 단자와 상기 제3 NMOS 트랜지스터의 소오스 사이에 결합된 제9 스위치를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 10.

제9항에 있어서, 상기 제4 스위치는 턴오프로 유지되고 상기 제9 스위치는 턴온으로 유지되며, 그 다음 상기 제5 스위치는 턴온되고 상기 제6 스위치는 턴오프되어 상기 제2 NMOS 트랜지스터를 소스 폴로워로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 11.

제10항에 있어서, 소정 시간동안 상기 제5 스위치는 턴온되고 상기 제6 스위치는 턴오프되며 온으로 유지된 후, 그 다음 상기 제5 스위치는 턴오프되고 상기 제6 스위치는 턴온되어 상기 제2 PMOS 트랜지스터를 소스 폴로워로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 12.

제9항에 있어서, 상기 제4 스위치는 턴온으로 유지되고 상기 제9 스위치는 턴오프로 유지되며, 그 다음 상기 제5 스위치는 턴오프되고 상기 제6 스위치는 턴온되어 상기 제2 PMOS 트랜지스터를 소스 폴로워로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 13.

제12항에 있어서, 상기 제5 스위치는 턴오프되고 상기 제6 스위치는 턴온된 후, 그 다음 상기 제5 스위치는 턴온되고 상기 제6 스위치는 턴오프되어 상기 제2 NMOS 트랜지스터를 소스 폴로워로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 14.

제9항에 있어서, 상기 소스 드라이버는

상기 입력 단자와 상기 출력 단자사이에 결합되고, 상기 제2 PMOS 트랜지스터 또는 상기 제2 NMOS 트랜지스터의 소스 폴로워로서의 동작 후 턴온되는 제8 스위치를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 15.

제9항에 있어서, 상기 소스 드라이버는

소스가 상기 제2 PMOS 트랜지스터의 드레인과 결합되고, 드레인이 상기 출력 단자에 결합되며, 상기 입력 전압이 상기 트랜지스터의 문턱 전압보다 작은 경우에 소정 시간동안 실질적으로 상기 출력 전압을 접지시키는 제4 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 16.

제9항에 있어서, 상기 소스 드라이버는

소스가 상기 출력 단자에 결합되고, 드레인이 상기 전원 공급 단자에 결합되고, 게이트가 상기 입력 단자에 결합된 제5 NMOS 트랜지스터; 및

소스가 상기 출력 단자에 결합되고, 드레인이 상기 접지 단자와 결합되고, 게이트가 상기 입력 단자에 결합된 제5 PMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 17.

제1항에 있어서, 상기 제2 PMOS 트랜지스터의 게이트가 $(V_{in} - V_{thn3} + V_{thp1})$ -여기서, V_{in} 은 상기 입력 전압, V_{thp1} 은 상기 제1 PMOS 트랜지스터의 문턱 전압이고, V_{thn3} 은 상기 제3 NMOS 트랜지스터의 문턱 전압임-전압으로 바이어스 된 후, 상기 제6 스위치는 턴온되고 상기 제5 스위치는 턴오프되어 상기 제2 PMOS 트랜지스터를 소스 폴

로워로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 18.

제1항에 있어서, 상기 제2 NMOS 트랜지스터의 게이트가 $(V_{in} + V_{thn1})$ -여기서, V_{in} 은 상기 입력 전압, V_{thn1} 은 상기 제1 NMOS 트랜지스터의 문턱 전압임-전압으로 바이어스 된 후, 상기 제6 스위치는 턴오프되고 상기 제5 스위치는 턴온되어 상기 제2 NMOS 트랜지스터를 소스 폴로워로 동작시키는 것을 특징으로 하는 소스 드라이버.

청구항 19.

제1항에 있어서, 상기 소스 드라이버는

상기 입력 단자와 상기 출력 단자 사이에 결합되고, 상기 제2 PMOS 트랜지스터 또는 상기 제2 NMOS 트랜지스터의 소스 폴로워로서의 동작 후 턴온되는 제8 스위치를 더 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 20.

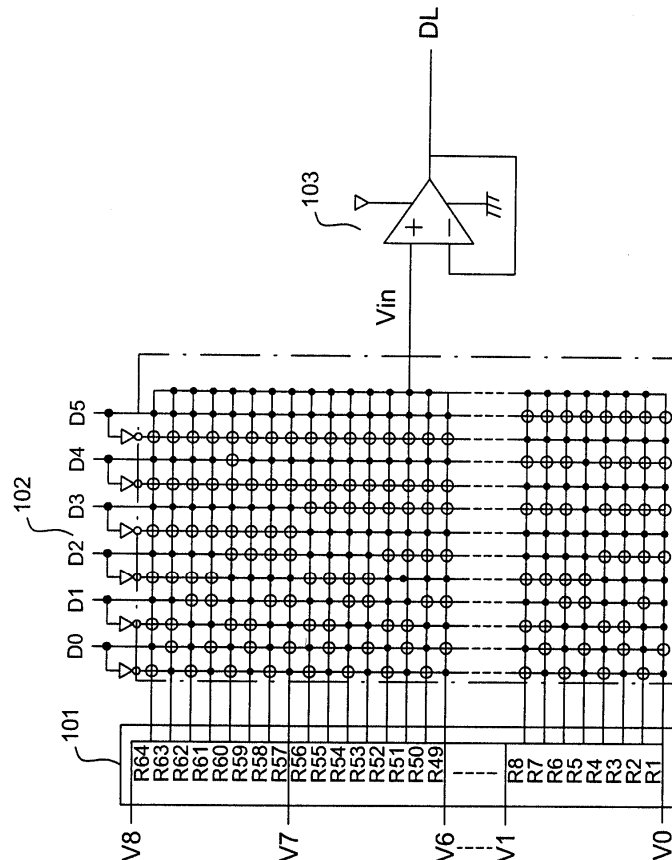
제1항에 있어서, 상기 소스 드라이버는

소스가 상기 출력 단자에 결합되고, 드레인이 상기 전원 공급 단자에 결합되고, 게이트가 상기 입력 단자에 결합된 제5 NMOS 트랜지스터; 및

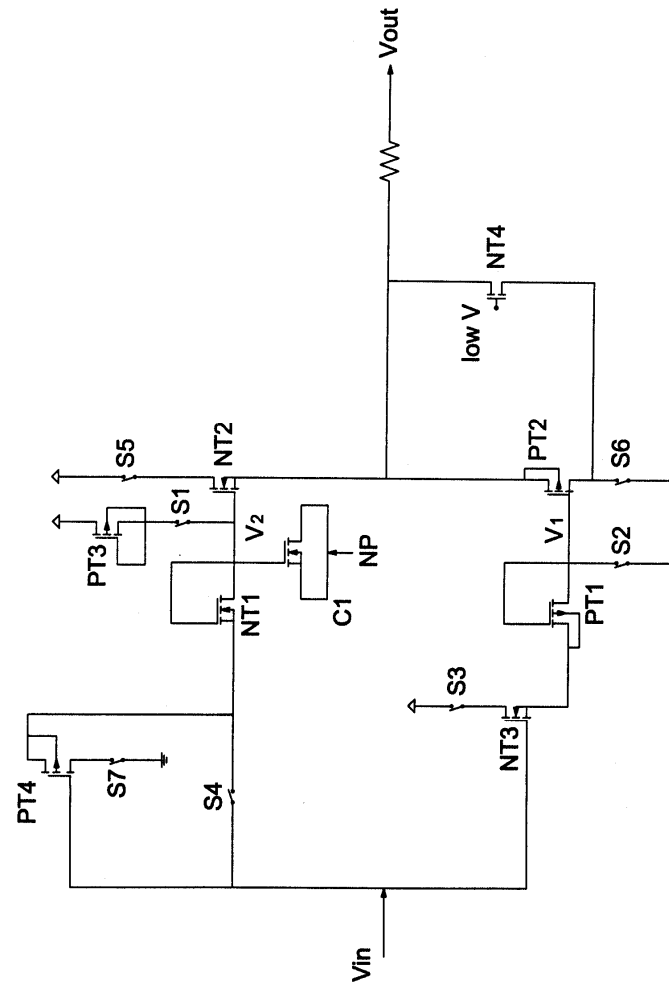
소스가 상기 출력 단자에 결합되고, 드레인이 상기 접지 단자와 결합되고, 게이트가 상기 입력 단자에 결합된 제5 PMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 소스 드라이버.

도면

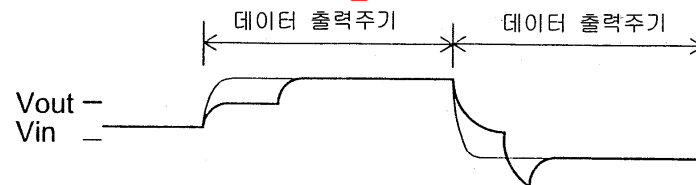
도면1



도면2



도면3a



도면3b



도면3c

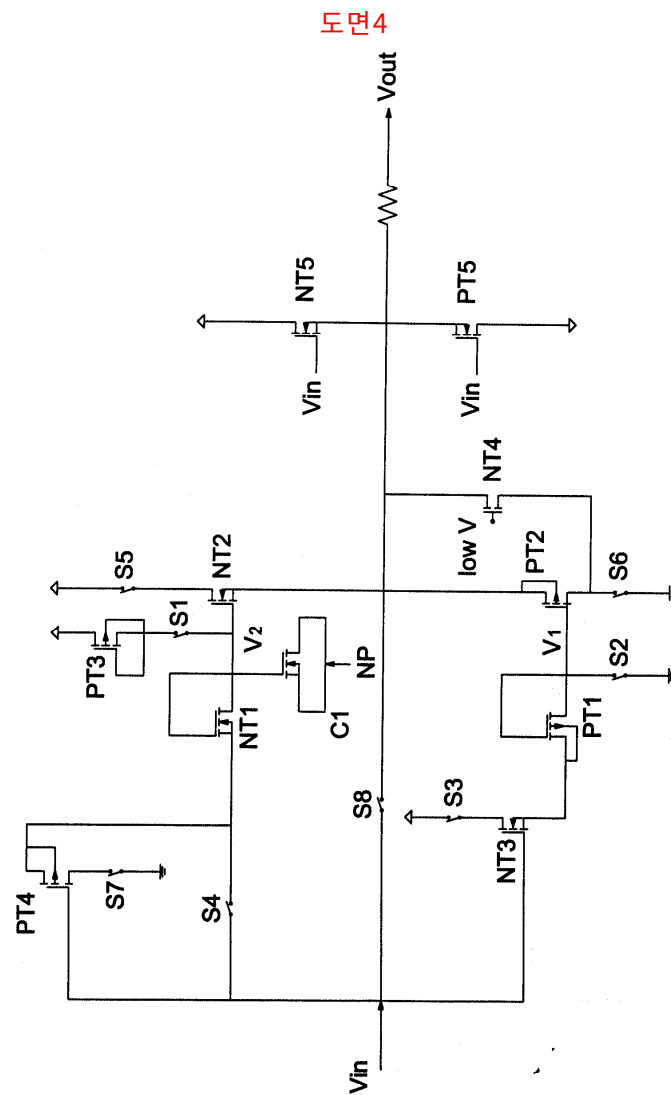
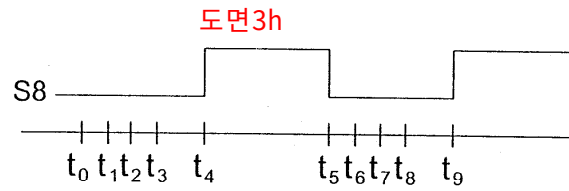
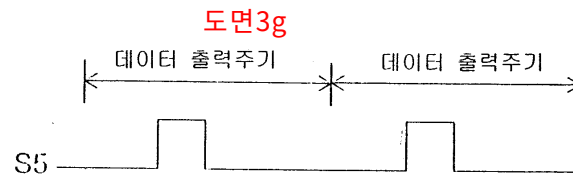
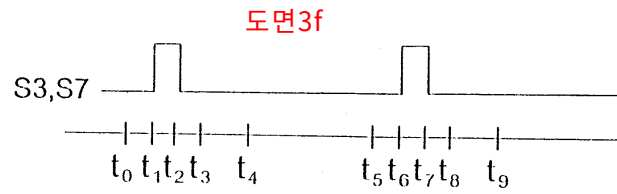


도면3d



도면3e

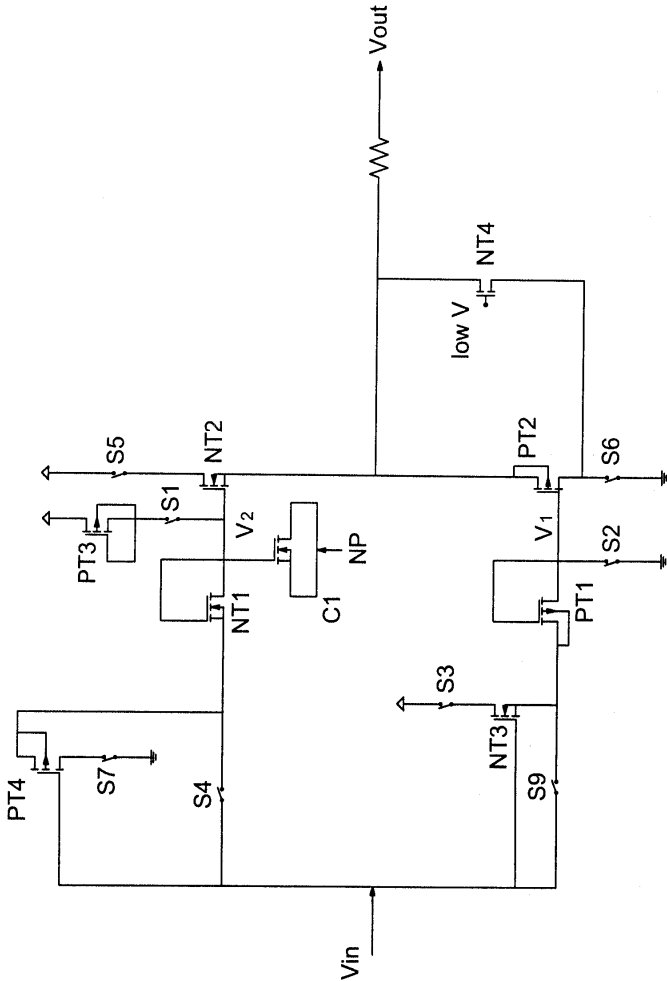


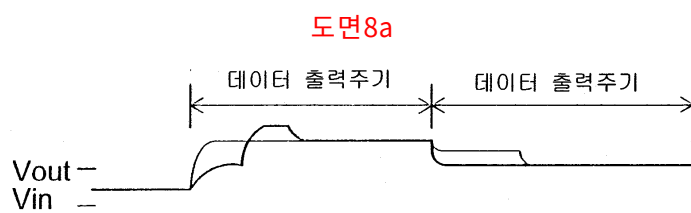
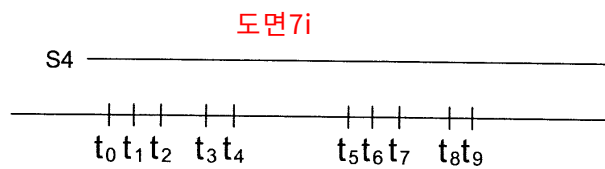
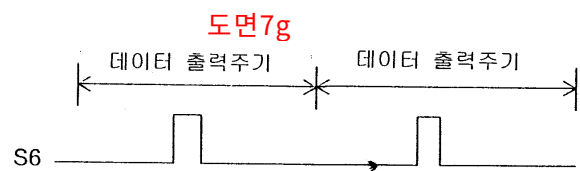
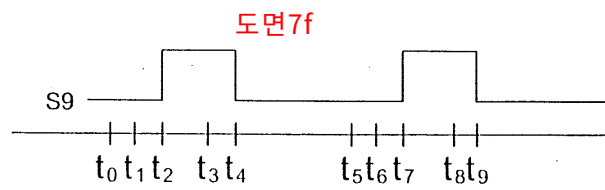
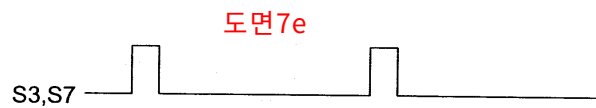
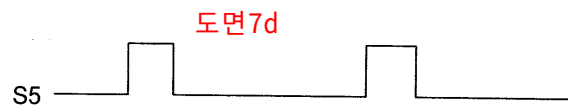
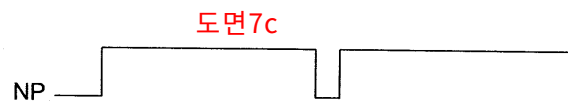
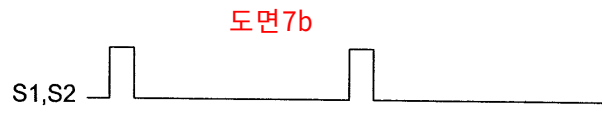
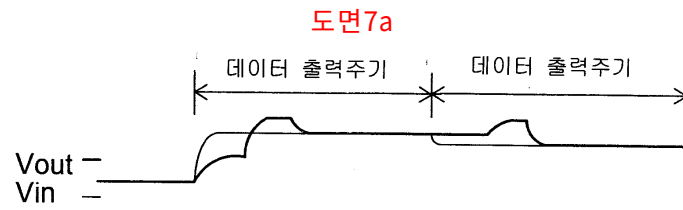


도면5

S1	S2	NP	S3(S7)	S4	S5	S6	S8
ON	ON	Low	OFF	OFF	OFF	OFF	OFF
OFF	OFF	High	ON	OFF	OFF	OFF	OFF
OFF	OFF	High	OFF	ON	OFF	ON	OFF
OFF	OFF	High	OFF	ON	ON	OFF	OFF
OFF	OFF	High	OFF	ON	OFF	OFF	ON

도면6





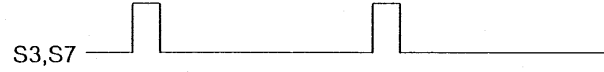
도면8c



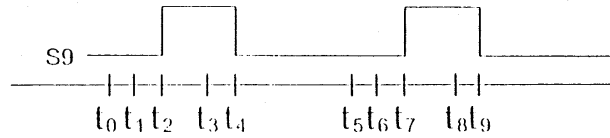
도면8d



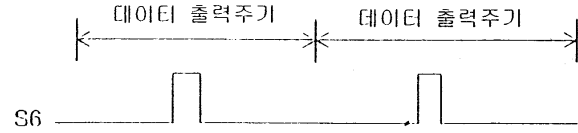
도면8e



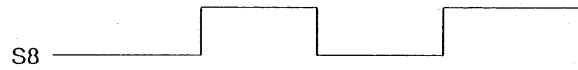
도면8f



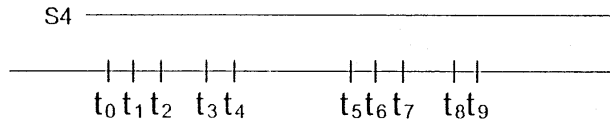
도면8g



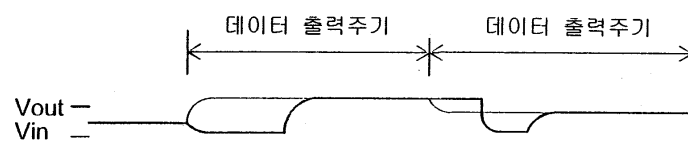
도면8h



도면8i



도면9a



도면9b



도면9c



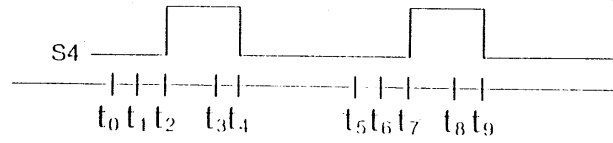
도면9d



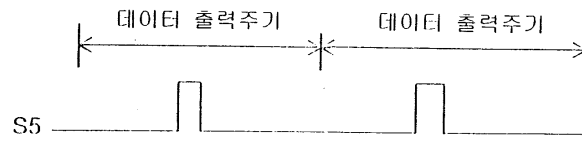
도면9e



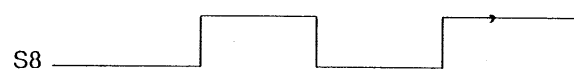
도면9f



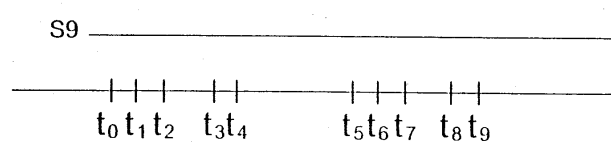
도면9g



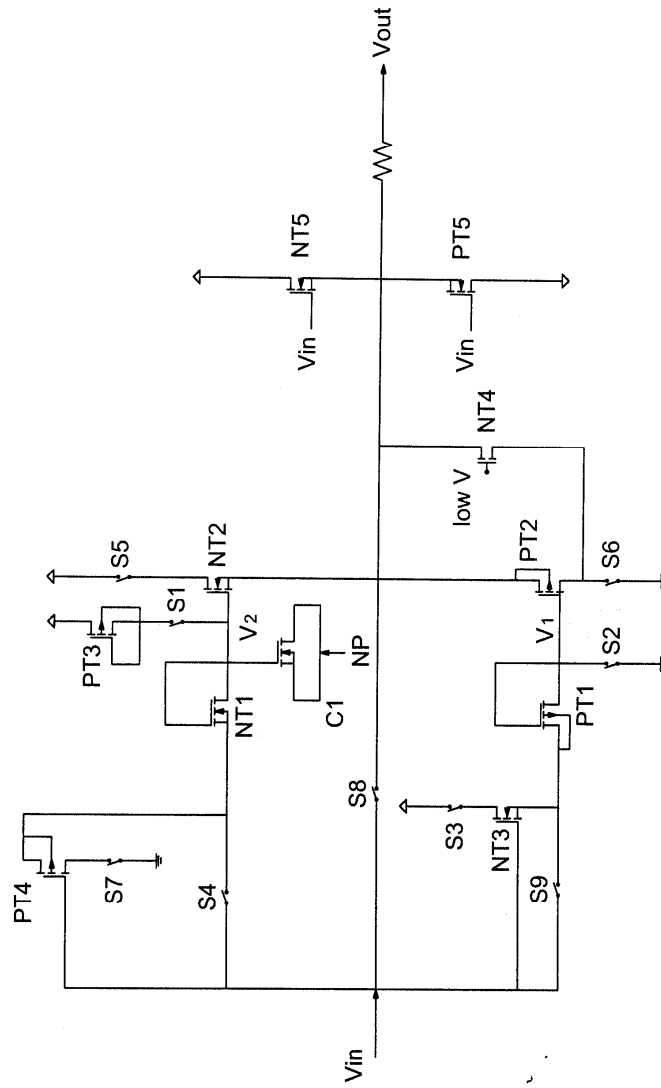
도면9h



도면9i



도면10



도면11

S1	S2	NP	S3(S7)	S4	S9	S5	S6	S8
ON	ON	Low	OFF	OFF	OFF	OFF	OFF	OFF
OFF	OFF	High	ON	OFF	OFF	OFF	OFF	OFF
OFF	OFF	High	OFF	OFF	ON	ON	OFF	OFF
OFF	OFF	High	OFF	OFF	ON	OFF	ON	OFF
OFF	OFF	High	OFF	OFF	OFF	OFF	OFF	ON

提供用于驱动液晶显示装置线的数据的源极驱动器，输入输入电压并产生输出电压。根据源极驱动器，当第一和第二PMOS晶体管用作第一源极跟随器并且跟随输入电压时，体效应被消除，并且为了固定，保持负载负载损耗。第一和第二NMOS晶体管用作第二源极跟随器。为了将第一NMOS晶体管的漏极电压至少在输入电压升高到增加NMOS晶体管的阈值电压的电压电平，电容器工作。此外，它用于在输出电压接近输入电压的情况下额外的开关达到正确的输出电压。

