

(19) (KR)
(12) (A)

(51) 。 Int. Cl.⁷ (11) 10-2004-0086187
G09G 3/36 (43) 2004 10 08

(21) 10-2004-0019348
(22) 2004 03 22

(30) JP-P-2003-00098579 2003 04 01 (JP)

(71) 997

(72) 997
가 997

(74) :

(54)

(IPS) , TN
DC .
, ,
가 ,
가 ,

2 .
3 .
4 .
5 .
6 IPS TN .
7 .

* *

1 : 2 :
3 : 4 :
5 : 6 :
7 : 8 :
9 : 10 :
11 : 12 :
13 : 14 :
21 : 22 :
23 : 31 :
32 : 33 :
34 : 41 :
42 : 43 :
44 : 45 :
46 : 61 :
62 : 63 :
100 : TFT 101 :
200 :

3), V_{so} (11) (13) 256 (32) 256 (32) 가 (12) (34) (3) 가 256 (32) 가 (11) 가

(14) 44 가 (11) (41) DC (42) (14) (1) 16 (Vref0), 2 (Vref1) 15 (Vr ef14), 16 (43) (Vref15) 가 (41) 가 (41) 가

(41) 1 15 (Vref0) 가 (41) 2 (Vref1) 가 (45) 15 16 (Vs1) 256 (Vs0), 2 (Vs1) 16 (Vs1 256 5) 가 Vref (46) 가 44 $\times 2$

1 (32) (Vsa) (Vso) (Vso) Vref0 = 14.6 70V Vref15 = 0.200V 2 7.435V 가 0 Vref7 = 7.985V Vref8 = 6.725V 7.355V 가 Vref 가 DC

[1]

계조	V s a	V s o	전압값
2 5 5	7. 2 3 5	7. 4 3 5	V r e f 0 = 1 4. 6 7 0
2 4 0	6. 4 1 0	7. 3 1 3	V r e f 1 = 1 3. 7 2 3
1 9 2	5. 2 1 0	7. 1 3 5	V r e f 2 = 1 2. 3 4 5
1 2 7	4. 0 0 0	6. 9 5 5	V r e f 3 = 1 0. 9 5 5
6 4	2. 8 0 0	7. 0 9 7	V r e f 4 = 9. 8 9 7
3 2	1. 9 5 0	7. 1 9 8	V r e f 5 = 9. 1 4 8
1	0. 7 0 0	7. 3 4 7	V r e f 6 = 8. 0 4 7
0	0. 6 3 0	7. 3 5 5	V r e f 7 = 7. 9 8 5
			V r e f 8 = 6. 7 2 5
			V r e f 9 = 6. 6 4 7
			V r e f 1 0 = 5. 2 4 8
			V r e f 1 1 = 4. 2 9 7
			V r e f 1 2 = 2. 9 5 5
			V r e f 1 3 = 1. 9 2 5
			V r e f 1 4 = 0. 9 0 3
			V r e f 1 5 = 0. 2 0 0

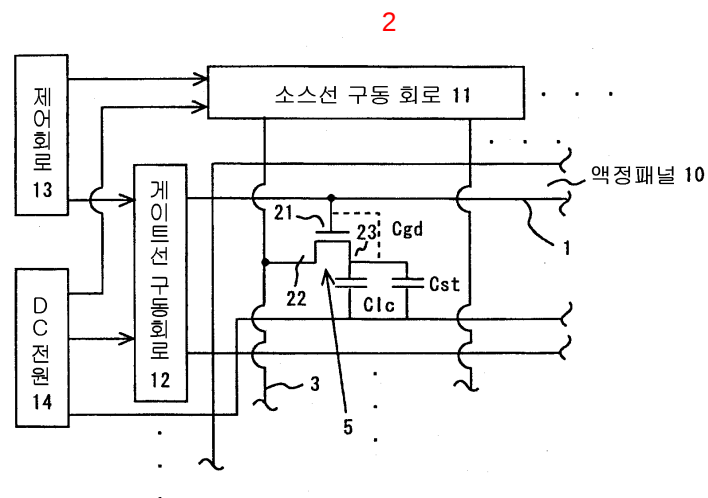
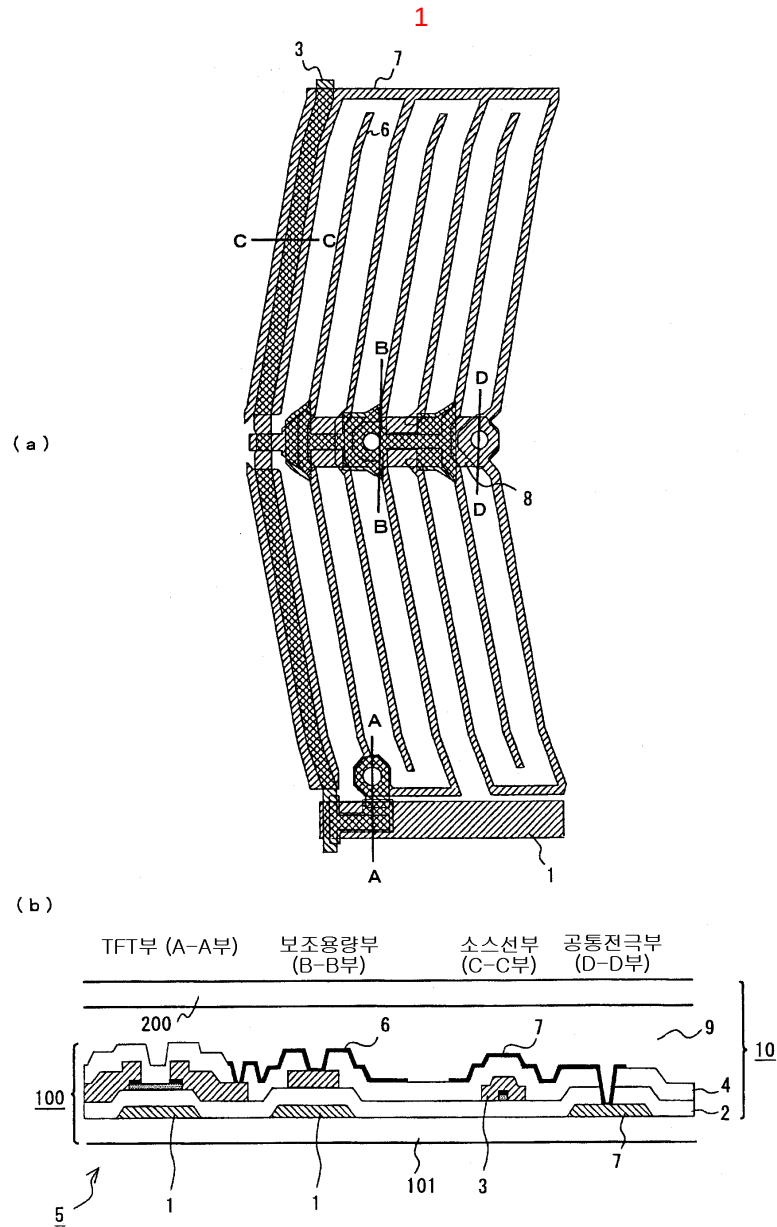
mV, 255 Vso (Vso255) 127 Vso (Vso127) (Vso255 - Vso127) 480mV, 0
Vso (Vso0) Vso127 (Vso0 - Vso127) 가 400mV
(61), (62), (63)
가 Vcom 0 255
127 ()
가 가 Vcom 127 0

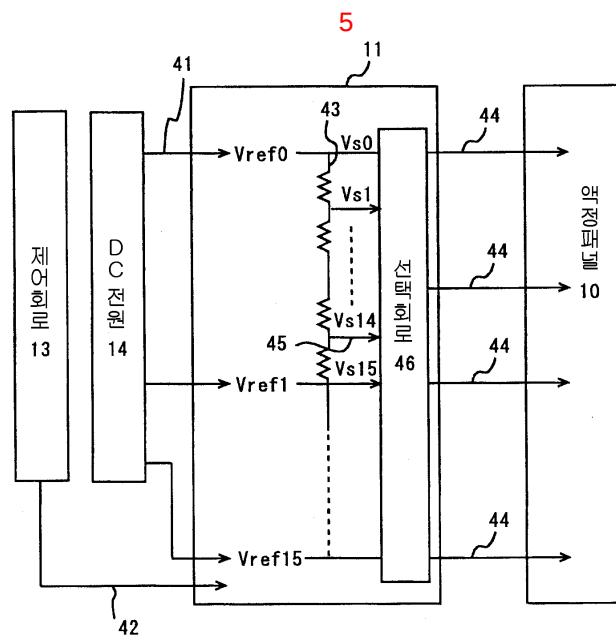
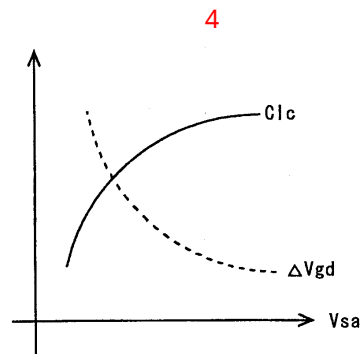
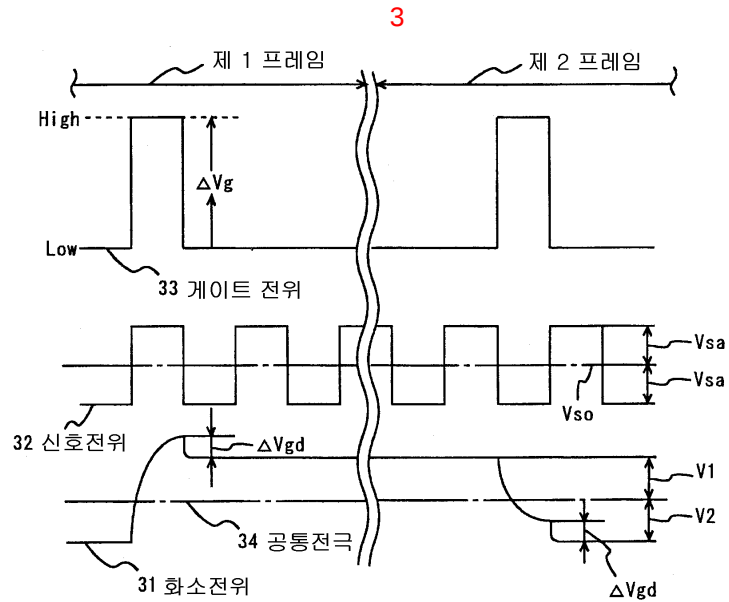
Figure 1 consists of two schematic diagrams, (a) and (b), illustrating the proposed 127-bit VLSI architecture. Diagram (a) shows a 127-bit input entering a block labeled '1x2', which then connects to a block labeled '7 (a)'. Diagram (b) shows a 127-bit input entering a block labeled 'Vcom', which then connects to a block labeled '7 (b)'. Both diagrams include a 'Vcom' block and a '7' output block.

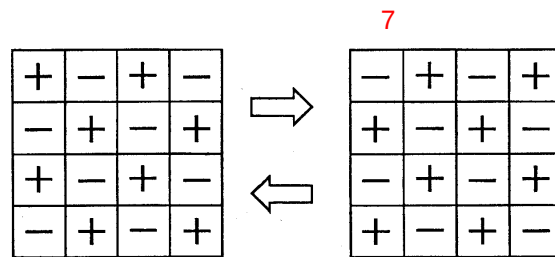
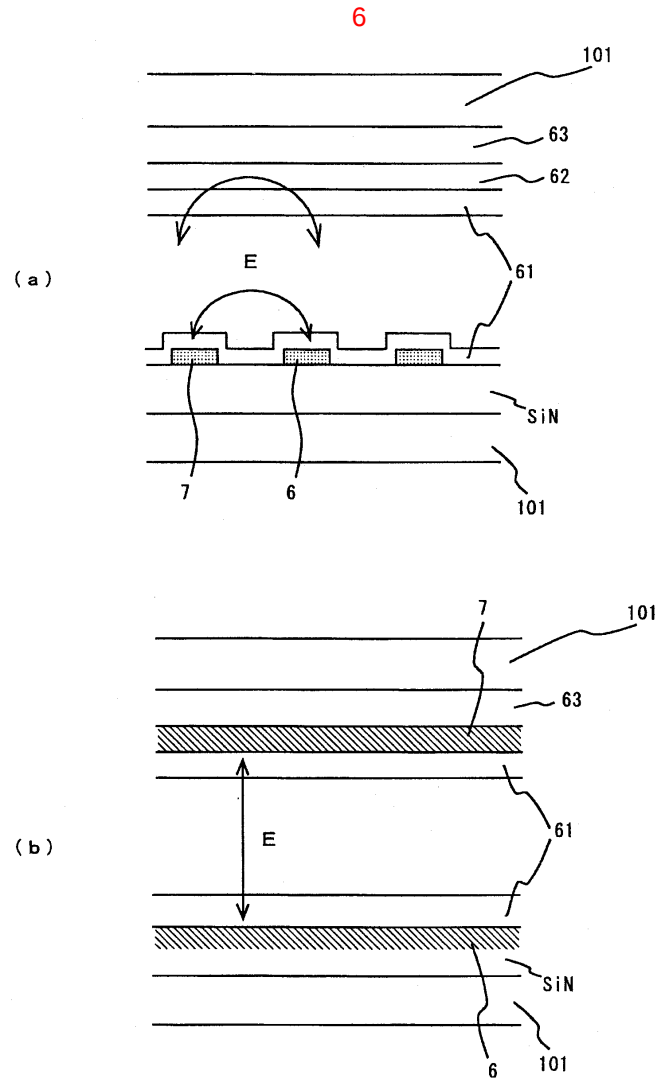
(57)

1.

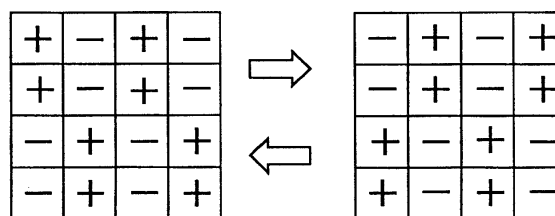
2.







(a) 도트반전



(b) 1 × 2

+ : 공통전위에 대하여 화소전위가 양
- : 공통전위에 대하여 화소전위가 음

专利名称(译)	驱动液晶显示装置的方法		
公开(公告)号	KR1020040086187A	公开(公告)日	2004-10-08
申请号	KR1020040019348	申请日	2004-03-22
申请(专利权)人(译)	提升者显示的激光炮的鼻子		
当前申请(专利权)人(译)	提升者显示的激光炮的鼻子		
[标]发明人	MASUTANI YUICHI 마스따니유키찌 NAGANO SHINGO 나가노신고		
发明人	마스따니유키찌 나가노신고		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G09G3/20 G09G3/36		
CPC分类号	G09G2320/0247 G09G2300/0434 G09G3/3648 G02F1/134363 G09G2320/0219 G09G3/3696 G09G3/3614		
代理人(译)	韩国专利公司		
优先权	2003098579 2003-04-01 JP		
其他公开文献	KR100629131B1		
外部链接	Espacenet		

摘要(译)

平面切换模式(面内切换模式)液晶单元的电极结构很容易产生上下方向的残余直流电压,因此与传统的TN模式相比,产生了粘连。上下方向成不对称。液晶驱动方法,其提供形成在栅极线的交叉部分环境中的开关元件,形成在与栅极线交叉的源极线之一的基板上,以及图像所需的栅极线和源极线以及信号电位在源极线上显示连接到开关元件的像素电极包括在一对基板中的像素电极上,并且它设定关于面内开关模式液晶的驱动方法的信号电位的平均值设备授权在基板面上的大致平行的电场,以便根据像素电极的电位是双极的时间和当为负时的平均值指示并输入的灰度而变化。液晶显示器。

