

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. 7
G02F 1/133

(11) 공개번호 특2003-0038315
(43) 공개일자 2003년05월16일

(21) 출원번호 10-2002-0024781
(22) 출원일자 2002년05월06일

(30) 우선권주장 1020010068457 2001년11월05일 대한민국(KR)

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 이승우
서울특별시금천구독산1동293-10독산현대아파트102동1008호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치 및 그 데이터 드라이버

요약

본 발명은 감마 기준 전압을 생성하여 데이터 드라이버의 내부 또는 외부에서 생성하여 액정 표시 장치의 화질상의 문제를 해결하고, 외부의 입력 핀의 수를 줄일 수 있는 데이터 드라이버와 이를 포함하는 액정 표시 장치를 개시한다.

본 발명에 따르면, 디지털 감마 저장부는 소정의 감마 로드 신호를 근거로, 외부로부터 소정의 데이터 버스를 통해 RGB별 디지털 감마 데이터를 제공받아 저장하고, 감마 기준 전압 생성부는 저장된 RGB별 디지털 감마 데이터를 근거로, 표시 데이터를 아날로그 형태로 변환할 때 사용되는 계조 표시용 감마 기준 전압을 RGB별로 독립하여 생성하며, 디지털-아날로그 변환기는 발생된 감마 기준 전압을 바탕으로 RGB 각각의 영상 데이터를 아날로그 전압으로 변환하여 출력한다.

그 결과, 감마 기준 전압을 외부에서 받지 않고 내부에서 RGB별로 각각 발생시켜 RGB 각각이 독립적인 감마 곡선을 갖도록 제어함으로써 액정 표시 장치의 화질상의 문제를 해결할 수 있을 뿐만 아니라, 외부의 입력 핀의 수를 줄일 수 있다.

대표도

도 3

색인어

액정, 감마, 기준전압, 독립, 화질개선, RGB, LCD

명세서

도면의 간단한 설명

도 1은 일반적인 데이터 드라이버를 나타내는 도면이다.

도 2는 일반적인 RGB 각각의 감마 곡선을 나타내는 도면이다.

도 3은 본 발명에 따른 감마 기준 전압 생성 기능을 갖는 데이터 드라이버를 나타내는 도면이다.

도 4는 도 3의 감마 기준 전압 생성부의 내부 구조를 나타내는 도면이다.

도 5 및 도 6은 각각 본 발명의 제1 및 제2 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 7은 도 6에 도시한 제1 샘플/홀드 회로부를 나타내는 도면이다.

도 8 및 도 9는 각각 본 발명의 제3 및 제4 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 10은 도 9에 도시한 제2 샘플/홀드 회로부를 나타내는 도면이다.

도 11 내지 도 13은 각각 본 발명의 제5 내지 제7 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 14는 제3 샘플/홀드 회로부를 나타내는 도면이다.

도 15 내지 도 20은 각각 본 발명의 제8 내지 제13 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 시프트 레지스터 20 : 데이터 레지스터

30 : 데이터 래치 40 : D/A 컨버터

50 : 출력 버퍼 100 : 감마 레지스터

200 : 감마 기준 전압 생성부 210 : 제1 극성 감마 전압 출력부

220 : 제2 극성 감마 전압 출력부 250 : R 기준 전압 발생부

260 : G 기준 전압 발생부 270 : B 기준 전압 발생부

300 : 감마 전압 발생기 310 : 정극성 감마 전압 발생기

320 : 부극성 감마 전압 발생기

S/H I, S/H II, S/H III ; 샘플/홀드 회로부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 드라이버와 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 RGB별로 독립하는 감마 기준 전압을 내부 또는 외부에서 생성하여 액정 표시 장치의 화질상의 문제를 해결하기 위한 데이터 드라이버와 이를 포함하는 액정 표시 장치에 관한 것이다.

일반적으로 액정 표시 장치는 영상 신호를 출력하는 데이터 드라이버와 스캔 신호를 출력하는 게이트 드라이버와 액정 패널로 이루어져, 액정 패널에 구비되는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전계를

인가하고, 이 단계의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다.

도 1은 일반적인 데이터 드라이버의 내부 블록을 설명하기 위한 도면이다.

도 1을 참조하면, 일반적인 데이터 드라이버는 시프트 레지스터(10), 데이터 레지스터(20), 데이터 래치(30), D/A 컨버터(40) 및 출력 버퍼(50)를 구비하고 있으며, 타이밍 제어부(미도시)로부터 도트 클럭에 맞추어 순차적으로 들어오는 RGB 각각의 데이터를 래치하여 점순차 방식의 타이밍 체계를 선순차 방식으로 변경하여 액정 패널의 데이터 라인 측에 데이터 전압을 출력한다.

동작시, 시프트 레지스터(10)는 타이밍 제어기(미도시)로부터 전송되는 R,G,B 데이터를 시프트 클럭에 동기하여 차례대로 시프트 시키면서 저장한다. 이때 데이터 드라이버의 시프트 레지스터에 데이터가 모두 저장되면, 데이터 드라이버는 캐리 아웃 신호를 다음 번 데이터 드라이버에 보내고, 다음 번 데이터 드라이버는 이전 데이터 드라이버와 마찬가지로 동작한다.

D/A 컨버터(40)는 시프트 레지스터(10)에 저장된 데이터 신호를 데이터 레지스터(20)와 데이터 래치(30)를 경유하여 제공받아 이에 대응하는 아날로그 계조 전압 값으로 변환시킨다. 즉, D/A 컨버터(40)는 계조 전압 발생부(미도시)로부터 출력되는 계조 전압과 시프트 레지스터(10)로부터 출력되는 데이터 신호를 수신하여, 시프트 레지스터(10)에 저장된 데이터 신호에 대응하는 아날로그 계조 전압값을 출력한다. 특히, 상기한 D/A 컨버터(40)는 외부에서 가해주는 다수의 감마 기준 전압(VGMA1, ..., VGMA18)을 바탕으로 데이터 래치(30)로부터 입력되는 RGB 데이터를 아날로그 전압으로 변환한다.

출력 버퍼(50)는 D/A 컨버터(40)로부터 출력되는 아날로그 계조 전압을 저장하고 있다가, 소정의 로드 신호가 인가되면 아날로그 계조 전압을 데이터 드라이버에 전기적으로 연결된 데이터 라인에 라인 단위로 인가한다.

현재의 액정 표시 장치는 R, G, B 각각의 화소의 전기 광학적 특성이 분명히 다름에도 불구하고, 상기한 전기 광학적 특성이 동일하다는 가정 하에 전기적인 신호를 동일하게 사용한다.

따라서 실제로 R, G, B의 감마 특성을 독립적으로 측정해 보면 도 2와 같이 하나의 곡선으로 일치하지 않음을 알 수 있다.

도 2는 일반적인 액정 패널의 R, G, B별 감마 곡선을 도시하며, 물론 R, G, B 각각에 대한 감마 곡선의 그레이별 휘도 레벨은 차이가 있으나, 이를 정규화(Normalizing)하여 하나의 도면으로 도시한다.

또한 도 2와는 반대로 블루(blue)가 그린(green) 아래로, 레드(red)가 그린 (green) 위로 존재해야만 색 표현이 향상되는 경우도 있다. 이러한 결과로 인하여 그레이별 색감이 일정하지 않거나 한 쪽으로 심하게 쏠리는 경우가 있게 된다.

현재의 데이터 드라이버는 외부에서 감마 기준 전압을 받아서 내부적으로 저항 스트링으로 감마 기준 전압을 나누어 디지털-아날로그 변환하여 사용하게 된다. 이를 위해서 데이터 드라이버는 18개(혹은 그 이하)의 입력 핀으로부터 기준 전압을 받아들여야 한다.

상기한 도 2에서 언급한 문제점을 해결하기 위해 데이터 드라이버에 R, G, B별로 독립적인 감마 기준 전압을 제공할 수 있다. 하지만 이러한 방법은 데이터 드라이버의 핀 수를 기존보다 36개나 증가시키게 되어 데이터 드라이버의 사이즈가 증가하는 문제점이 있다.

또한, R, G, B 별로 독립적으로 감마 기준 전압을 생성하기 위해 감마 기준 전압을 생성하는 부분이 세 블록으로 늘어나 외부 회로의 증가와 함께 데이터 드라이버가 실장되는 PCB의 면적 증가로 인하여 액정 표시 장치의 제조 단가가 상승하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이러한 종래의 문제점을 해결하기 위하여, 본 발명이 이루고자 하는 기술적 과제는 R, G, B별로 독립하는 감마 기준 전압을 생성하여 액정 표시 장치의 화질상의 문제를 해결하고, 외부의 입력 핀의 수를 줄이는 것이다.

발명의 구성 및 작용

본 발명의 첫 번째 특징에 따른 액정 표시 장치는 R, G, B별 디지털 감마 데이터를 출력하는 타이밍 제어부와 데이터 드라이버를 포함한다. 데이터 드라이버는 디지털 감마 저장부, 감마 기준 전압 생성부 및 디지털-아날로그 변환기를 포함한다. 디지털 감마 저장부는 타이밍 제어부로부터의 디지털 감마 데이터를 저장하고, 감마 기준 전압 생성부는 저장된 디지털 감마 데이터를 근거로, 화상 데이터를 아날로그 전압으로 변환할 때 사용되는 감마 기준 전압을 R, G, B별로 독립하여 생성한다. 디지털-아날로그 변환기는 생성된 감마 기준 전압을 바탕으로 R, G, B 각 각의 화상 데이터를 아날로그 전압으로 변환하여 출력한다.

이때, 감마 기준 전압 생성부는 R, G, B별 디지털 감마 데이터를 각각 제공받아 아날로그 변환하는 다수의 DAC를 포함하는 것이 바람직하다.

본 발명의 두 번째 특징에 따른 액정 표시 장치는 타이밍 제어부, 감마 기준 전압 생성부 및 데이터 드라이버를 포함한다. 타이밍 제어부는 R, G, B별 디지털 감마 데이터를 출력하고, 감마 기준 전압 생성부는 타이밍 제어부로부터의 디지털 감마 데이터를 아날로그로 변환하여 감마 기준 전압을 생성한다. 데이터 드라이버는 감마 기준 전압 생성부로부터의 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 감마 기준 전압을 출력하는 샘플/홀딩부, 및 샘플된 감마 기준 전압을 바탕으로 R, G, B 각각의 화상 데이터를 아날로그 전압으로 변환하여 출력하는 디지털-아날로그 변환기를 포함한다.

그러면, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정 표시 장치 및 그 데이터 드라이버에 대하여 자세하게 설명한다.

먼저, 도 3 및 도 4를 참조하여 본 발명에 따른 데이터 드라이버 및 감마 기준 전압 생성부에 대하여 설명한다.

도 3은 본 발명에 따른 감마 기준 전압 생성 기능을 갖는 데이터 드라이버를 나타내는 도면이며, 도 4는 도 3의 감마 기준 전압 생성부의 구조를 나타내는 도면이다.

도 3에 도시한 바와 같이, 본 발명에 따른 데이터 드라이버는 R, G, B별 디지털 감마 데이터를 저장할 수 있는 감마 레지스터(100)와 감마 레지스터(100)에 저장된 값을 바탕으로 R, G, B 각각의 감마 기준 전압을 생성하여 디지털-아날로그 변환기(40)로 출력하는 감마 기준 전압 생성부(200)를 더 포함한다.

도 4에 도시한 바와 같이, 감마 기준 전압 생성부(200)는 외부로부터 두 개의 전원(AVDD, GND)을 공급받고, 감마 레지스터(100)를 통해 들어온 컬러별, 극성별 디지털 감마 값(D0[7:0], D1[7:0], ..., D5[7:0])을 아날로그 값으로 변환한 정/부극성 감마 기준 전압을 데이터 드라이버, 바람직하게는 디지털-아날로그 변환기(40)에 공급한다.

타이밍 제어부(도시하지 않음)는 디지털 감마 데이터를 생성하여 데이터 버스를 통해 감마 레지스터(100)로 전달한다. 감마 레지스터(100)에 제어 신호인 감마 로드(GMA_load) 신호에 따라 이 디지털 감마 데이터를 저장한다. 즉, 감마 로드(GMA_load) 신호가 '하이(HIGH)'이면, 데이터 버스를 통해서 원하는 감마 전압을 생성할 수 있는 디지털 감마 데이터를 타이밍 제어부로부터 전달받아 저장한다.

다음에, 본 발명의 바람직한 실시예에 따른 감마 기준 전압 생성부에 대하여 설명한다.

먼저, 도 5를 참조하여 본 발명의 제1 실시예에 따른 감마 기준 전압 생성부를 설명한다.

도 5는 본 발명의 제1 실시예에 따른 감마 기준 전압 생성부를 설명하기 위한 도면이다.

도 5에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 감마 기준 전압 생성부(200)는 정극성 감마 전압 출력을 위한 정극성 감마 전압 출력부(210) 및 부극성 감마 전압 출력을 위한 부극성 감마 전압 출력부(220)를 포함한다.

정극성 감마 전압 출력부(210)는 레드(R)용 디지털 감마 데이터 각각을 아날로그 변환하기 위한 n개의 디지털-아날로그 변환기(digital-analog convertor, 이하 'DAC'라 함), 그린(G)용 디지털 감마 데이터 각각을 아날로그 변환하기 위한 n개의 DAC, 그리고 블루(B)용 디지털 감마 데이터 각각을 아날로그 변환하기 위한 n개의 DAC로 이루어진다.

부극성 감마 전압 출력부(220)도 정극성 감마 전압 출력부(210)와 동일하게 R, G, B용 각각 n개의 DAC로 이루어진다.

이러한 감마 기준 전압 생성부(200)는 감마 레지스터(100)로부터 R, G, B 각각의 디지털 감마 데이터를 동시에 받아서 다수의 DAC가 해당 감마 기준 전압을 각각 생성한다. 본 발명의 제1 실시예에서는 감마 기준 전압 생성부(200)는 $9 \times 2 \times 3$ 개의 디지털 감마 데이터, 즉 정극성의 R, G, B 디지털 감마 데이터($D_{V1R} \sim D_{V9R}$, $D_{V1G} \sim D_{V9G}$, $D_{V1B} \sim D_{V9B}$) 및 부극성의 R, G, B, 디지털 감마 데이터($D_{V10R} \sim D_{V18R}$, $D_{V10G} \sim D_{V18G}$, $D_{V10B} \sim D_{V18B}$)

를 제공받아서 감마 기준 전압을 생성하는 것으로 가정하여 설명한다.

이러한 본 발명의 제1 실시예에 따른 감마 기준 전압 생성부(200)는 모든 R, G, B 감마 기준 전압을 생성하기 위해서는 일대일로 DAC를 구비해야한다. 본 발명의 제1 실시예에서와 같이 $9 \times 2 \times 3$ 개의 감마 기준 전압을 생성하기 위해서는 DAC를 $9 \times 2 \times 3$ 개로서 구비해야 한다. 그러나, 이처럼 많은 수의 DAC가 내장되게 되면 데이터 드라이버의 면적이 커지게 된다.

그러면, 감마 기준 전압 생성부(200)에 구비되는 DAC의 개수를 줄여 데이터 드라이버의 면적을 줄이기 위한 다양한 일례들을 설명한다.

먼저, 도 6 및 도 7을 참조하여 본 발명의 제2 실시예에 따른 감마 기준 전압 생성부에 대하여 설명한다.

도 6은 본 발명의 제2 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 도 5에서 극성별로 DAC를 별도로 사용하는 경우를 나타내는 도면이다.

도 6에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 감마 기준 전압 생성부(200)는 정극성 감마 전압 출력을 위한 정극성 감마 전압 출력부(210) 및 부극성 감마 전압 출력을 위한 부극성 감마 전압 출력부(220)를 포함한다.

정극성 감마 전압 출력부(210)는 다수의 DAC로 이루어진 DAC부(212) 및 R, G, B 각각의 감마 기준 전압을 샘플링(Sampling) 및 홀딩(Holding) 출력하기 위한 3개의 제1 샘플/홀드 회로부(S/H I)로 이루어진 샘플/홀딩부(214)를 포함하며, 순차적으로 입력되는 정극성의 R, G, B 각각의 디지털 감마 데이터($D_{V1R} \sim D_{V9R}$, $D_{V1G} \sim D_{V9G}$, $D_{V1B} \sim D_{V9B}$)를 제공받아 샘플/홀딩부(214)를 경유하여 디지털 영상 데이터를 아날로그로 바꾸는 디지털-아날로그 변환기(40)로 출력한다.

보다 상세히는, DAC부(212)는 R, G, B별로 시분할되어 순차적으로 입력되는 정극성의 R, G, B 디지털 감마 데이터($D_{V1R} \sim D_{V9R}$, $D_{V1G} \sim D_{V9G}$, $D_{V1B} \sim D_{V9B}$)를 제공받아 아날로그 변환하고, 아날로그 변환된 정극성의 R, G, B 각각의 감마 기준 전압($V_{1R} \sim V_{9R}$, $V_{1G} \sim V_{9G}$, $V_{1B} \sim V_{9B}$)을 제1 샘플/홀딩부(214)에 출력한다.

또한 제1 샘플/홀딩부(214)는 아날로그 변환되어 입력되는 정극성의 R 감마 기준 전압($V_{1R} \sim V_{9R}$)을 샘플링하여 레드 화상 데이터를 아날로그 전압으로 변환하는 디지털-아날로그 변환기(40)에 출력하고, 정극성의 G 감마 기준 전압($V_{1G} \sim V_{9G}$)을 샘플링하여 그린 화상 데이터를 아날로그 전압으로 변환하는 디지털-아날로그 변환기(40)에 출력하며, 정극성의 B 감마 기준 전압($V_{1B} \sim V_{9B}$)을 샘플링하여 블루 화상 데이터를 아날로그 전압으로 변환하는 디지털-아날로그 변환기(40)에 출력한다.

한편, 부극성 감마 전압 출력부(220)는 다수의 DAC로 이루어진 DAC부(222) 및 R, G, B 각각의 감마 기준 전압을 샘플링 출력하기 위한 3개의 제1 샘플/홀드 회로부(S/H I)로 이루어진 샘플/홀딩부(224)를 포함하며, 순차적으로 입력되는 부극성의 R, G, B 각각의 디지털 감마 데이터($D_{V10R} \sim D_{V18R}$, $D_{V10G} \sim D_{V18G}$, $D_{V10B} \sim D_{V18B}$)를 제공받아 샘플/홀딩부(224)를 경유하여 DAC에 출력하는데, 상기한 제1 극성 감마 전압 출력부(210)의 동작과 유사하므로 이에 대한 상세한 설명은 생략한다.

그러면, 상기한 제1 또는 제2 샘플/홀딩부(214, 224)에 구비되는 제1 샘플/홀드 회로부(S/H I)에 대해서 첨부하는 도 7을 이용하여 설명한다.

도 7은 도 6에 도시한 제1 샘플/홀드 회로부(S/H I)를 나타내는 도면이다.

도 6 및 도 7을 참조하면, 제1 샘플/홀드 회로부(S/H I)는 이전 단의 DAC로부터 시분할되어 입력되는 감마 기준 전압을 샘플 시작 신호를 근거로 샘플링하고, 샘플링된 감마 기준 전압을 아날로그 버퍼를 통해 구동 집적회로 내부로 전송하는 다수의 샘플/홀드 회로를 포함하며, 이러한 다수의 샘플/홀드 회로는 DAC부(212, 222) 내의 다수의 DAC에 각각 연결된다.

여기서, 각각의 샘플/홀드 회로는 샘플 시작 신호를 근거로 이전 단의 DAC로부터 입력되는 감마 전압의 온/오프 출력을 스위칭하는 스위치와, 스위치를 경유하여 감마 전압이 입력됨에 따라 이를 저장하는 캐패시터와, 캐패시터에 충전된 감마 전압을 디지털-아날로그 변환기(40)에 출력하는 아날로그 버퍼로 이루어진다.

이러한 제1 샘플/홀드 회로부(S/H I)는 정극성 감마 전압 출력부(210)와 부극성 감마 전압 출력부(220)에 각각 R, G, B용으로 3개씩 들어가 있다. R, G, B용의 제1 샘플/홀드 회로(S/H I)의 샘플 시작 신호는 정극성 및 부극성 감마 전압 출력부(210, 220)로 입력되는 디지털 R, G, B 감마 데이터의 순서에 맞게 시간 차이를 두고 생성되어 해당하는 R, G, B 감마 전압을 샘플할 수 있게 된다.

이상에서 설명한 바와 같이, 본 발명의 제2 실시예에 따르면 감마 기준 전압 생성부(200)에 구비되는 DAC의 개수는 예를 들어 18개이고, 상기한 도 5에서는 54개이므로 1/3으로 줄일 수 있다.

도 8은 본 발명의 제3 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 도 5에서 정/부극성 모두를 지원하는 DAC를 사용하는 경우를 설명하기 위한 도면이다.

도 8을 참조하면, 본 발명의 제3 실시예에 따른 감마 기준 전압 생성부(200)는 정/부극성 감마 전압 출력을 위한 감마 전압 출력부(232), 정극성 감마 기준 전압 출력을 위한 샘플/홀딩부(214) 및 부극성 감마 기준 전압 출력을 위한 샘플/홀딩부(224)로 이루어진다.

감마 전압 출력부(232)는 다수의 DAC로 이루어져, R, G, B별로 시분할되어 순차적으로 입력되는 정극성의 R, G, B 각각의 디지털 감마 데이터($D_{V1R} \sim D_{V9R}, D_{V1G} \sim D_{V9G}, D_{V1B} \sim D_{V9B}$)와 부극성의 R, G, B 각각의 디지털 감마 데이터($D_{V10R} \sim D_{V18R}, D_{V10G} \sim D_{V18G}, D_{V10B} \sim D_{V18B}$)를 아날로그 변환하여 제1 샘플/홀딩부(214) 및 제2 샘플/홀딩부(224)에 출력한다.

제1 샘플/홀딩부(214)는 R, G, B 각각의 감마 기준 전압을 샘플링 출력하기 위한 3개의 도 7에 도시한 제1 샘플/홀드 회로부(S/H I)로 이루어져, 아날로그 변환되어 순차적으로 입력되는 정극성의 R, G, B 각각의 감마 기준 전압($V_{1R} \sim V_{9R}, V_{1G} \sim V_{9B}, V_{1B} \sim V_{9B}$)을 디지털-아날로그 변환기(40)에 출력한다.

제2 샘플/홀딩부(224)는 R, G, B 각각의 감마 기준 전압을 샘플링 출력하기 위한 3개의 도 7에 도시한 제1 샘플/홀드 회로부(S/H I)로 이루어져, 아날로그 변환되어 순차적으로 입력되는 부극성의 R, G, B 각각의 감마 기준 전압($V_{10R} \sim V_{18R}, V_{10G} \sim V_{18B}, V_{10B} \sim V_{18B}$)을 디지털-아날로그 변환기(40)에 출력한다.

이상에서 설명한 바와 같이, 본 발명의 제3 실시예에 따르면 감마 기준 전압 생성부(200)에 구비되는 DAC의 개수는 예를 들어 9개이고, 도 5에서는 54개이므로 1/6으로 줄일 수 있다.

이상의 본 발명의 제2 실시예와 제3 실시예에서는 상기한 도 5에서 도시한 DAC의 개수에 비해 1/3 및 1/6으로 각각 줄일 수 있는 감마 기준 전압 생성부를 설명하였다.

즉, 디지털 감마 데이터를 R, G, B별로 시분할하여 순차적으로 입력시키고 아날로그로 변환된 감마 기준 전압을 제1 샘플/홀드 회로부(S/H I)에서 R, G, B의 기준 전압을 저장하여 디지털 영상 데이터를 아날로그로 바꾸는 변환기(40)에 공급하게 된다.

다음에 도 9 및 도 10을 참조하여 본 발명의 제4 실시예에 따른 감마 기준 전압 생성부에 대하여 설명한다.

도 9는 본 발명의 제4 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 극성별로 R, G, B별 감마 기준 전압 발생을 위한 DAC를 별도로 사용하는 경우를 나타내는 도면이다.

도 9에 도시한 바와 같이, 본 발명의 제4 실시예에 따른 감마 기준 전압 생성부(200)는 정극성 감마 전압 출력을 위한 정극성 감마 전압 출력부(210) 및 부극성 감마 전압 출력을 위한 부극성 감마 전압 출력부(220)로 이루어진다. 정극성 및 부극성 감마 전압 출력부(210, 220)는 정/부극성의 R, G, B별로 DAC를 하나씩 사용하여 총 6개의 DAC를 사용하므로 상기한 도 6보다 데이터 드라이버의 면적을 1/3으로 줄일 수 있다.

이와 같이 정/부극성의 R, G, B별로 DAC를 하나씩 사용하여 구현하는 경우에는 정/부극성의 R, G, B 디지털 감마 데이터($D_{V1R} \sim D_{V9R}, D_{V1G} \sim D_{V9G}, D_{V1B} \sim D_{V9B}, D_{V10R} \sim D_{V18R}, D_{V10G} \sim D_{V18G}, D_{V10B} \sim D_{V18B}$)가 각각 직렬로 각각의 DAC에 입력된다. 각각의 DAC는 이를 아날로그 변환하고 아날로그 변환된 정/부극성의 감마 기준 전압($V_{1R} \sim V_{9R}, V_{1G} \sim V_{9B}, V_{1B} \sim V_{9B}, V_{10R} \sim V_{18R}, V_{10G} \sim V_{18B}, V_{10B} \sim V_{18B}$)을 각각의 DAC에 연결된 제2 샘플/홀드 회로부(S/H II)로 순차적으로 출력한다. 따라서 이를 구현하기 위한 제2 샘플/홀드 회로부(S/H II)는 제1 샘플/홀드 회로부(S/H I)와는 달라야 한다.

도 10은 도 9에서 설명한 제2 샘플/홀드 회로부를 설명하기 위한 도면이다.

도 7과 도 10을 참조하면, 제1 샘플/홀드 회로부(S/H I)가 9개의 아날로그 입력을 동시에 샘플링 출력하는 구조를 갖는 반면, 제2 샘플/홀드 회로부(S/H II)는 아날로그 입력이 하나이고 이것을 순차적으로 샘플링 출력하는 구조를 갖는다.

도 10에 도시한 바와 같이 이러한 제2 샘플/홀드 회로부(S/H II)는 DAC의 출력에 연결된 다수의 샘플/홀드 회로로 이루어지며, 샘플/홀드 회로는 DAC로부터 입력되는 감마 전압의 출력을 온/오프 스위칭하는 스위치, 스위치를 경유

하여 입력되는 감마 전압을 저장하는 캐패시터, 캐패시터에 저장된 감마 전압을 디지털-아날로그 변환기(40)에 출력하는 아날로그 버퍼, 및 스위치의 온/오프를 제어하는 샘플 시작 신호를 다음 샘플/홀드 회로로 전달하는 시프트 레지스터(S/R)로 이루어진다.

이러한 제2 샘플/홀드 회로부(S/H II)에서는 시프트 레지스터(S/R)를 통하여 샘플 시작 신호가 시프트됨에 따라 하나의 단자로부터 입력되는 감마 전압이 차례로 출력된다.

도 11은 본 발명의 제5 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 극성과 무관하게 R, G, B별 감마 기준 전압 발생을 위한 DAC를 사용하는 경우를 나타내는 도면이다.

도 11을 참조하면, 본 발명의 제5 실시예에 따른 감마 기준 전압 생성부는 정/부극성의 R 감마 기준 전압을 출력하기 위한 R 감마 기준 전압 발생부(250), 정/부극성의 G 감마 기준 전압을 출력하기 위한 G 감마 기준 전압 발생부(260) 및 정/부극성의 B 감마 기준 전압을 출력하기 위한 B 감마 기준 전압 발생부(270)를 포함한다.

정 및 부극성의 R, G, B 디지털 감마 데이터($D_{V1R} \sim D_{V18R}$, $D_{V1G} \sim D_{V18G}$, $D_{V1B} \sim D_{V18B}$)가 각각 직렬로 R, G, B 감마 기준 전압 발생부(250, 260, 270)로 입력된다.

보다 상세히는, R 감마 기준 전압 발생부(250)는 레드용 디지털 감마 데이터의 각각을 아날로그 변환하기 위한 DAC 및 정/부극성의 R 감마 기준 전압을 각각 샘플링 출력하기 위한 2개의 변형된 제2 샘플/홀드 회로부(S/H II')를 포함한다.

변형된 제2 샘플/홀드 회로부(S/H II')는 내부 시프트 레지스터(S/R)의 최종 출력이 다른 제2 샘플/홀드 회로부(S/H II')의 샘플 시작 신호가 된다는 점을 제외하면 도 10에 도시한 제2 샘플/홀드 회로부(S/H II)와 동일한 구조를 가진다. 즉, 샘플 시작 신호가 두 개의 제2 샘플/홀드 회로부(S/H II') 중 하나의 입력이 되고 이 제2 샘플/홀드 회로부(S/H II') 내부의 시프트 레지스터(S/R)의 최종 출력이 다른 제2 샘플/홀드 회로부(S/H II')의 샘플 시작 신호가 되어, 입력되는 정극성 및 부극성의 아날로그 신호를 순차적으로 샘플하게 된다.

G 감마 기준 전압 발생부(260)는 그린용 디지털 감마 데이터의 각각을 아날로그 변환하기 위한 DAC 및 정/부극성의 G 감마 기준 전압을 각각 샘플링 출력하기 위한 위에서 설명한 2개의 변형된 제2 샘플/홀드 회로부(S/H II')를 포함한다. 동작은 위에서 설명한 R 감마 기준 전압 발생부(250)의 변형된 제2 샘플/홀드 회로부(S/H II')와 동일하므로 설명을 생략한다.

B 감마 기준 전압 발생부(270)는 블루용 디지털 감마 데이터의 각각을 아날로그 변환하기 위한 DAC 및 정/부극성의 B 감마 기준 전압을 각각 샘플링 출력하기 위한 위에서 설명한 2개의 변형된 제2 샘플/홀드 회로부(S/H II')를 포함한다. 동작은 위에서 설명한 R 감마 기준 전압 발생부(250)의 변형된 제2 샘플/홀드 회로부(S/H II')와 동일하므로 설명을 생략한다.

도 12는 본 발명의 제6 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 극성별로 R, G, B별 감마 기준 전압 발생을 위한 DAC를 하나씩 사용하는 경우를 나타내는 도면이다.

도 12에 도시한 바와 같이, 본 발명의 제6 실시예에 따른 감마 기준 전압 생성부는 정극성 감마 기준 전압의 출력을 위한 정극성 감마 전압 출력부(210) 및 부극성 감마 전압 출력을 위한 부극성 감마 전압 출력부(220)를 포함하여 이루어진다.

정극성 감마 전압 출력부(210)는 하나의 DAC 및 제5 실시예에서 설명한 것과 같은 3개의 변형된 제2 샘플/홀드 회로부(S/H II')로 이루어져, 직렬 타입으로 입력되는 정극성의 R, G, B 각각의 디지털 감마 데이터를 제공받아 제2 샘플/홀드 회로부(S/H II')를 경유하여 디지털 영상 데이터를 아날로그로 바꾸는 디지털-아날로그 변환기(40)에 출력한다.

여기서, DAC는 정극성의 R, G, B 디지털 감마 데이터를 직렬 타입으로 제공받아 아날로그 변환하고, 아날로그 변환한 R, G, B 감마 기준 전압을 일괄적으로 변형된 제2 샘플/홀드 회로부(S/H II')에 출력한다.

첫 번째 제2 샘플/홀드 회로부(S/H II')측에서는 샘플 시작 신호를 근거로 레드용 감마 기준 전압을 선택하여 디지털-아날로그 변환기(40)에 출력하고, 두 번째 제2 샘플/홀드 회로부(S/H II')측에서는 첫 번째 제2 샘플/홀드 회로부(S/H II') 내부의 시프트 레지스터(S/R)의 최종 출력을 샘플 시작 신호로 그린용 감마 기준 전압을 선택하여 디지털-아날로그 변환기(40)에 출력하며, 세 번째 제2 샘플/홀드 회로부(S/H II')측에서는 두 번째 제2 샘플/홀드 회로부(S/H II') 내부의 시프트 레지스터(S/R)의 최종 출력을 샘플 시작 신호로 블루용 감마 기준 전압을 선택하여 디지털-아날로그 변환기(40)에 출력한다.

또한 부극성 감마 전압 출력부(220)의 구성 및 동작은 정극성 감마 전압 출력부(210)의 동작과 유사하므로 그 상세한 설명은 생략한다.

이상에서 설명한 제6 실시예에 따른 감마 기준 전압 생성부에 의하면, 감마 기준 전압의 발생을 위해 2개의 DAC만을 사용할 수 있으므로 데이터 드라이버의 면적을 도 11에 비해서 2/3만큼 줄일 수 있다.

한편, 감마 기준 전압의 극성과는 무관하게 R, G, B별 감마 기준 전압 발생을 위해 하나의 DAC만을 사용할 수도 있을 것이다. 이에 대하여 도 13을 참조하여 설명한다.

도 13은 본 발명의 제7 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 하나의 DAC만을 이용하는 경우를 나타내는 도면이다.

도 13에 도시한 바와 같이, 본 발명의 제7 실시예에 따른 감마 기준 전압 생성부는 하나의 DAC 및 정극성 디지털 감마 데이터를 처리하는 제6 실시예에서 설명한 것과 같은 3개의 변형된 제2 샘플/홀드 회로부(S/H II')와 부극성 디지털 감마 데이터를 처리하는 제6 실시예에서 설명한 것과 같은 3개의 변형된 제2 샘플/홀드 회로부(S/H II')를 포함한다.

DAC는 정극성 및 부극성의 R, G, B 디지털 감마 데이터를 직렬 타입으로 제공받아 아날로그 변환하고, 아날로그 변환한 정극성 및 부극성의 R, G, B 감마 기준 전압을 일괄적으로 6개의 변형된 제2 샘플/홀드 회로부(S/H II')로 출력한다.

먼저 3개의 변형된 제2 샘플/홀드 회로부(S/H II')가 정극성 및 부극성의 R, G, B 감마 기준 전압 중 정극성의 R, G, B 감마 기준 전압을 제6 실시예에서와 같이 샘플링한 후, 세 번째 제2 샘플/홀드 회로부(S/H II') 내부의 시프트 레지스터(S/R)의 최종 출력을 다음 3개의 변형된 제2 샘플/홀드 회로부(S/H II')로 전달한다.

다음 3개의 변형된 제2 샘플/홀드 회로부(S/H II')는 전달받은 시프트 레지스터(S/R)의 최종 출력을 샘플 시작 신호로 정극성 및 부극성의 R, G, B 감마 기준 전압 중 부극성의 R, G, B 감마 기준 전압을 제6 실시예에서와 같이 샘플링하여 디지털-아날로그 변환기(40)에 출력한다.

이러한 제7 실시예에 대한 자세한 설명은 위 실시예와 도면을 참고로 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 이해할 수 있기 때문에 생략한다.

이와 같이 본 발명의 제7 실시예에 의하면, 감마 기준 전압의 발생을 위해 1개의 DAC만을 사용할 수 있으므로 데이터 드라이버의 면적을 도 12에 비해서 1/2만큼 줄일 수 있다.

한편, 도 5, 6, 8, 9, 11, 12, 13에 도시한 바와 같이 도 6, 8은 도 5의 방법보다 새로운 감마 기준 전압으로 바뀌는 데 걸리는 시간이 3배로 길어지고, 도 9, 11은 도 5의 경우보다 9배가 길어진 시간이 필요하게 된다. 또한 도 13의 경우는 도 5의 경우보다 54배의 시간이 걸리게 된다.

하나의 DAC가 감마 기준 전압을 생성하는 데 $1\mu s$ 정도 걸린다고 했을 때, 도 5는 변환하는 데 $1\mu s$ 가 걸리는 반면, 도 13의 경우는 $54\mu s$ 가 걸린다. 이 정도의 시간은 영상 신호의 프레임간 데이터가 없는 블랭크(Blank) 기간보다 짧은 시간이므로 화면이 표시되는 데는 아무 문제가 없을 것이다.

그런데, 이러한 시간도 문제가 된다면 도 14에 제시한 제3 샘플-홀드 회로부(S/H III)를 사용하면 시간을 줄일 수 있다.

도 14는 제3 샘플/홀드 회로부(S/H III)를 나타내는 도면이다.

도 14에 도시한 바와 같이, 제3 샘플/홀드 회로부(S/H III)는 DAC의 출력단에 연결된 다수의 샘플/홀드 회로로 이루어지며, 샘플/홀드 회로는 DAC로부터 입력되는 감마 전압의 출력을 온/오프 스위칭하는 스위치, 스위치의 온/오프를 제어하는 샘플 시작 신호를 다음 샘플/홀드 회로로 전달하는 시프트 레지스터(S/R), 감마 기준 전압을 충전하는 캐패시터(C1, C2)를 각각 가지는 제1 및 제2 경로, 제1 및 제2 경로의 캐패시터(C1, C2)에 충전된 감마 전압을 디지털-아날로그 변환기(40)에 출력하는 아날로그 버퍼, 상기 스위치와 제1 및 제2 경로 사이에 연결되어 선택 신호에 따라 제1 및 제2 경로 사이를 전환하는 입력 스위치, 그리고 제1 및 제2 경로와 아날로그 버퍼 사이에 연결되어 선택 신호에 따라 제1 및 제2 경로 사이를 전환하는 출력 스위치로 이루어진다.

이러한 제3 샘플/홀드 회로부(S/H III)에서는 시프트 레지스터(S/R)를 통하여 샘플 시작 신호가 시프트됨에 따라 하나의 단자로부터 입력되는 감마 전압이 차례로 출력된다.

제3 샘플/홀드 회로부(S/H III)의 동작을 설명하면 다음과 같다.

현재의 감마 전압이 제2 캐패시터(C2)에 저장되어 있을 때, 변경되는 감마 기준 전압을 제1 캐패시터(C1)에 저장해서 모든 변경된 감마 기준 전압이 제1 캐패시터(C1)에 해당하는 정전 용량에 저장된 후에, 선택 신호를 바꾸어 제1 캐패시터(C1)의 변경 감마 기준 전압을 구동 집적회로에서 사용하게 하면 변경된 감마는 매우 짧은 시간에 바뀌게 된다.

이 상태를 유지하다가 감마 데이터가 바뀌게 되면 새로운 감마 전압을 제2 캐패시터(C2)에 저장하고, 저장 종료후 제2 캐패시터(C2)로 스위칭을 하면 된다.

그리고 이러한 제3 샘플/홀드 회로(S/H III)는 위에서 설명한 실시예 및 아래에서 설명할 실시예에서의 제2 샘플/홀드 회로(S/H II, S/H II') 대신에 사용할 수 있다.

이상에서는 감마 기준 전압을 데이터 드라이버 내부에서 생성하고, 감마 기준 전압 생성을 위한 DAC가 차지하는 면적을 줄이기 위한 다양한 실시예들에 대하여 설명하였다.

한편, 감마 기준 전압 생성을 위한 DAC를 데이터 드라이버로부터 이격시켜 구현할 수도 있을 것이며, 이에 대해서 첨부하는 도 15 내지 도 20을 참조하여 간략히 설명한다.

도 15는 본 발명의 제8 실시예에 따른 감마 기준 전압 생성부를 설명하기 위한 도면이다.

도 15를 참조하면, 데이터 드라이버는 정극성과 부극성의 감마 전압을 각각 샘플/홀딩하여 출력하기 위한 샘플/홀딩부(410, 420)를 포함하며, 이 샘플/홀딩부(410, 420)는 각각 위에서 설명한 3개의 제1 샘플/홀드 회로부(S/H I)로 이루어진다. 그리고 타이밍 제어부(도시하지 않음)와 데이터 드라이버(400) 사이에는 타이밍 제어부로부터의 디지털 감마 데이터를 아날로그로 변환하여 정극성 및 부극성 감마 기준 전압을 생성하기 위한 정극성 감마 전압 발생기(310)와 부극성 감마 전압 발생기(320)가 형성되어 있다.

본 발명의 제8 실시예에서는 기존의 방법과 마찬가지로 외부에서 감마 기준 전압을 구동 집적회로에 제공하지만, 타이밍 제어부와 디지털 인터페이스를 통해 정극성 및 부극성 감마 전압 발생기(310, 320)가 각각 정극성 및 부극성의 R, G, B 별 감마 기준 전압을 생성하여 순차적으로 데이터 드라이버(400)에 전송한다.

여기서, 정극성 감마 전압 발생기(310)와 부극성 감마 전압 발생기(320)의 각각은 다중 채널 디지털-아날로그 변환기로 이루어진다.

제8 실시예에서는 순차적으로 전송되는 R, G, B 별 감마 전압을 내부의 제1 샘플/홀드 회로부(S/H I)에 저장하여 데이터 드라이버의 내부에서 변경된 감마 기준 전압을 제공한다. 이러한 제8 실시예에서의 자세한 동작은 본 발명의 제2 실시예에서의 설명 및 도 15를 참조하면 용이하게 알 수 있으므로 자세한 설명을 생략한다.

또한 본 발명의 제8 실시예에서 정극성 감마 전압 발생기(310)와 부극성 감마 전압 발생기(320)에서 생성된 각각의 정/부극성의 감마 기준 전압은 모든 데이터 드라이버에 공통으로 인가되어 데이터 드라이버 내부에 DAC가 존재했을 때 데이터 드라이버간의 전압 차이를 없앨 수 있다.

위에서는 데이터 드라이버의 외부에 정극성 감마 전압과 부극성 감마 전압을 각각 출력하기 위해 극성별로 분리된 다중 채널 방식의 디지털-아날로그 변환기 2개를 구비하는 것을 설명하였다.

그러나, 상기한 2개의 디지털-아날로그 변환기를 극성과는 무관하게 하나로 구현할 수도 있을 것이다.

도 16은 본 발명의 제9 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면으로, 특히 극성과 무관하게 감마 기준 전압을 생성할 수 있는 다중 채널 감마 기준 전압 생성부를 사용할 경우를 나타내는 도면이다.

도 16에 도시한 바와 같이, 감마 전압 발생기(300)는 정극성 및 부극성의 R, G, B 감마 기준 전압을 생성하여 순차적으로 데이터 드라이버(400)에 인가한다. 이러한 제9 실시예에서의 자세한 동작은 본 발명의 제3 실시예에서의 설명 및 도 16을 참조하면 용이하게 알 수 있으므로 자세한 설명을 생략한다.

이렇게 하면 데이터 드라이버 외부의 다중 채널 방식의 감마 전압 발생기의 수도 1/2로 줄일 수 있고, 데이터 드라이버와의 연결선 수도 1/2로 줄일 수 있어 데이터 드라이버의 면적과 해당 데이터 드라이버가 실장되는 데이터 드라이버 PCB의 면적을 줄일 수 있다.

도 17은 본 발명의 제10 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 17에 도시한 바와 같이, 정극성 감마 전압 발생기(310) 및 부극성 감마 전압 발생기(320)는 각각 타이밍 제어부와 디지털 인터페이스를 통해 연결되며, 타이밍 제어부로부터의 디지털 감마 데이터로부터 각각 정극성 및 부극성의 R, G, B 감마 기준 전압을 생성한다. 정극성 및 부극성 감마 전압 발생기(310, 320)는 생성한 감마 기준 전압을 R, G, B 별로 직렬화하여 각각 하나의 출력을 통하여 데이터 드라이버에 제공하고, 데이터 드라이버에 구비되는 샘플/홀딩부(410, 420)가 샘플된 감마 기준 전압을 디지털-아날로그 변환기(400)에 출력한다. 샘플/홀딩부(410, 420)는 각각 3개의 제2 샘플/홀드 회로부(S/H II)로 이루어진다.

이러한 제10 실시예에서의 자세한 동작은 본 발명의 제4 실시예에서의 설명 및 도 17을 참조하면 용이하게 알 수 있으므로 자세한 설명을 생략한다.

본 발명의 제10 실시예에서는 제9 실시예에 비해 감마 전압 발생기의 수는 증가하나 데이터 드라이버와의 연결 선수를 줄일 수 있다.

도 18은 본 발명의 제11 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 18에 도시한 바와 같이, 감마 전압 발생기(300)는 정극성 및 부극성의 감마 기준 전압을 R, G, B별로 각각 직렬화하여 각각 하나의 출력을 통하여 데이터 드라이버(400)에 인가하고, 데이터 드라이버내에 구비되는 3개의 샘플/홀딩부(430, 440, 450)는 샘플된 감마 기준 전압 각각을 디지털-아날로그 변환기(40)에 출력한다.

여기서, 3개의 샘플/홀딩부는 정/부극성의 R 감마 기준 전압을 샘플/홀딩하여 출력하기 위한 R 샘플/홀딩부(430)와, 정/부극성의 G 감마 기준 전압을 샘플/홀딩하여 출력하기 위한 G 샘플/홀딩부(440)와, 정/부극성의 B 감마 기준 전압을 샘플/홀딩하여 출력하기 위한 B 샘플/홀딩부(450)로 이루어진다.

그리고 R, G, B 샘플/홀딩부(430, 440, 450) 각각은 위에서 설명한 것과 같은 변형된 2개의 제2 샘플/홀드 회로부(S/H II')로 이루어진다.

이러한 제11 실시예에서의 자세한 동작은 본 발명의 제5 실시예에서의 설명 및 도 18을 참조하면 용이하게 알 수 있으므로 자세한 설명을 생략한다.

본 발명의 제11 실시예에서는 제10 실시예에 비해 감마 전압 생성기의 수도 1/2로 감소하여 구현이 가능하고, 데이터 드라이버와의 연결 선수를 1/2로 감소하여 총 3개로 줄일 수 있다. 물론 상기한 감마 전압 생성기는 정/부극성을 모두 지원해야 한다.

도 19는 본 발명의 제12 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 19에 도시한 바와 같이, 정극성 감마 전압 발생기(310) 및 부극성 감마 전압 발생기(320)는 각각 타이밍 제어부와 디지털 인터페이스를 통해 연결되며, 타이밍 제어부로부터의 디지털 감마 데이터로부터 각각 정극성 및 부극성의 R, G, B 감마 기준 전압을 생성한다. 정극성 및 부극성 감마 전압 발생기(310, 320) 각각은 생성한 R, G, B 감마 기준 전압을 직렬화하여 하나의 출력을 통하여 데이터 드라이버에 제공하고, 데이터 드라이버에 구비되는 샘플/홀딩부(410, 420)가 샘플된 감마 기준 전압을 디지털-아날로그 변환기(400)에 출력한다.

이러한 샘플/홀딩부(410, 420)는 각각 위에서 설명한 것과 같은 3개의 변형된 제2 샘플/홀드 회로부(S/H II)로 이루어진다.

이러한 제12 실시예에서의 자세한 동작은 본 발명의 제6 실시예에서의 설명 및 도 19를 참조하면 용이하게 알 수 있으므로 자세한 설명을 생략한다.

도 20은 본 발명의 제13 실시예에 따른 감마 기준 전압 생성부를 나타내는 도면이다.

도 20에 도시한 바와 같이, 감마 전압 발생기(300)타이밍 제어부와 디지털 인터페이스를 통해 연결되며, 타이밍 제어부로부터의 디지털 감마 데이터로부터 정극성 및 부극성의 R, G, B 감마 기준 전압을 생성한다. 감마 전압 발생기(300)는 생성한 정극성 및 부극성의 R, G, B 감마 기준 전압을 직렬화하여 하나의 출력을 통하여 데이터 드라이버에 제공하고, 데이터 드라이버에 구비되는 샘플/홀딩부(410, 420)가 샘플된 감마 기준 전압을 디지털-아날로그 변환기(40)에 출력한다.

이러한 샘플/홀딩부(410, 420)는 각각 3개의 변형된 제2 샘플/홀드 회로부 (S/H II')로 이루어지며, 먼저 샘플/홀딩부(410)가 정극성 및 부극성의 R, G, B 감마 기준 전압 중 정극성의 R, G, B 감마 기준 전압을 샘플링한 후, 세 번째 제2 샘플/홀드 회로부(S/H II') 내부의 시프트 레지스터(S/R)의 최종 출력을 샘플/홀딩부 (420)로 전달하고, 그러면 샘플/홀딩부(420)가 부극성의 R, G, B 감마 기준 전압을 샘플링한다.

이러한 제13 실시예에서의 자세한 동작은 본 발명의 제7 실시예에서의 설명 및 도 20을 참조하면 용이하게 알 수 있으므로 자세한 설명을 생략한다.

위에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따라 데이터 드라이버가 R, G, B 각각의 감마 기준 전압을 이용하여 R, G, B 각각의 감마 전압을 가질 수 있으므로 색온도 및 색좌표 등을 원하는 대로 조정할 수 있다.

또한, 이러한 색온도나 색좌표의 조정을 통해 액정의 특성이나 칼라 필터에 의해 제한되던 색상 표현을 훨씬 다양하게 구현할 수 있다.

또한, 타이밍 제어부로부터 디지털 감마 값을 전달받으므로 프레임 별로 새로운 감마를 적용할 수 있어서, 동영상에서도 동적 휘도비를 높여서 역동적인 화면을 얻을 수 있다. 물론 이와 같은 구동 집적회로를 적용하게 되면 타이밍 제어부도 변경하는 것이 바람직하다. 즉, 전원이 들어올 때 데이터 드라이버로 R, G, B 각각의 감마 값을 디지털 형태로 전송하는 것이 바람직하고, 또한, 역동적인 화면을 보기 원하는 경우에는 입력되는 화면의 데이터를 분석하여 감마 값을 조정할 수 있도록 감마 값을 보내는 것이 바람직하다.

(57) 청구의 범위

청구항 1.

R, G, B별 디지털 감마 데이터를 출력하는 타이밍 제어부, 그리고

상기 타이밍 제어부로부터의 상기 디지털 감마 데이터를 저장하는 디지털 감마 저장부, 상기 저장된 디지털 감마 데이터를 근거로, 화상 데이터를 아날로그 전압으로 변환할 때 사용되는 감마 기준 전압을 R, G, B별로 독립하여 생성하는 감마 기준 전압 생성부, 및 상기 생성된 감마 기준 전압을 바탕으로 R, G, B 각각의 화상 데이터를 아날로그 전압으로 변환하여 출력하는 디지털-아날로그 변환기를 포함하는 데이터 드라이버

를 포함하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 감마 기준 전압 생성부는 상기 R, G, B별 디지털 감마 데이터를 각각 제공받아 아날로그 변환하는 다수의 DAC를 포함하는 액정 표시 장치.

청구항 3.

제1항에 있어서,

상기 감마 기준 전압 생성부는

R, G, B별로 순차적으로 입력되는 제1 극성의 디지털 감마 데이터를 아날로그 변환하여 제1 극성의 R, G, B 각각의 감마 기준 전압을 생성하는 제1 극성 감마 기준 전압 출력부, 그리고

R, G, B별로 순차적으로 입력되는 제2 극성의 디지털 감마 데이터를 아날로그 변환하여 제2 극성의 R, G, B 각각의 감마 기준 전압을 생성하는 제2 극성 감마 기준 전압 출력부

를 포함하는 액정 표시 장치.

청구항 4.

제3항에 있어서,

상기 제1 극성 감마 기준 전압 출력부는

R, G, B별로 순차적으로 입력되는 상기 제1 극성의 디지털 감마 데이터를 아날로그 변환해서 감마 기준 전압을 생성하여 출력하는 다수의 DAC, 그리고

상기 아날로그 변환된 R, G, B 감마 기준 전압 각각을 샘플/홀딩 처리하여 샘플된 R, G, B 감마 기준 전압을 출력하는 제1 극성의 샘플/홀딩부

를 포함하며,

상기 제2 극성 감마 기준 전압 출력부는

R, G, B별로 순차적으로 입력되는 상기 제2 극성의 디지털 감마 데이터를 아날로그 변환해서 감마 기준 전압을 생성하여 출력하는 다수의 DAC, 그리고

상기 아날로그 변환된 R, G, B 감마 기준 전압 각각을 샘플/홀딩 처리하여 샘플된 R, G, B 감마 기준 전압을 출력하는 제2 극성의 샘플/홀딩부

를 포함하는 액정 표시 장치.

청구항 5.

제1항에 있어서,

상기 감마 기준 전압 생성부는

제1 및 제2 극성의 디지털 감마 전압 데이터를 R, G, B별로 순차적으로 제공받아 아날로그 전압으로 변환하여 각각 출력하는 다수의 DAC,

상기 아날로그 전압 변환된 제1 극성의 R, G, B 각각의 감마 기준 전압을 샘플/홀딩 처리하여 샘플된 제1 극성의 R, G, B 감마 기준 전압을 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 아날로그 전압 변환된 제2 극성의 R, G, B 각각의 감마 기준 전압을 샘플/홀딩 처리하여 샘플된 제2 극성의 R, G, B 감마 기준 전압을 출력하는 제2 극성의 샘플/홀딩부

를 포함하는 데이터 드라이버.

청구항 6.

제4항 또는 제5항에 있어서,

상기 제1 및 제2 극성의 샘플/홀딩부 각각은 R, G, B별로 구비되어 있는 3개의 샘플/홀드 회로부를 포함하며,

상기 샘플/홀드 회로부는 상기 다수의 DAC의 출력단에 각각 연결되는 다수의 샘플/홀드 회로로 이루어지며,

상기 샘플/홀드 회로는

소정의 샘플 시작 신호에 응답하여 감마 기준 전압의 출력을 온/오프 제어하는 스위치,

상기 스위치를 경유하여 입력되는 상기 감마 기준 전압을 저장하는 캐패시터, 그리고

상기 캐패시터에 저장된 샘플된 감마 기준 전압을 출력하는 버퍼

를 포함하는 액정 표시 장치.

청구항 7.

제1항에 있어서,

상기 감마 기준 전압 생성부는

제1 및 제2 극성의 직렬화된 디지털 감마 데이터를 R, G, B별로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 각각 하나의 출력 라인을 통해 순차 출력하며, 제1 및 제2 극성의 R, G, B별로 각각 구비되어 있는 다대일 방식의 다수의 DAC, 그리고

상기 다수의 DAC에 각각 대응하며, 상기 DAC로부터 순차 출력되는 상기 감마 기준 전압을 샘플/홀딩 처리한 후 R, G, B 각각의 샘플된 감마 기준 전압을 출력하는 일대다 방식의 다수의 샘플/홀드 회로부

를 포함하는 액정 표시 장치.

청구항 8.

제1항에 있어서,

상기 감마 기준 전압 생성부는,

제1 극성의 직렬화된 R 감마 데이터와 제2 극성의 직렬화된 R 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 R 감마 기준 전압을 출력하는 R 감마 기준 전압 출력부,

제1 극성의 직렬 G 감마 데이터와 제2 극성의 직렬 G 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 G 감마 기준 전압을 출력하는 G 감마 기준 전압 출력부, 그리고

제1 극성의 직렬 B 감마 데이터와 제2 극성의 직렬 B 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 B 감마 기준 전압을 출력하는 B 감마 기준 전압 출력부

를 포함하는 액정 표시 장치.

청구항 9.

제8항에 있어서,

상기 R, G, B 감마 기준 전압 출력부 각각은

각각에 해당하는 상기 제1 및 제2 극성의 직렬 디지털 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 출력하는 다대일 방식의 DAC,

상기 DAC로부터 출력되는 상기 제1 극성의 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 출력하는 제1 극성의 샘플/홀드 회로부, 그리고

상기 제1 극성의 샘플/홀드 회로부에서 샘플/홀딩 처리가 끝난 후 상기 제1 극성의 샘플/홀드 회로부로부터 샘플 시작 신호를 받아서, 상기 DAC로부터 출력되는 상기 제2 극성의 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 출력하는 제2 극성의 샘플/홀드 회로부

를 포함하는 액정 표시 장치.

청구항 10.

제1항에 있어서,

상기 감마 기준 전압 생성부는

제1 극성의 직렬화된 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 제1 극성의 R, G, B 감마 기준 전압을 출력하는 제1 극성 감마 기준 전압 출력부, 그리고

제2 극성의 직렬 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 제2 극성의 R, G, B 감마 기준 전압을 출력하는 제2 극성 감마 기준 전압 출력부

를 포함하는 액정 표시 장치.

청구항 11.

제10항에 있어서,

상기 제1 및 제2 극성 감마 기준 전압 출력부 각각은

상기 직렬화된 디지털 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 하나의 라인을 통해 출력하는 다대일 방식의 DAC, 그리고

상기 DAC로부터 출력되는 상기 감마 기준 전압을 R, G, B 각각에 대해서 순차적으로 샘플/홀딩 처리하여 출력하는 샘플/홀딩부

를 포함하며,

상기 샘플/홀딩부는 R, G, B 각각에 대응하는 3개의 샘플/홀드 회로부를 포함하며, 샘플 시작 신호에 의해 어느 하나의 샘플/홀드 회로부가 샘플/홀딩 처리를 시작하고 상기 어느 하나의 샘플/홀드 회로부의 샘플/홀딩 처리가 끝나면 상기 샘플 시작 신호를 다른 샘플/홀드 회로부로 전달하는

액정 표시 장치.

청구항 12.

제1항에 있어서,

상기 감마 기준 전압 생성부는

직렬화된 디지털 감마 데이터를 순차적으로 제공받아 아날로그 변환하여 생성한 감마 기준 전압을 하나의 라인을 통해 출력하는 다대일 방식의 DAC,

상기 DAC로부터 출력되는 아날로그 감마 기준 전압 중 제1 극성의 아날로그 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 R, G, B별로 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 제1 극성의 샘플/홀드 회로부에서 샘플/홀딩 처리가 끝난 후 상기 제1 극성의 샘플/홀드 회로부로부터 샘플 시작 신호를 받아서, 상기 DAC로부터 출력되는 아날로그 감마 기준 전압 중 제2 극성의 아날로그 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 R, G, B별로 출력하는 제2 극성의 샘플/홀딩부

를 포함하는 액정 표시 장치.

청구항 13.

제12항에 있어서,

상기 제1 및 제2 극성의 샘플/홀딩부 각각은 R, G, B 각각에 대응하는 3개의 샘플/홀드 회로부를 포함하며, 샘플 시작 신호에 의해 어느 하나의 샘플/홀드 회로 부가 샘플/홀딩 처리를 시작하고 상기 어느 하나의 샘플/홀드 회로부의 샘플/홀딩 처리가 끝나면 상기 샘플 시작 신호를 다른 샘플/홀드 회로부로 전달하는 액정 표시 장치.

청구항 14.

제7항, 제9항, 제11항 및 제13항 중 어느 한 항에 있어서,

상기 샘플/홀드 회로부는 상기 DAC의 출력에 병렬로 연결되는 다수의 샘플/홀드 회로를 포함하며,

상기 샘플/홀드 회로는

샘플 시작 신호를 인접하는 샘플/홀드 회로에 전달하는 시프트 레지스터,

상기 샘플 시작 신호에 응답하여 감마 기준 전압의 출력을 온/오프 제어하는 스위치,

상기 스위치를 경유하여 입력되는 감마 기준 전압을 저장하는 캐패시터, 그리고

상기 캐패시터에 저장된 샘플된 감마 기준 전압을 출력하는 버퍼

를 포함하는 액정 표시 장치.

청구항 15.

제7항, 제9항, 제11항 및 제13항 중 어느 한 항에 있어서,

상기 샘플/홀드 회로부는 상기 DAC의 출력에 병렬로 연결되는 다수의 샘플/홀드 회로를 포함하며,

상기 샘플/홀드 회로는

샘플 시작 신호를 인접하는 샘플/홀드 회로로 전달하는 시프트 레지스터,

상기 샘플 시작 신호에 응답하여 감마 기준 전압의 출력을 온/오프 제어하는 스위치,

상기 감마 기준 전압을 저장하는 제1 및 제2 캐패시터,

상기 스위치에 연결되며, 외부로부터의 선택 신호에 응답하여 상기 스위치를 통과한 상기 감마 기준 전압을 상기 제1 또는 제2 캐패시터로 전달하는 입력 스위치,

상기 제1 또는 제2 캐패시터에 저장된 감마 기준 전압을 출력하는 버퍼, 그리고

상기 제1 및 제2 캐패시터에 연결되며, 상기 선택 신호에 응답하여 상기 제1 또는 제2 캐패시터에 저장된 감마 기준 전압을 상기 버퍼로 전달하는 출력 스위치

를 포함하는 액정 표시 장치.

청구항 16.

R, G, B별 디지털 감마 데이터를 출력하는 타이밍 제어부,

상기 타이밍 제어부로부터의 상기 디지털 감마 데이터를 아날로그로 변환하여 감마 기준 전압을 생성하는 감마 기준 전압 생성부, 그리고

상기 감마 기준 전압 생성부로부터의 상기 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 감마 기준 전압을 출력하는 샘플/홀딩부, 및 상기 샘플된 감마 기준 전압을 바탕으로 R, G, B 각각의 화상 데이터를 아날로그 전압으로 변환하여 출력하는 디지털-아날로그 변환기를 포함하는 데이터 드라이버

를 포함하는 액정 표시 장치.

청구항 17.

제16항에 있어서,

상기 감마 기준 전압 생성부는 다수의 출력단을 통하여 제1 및 제2 극성의 감마 기준 전압을 R, G, B별로 순차적으로 각각 출력하는 제1 및 제2 극성의 감마 기준 전압 생성부를 포함하며,

상기 샘플/홀딩부는

상기 제1 극성의 감마 기준 전압을 샘플/홀딩 처리하여 샘플된 제1 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 제2 극성의 감마 기준 전압을 샘플/홀딩 처리하여 샘플된 제2 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제2 극성의 샘플/홀딩부

를 포함하는 액정 표시 장치.

청구항 18.

제16항에 있어서,

상기 감마 기준 전압 생성부는 다수의 출력단을 통하여 제1 극성의 감마 기준 전압과 제2 극성의 감마 기준 전압을 R, G, B별로 순차적으로 출력하며,

상기 샘플/홀딩부는

상기 감마 기준 전압 생성부로부터의 제1 극성의 감마 기준 전압에 대해 샘플/홀딩 처리하여 샘플된 제1 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 감마 기준 전압 생성부로부터의 제2 극성의 감마 기준 전압에 대해 샘플/홀딩 처리하여 샘플된 제2 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제2 극성의 샘플/홀딩부

를 포함하는 액정 표시 장치.

청구항 19.

제17항 또는 제18항에 있어서,

상기 제1 및 제2 극성의 샘플/홀딩부 각각은 R, G, B별로 구비되어 있는 3개의 샘플/홀드 회로부를 포함하며,

상기 샘플/홀드 회로부는 상기 감마 기준 전압 생성부의 다수의 출력단에 각각 연결되는 다수의 샘플/홀드 회로로 이루어지며,

상기 샘플/홀드 회로는

소정의 샘플 시작 신호에 응답하여 감마 기준 전압의 출력을 온/오프 제어하는 스위치,

상기 스위치를 경유하여 입력되는 상기 감마 기준 전압을 저장하는 캐패시터, 그리고

상기 캐패시터에 저장된 샘플된 감마 기준 전압을 출력하는 버퍼

를 포함하는 액정 표시 장치.

청구항 20.

제16항에 있어서,

상기 감마 기준 전압 생성부는

제1 극성의 감마 기준 전압을 R, G, B별로 직렬화하여 R, G, B 각각 하나의 출력단을 통하여 출력하는 제1 극성의 감마 기준 전압 생성부, 그리고

제2 극성의 감마 기준 전압을 R, G, B별로 직렬화하여 R, G, B 각각 하나의 출력단을 통하여 출력하는 제2 극성의 감마 기준 전압 생성부

를 포함하며,

상기 샘플/홀딩부는

상기 직렬화된 제1 극성의 R, G, B 감마 기준 전압 각각에 대해 샘플/홀딩 처리하여 샘플된 제1 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 직렬화된 제2 극성의 R, G, B 감마 기준 전압 각각에 대해 샘플/홀딩 처리하여 샘플된 제2 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제2 극성의 샘플/홀딩부

를 포함하며,

상기 제1 및 제2 극성의 샘플/홀딩부 각각은 R, G, B 감마 기준 전압 각각에 대해 샘플/홀딩 처리하는 3개의 샘플/홀드 회로부를 포함하는 액정 표시 장치.

청구항 21.

제16항에 있어서,

상기 감마 기준 전압 생성부는 제1 및 제2 극성의 감마 기준 전압을 R, G, B 별로 직렬화하여 R, G, B 각각 하나의 출력단을 통하여 출력하며,

상기 샘플/홀딩부는 상기 직렬화된 R, G, B 감마 기준 전압 각각에 대해서 샘플/홀딩 처리하여 샘플된 제1 및 제2 극성 각각의 R, G, B 감마 기준 전압 각각을 상기 디지털-아날로그 변환기에 출력하는 R, G, B 샘플/홀딩부를 포함하며,

상기 R, G, B 샘플/홀딩부 각각은

제1 극성의 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 출력하는 제1 극성의 샘플/홀드 회로부, 그리고

상기 제1 극성의 샘플/홀드 회로부에서 샘플/홀딩 처리가 끝난 후 상기 제1 극성의 샘플/홀드 회로부로부터 샘플 시작 신호를 받아서, 제2 극성의 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 출력하는 제2 극성의 샘플/홀드 회로부

를 포함하는 액정 표시 장치.

청구항 22.

제16항에 있어서,

상기 감마 기준 전압 생성부는

제1 극성의 R, G, B 감마 기준 전압을 직렬화하여 하나의 출력단을 통하여 출력하는 제1 극성의 감마 기준 전압 생성부, 그리고

제2 극성의 R, G, B 감마 기준 전압을 직렬화하여 하나의 출력단을 통하여 출력하는 제2 극성의 감마 기준 전압 생성부

를 포함하며,

상기 샘플/홀딩부는

상기 직렬화된 제1 극성의 R, G, B 감마 기준 전압에 대해 샘플/홀딩 처리하여 샘플된 제1 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 직렬화된 제2 극성의 R, G, B 감마 기준 전압에 대해 샘플/홀딩 처리하여 샘플된 제2 극성의 R, G, B별 감마 기준 전압을 상기 디지털-아날로그 변환기에 출력하는 제2 극성의 샘플/홀딩부

를 포함하며,

상기 제1 및 제2 극성의 샘플/홀딩부 각각은 R, G, B 각각에 대응하는 3개의 샘플/홀드 회로부를 포함하며, 샘플 시작 신호에 의해 어느 하나의 샘플/홀드 회로부가 샘플/홀딩 처리를 시작하고 상기 어느 하나의 샘플/홀드 회로부의 샘플/홀딩 처리가 끝나면 상기 샘플 시작 신호를 다른 샘플/홀드 회로부로 전달하는 액정 표시 장치.

청구항 23.

제16항에 있어서,

상기 감마 기준 전압 생성부는 제1 및 제2 극성의 R, G, B 감마 기준 전압을 직렬화하여 하나의 출력단을 통하여 출력하며,

상기 샘플/홀딩부는

상기 직렬화된 제1 및 제2 극성의 감마 기준 전압 중 제1 극성의 R, G, B 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 샘플된 제1 극성의 R, G, B별 감마 기준 전압을 출력하는 제1 극성의 샘플/홀딩부, 그리고

상기 제1 극성의 샘플/홀딩부에서 샘플/홀딩 처리가 끝난 후 상기 제1 극성의 샘플/홀딩부로부터 샘플 시작 신호를 받아서, 상기 직렬화된 제1 및 제2 극성의 감마 기준 전압 중 제2 극성의 R, G, B 감마 기준 전압을 순차적으로 샘플/홀딩 처리하여 샘플된 제2 극성의 R, G, B별 감마 기준 전압을 출력하는 제2 극성의 샘플/홀딩부

를 포함하며,

상기 제1 및 제2 극성의 샘플/홀딩부 각각은 R, G, B 각각에 대응하는 3개의 샘플/홀드 회로부를 포함하며, 샘플 시작 신호에 의해 어느 하나의 샘플/홀드 회로부가 샘플/홀딩 처리를 시작하고 상기 어느 하나의 샘플/홀드 회로부의 샘플/홀딩 처리가 끝나면 상기 샘플 시작 신호를 다른 샘플/홀드 회로부로 전달하는 액정 표시 장치.

청구항 24.

제20 내지 제23항 중 어느 한 항에 있어서,

상기 샘플/홀드 회로부는 상기 감마 기준 전압 생성부의 하나의 출력단에 병렬로 연결되는 다수의 샘플/홀드 회로를 포함하며,

상기 샘플/홀드 회로는

샘플 시작 신호를 인접하는 샘플/홀드 회로에 전달하는 시프트 레지스터,

상기 샘플 시작 신호에 응답하여 감마 기준 전압의 출력을 온/오프 제어하는 스위치,

상기 스위치를 경유하여 입력되는 감마 기준 전압을 저장하는 캐패시터, 그 리고

상기 캐패시터에 저장된 샘플된 감마 기준 전압을 출력하는 버퍼

를 포함하는 액정 표시 장치.

청구항 25.

제20 내지 제23항 중 어느 한 항에 있어서,

상기 샘플/홀드 회로부는 상기 감마 기준 전압 생성부의 하나의 출력단에 병렬로 연결되는 다수의 샘플/홀드 회로를 포함하며,

상기 샘플/홀드 회로는

샘플 시작 신호를 인접하는 샘플/홀드 회로로 전달하는 시프트 레지스터,

상기 샘플 시작 신호에 응답하여 감마 기준 전압의 출력을 온/오프 제어하는 스위치,

상기 감마 기준 전압을 저장하는 제1 및 제2 캐패시터,

상기 스위치에 연결되며, 외부로부터의 선택 신호에 응답하여 상기 스위치를 통과한 상기 감마 기준 전압을 상기 제1 또는 제2 캐패시터로 전달하는 입력 스위치,

상기 제1 또는 제2 캐패시터에 저장된 감마 기준 전압을 출력하는 버퍼, 그리고

상기 제1 및 제2 캐패시터에 연결되며, 상기 선택 신호에 응답하여 상기 제1 또는 제2 캐패시터에 저장된 감마 기준 전압을 상기 버퍼로 전달하는 출력 스위치

를 포함하는 액정 표시 장치.

청구항 26.

액정 표시 장치의 화상을 표시하기 위한 데이터 전압을 출력하는 데이터 드라이브에 있어서,

외부로부터의 디지털 감마 데이터를 저장하는 디지털 감마 저장부,

상기 저장된 디지털 감마 데이터를 근거로, 화상 데이터를 아날로그 전압으로 변환할 때 사용되는 감마 기준 전압을 R, G, B별로 독립하여 생성하는 감마 기준 전압 생성부, 그리고

상기 생성된 감마 기준 전압을 바탕으로 R, G, B 각각의 화상 데이터를 아날로그 전압으로 변환하여 출력하는 디지털-아날로그 변환기

를 포함하는 데이터 드라이버.

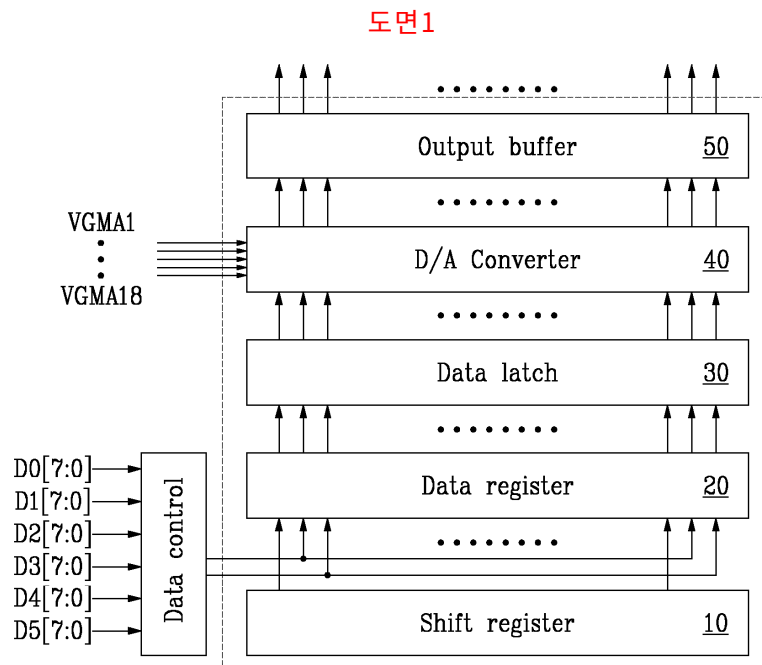
청구항 27.

액정 표시 장치의 화상을 표시하기 위한 데이터 전압을 출력하는 데이터 드라이버에 있어서,

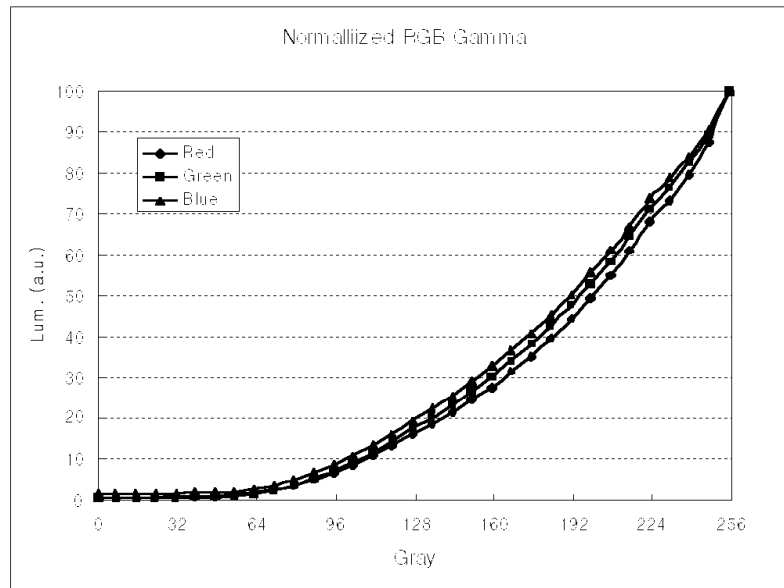
외부에서 생성된 감마 기준 전압을 샘플/홀딩 처리한 후 샘플된 감마 기준 전압을 출력하는 샘플/홀딩부, 그리고

상기 샘플된 감마 기준 전압을 바탕으로 R, G, B 각각의 화상 데이터를 아날로그 전압으로 변환하여 출력하는 디지털-아날로그 변환기를 포함하는 데이터 드라이버.

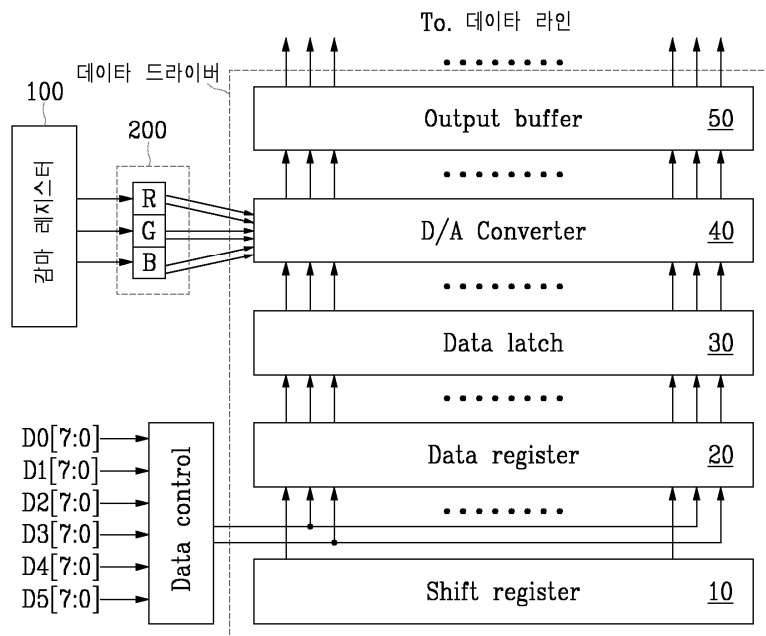
도면



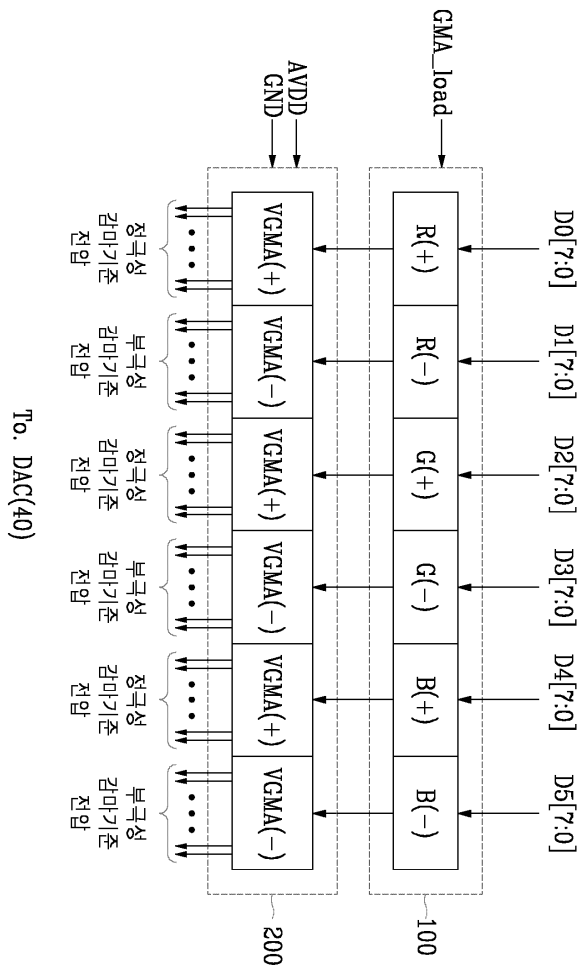
도면2



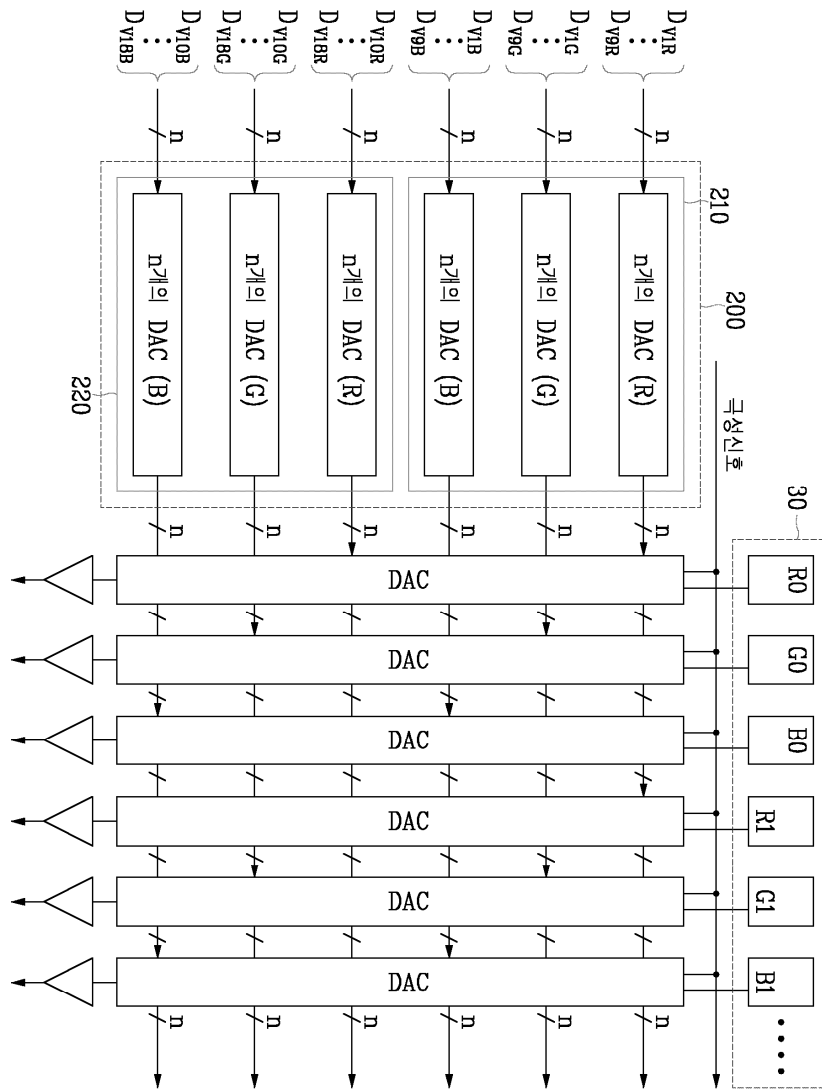
도면3



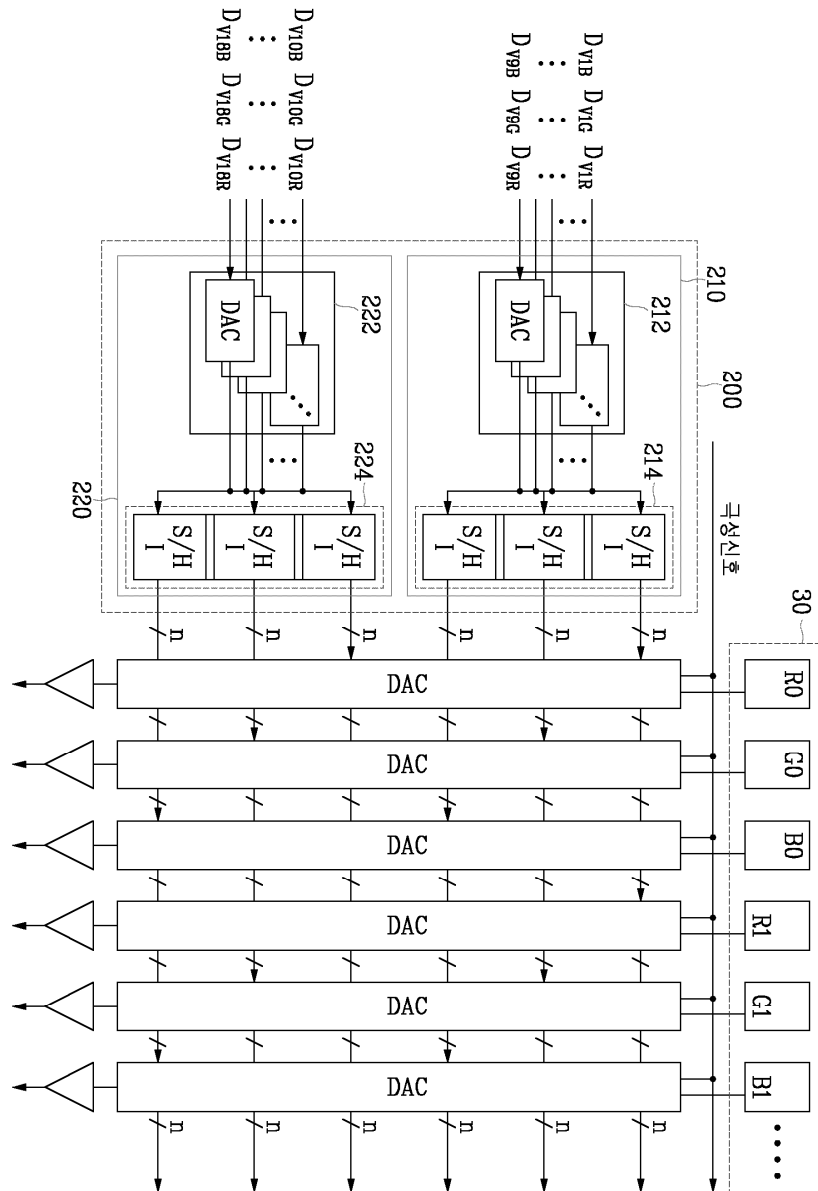
도면4



도면5

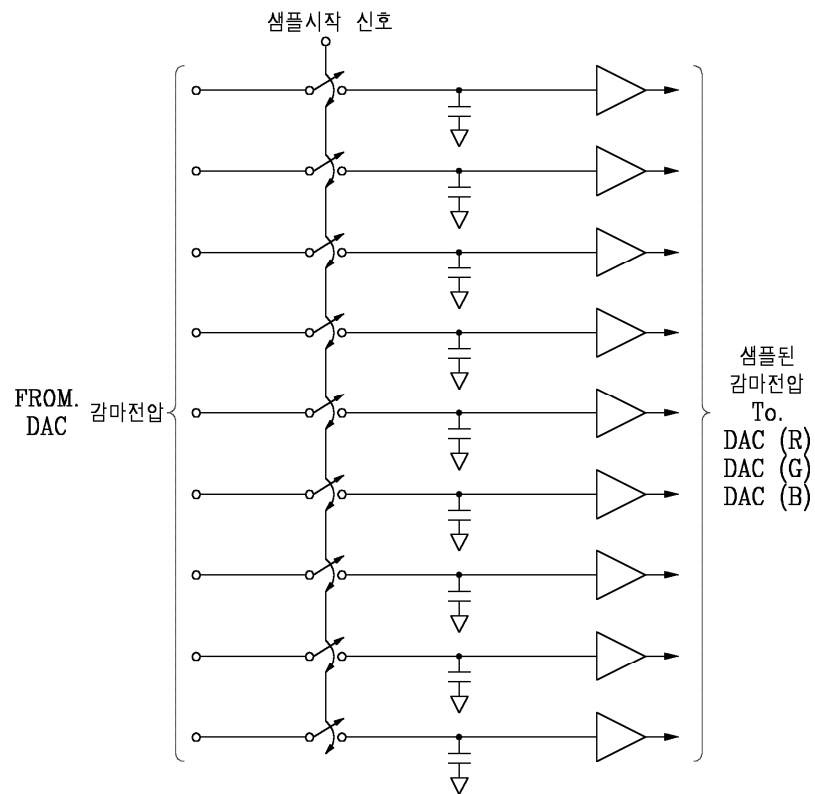


도면6

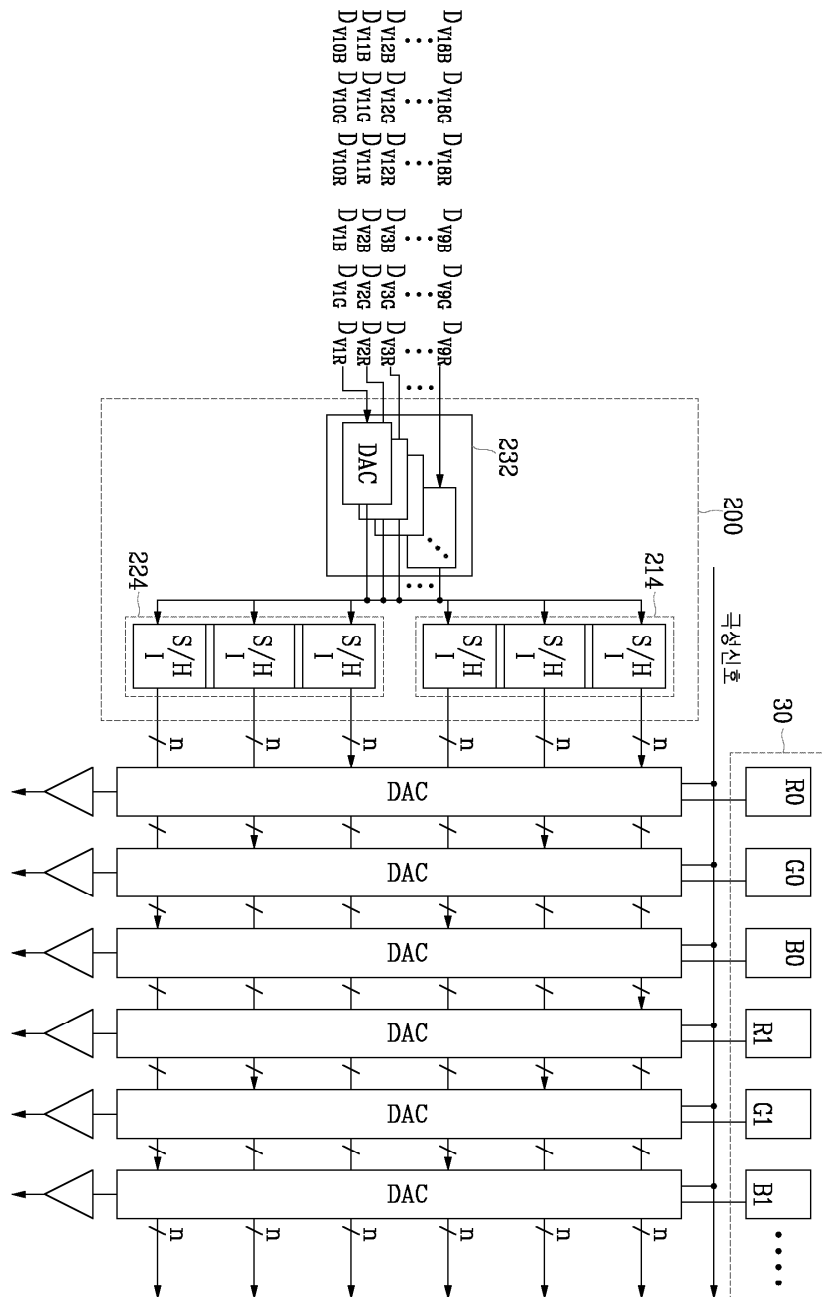


도면7

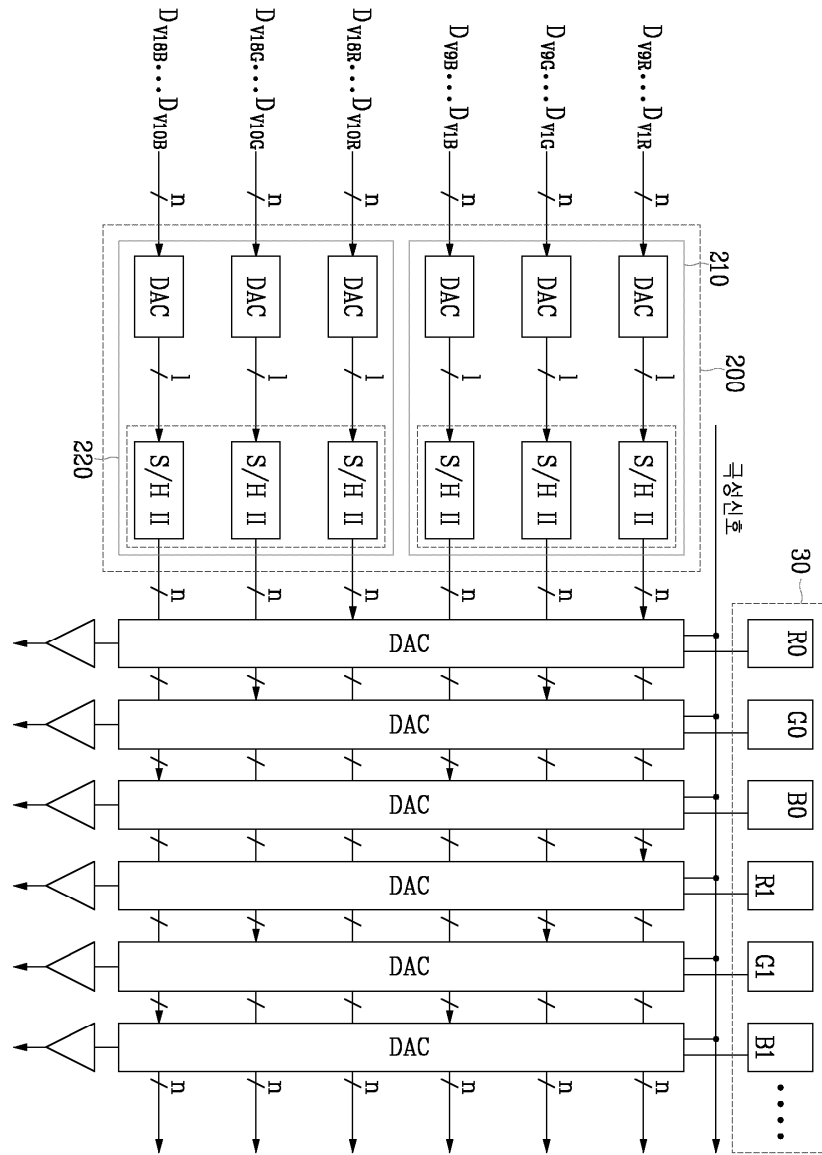
SH I



도면8

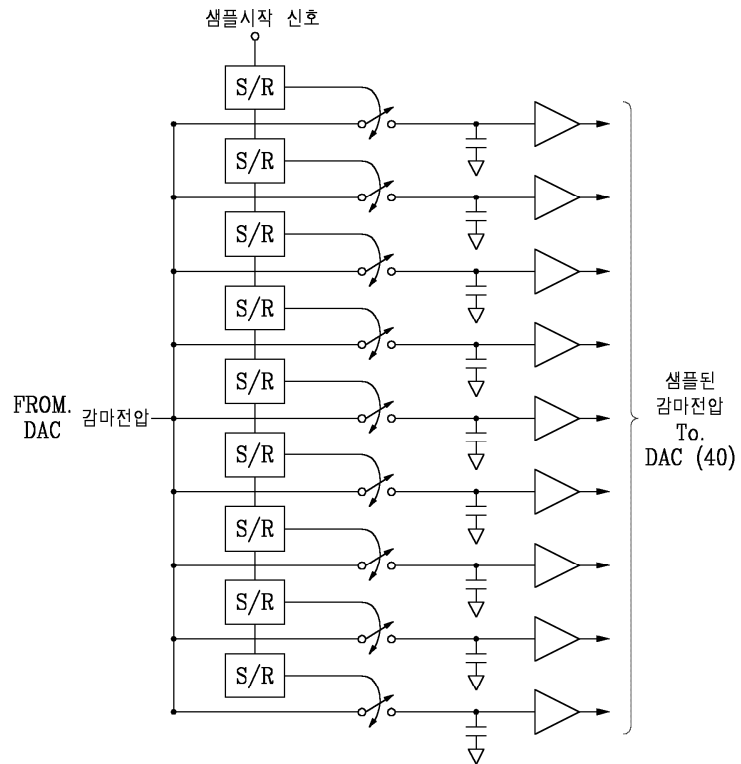


도면9

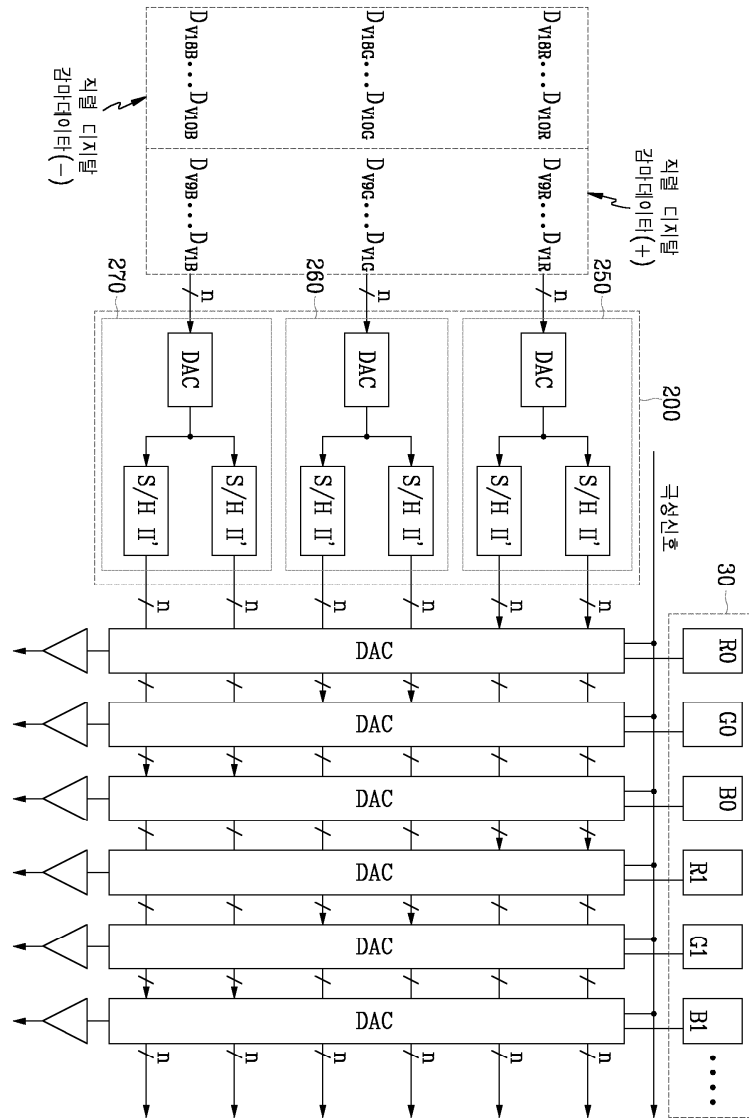


도면10

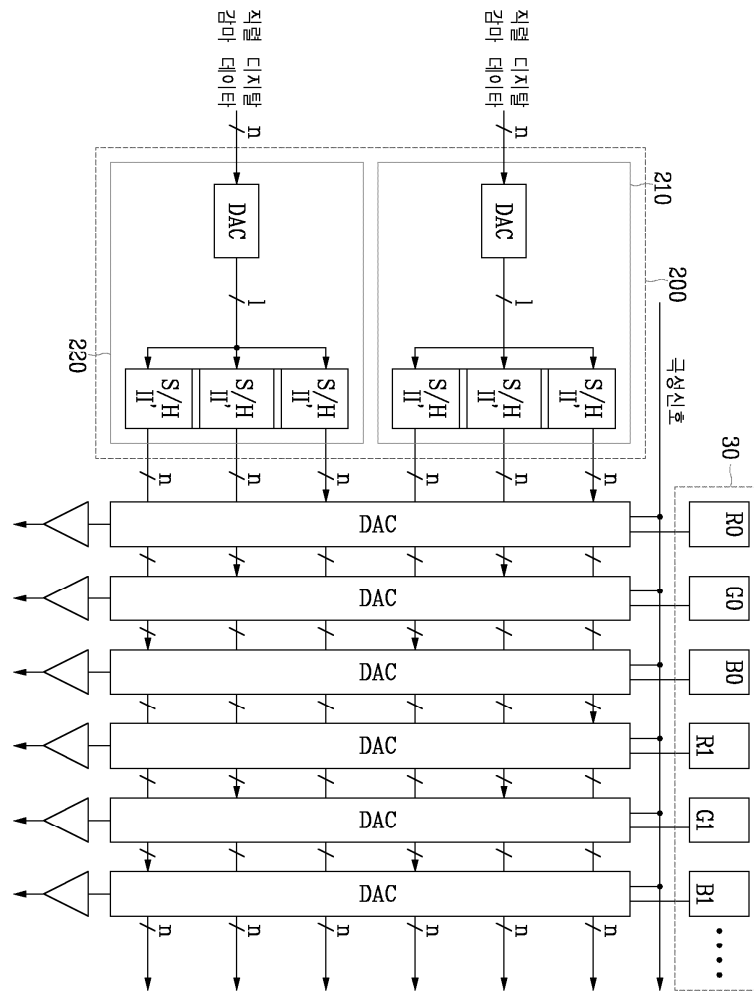
SH II



도면11

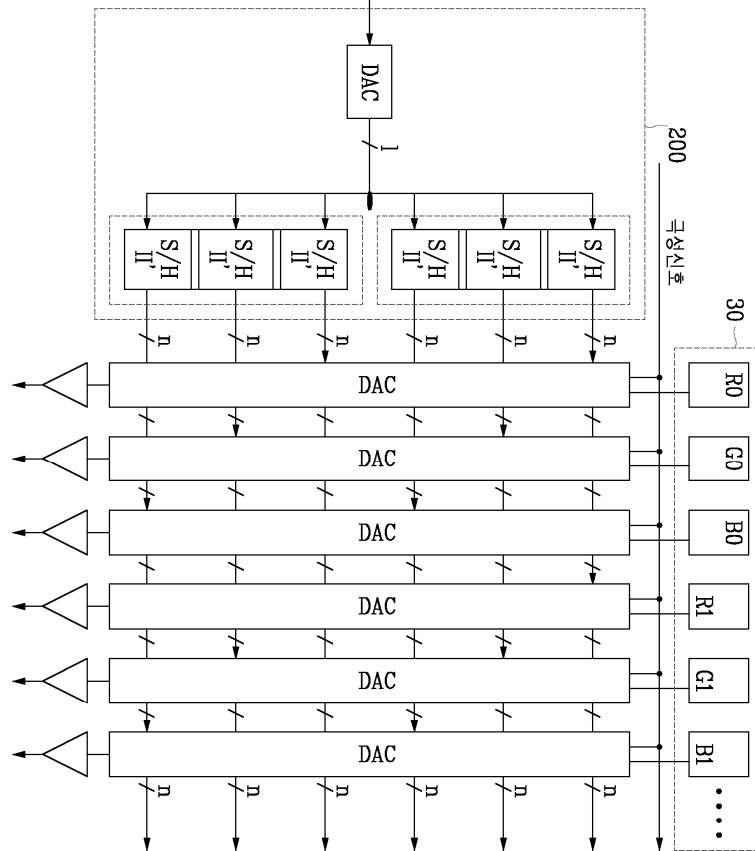


도면12

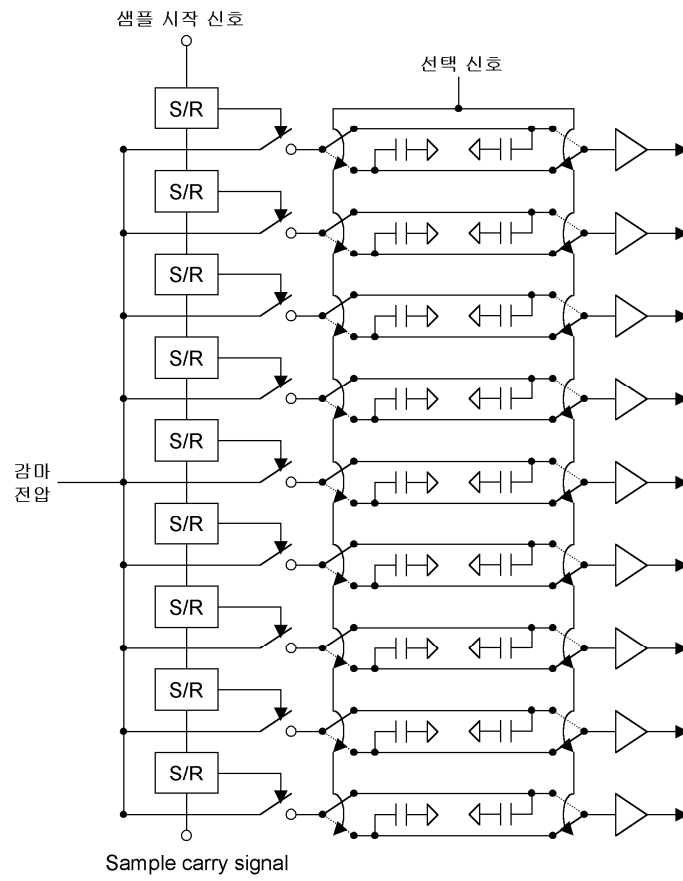


도면13

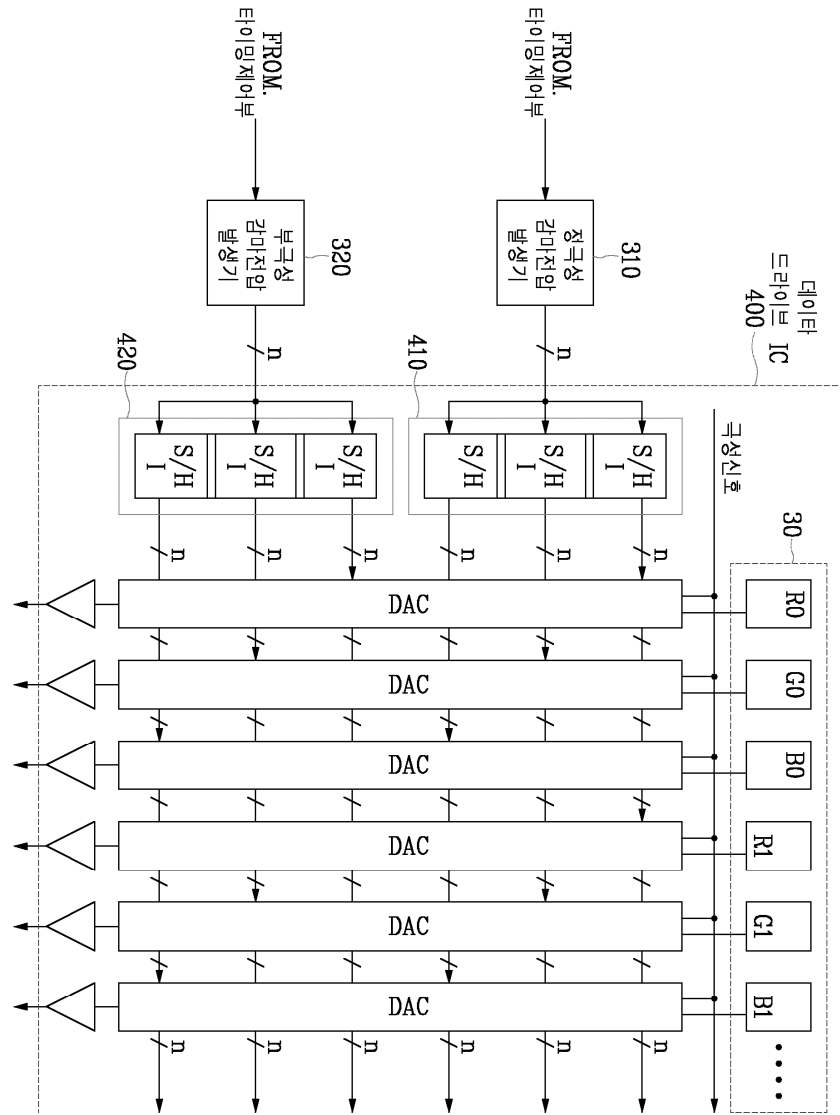
저렴 디지털 감마 데이터



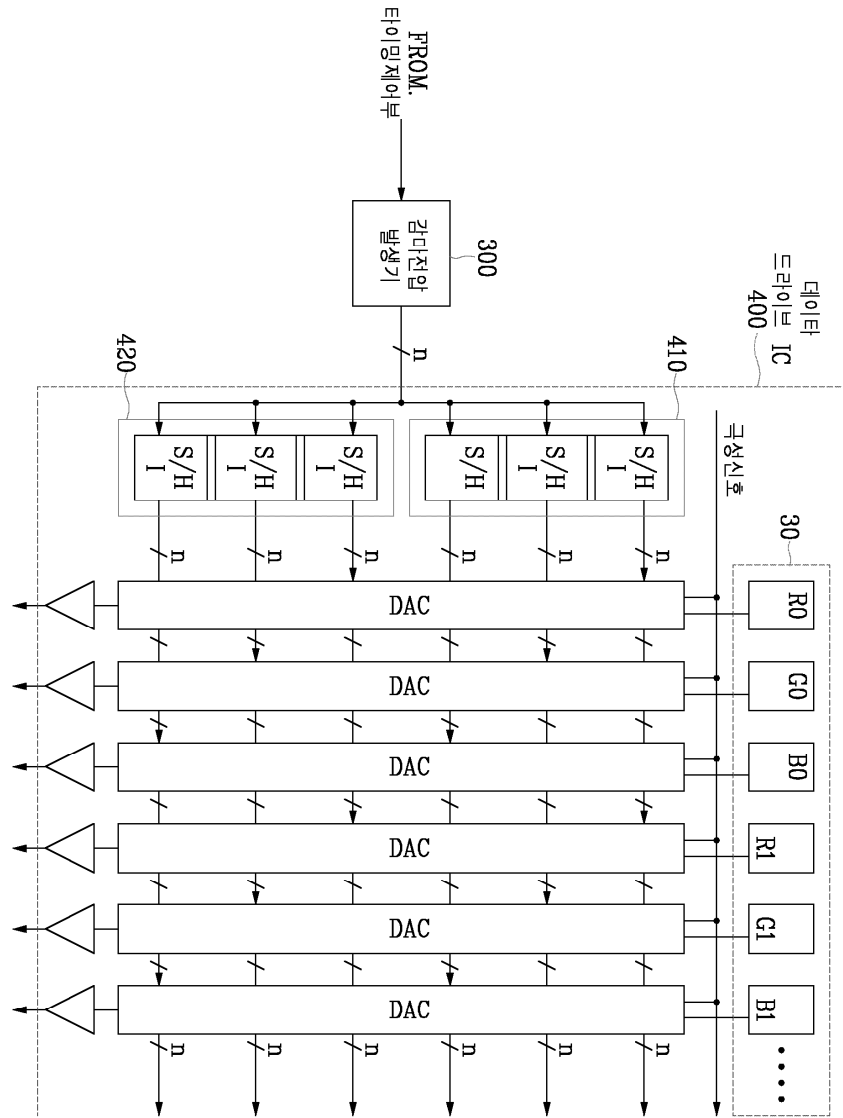
도면14



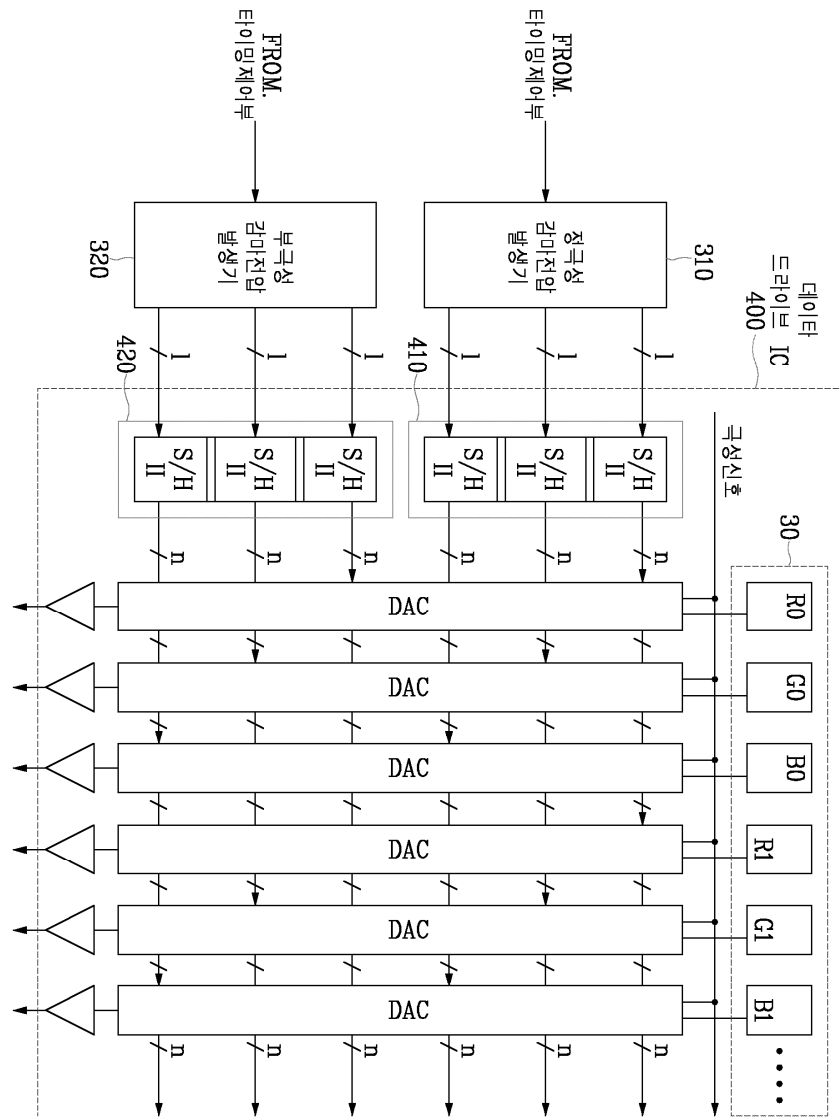
도면15



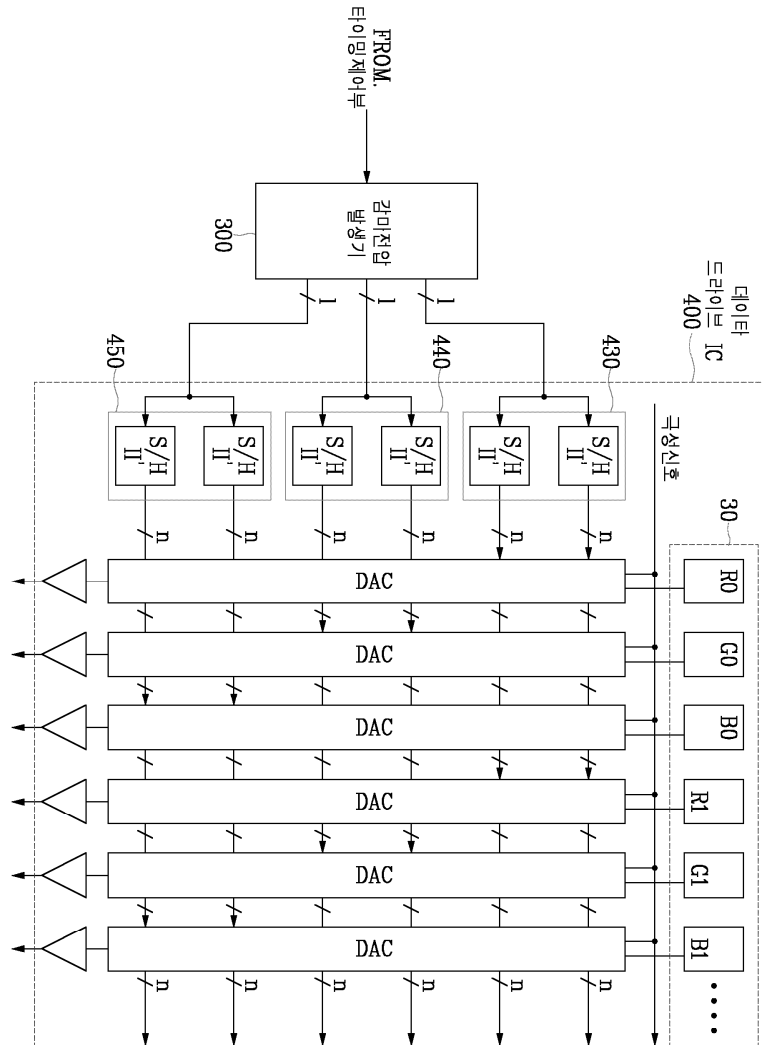
도면16



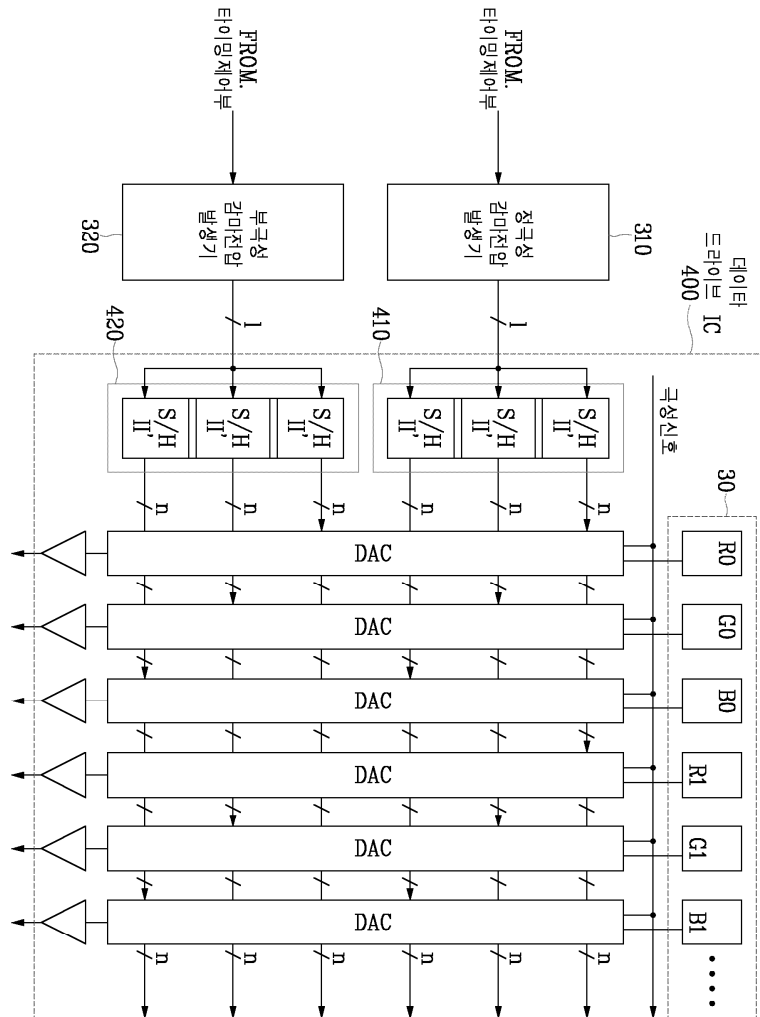
도면17



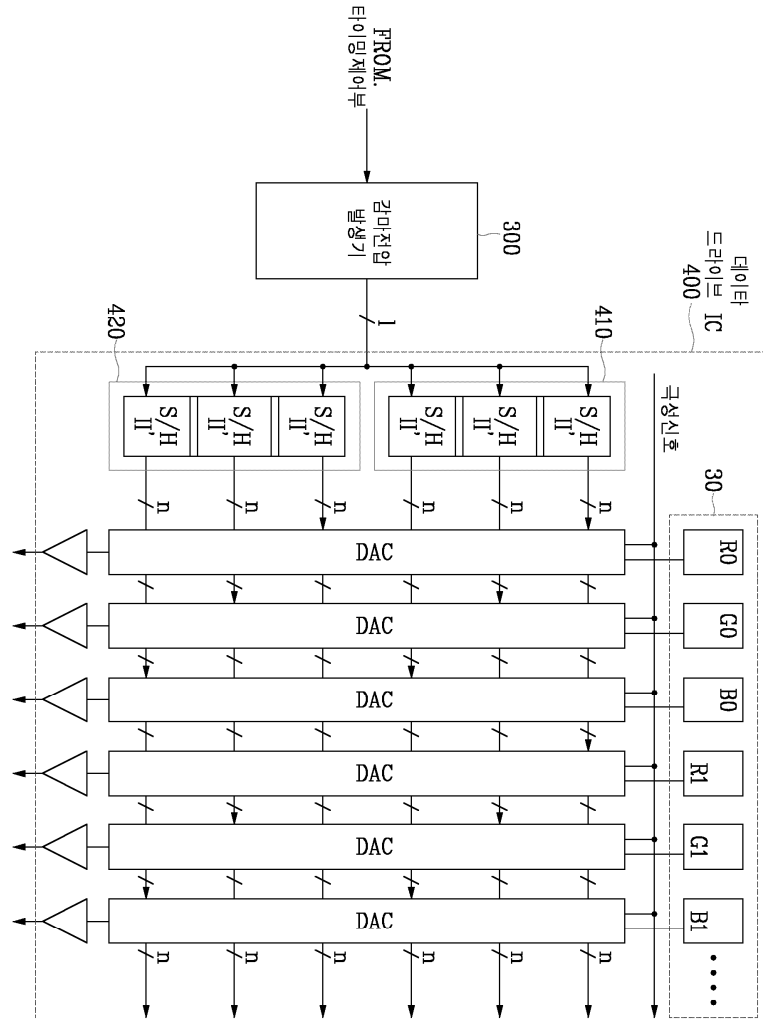
도면 18



도면19



도면20



专利名称(译)	液晶显示装置及其数据驱动器		
公开(公告)号	KR1020030038315A	公开(公告)日	2003-05-16
申请号	KR1020020024781	申请日	2002-05-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SEUNGWOO 이승우		
发明人	이승우		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G02F1/133 G09G3/3648 G09G3/3685 G09G3/3696 G09G2310/08 G09G2320/0673		
优先权	1020010068457 2001-11-05 KR		
其他公开文献	KR100859520B1		
外部链接	Espacenet		

摘要(译)

本发明公开了包括相同和可从内部或外部数据驱动器的产生伽马参考电压产生校正液晶显示装置的问题的图像质量和降低的外部输入端子的编号的数据驱动器的液晶显示装置的。根据本发明，数字伽马存储单元基于预定的伽马负载信号，RGB的数字伽玛数据接收和存储通过在预定的数据总线的数字伽玛数据提供RGB的基础上，和伽马参考电压发生器包括外部存储同，并且将用于显示的数据转换成由每一RGB独立地生成的模拟形式为灰度显示的伽玛基准电压，数字 - 模拟转换器的每个RGB的图像数据转换所产生的伽玛基准电压的基础上为模拟电压输出它。其结果是，各内部产生伽马参考电压而不受RGB的数目为每个RGB以外，通过控制，以便具有的伽马曲线，以及固定在液晶显示装置的问题的图像质量，外部输入引脚分别独立可以减少。3 指数方面 液晶，伽玛，参考电压，独立，图像质量改善，RGB，LCD

