



(E1) 2

(E2)

가

5

picture cell; pixel ) (picture element

1 (13)( , ) (11)  
(column line)(17) (19) (15) (21)  
(19)

(13) (21) 가 (21)  
(gray scale) (11)  
가

(row) (25) (15) (row line)(27)  
(13) (23) (17) 가  
가 (15) (19) (21) (15) (17) 가  
(15) (19) (21) 가

1 (Shields) , (21) 가 RMS(root - mean - square; ) 2  
4,870,396 1 , 1  
2

2 (13) (13)  
(29) (19) (21) 가 (load transistor)  
(bucket brigade) (15)  
(29) (17) (19) (19)  
(21) (19) , 1 (15) (19)  
(17) (19) (21) 1 (29)  
가 , 2 가 (15)가 (19)

(29)가 (19) (21) (19) (21) 가 (19) (21)

(29)가 (17) (21) (19) (29) (15)

1) 가  $V_{TP}$  4,870,396 (11) 가 RMS (2)  
 $V_{TP}$  (21) (reference plate) (13) 가 (power rail)  
 $V_{TP}$  (11) 가

(29) (31) (29)가  
 (21) (11) 가 (31) (19)  
 (13) (29) (21) (11)

3 2 3 2  
 (Williams) 5,666,130 3 2 (Shields)  
 4,870,396 (13) (11) 3 2

, 2 , 3 5,666,130 5,666,130  
 0 가 , 5,666,130

(11) (19) 5,666,130 (13)  
 (19) (13) (21)  
 가 (19) (19)  
 (21)  
 (21) (19)가 5,666,130  
 (11)

3 (13) 2 (31) Relnit (31) (29) (21)  
 21) 가 . (31) , (19) (21) (31)가 (13) (13)  
 (19) (21) (25) (15) (23) (17)  
 (19) (19) (21) (19) (31) (2)  
 9) (19) (21) (19) (21) (29)가 (31)  
 (31) (19) (21)

5,666,130 (redundancy) (11)  
 666,130 (21) 2 4 4 5,  
 3  
 5,666,130 (load line) (33) 2 (29a, 29b) Relni  
 (15a, 15b), (19a, 19b) (31a, 31b) (15a, 15b)  
 t (35) 2 (19a, 19b) 5,666,130  
 (13) 가 2 (19a, 19b) (13)  
 (15a, 19a, 29a, 31a) (15b, 19b, 29b, 31b)  
 (13)

가

2 (both row - by - row)

2 1 1 2 2

2 2 . 2 , 1  
 2 2 1 2 1 1  
 , , 1 2 2 2  
 , 1 2 1 2  
 , .

1 1 2 2 .  
 1 2 ,  
 . ,  
 , .

1 1 , 2 가 2 ,  
 1 1 2 . 2 ,  
 , 1 가 , 2  
 3 , 1 , 2 2 2  
 , 2 가 ,  
 .

1 .  
 2 .  
 3 .

4 3 가 .  
 5 1 .  
 6 2 .  
 7 3 .

5 (47), m n (column) (51) (43) (41), 1 (45), 2 (49) (43) n (row) (45) R<sub>1,A</sub> R<sub>n,A</sub> 1 (47) R<sub>1,B</sub> R<sub>n,B</sub> 2 n

0 V Vmax( , 16 V) (49) m CL1 CLm m (43) CL1 (52) (43) CL1 (43) 가 1 (45) 2 (47) CL1 CLm (43) (43)

(41) 1 (45) 2 (47) (45, 47)가 (45, 47) , 1 (45) 가 R<sub>1,A</sub> (41) 1 (49) (43) 1 (45)가 1 (47) 1 (47) 2 (47) , R<sub>1,B</sub> 1

(43) PXL PXL (43) (43) C1 C2 CL1 CLm (vol) tage storage device) C1 C2 1 가 C2 (43) 1 , C1 가 C2

(43) (52) S1 S2 C1 C2 (45, 47) R<sub>1,A</sub> R<sub>1,B</sub> S1 S2 C1 E1 2 E2 EN<sub>1,1</sub> EN<sub>2,1</sub> EN<sub>1,1</sub> (43) 1 EN<sub>1,2</sub> C1 PXL EN<sub>1,1</sub>/EN<sub>2,1</sub> (43) 2 C2 PXL

5 n 1 , (41) EN\_1,1/EN2,1 EN\_1,n/EN\_2,n (41) 1  
 E1 1 , 2 E2 C1  
 2 2 (41) (43) 1 C1  
 2 C2 PXL .

, 1 , (45 47) (41) (41)  
 , 1 (45) (41) , 1 (49)  
 가 1 1 (41) (41) . 1 (45)  
 (47) 2 , 1 (45) (41) , 2 2  
 (41) (47)가 (41) , 2 (47) 2  
 (41) (43) 1 S1 , 2 (41) S2가  
 1 C1 PXL .

, PXL 가 PXL 가 . (49)  
 (41) PXL 가 가 . 1 C1 2 C2  
 CL1 CLm 1 0 V 16 V Vmax C1 2 C2  
 C1 2 C2 , 1 C1 2 C1  
 C2 C2 0 V Vmax , 1 1 C1  
 2 (51) (49) 2 (51) .  
 1 C1 2 C2 (voltage swing) (5  
 1)가 Vmax/2, 8 V (41)  
 S1 S2가 0 V 16 V 1 C1 2  
 C2 , 8 V 1 C2 C  
 1 2 C2 , 1 C1 2 C2

6 2 . 6 5  
 (43) ENBL , 1 C1 2 (41)  
 PXL . (43) 1  
 E 2 E\_B ENBL . 1  
 E NMOS (high) , PXL 1 C1 PXL  
 ENBL (low) , 2 ENBL E\_B PMOS  
 PXL 2 C2 ENBL ENBL , 2  
 C2 ENBL ENBL PXL  
 1 C1 2 C2 ENBL ENBL

6 2 5 1 6 2  
 1 (45) 2 (47) (41)  
 , 1 (45)가 (41) , 1 (45)가 (41)  
 . , 1 (47) , 1 S1  
 (43) 1 C1 (43) 1 (45)가 (41)  
 , ENBL (43) 1 C1  
 PXL (43) 1 C1 ENBL  
 (43) 2 C2 (43) 2 C2 PXL  
 , (43) , (43)가 (43) 1 C1  
 , (43) (43) 2 C2 .

1 (45)가 (41)  
 가 , ENBL , 1 E  
 2 C1 E\_B , 1 C1  
 2 PXL , 2 C2 PXL , 2 C  
 (47) (41) .

7 3 7 5 7 3 5  
 (49A/49B) , 1 (45) 2 (47) 1  
 (49A/49B) . (49A, 49B)  
 CL1,A CLm,A CL1,B CLm,B , (41) (43)  
 , (43) CL1,A/CL1,B (52A/52B)  
 EN\_1,1/EN\_2,1 5 1 (43)  
 E1 E2 .

7 , (45, 47) 5 1 (41)  
 , 5 , 7 (43) 1 (45, 47)가 C1 2  
 C2 , PXL PXL (43)  
 , 가 , 1 C1 2 C2 PXL  
 가 , EN\_1,1 EN\_2,1 , 1 C1 2 C2 ,  
 E1 E2 , 1 C1 2 C2 (43)가 3  
 PXL 1 , 1 C1 2 C2가  
 PXL 3 , 1 (45) R\_1,A 1  
 C1 PXL , 1 (49A) 1 CL1,A 1  
 S1 .

C1 , 2 C2가 PXL , 2  
 (47) R\_1,B 2 S2 ,  
 2 (49B) CL1,B 2 C2 , 1 C1  
 2 가 CL1,A CL1,B , 1 C  
 1 2 C2 .

(57)

1.

, ,  
 , 1 1 ,  
 ; 1 1 1 ,  
 1 1 1 2 2 , 2 2  
 , 1 1 2 2 가  
 ;  
 1 1 , 1 1 ,

2

2.

1 , .

3.

1 , NMOS 1 PMOS  
 2 , NMOS PMOS .

4.

3 , 1 .

5.

3 , 2 .

6.

1 , 1

7.

1 , 2

8.

1 , 2

9.

1 , ,

10.

1 ,

11.

1 ,

12.

1 ,

13.

1 ,

14.

13 , BJT , MOS JFET

15.

1 ,

16.

1 ,  
.

17.

1 , 1 1  
.

18.

,  
,

1 1 , 1 1 , 1 1 ; 1  
1 1 ;  
2 2 , 2 2 , 2 2 ; 2  
2 2 ;  
3 3 , 1 1 1 3 2  
3 1 3  
3 1 ;  
4 4 , 2 2  
4 4 , 2 2  
;

1 2 ,  
1 2 ,  
1 3 , 1 1  
2 4 , 2 2  
3 4  
.

19.

18 , 3 4  
.

20.

18 , ,  
.

21.

18 , 1 2

22.

18 , 1 NMOS , 2 PMOS

23.

18 , 1 2

24.

18 , 1 1 가

25.

1 1 1 , 2 2  
2 가 ,

가 ;

1 1 ;

2 2 ;

1 2

26.

25 , 1 1 2 1 , 1  
2 가 2 2 2 가

27.

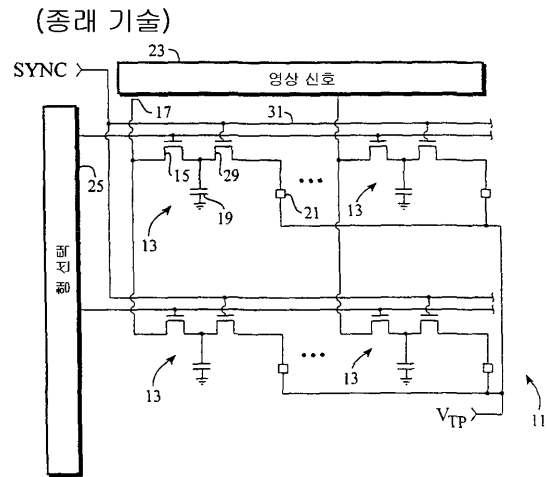
25 , 1 1 1 2 2 가 2 2  
1 2 가

28.

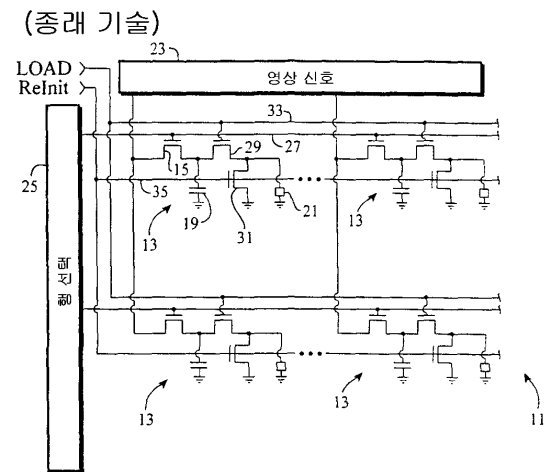
25 , 2 가 2 1  
1 가



2

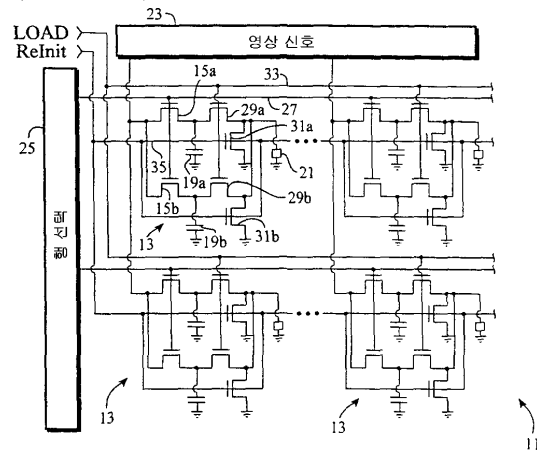


3

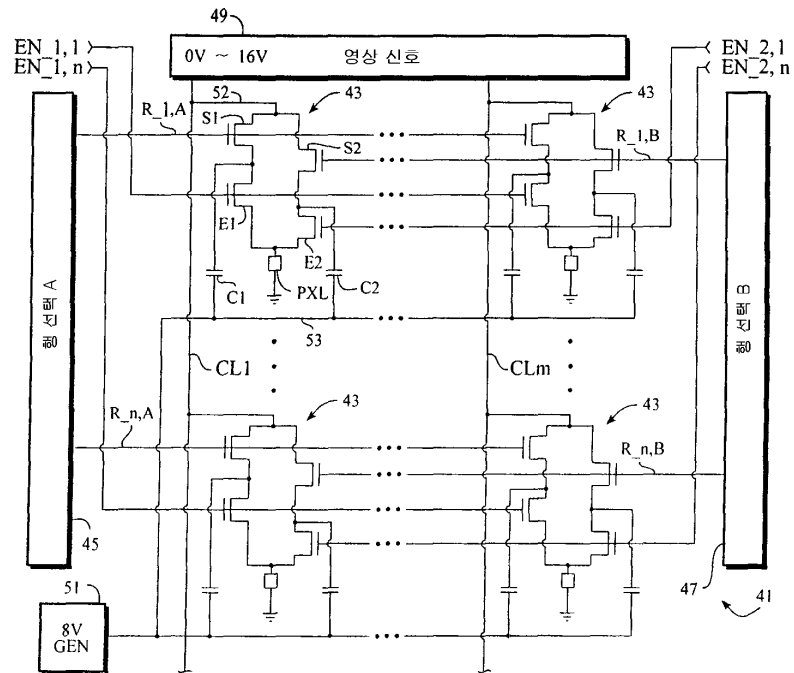


4

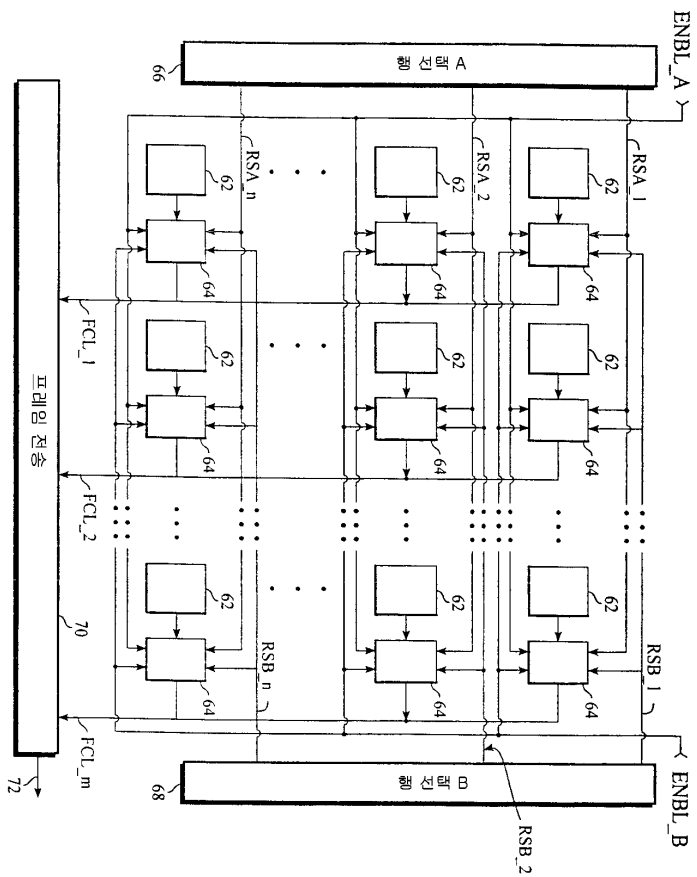
(종래 기술)



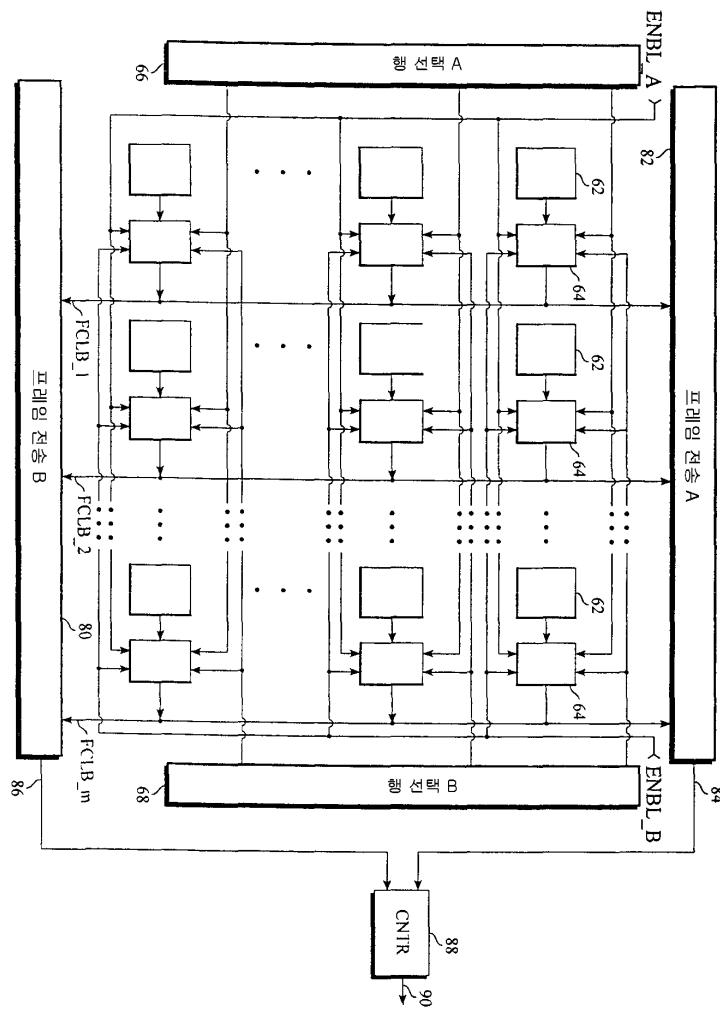
5



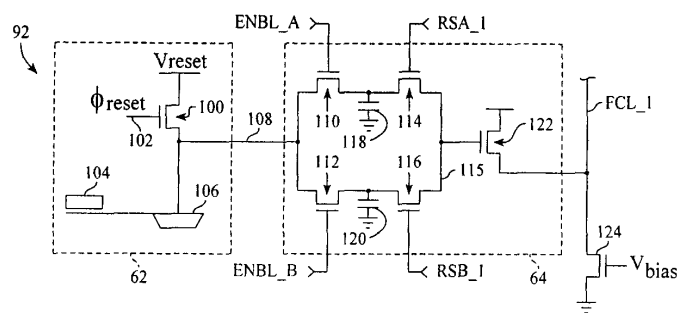




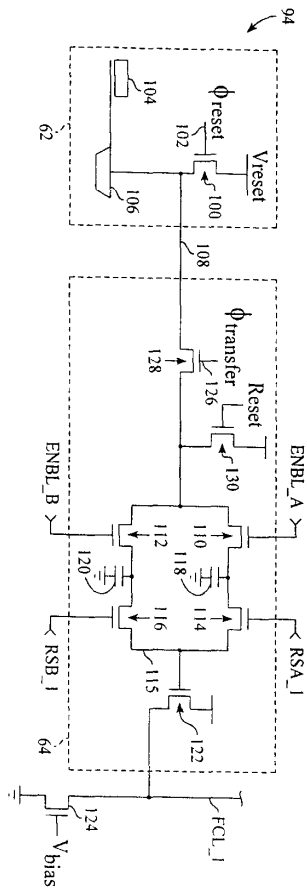
9



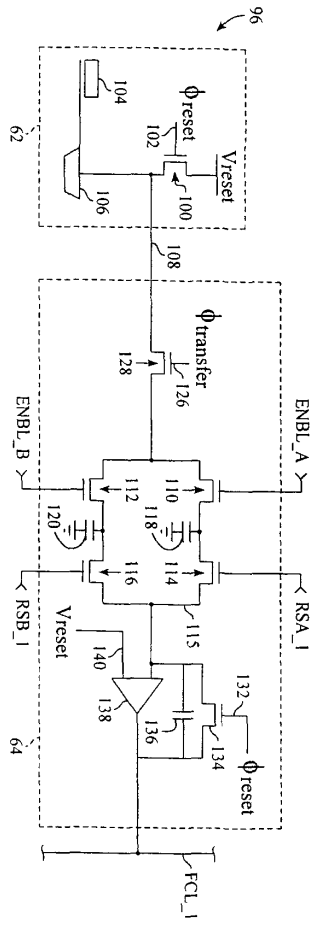
10



11



12



专利名称(译)	一种用于液晶显示装置单元的驱动电路		
公开(公告)号	<a href="#">KR1020020060223A</a>	公开(公告)日	2002-07-16
申请号	KR1020027005905	申请日	2000-09-19
[标]申请(专利权)人(译)	爱特梅尔公司 艺术爱情鼻子炮雷肖恩		
申请(专利权)人(译)	艺术爱情鼻子炮雷肖恩		
当前申请(专利权)人(译)	艺术爱情鼻子炮雷肖恩		
[标]发明人	PATHAK SAROJ 파탁사로 PAYNE JAMES E 페이네제임스이		
发明人	파탁사로 페이네제임스이		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3659 G09G2300/0814 G09G2300/0842 G09G2300/0852		
代理人(译)	KIM, SEONG KI 金泰HONG		
优先权	09/436064 1999-11-08 US		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

对于根据本发明的液晶显示装置，在利用像素 (43) 的阵列 (41) 的驱动电路接收第二图像数据组的同时，可以显示第一图像数据组。第一线轻触开关晶体管 (S1) 响应于第一线标签信号 (R1, A) 进行控制，以将第一图像绑定在第一存储电容器 (C1) 中。它控制第二选择开关晶体管 (S2) 响应第二存储电容器 (C2) 中的第二选择信号 (R1, B) 而结合第二图像。第一存储电容器 (C1) 可以响应于第一使能信号 (EN 1,1) 与输出节点 (PXL) 中的第一使能开关晶体管 (E1) 选择性地组合。第二存储电容器 (C2) 可以响应于第二使能信号 (EN 2,1) 而选择性地组合，其中第二使能开关晶体管 (E2) 在同一输出节点 (PXL) 中。适当地操纵第一使能开关晶体管 (E1) 和第二使能开关晶体管 (E2)。以这种方式，当另一个存储电容器与输出节点分离并接收新的图像数据时，可以在输出节点中组合一个存储电容器。

