



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월08일
 (11) 등록번호 10-0821016
 (24) 등록일자 2008년04월02일

(51) Int. Cl.
G09G 3/36 (2006.01)
 (21) 출원번호 10-2003-0005824
 (22) 출원일자 2003년01월29일
 심사청구일자 2006년05월29일
 (65) 공개번호 10-2003-0066362
 (43) 공개일자 2003년08월09일
 (30) 우선권주장 JP-P-2002-00025446 2002년02월01일 일본(JP)
 (56) 선행기술조사문헌 JP03083019 A
 (뒷면에 계속)

(73) 특허권자
샤프 가부시키가이사
 일본 오사카후 오사카시 아베노구 나가이쵸 22 방 22고
 (72) 발명자
이또다카에
 일본가나가와켄가와사키시나카하라구가미코다나카 4쵸메1-1후지쯔디스플레이테크놀로지스코포레이션 내
누끼야마가즈히로
 일본가나가와켄가와사키시나카하라구가미코다나카 4쵸메1-1후지쯔디스플레이테크놀로지스코포레이션 내
 (74) 대리인
구영창, 장수길, 주성민

전체 청구항 수 : 총 10 항

심사관 : 김세영

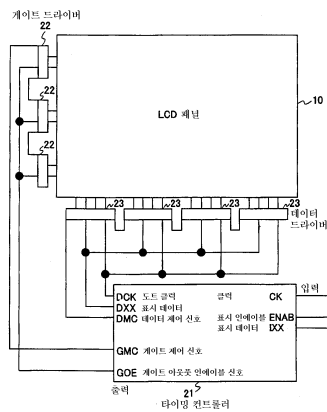
(54) 액정 표시 장치

(57) 요약

본 발명은 현상의 제어 기능을 유지하면서, 각 드라이버에 입력하는 제어 신호의 수를 최소한으로 억제한 액정 표시 장치를 제공하는 것을 목적으로 한다.

액정 표시 장치는 데이터 라인을 포함하는 액정 패널과, 데이터 라인을 구동하는 데이터 드라이버와, 데이터 라인을 구동하는 데이터 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 데이터 드라이버에 접속되는 (N-1)개 이하의 제어 신호선에 출력하는 컨트롤러를 포함한다.

대표도 - 도2



(56) 선행기술조사문헌
JP05061435 A
KR1019980025131 A
KR1020020004813 A
US5021775 B

특허청구의 범위

청구항 1

데이터 라인을 포함하는 액정 패널과,

상기 데이터 라인을 구동하는 데이터 드라이버와,

상기 데이터 라인을 구동하는 상기 데이터 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 상기 데이터 드라이버에 접속되는 (N-1)개 이하의 제어 신호선에 출력하는 컨트롤러

를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 (N-1)개 이하의 제어 신호선은 1개의 제어 신호선이고, 상기 컨트롤러는 상기 N개의 제어 기능을 지시하는 시계열 부호를 상기 1개의 제어 신호선에 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 데이터 드라이버는 복수 설치되고, 또한 상기 1개의 제어 신호선을 통하여 캐스케이드 접속되고, 상기 시계열 부호는 상기 1개의 제어 신호선을 전파하는 신호를 데이터 드라이버의 입출력 사이에서 그대로 통과시키는 모드를 지정하는 부호를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제2항에 있어서,

상기 N개의 제어 기능은 상기 데이터 드라이버의 데이터 개시 타이밍을 지시하는 데이터 스타트 기능, 상기 데이터 드라이버의 내부 래치에 표시 데이터를 취득하는 타이밍을 지시하는 래치 펄스 기능, 및 상기 데이터 라인의 극성을 지시하는 극성 기능을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 데이터 드라이버는 복수 설치되고, 상기 (N-1)개 이하의 제어 신호선은 상기 복수의 데이터 드라이버의 각각에 접속되는 제어 신호선과 상기 복수의 데이터 드라이버 간을 캐스케이드 접속하는 제어 신호선을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6

게이트 라인을 포함하는 액정 패널과,

상기 게이트 라인을 구동하는 게이트 드라이버와,

상기 게이트 라인을 구동하는 상기 게이트 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 상기 게이트 드라이버에 접속되는 (N-1)개 이하의 제어 신호선에 출력하는 컨트롤러

를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 (N-1)개 이하의 제어 신호선은 1개의 제어 신호선이고, 상기 컨트롤러는 선두의 게이트 라인을 구동하는 타이밍을 지시하는 스타트 펄스 기능과, 구동하는 게이트 라인을 1라인씩 시프트시키는 타이밍을 지시하는 게이트 클럭 기능을 지시하는 신호를 상기 1개의 제어 신호선에 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 게이트 드라이버는 상기 1개의 제어 신호선에 전송되는 신호에서 신호 변화점의 소정 시각 전의 신호 레벨을 판정함으로써 상기 스타트 펄스 기능을 추출하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

데이터 라인을 포함하는 액정 패널과,

상기 데이터 라인을 표시 데이터에 기초하여 구동하는 데이터 드라이버와,

외부로부터 짝수 표시 데이터 및 홀수 표시 데이터의 2개 유형의 표시 데이터를 수취하고, 상기 짝수 표시 데이터 및 상기 홀수 표시 데이터를 통합한 1개 유형의 표시 데이터를 상기 데이터 드라이버에 공급하는 컨트롤러를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 컨트롤러로부터 상기 데이터 드라이버에의 상기 표시 데이터의 전송은 클럭 신호의 상승 및 하강의 양에 지에 동기하여 행하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <32> 본 발명은 액정 패널을 구동하는 드라이버에 관한 것으로, 보다 상세하게는 액정 패널의 게이트 라인을 주사하기 위한 게이트 드라이버와, 표시 데이터에 기초하여 액정 패널의 데이터 라인을 구동하는 데이터 드라이버에 관한 것이다.
- <33> 액정 패널(Liquid Crystal Display : LCD)에서는 트랜지스터를 포함하는 화소가 중횡으로 배치되고, 가로 방향으로 연장되는 게이트 라인이 각 화소의 트랜지스터의 게이트에 접속되고, 세로 방향으로 연장되는 데이터 라인이 트랜지스터를 통하여 각 화소의 컨덴서에 접속된다. 액정 패널에 데이터 표시할 때에는, 게이트 드라이버에 의해 게이트 라인을 1라인씩 순차적으로 구동하여 1라인분의 트랜지스터를 도통 상태로 하고, 도통된 트랜지스터를 통하여, 데이터 드라이버로부터 각 화소에 가로 1라인분의 데이터를 일제히 기입한다.
- <34> 도 1은 종래의 액정 표시 장치의 구성을 도시하는 도면이다.
- <35> 도 1의 액정 표시 장치는 LCD 패널(10), 타이밍 컨트롤러(11), 복수의 게이트 드라이버(12), 및 복수의 데이터 드라이버(13)를 포함한다. LCD 패널(10)에는 도시되지 않는 트랜지스터를 포함하는 화소가 중횡으로 배치되고, 게이트 드라이버(12)로부터 가로 방향으로 연장되는 게이트 라인이 각 화소의 트랜지스터의 게이트에 접속되고, 데이터 드라이버(13)로부터 세로 방향으로 연장되는 데이터 라인이 트랜지스터를 통하여 각 화소의 컨덴서에 접속된다.
- <36> 타이밍 컨트롤러(11)는 인터페이스 I/F를 통하여 클럭 신호 CX, 표시 데이터 IXX, 및 표시 위치의 타이밍을 나타내는 표시 인에이블 신호 ENAB를 수취한다. 타이밍 컨트롤러(11)는 표시 인에이블 신호 ENAB가 상승할 때부터 클럭 신호 CX의 클럭 펄스를 카운트함으로써 수평 위치의 타이밍을 결정하여 각종 제어 신호를 생성한다. 또한, 타이밍 컨트롤러(11)는 표시 인에이블 신호 ENAB의 수를 카운트함으로써, 수직 위치의 타이밍을 결정하여 각종 제어 신호를 생성한다. 또한, 표시 인에이블 신호 ENAB의 LOW 기간이 일정한 클럭 펄스 수 이상 계속하는 위치를 검출함으로써, 각 프레임의 선두 위치를 검출할 수 있다.
- <37> 타이밍 컨트롤러(11)로부터 게이트 드라이버(12)에 공급되는 제어 신호는 게이트 클럭 신호 GCLK, 스타트 펄스 신호 GST, 및 아웃풋 인에이블 신호 GOE를 포함한다. 게이트 클럭 신호 GCLK는 신호의 상승에 동기하여 구동하

는 게이트 라인을 1라인씩 시프트시키기 위한 동기 신호로서, 게이트가 온이 되는 가로 방향 1라인분의 트랜지스터를 신호의 상승에 동기하여 1라인씩 세로 방향으로 시프트시키는 것에 상당한다. 스타트 펄스 신호 GST는 선두의 게이트 라인을 온시키는 타이밍을 지정하는 동기 신호로서, 프레임의 개시 타이밍에 상당한다. 아웃풋 인에이블 신호 GOE는 상기 동작을 온으로 하거나 또는 오프로 하여 모든 게이트 라인을 비구동 상태로 할 것인지를 지정하는 신호이다.

<38> 타이밍 컨트롤러(11)로부터 데이터 드라이버(13)에 공급되는 제어 신호는 도트 클럭 신호 DCK, 데이터 스타트 신호 DST, 래치 펄스 LP, 및 극성 신호 POL을 포함한다. 도트 클럭 신호 DCK는 표시 데이터 DXX를 상승 동기로 레지스터에 취득하기 위한 클럭 펄스이다. 데이터 스타트 신호 DST는 그 데이터 드라이버(13)가 표시하는 분의 표시 데이터 DXX의 개시 위치를 나타내는 신호이다. 이 데이터 스타트 신호 DST의 타이밍을 개시점으로 하여, 각 화소에 대응하는 표시 데이터 DXX를 도트 클럭 신호 DCK에 의해 순차적으로 레지스터에 취득한다. 래치 펄스 LP는 레지스터에 순차적으로 취득된 표시 데이터 DXX를 내부 래치에 래치하기 위한 신호이다. 래치된 표시 데이터 신호는 DA 컨버터에 전송되고, DA 컨버터에 의해 아날로그 계조 신호로 변환되고, 데이터 라인 구동 신호로서 LCD 패널(10)에 출력된다. 또한, 극성 신호 POL은 DA 컨버터에 입력되는 신호로서, 이 신호에 의해 각 데이터 라인의 출력 극성을 지시한다. 액정의 특성 열화를 방지하기 위해서 각 데이터 라인의 출력 극성을 시간적으로 반전시키는 동작이 필요하므로, 이 극성 신호 POL을 이용하여 공통 전압에 대한 각 데이터 라인의 출력 극성을 선택한다.

발명이 이루고자 하는 기술적 과제

<39> 제어 신호가 노이즈에 의해 열화하면, 치명적인 오동작의 원인으로 될 가능성이 있다. 따라서, 제어 신호 배선에 관해서는 배선간 크로스토크의 저감에 대하여 세심한 주의를 기울여, 충분한 여유를 갖고 실장할 필요가 있다. 그러나, 이 제어 신호선의 개수가 비교적 많기 때문에, 배선판의 면적 증대를 가져오는 결과가 되어, 비용 삭감에 대한 부담으로 되어 있다.

<40> 이상을 감안하여 본 발명은 현상의 제어 기능을 유지하면서, 각 드라이버에 입력하는 제어 신호의 수를 최소한으로 억제한 액정 표시 장치를 제공하는 것을 목적으로 한다.

<41> 상기는 제어 신호에 관한 문제이지만, 표시 데이터에 대해서도 마찬가지로 문제가 존재한다. 최근의 액정 표시 장치에서는 고정밀 및 고품질 표시를 실현하기 위해서 데이터 드라이버에의 데이터선 수를 증가시키고, 짝수 및 홀수 도트의 2개 유형의 표시 데이터를 입력하는 구성으로 되어 있다. 이에 의해, 고정밀한 데이터 표시를 가능하게 하면서도, 디바이스가 무리없이 추종할 수 있는 속도로 표시 데이터의 전송 속도를 설정할 수 있다. 예를 들면, 2개 유형으로 전송로를 분할하는 경우에는 전송 주파수를 1/2로 할 수 있다.

<42> 표시 데이터 신호의 수는 RGB마다 독립되어 있으며, 표시 계조 수의 비트분만큼 필요하다. 따라서, 8bit(256계조)의 컬러 표시를 실현하는 경우, 8(비트)×3(RGB의 3색)×2(짝수의 2개 유형)=48개의 신호선이 필요하게 된다. 다수의 신호선을 배치함으로써 배선 기판 면적이 증가하고, 결과적으로 부재 비용이 증가한다는 문제가 있다.

<43> 따라서, 본 발명은 현상의 장치측과의 인터페이스의 호환성을 유지하면서, 데이터 드라이버에 입력하는 데이터 신호선의 수를 저감하는 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<44> 본 발명에 따른 액정 표시 장치는 데이터 라인을 포함하는 액정 패널과, 그 데이터 라인을 구동하는 데이터 드라이버와, 그 데이터 라인을 구동하는 그 데이터 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 그 데이터 드라이버에 접속되는 (N-1)개 이하의 제어 신호선에 출력하는 컨트롤러를 포함하는 것을 특징으로 한다.

<45> 상기 발명에서는, 데이터 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 (N-1)개 이하의 제어 신호선 상의 신호에 통합함으로써, 제어 신호선의 개수를 삭감시킬 수 있다.

<46> 또한, 본 발명의 다른 측면에 따르면, 액정 표시 장치는 게이트 라인을 포함하는 액정 패널과, 그 게이트 라인을 구동하는 게이트 드라이버와, 그 게이트 라인을 구동하는 그 게이트 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 그 게이트 드라이버에 접속되는 (N-1)개 이하의 제어 신호선으로 출력하는 컨트롤러를 포함하는 것을 특징으로 한다.

<47> 상기 발명에서는, 게이트 드라이버의 구동 동작을 제어하는 N개의 제어 기능을 (N-1)개 이하의 제어 신호선 상

의 신호에 통합함으로써, 제어 신호선의 개수를 삭감시킬 수 있다.

- <48> 또한, 본 발명의 다른 측면에 따르면, 액정 표시 장치는 데이터 라인을 포함하는 액정 패널과, 그 데이터 라인을 표시 데이터에 기초하여 구동하는 데이터 드라이버와, 외부로부터 짝수 표시 데이터 및 홀수 표시 데이터의 2개 유형의 표시 데이터를 수취하여 그 짝수 표시 데이터 및 상기 홀수 표시 데이터를 통합한 1개 유형의 표시 데이터를 그 데이터 드라이버에 공급하는 컨트롤러를 포함하는 것을 특징으로 한다.
- <49> 상기 발명에서는, 장치 외부로부터 짝수 2개 유형의 표시 데이터를 입력으로 하여 1개 유형의 표시 데이터에 통합한 후에 데이터 드라이버에 전송함으로써, 현상의 장치측과의 인터페이스의 호환성을 유지하면서, 데이터 드라이버에 입력하는 데이터 신호선의 수를 저감시킬 수 있다.
- <50> <실시예>
- <51> 이하, 본 발명의 실시예를 첨부 도면을 이용하여 상세히 설명한다.
- <52> 도 2는 본 발명에 따른 액정 표시 장치의 제1 실시예의 구성을 도시하는 도면이다.
- <53> 도 1의 액정 표시 장치는 LCD 패널(10), 타이밍 컨트롤러(21), 복수의 게이트 드라이버(22), 및 복수의 데이터 드라이버(23)를 포함한다. LCD 패널(10)에는 도시되지 않은 트랜지스터를 포함하는 화소가 중형으로 배치되고, 게이트 드라이버(22)로부터 가로 방향으로 연장되는 게이트 라인이 각 화소의 트랜지스터의 게이트에 접속되고, 데이터 드라이버(23)로부터 세로 방향으로 연장되는 데이터 라인이 트랜지스터를 통하여 각 화소의 컨덴서에 접속된다.
- <54> 타이밍 컨트롤러(21)는 인터페이스 I/F를 통하여 클럭 신호 CX, 표시 데이터 IXX, 및 표시 위치의 타이밍을 나타내는 표시 인에이블 신호 ENAB를 수취한다. 타이밍 컨트롤러(21)는 표시 인에이블 신호 ENAB가 상승할 때부터 클럭 신호 CX의 클럭 펄스를 카운트함으로써 수평 위치의 타이밍을 결정하여 각종 제어 신호를 생성한다. 또한, 타이밍 컨트롤러(21)는 표시 인에이블 신호 ENAB의 수를 카운트함으로써, 수직 위치의 타이밍을 결정하여 각종 제어 신호를 생성한다. 또한, 표시 인에이블 신호 ENAB의 LOW 기간이 일정한 클럭 펄스 수 이상 계속하는 위치를 검출함으로써, 각 프레임의 선두 위치를 검출할 수 있다.
- <55> 타이밍 컨트롤러(21)로부터 게이트 드라이버(22)에 공급되는 제어 신호는 게이트 제어 신호 GMC이다. 이 단일의 게이트 제어 신호 GMC에는 도 1을 이용하여 설명한 게이트 클럭 신호 GCLK 및 스타트 펄스 신호 GST가 중첩하여 포함되어 있다. 게이트 드라이버(22)는 수취한 게이트 제어 신호 GMC로부터 게이트 클럭 신호 GCLK 및 스타트 펄스 신호 GST의 각 논리를 추출함과 함께, 타이밍 컨트롤러(21)로부터 수취하는 아웃풋 인에이블 신호 GOE를 이용하여, 도 1의 구성과 마찬가지로 소정의 동작을 실행한다.
- <56> 타이밍 컨트롤러(21)로부터 데이터 드라이버(23)에 공급되는 제어 신호는, 도트 클럭 신호 DCK 및 데이터 제어 신호 DMC를 포함한다. 데이터 제어 신호 DMC에는 도 1을 이용하여 설명한 데이터 스타트 신호 DST, 래치 펄스 LP, 및 극성 신호 POL이 중첩하여 포함되어 있다. 데이터 드라이버(23)는 수취한 데이터 제어 신호 DMC로부터 데이터 스타트 신호 DST, 래치 펄스 LP, 및 극성 신호 POL의 각 논리를 추출함과 함께, 타이밍 컨트롤러(21)로부터 수취하는 도트 클럭 신호 DCK와 표시 데이터 DXX를 이용하여, 도 1의 구성과 마찬가지로 소정의 동작을 실행한다.
- <57> 도 3은 게이트 제어 신호 GMC의 생성 및 검출을 설명하기 위한 신호 파형도이다.
- <58> 도 3에서, 게이트 클럭 신호 GCLK 및 스타트 펄스 신호 GST는 도 1의 종래의 구성에 기초하는 제어 신호이다. 또한, 펄스 신호 GSTP는 스타트 펄스 신호 GST의 위치에서, 게이트 클럭 신호 GCLK가 LOW로 되고 나서 클럭 신호 CK의 1클럭 후에 HIGH로 되고, 게이트 클럭 신호 GCLK가 HIGH로 되는 1클럭 전에 LOW로 되는 신호이다. 게이트 클럭 신호 GCLK와 펄스 신호 GSTP와의 OR 연산을 취함으로써, 게이트 제어 신호 GMC가 생성된다. 도 2와 같이 게이트 드라이버(22)를 복수 사용하는 경우에는 게이트 드라이버(22)를 캐스캐이드 접속하여 게이트 제어 신호 GMC를 공급한다.
- <59> 게이트 드라이버(22) 내부에서, 입력된 게이트 제어 신호 GMC를 임의의 일정 시간 "a"만큼 지연시킴으로써, 지연 게이트 제어 신호 GMCD를 작성한다. 이 일정 시간 "a"는 스타트 펄스 신호 GST가 존재하는 위치의 게이트 제어 신호 GMC의 LOW 기간(도 3의 "b")보다 길면 된다. 단, 게이트 클럭 신호 GCLK의 반주기보다 짧을 필요가 있다.
- <60> 다음으로, 게이트 제어 신호 GMC의 상승에서, 지연 게이트 제어 신호 GMCD를 읽어들인다. 이것은 게이트 제어

신호 GMC에서, 상승 타이밍으로부터 소정의 시간 전의 타이밍에서의 신호 레벨을 관측하고 있는 것에 상당한다. 스타트 펄스 신호 GST가 존재하지 않는 게이트 클럭 신호 GCLK의 부분에서는, 게이트 제어 신호 GMCD의 LOW를 게이트 제어 신호 GMC의 상승에서 읽어들이게 된다. 스타트 펄스 신호 GST가 존재하는 부분에서는, 게이트 제어 신호 GMCD의 HIGH를 2회 연속해서 게이트 제어 신호 GMC가 상승할 때 읽어들이게 된다. 이 2회 연속해서 읽어들이는 HIGH 신호 중에 두번째의 HIGH 신호의 타이밍을 그 게이트 드라이버(22)에서 선두의 게이트 라인을 구동하는 타이밍으로 한다. 이후, 게이트 제어 신호 GMC에 포함되는 게이트 클럭 신호 GCLK의 상승에 의해, 게이트 라인을 순차적으로 구동해 간다.

- <61> 도 4는 캐스케이드 접속되는 복수의 게이트 드라이버(22)의 각각에 공급되는 게이트 제어 신호 GMC를 도시하는 도면이다. 도 4에서, GMCn은 n번째의 게이트 드라이버(22)에 공급되는 게이트 제어 신호이다.
- <62> 게이트 제어 신호 GMC는 도 2에 도시된 바와 같이 캐스케이드 접속된다. 각 게이트 드라이버(22)로부터 다음 단의 게이트 드라이버(22)에 신호를 전송할 때, 스타트 펄스 신호 GST가 존재하지 않는 게이트 클럭 신호 GCLK의 부분에 관해서는, 입력된 게이트 제어 신호 GMC를 그대로 다음 단의 드라이버로 전송한다. 따라서, 게이트 클럭 신호 GCLK의 부분에 대해서는 모든 게이트 드라이버(22)에 대략 동시에 신호가 전송된다.
- <63> 스타트 펄스 신호 GST의 위치를 나타내는 신호 파형에 대해서는, 각각의 게이트 드라이버(22)에서, 게이트 라인 구동 개시 타이밍에 대응한 위치에 설정되어 있을 필요가 있다. 이 스타트 펄스 신호 GST의 위치를 나타내는 신호 파형은, 선두의 게이트 드라이버(22)에 대해서는 타이밍 컨트롤러(21)에 의해 지정된다. 2번째 이후의 게이트 드라이버(22)에 대해서는 전단의 게이트 드라이버(22)에서 스타트 펄스 신호 GST의 위치를 지정하여, 다음 단의 게이트 드라이버(22)에 공급하도록 한다.
- <64> 구체적으로는, 도 4에는 256출력의 게이트 드라이버(22)를 4개 캐스케이드 접속한 경우를 도시한다. 선두의 게이트 드라이버(22)에는 스타트 펄스 신호 GST에 상당하는 부분이, 선두 라인의 표시 기입 타이밍에서 타이밍 컨트롤러(21)로부터 공급된다. 선두의 게이트 드라이버(22)는 256번째의 게이트 클럭 신호 GCLK를 내부에서 읽어 들인 타이밍에서, 다음의 게이트 드라이버(22)에 스타트 펄스 신호 GST에 상당하는 부분을 보내도록 한다. 마찬가지로 하여, 3번째의 게이트 드라이버(22)에는 522번째의 클럭 타이밍에서, 또한 4번째의 게이트 드라이버(22)에는 768번째의 클럭 타이밍에서, 스타트 펄스 신호 GST에 상당하는 부분이 공급된다. 이와 같이 하여, 1 프레임 전체의 게이트 구동 동작이 실행된다.
- <65> 도 5는 데이터 제어 신호 DMC를 설명하기 위한 도면이다.
- <66> 본 발명에 따른 액정 표시 장치의 제1 실시예에서, 데이터 제어 신호 DMC는 데이터 스타트 신호 DST, 래치 펄스 LP, 및 극성 신호 POL을 시계열 부호로 표현한다. 데이터 스타트 신호 DST에 상당하는 신호는 종래의 데이터 스타트 신호 DST와 마찬가지로 생성되고, 1도트 클럭 DCX 동안만 HIGH로 되는 펄스이다. 래치 펄스 LP 및 극성 신호 POL은 도 5에 도시된 바와 같이 "LHLL" 또는 "HLLH"의 시계열 부호로 표현된다. "LHLL"의 경우, "HH"가 래치 타이밍을 나타내고, "HH"로부터 1클럭만큼 간격을 둔 "L"에 의해 극성 신호 POL이 LOW인 것을 나타낸다. "HLLH"의 경우에는, "HH"가 래치 타이밍을 나타내고, "HH"로부터 1클럭만큼 간격을 둔 "H"에 의해 극성 신호 POL이 HIGH인 것을 나타낸다.
- <67> 데이터 제어 신호 DMC는 캐스케이드 접속되는 데이터 드라이버(23)를 순차적으로 전파해 간다. 데이터 제어 신호 DMC 중에서 래치 펄스 LP 및 극성 신호 POL에 상당하는 신호 부분은 각 데이터 드라이버(23)에서, 수취한 신호를 그 타이밍에서 그대로 후단의 드라이버에 전달해야 한다. 그래서, 본 실시예에서는 신호를 그대로 스루시켜 다음 단에 전달하는 기간을 정의하는 신호를 미리 설정해 둔다. 즉, 스루 스타트 키 "LHHHL"과 스루 엔드 키 "HHHHH" 사이에 포함되는 기간은 게이트 드라이버(22)가 입력으로부터 수취한 신호를 그대로 출력으로 스루한다. 이에 의해, 래치 펄스 LP 및 극성 신호 POL을 모든 데이터 드라이버(23)에 거의 동시에 공급할 수 있다.
- <68> 도 6은 캐스케이드 접속되는 복수의 데이터 드라이버(23)의 각각에 공급되는 데이터 제어 신호 DMC를 도시하는 도면이다. 도 6에서, DMCn은 n번째의 데이터 드라이버(23)에 공급되는 데이터 제어 신호이다. 본 예에서는 8개의 데이터 드라이버(23)를 캐스케이드 접속하는 경우를 나타낸다.
- <69> 선두의 데이터 드라이버(23)에는 액정 표시 장치의 타이밍 컨트롤러(21)로부터 DMC1이 입력된다. 선두의 데이터 드라이버(23)는 클럭에 동기하여 DMC1을 취득하여, DMC1이 "LHL"로 변화한 것을 검출하면, 다음의 클럭 타이밍으로부터 표시 데이터 DXX의 취득을 개시한다. 예를 들면, 79번째의 데이터를 취득할 때의 도트 클럭 신호 DCX의 상승에서, 다음 단의 데이터 드라이버(23)에의 출력 DMC2를 "H"로 하고, 다음의 80번째의 데이터를 취득

할 때의 도트 클럭 신호 DCX의 상승에서, 출력 DMC2를 "L"로 한다. 2번째의 데이터 드라이버(23)는 DMC2가 "LHL"로 변화한 다음의 클럭 타이밍부터 표시 데이터를 취득하기 시작한다. 이에 의해, 선두의 데이터 드라이버(23)와 2번째의 데이터 드라이버(23) 사이에서, 데이터를 원활하게 연결하여 취득할 수 있다. 이후, 8번째의 데이터 드라이버(23)까지 마찬가지로 데이터를 취득해 간다.

<70> 다음으로, 래치 펄스 LP 신호를 보내는 준비로서, 타이밍 컨트롤러(21)로부터 선두의 데이터 드라이버(23)에 데이터를 통과시키는 신호(스루 스타트 키: "LHHHL")를 송신한다. 이 스루 스타트 키를 수취한 데이터 드라이버(23)는 다음 단의 데이터 드라이버(23)에 순차적으로 스루 키를 송신한다. 스루 스타트 키가 최종의 데이터 드라이버(23)까지 전달된 후에, 타이밍 컨트롤러(21)는 래치 펄스 LP를 나타내는 신호를 선두의 데이터 드라이버(23)에 송신한다. 이 때, 모든 데이터 드라이버(23)는 스루 상태에 있기 때문에, 래치 펄스 LP를 나타내는 신호는 즉시 모든 드라이버에 전송된다. 그 후에, 타이밍 컨트롤러(21)는 스루 엔드 키 "HHHH"를 보내고, 각 데이터 드라이버(23)에 설정된 스루 모드를 해제한다.

<71> 이하, 상기 제1 실시예를 실현하는 회로 구성에 대하여 설명한다.

<72> 도 7은 타이밍 컨트롤러(21)에서 게이트 제어 신호 GMC를 생성하는 구성을 도시하는 회로도이다.

<73> 도 7의 회로는 카운터 회로(31), 디코더 회로(32), JK 플립플롭(33, 34), AND 회로(35), 및 OR 회로(36)를 포함한다. 카운터 회로(31)는 1수평 주기 내에서의 수평 위치의 타이밍을 지정하기 위해서 클럭 신호 CK를 카운트하는 회로로서, 인에이블 신호 ENAB에 응답하여 제로(0)인 데이터 DATA를 로드함으로써 내부 카운트값을 리셋한다. 그 후, 클럭 신호 CK를 카운트함으로써 얻어지는 카운트값이 디코더 회로(32)에 공급된다. 디코더 회로(32)는 카운터 회로(31)의 카운트값을 디코드함으로써, 100번째의 클럭 펄스에서 HIGH로 되는 펄스 신호 P100, 101번째의 클럭 펄스에서 HIGH로 되는 펄스 신호 P101, 499번째의 클럭 펄스에서 HIGH로 되는 펄스 신호 P499, 500번째의 클럭 펄스에서 HIGH로 되는 펄스 신호 P500을 생성한다.

<74> JK 플립플롭(33)은 P500을 J 입력으로 하고 또한 P100을 K 입력으로 함으로써, 클럭 타이밍 100으로부터 500까지의 동안은 LOW이고 그 이외의 기간은 HIGH인 게이트 클럭 신호 GCLK를 출력한다. 또한, JK 플립플롭(34)은 P101을 J 입력으로 하고 또한 P199를 K 입력으로 함으로써, 클럭 타이밍 101부터 499까지의 동안은 HIGH이고 그 이외의 기간은 LOW인 신호를 생성한다. AND 회로(35)는 클럭 타이밍 101부터 499까지의 동안은 HIGH이고 그 이외의 기간은 LOW인 신호와 최초의 1수평 주기만 HIGH인 신호와의 AND 연산을 취함으로써, 게이트 스타트를 나타내는 펄스 신호 GSTP를 생성한다. OR 회로(36)는 게이트 클럭 신호 GCLK와 펄스 신호 GSTP와의 OR 연산을 취함으로써, 게이트 제어 신호 GMC를 생성한다. 게이트 클럭 신호 GCLK, 펄스 신호 GSTP, 및 게이트 제어 신호 GMC는 도 3에 도시된다.

<75> 도 8은 각 게이트 드라이버(22)에서 게이트 스타트 펄스 GST를 추출함과 함께 다음 단으로의 게이트 제어 신호를 생성하는 구성을 도시하는 회로도이다.

<76> 도 8의 회로는 D 플립플롭(41~43), AND 회로(44, 45), OR 회로(46), 딜레이 회로(47), 버퍼 회로(48), 인버터(49, 50), 및 XOR 회로(51)를 포함한다.

<77> 딜레이 회로(47)는 지연 소자로서, 게이트 제어 신호 GMC를 지연함으로써 지연 게이트 제어 신호 GMCD를 생성한다. 이 지연 게이트 제어 신호 GMCD는 도 3에 도시된다. D 플립플롭(41)은 게이트 제어 신호 GMC를 클럭 입력 CLK로 하고, 그 상승에서 지연 게이트 제어 신호 GMCD를 래치한다. D 플립플롭(41)의 출력은 스타트 펄스 신호 GST가 존재하지 않는 게이트 클럭 신호 GCLK의 부분에서는 LOW이다. 스타트 펄스 신호 GST가 존재하는 부분에서는, D 플립플롭(41)은 게이트 제어 신호 GMCD의 HIGH를 2회 연속해서 게이트 제어 신호 GMC의 상승에서 읽어들이게 된다. D 플립플롭(41)의 출력을 또한, D 플립플롭(42)에 의해 게이트 제어 신호 GMC의 상승에서 읽어들이고, D 플립플롭(41) 및 D 플립플롭(42)과의 AND 연산을 취함으로써, 2회 연속해서 HIGH 신호가 읽어들이어졌을 때에만 AND 회로(44)로부터 게이트 스타트 신호 GST를 출력한다.

<78> 임의의 게이트 드라이버(22)로부터 다음 단의 게이트 드라이버(22)에 공급하는 게이트 제어 신호 GMCN은, 다음과 같이 하여 생성된다. 도 9는 게이트 제어 신호 GMCN을 생성하는 동작을 설명하기 위한 파형도이다. 도 8의 XOR 회로(51)에 의해 게이트 제어 신호 GMC와 지연 게이트 제어 신호 GMCD와의 배타적 논리합 연산을 취함으로써, 도 9에 도시되는 신호 GXOR을 생성한다. 도 9에 도시되는 신호 STM은 D 플립플롭(41)의 출력이다. 도 8에 도시된 바와 같이 신호 GXOR과 신호 STM의 반전 신호에 대하여 AND 연산을 취함으로써, 도 9에 도시되는 GXOR의 점선 부분의 펄스를 마스크하여 소거한다. 이 마스크 후의 신호의 상승에서, D 플립플롭(43)이 지연 게이트 제어 신호 GMCD를 래치한다. 이에 의해, D 플립플롭(43)의 출력은 도 9의 최하단에 도시한 바와 같은 신호로 된

다. 이 D 플립플롭(43)의 출력에, 다음 단의 게이트 스타트 타이밍을 나타내는 스타트 펄스 신호 GSTN을 부가함으로써, 다음 단의 게이트 드라이버(22)에 공급하는 게이트 제어 신호 GMCN이 생성된다.

- <79> 도 10은 타이밍 컨트롤러(21)에서 데이터 제어 신호 DMC를 생성하는 구성을 도시하는 회로도이다.
- <80> 도 10의 회로는 JK 플립플롭(61, 62), 카운터(63), AND 회로(64, 65), OR 회로(66~68), NOR 회로(69, 70), XNOR 회로(71), 인버터(72, 73), 및 OR 회로(74, 75)를 포함한다.
- <81> JK 플립플롭(61)은 래치 펄스 LP를 래치하여, 이 래치 동작에 의해 카운터(63)가 제로(0)로 리셋된다. 그 후, 카운터(63)는 클럭 신호 CK의 펄스 수를 카운트한다. 카운터(63)의 카운트 출력 QA 내지 QD를 도 10에 도시되는 논리 회로에서 논리 연산함으로써, OR 회로(68)로부터 래치 펄스 LP 및 극성 POL을 나타내는 시계열 부호가 출력된다. 또한, JK 플립플롭(62)에는 스루 스타트 키의 타이밍을 지정하는 신호 THSTRJ 및 THSTRK가 공급되고, 신호 THSTRJ의 타이밍에서 HIGH로 되고 신호 THSTRK의 타이밍에서 LOW로 되는 스루 스타트 키 신호가 출력된다. 또한, JK 플립플롭(62)에는, 스루 엔드 키의 타이밍을 지정하는 신호 THENDJ 및 THENDK가 공급되고, 스루 엔드 키 신호가 출력된다. OR 회로(68)로부터의 래치 펄스 LP 및 극성 POL을 나타내는 신호와, JK 플립플롭(62)으로부터의 스루 키와, 데이터 스타트 신호 DST가 OR 회로(67)에 의해 OR 연산되어, 데이터 제어 신호 DMC가 생성된다.
- <82> 도 11은 각 데이터 드라이버(23)에서 데이터 제어 신호 DMC로부터 각종 제어 신호를 추출함과 함께 다음 단의 데이터 드라이버(23)에의 데이터 제어 신호를 생성하는 회로를 도시하는 도면이다.
- <83> 도 11의 회로는 시프트 레지스터 회로(81), 디코더 회로(82), JK 플립플롭(83, 85), 카운터 회로(85), AND 회로(86), NOR 회로(87, 88), OR 회로(89)를 포함한다. 시프트 레지스터 회로(81)는 공급되는 데이터 제어 신호 DMC를 도트 클럭 신호 DCK에 동기하여 내부 레지스터 회로에 순차적으로 저장한다. 디코더 회로(82)는 시프트 레지스터 회로(81)가 저장하는 데이터 제어 신호 DMC의 복수 사이클분의 데이터를 디코드하여, 검출 신호 THSTR, THEND, DST, LPPPOL, 및 LPNPOL을 출력한다. 검출 신호 THSTR, THEND, DST, LPPPOL, 및 LPNPOL은 각각 스루 스타트 키 검출, 스루 엔드 키 검출, 데이터 스타트 신호 검출, 래치 펄스 및 정극성 검출, 및 래치 펄스 및 부극성 검출을 나타내는 신호이다. 예를 들면, 검출 신호 THSTR은 현재의 DMC, 1사이클 전의 DMC, 2사이클 전의 DMC, 3사이클 전의 DMC, 및 4사이클 전의 DMC가 (L, H, H, H, L)인 경우에만 HIGH로 되는 논리에 의해 실현된다.
- <84> JK 플립플롭(84), 카운터 회로(85), NOR 회로(87, 88)는 스루 스타트 키 검출을 개시점으로 하여, 3클럭 기간 HIGH인 신호를 생성한다. 이 신호는 OR 회로(89)를 통하여 다음 단의 데이터 드라이버(23)에 스루 스타트 키로서 공급된다. 또한, 그 데이터 드라이버(23) 내부에서 종래와 마찬가지로 생성되는 다음 단의 데이터 스타트 타이밍을 나타내는 데이터 스타트 신호 DSTN이 생성되고, OR 회로(89)를 통하여 다음 단의 데이터 드라이버(23)에 데이터 스타트 신호로서 공급된다.
- <85> JK 플립플롭(83)은 스루 스타트 키가 검출되고 나서 스루 엔드 키가 검출되기까지의 기간, HIGH를 출력한다. 이 HIGH 신호에 의해, AND 회로(86)가 스루 상태로 되어 데이터 제어 신호 DMC를 그대로 통과시킴으로써, 스루 기간 동안은 전단으로부터의 데이터 제어 신호 DMC를 후단에 그 상태의 타이밍에서 공급한다.
- <86> 도 12는 본 발명에 따른 액정 표시 장치의 제2 실시예의 구성을 도시하는 도면이다.
- <87> 제2 실시예에서는 제1 실시예와 데이터 제어 신호에 관한 부분만 다르므로, 데이터 드라이버에 관련된 구성 부분만을 도 12에 도시하고 있다. 도 12에 도시된 바와 같이 타이밍 컨트롤러(21A)로부터 데이터 드라이버(23A)에 공급되는 제어 신호는, 도트 클럭 신호 DCK, 제어 신호 DST+LP, 및 극성 신호 POL을 포함한다. 단일의 제어 신호 DST+LP에는 도 1을 이용하여 설명한 데이터 스타트 신호 DST 및 래치 펄스 LP가 중첩하여 포함되어 있다. 데이터 드라이버(23A)는, 수취한 제어 신호 DST+LP로부터 데이터 스타트 신호 DST 및 래치 펄스 LP의 각 논리를 추출함과 함께, 타이밍 컨트롤러(21A)로부터 수취하는 도트 클럭 신호 DCK, 극성 신호 POL, 및 표시 데이터 DXX를 이용하여, 도 1의 구성과 마찬가지로의 소정의 동작을 실행한다.
- <88> 도 13은 제어 신호 DST+LP를 도시하는 도면이다. 도 13에는 선두의 데이터 드라이버(23A)에 대한 제어 신호 DST+LP와, 8번째의 데이터 드라이버(23A)에 대한 제어 신호 DST+LP를 예로 들어 도시하고 있다. 또한, 래치 펄스 LP를 도시하고 있다.
- <89> 도 13에 도시된 바와 같이 제어 신호 DST+LP는 데이터 스타트 신호 DST의 타이밍에서 상승하고, 래치 펄스 LP의 타이밍에서 하강하는 신호이다. 데이터 드라이버(23A)를 캐스캐이드 접속하는 경우, 각 데이터 드라이버(23A)

에서는 입력 제어 신호 DST+LP가 상승하고 나서 그 데이터 드라이버에서 읽어들이는 데이터가 끝나는 1클럭 전에 출력 제어 신호 DST+LP가 상승하도록 한다. 내부 DA 컨버터에 표시 데이터를 전송하는 타이밍은 모든 데이터 드라이버(23A)에서 동일한 것이 바람직하므로, 입력 제어 신호 DST+LP가 하강하면, 클럭에 비동기하여 출력 제어 신호 DST+LP가 하강하도록 한다.

- <90> 도 14는 타이밍 컨트롤러(21A)에서 제어 신호 DST+LP를 생성하는 구성을 도시하는 회로도이다.
- <91> 도 14의 회로는 JK 플립플롭(91)을 포함한다. J 입력에 종래의 데이터 스타트 신호 DST의 상승을 지시하는 신호 DSTJ를 입력하고, K 입력에 종래의 래치 펄스 LP의 상승을 지시하는 신호 LPJ를 입력함으로써 제어 신호 DST+LP를 생성한다.
- <92> 도 15의 회로는 데이터 드라이버(23A)에서 제어 신호 DST+LP로부터 데이터 스타트 신호 DST 및 래치 펄스 LP를 추출하는 구성을 도시하는 회로도이다.
- <93> 도 15의 회로는 D 플립플롭(101, 102), 인버터(103, 104), AND 회로(105, 106), JK 플립플롭(107), 카운터 회로(108), 인버터(109, 110), 및 AND 회로(111)를 포함한다.
- <94> 클럭 신호에 동기하여 D 플립플롭(101)에서 취득한 제어 신호 DST+LP의 반전 신호(클럭 동기화에 의한 지연을 포함함)와, 제어 신호 DST+LP와의 AND 논리를 취함으로써, 데이터 스타트 신호 DST를 생성한다. 또한, 클럭 신호에 동기하여 D 플립플롭(102)에서 취득한 제어 신호 DST+LP(클럭 동기화에 의한 지연을 포함함)와, 제어 신호 DST+LP의 반전 신호와의 AND 논리를 취함으로써, 래치 펄스 LP의 타이밍을 나타내는 신호를 생성한다. 이 타이밍 신호에 기초하여 JK 플립플롭(107)이 카운터 회로(108)를 리셋하고, 이 리셋 타이밍을 기점으로 하여, 카운터 회로(108)가 카운트를 개시한다. 카운터 회로(108)가 카운트하는 소정의 타이밍에서, 데이터 드라이버(23A) 내부에서의 데이터 출력 개시 타이밍 LPK를 생성한다.
- <95> 도 16은 데이터 드라이버(23A)에서 입력 제어 신호 DST+LP로부터 다음 단으로의 출력 제어 신호 DST+LP를 생성하는 구성을 도시하는 회로도이다.
- <96> 도 16의 회로는 인버터(121), JK 플립플롭(122), 및 AND 회로(123)를 포함한다. JK 플립플롭(122)에서, J 입력에는 다음 단의 데이터 스타트 타이밍을 나타내는 DSTN이 공급되고, K 입력에는 제어 신호 DST+LP의 반전 신호가 입력된다. DSTN에 의해 클럭에 동기하여 플립플롭 출력이 상승하고, 제어 신호 DST+LP의 반전 신호에 의해 클럭에 동기하여 플립플롭 출력이 하강한다. 이 JK 플립플롭(122)의 출력과 제어 신호 DST+LP와의 AND 연산을 취함으로써, 도 13에서 설명한 바와 같이 다음 단으로 출력하는 제어 신호 DST+LP(N)가 클럭에 비동기하여 하강하도록 한다.
- <97> 도 17은 본 발명에 따른 액정 표시 장치의 제3 실시예의 구성을 도시하는 도면이다.
- <98> 제3 실시예에서는 제1 실시예와 데이터 제어 신호에 관한 부분만 다르므로, 데이터 드라이버에 관련된 구성 부분만을 도 17에 도시하고 있다. 도 17에 도시된 바와 같이 타이밍 컨트롤러(21B)로부터 데이터 드라이버(23B)에 공급되는 제어 신호는, 도트 클럭 신호 DCK, 데이터 스타트 신호 DST, 및 제어 신호 LP+POL을 포함한다. 단일의 제어 신호 LP+POL에는 도 1을 이용하여 설명한 래치 펄스 LP와 극성 신호 POL이 중첩하여 포함되어 있다. 데이터 드라이버(23B)는 수취한 제어 신호 LP+POL로부터 데이터 스타트 신호 DST 및 극성 신호 POL의 각 논리를 추출함과 함께, 타이밍 컨트롤러(21B)로부터 수취하는 도트 클럭 신호 DCK, 데이터 스타트 신호 DST, 및 표시 데이터 DXX를 이용하여, 도 1의 구성과 마찬가지로 소정의 동작을 실행한다.
- <99> 도 18은 제어 신호 LP+POL을 도시하는 도면이다.
- <100> 도 18에 도시된 바와 같이 제어 신호 LP+POL은 래치 펄스 LP의 상승의 타이밍에서 상승하는 신호이다. 제어 신호 LP+POL이 상승한 후, 소정의 클럭 수 "a" 후의 소정의 기간 "b"가 HIGH인지 LOW인지에 의해, 극성 신호 POL을 결정한다. 도 18에 도시되는 예에서는, 상승으로부터 2클럭 후의 1클럭 기간이 LOW이면 극성은 마이너스이고, 상승으로부터 2클럭 후의 1클럭 기간이 HIGH이면 극성은 플러스인 구성으로 되어 있다.
- <101> 도 19는 타이밍 컨트롤러(21B)에서 제어 신호 LP+POL을 생성하는 구성을 도시하는 회로도이다.
- <102> 도 19의 회로는 JK 플립플롭(131), 카운터(132), 인버터(133, 134), OR 회로(135), 및 AND 회로(136)를 포함한다. JK 플립플롭(131)의 J 입력에, 래치 펄스 LP의 상승 타이밍을 지정하기 위한 신호 LPJ를 입력한다. 이 JK 플립플롭(131)에 의해, 래치 펄스 LP의 상승 타이밍에서 카운터(132)에 제로(0) 데이터를 로드하여 리셋하고, 그 후 클럭 신호 CK의 클럭 펄스를 카운트한다. 인버터(133, 134)와 OR 회로(135)에 의해, 카운터(132)의 출력

의 논리 연산을 함으로써, 도 18의 b의 기간만큼 LOW인 논리를 생성한다. OR 회로(135)의 출력은 이 생성된 논리와 극성 POL과의 논리합으로서, 극성 POL이 LOW일 때에 b의 기간만큼 LOW이고, 극성 POL이 HIGH일 때에는 HIGH가 연속하는 신호이다. 이 OR 회로(135)의 출력과 래치 펄스 LP와의 AND 연산을 취함으로써, 제어 신호 LP+POL이 생성된다.

- <103> 도 20은 데이터 드라이버(23B)에서 제어 신호 LP+POL로부터 래치 펄스 LP 및 극성 POL을 추출하는 구성을 도시하는 회로도이다.
- <104> 도 20의 회로는 시프트 레지스터 회로(141), 디코더 회로(142), 및 JK 플립플롭(143)을 포함한다. 시프트 레지스터 회로(141)는 공급되는 제어 신호 LP+POL을 도트 클럭 신호 DCK에 동기하여 내부 레지스터 회로에 순차적으로 저장한다. 디코더 회로(142)는 시프트 레지스터 회로(141)가 저장하는 제어 신호 LP+POL의 복수 사이클분의 데이터를 디코드하여, 검출 신호 PPOL, NPOL, LPJ, 및 LPK를 출력한다. 검출 신호 PPOL, NPOL, LPJ, 및 LPK는 각각 정극성 검출, 부극성 검출, 래치 펄스 상승 검출, 및 래치 펄스 하강 검출을 나타내는 신호이다. 예를 들면, 검출 신호 PPOL은 현재의 LP+POL, 1사이클 전의 LP+POL, 2사이클 전의 LP+POL, 3사이클 전의 LP+POL, 및 4사이클 전의 LP+POL이 (H, H, H, H, H)인 경우에만 HIGH로 되는 논리에 의해 실현된다.
- <105> JK 플립플롭(143)은 정극성 검출을 개시점으로 하여, 부극성 검출까지 HIGH인 극성 신호 POL을 생성한다. 이 신호 POL에 의해, 데이터 드라이버(23B)로부터의 데이터 출력의 극성이 제어된다.
- <106> 도 21은 본 발명이 적용된 데이터 드라이버의 표시 데이터 처리부의 구성예를 도시하는 도면이다.
- <107> 도 21의 데이터 드라이버는 시프트 레지스터 회로(151), 데이터 레지스터 회로(152), 래치 회로(153), DA 컨버터(154), 및 출력 버퍼 회로(155)를 포함한다.
- <108> 데이터 스타트 신호 DST는 데이터 드라이버가 표시하는 분량의 표시 데이터 DXX의 개시 위치를 나타내는 신호이다. 이 데이터 스타트 신호 DST의 타이밍을 개시점으로 하고, 도트 클럭 신호 DCK에 동기하여 시프트 레지스터 회로(151)가 순차적으로 시프트함으로써, 데이터 레지스터 회로(152)에 데이터 샘플링 신호를 공급한다. 데이터 레지스터 회로(152)에 의해, 각 화소에 대응하는 표시 데이터 DXX는 데이터 샘플링 신호에 의해 순차적으로 레지스터에 입력된다. 래치 펄스 LP는 데이터 레지스터 회로(152)에 순차적으로 취득된 표시 데이터 DXX를 래치 회로(153)에 래치하기 위한 신호이다. 래치된 표시 데이터 신호는 DA 컨버터(154)에 전송되고, DA 컨버터(154)에 의해 아날로그 계조 신호로 변환되고, 출력 버퍼(155)를 통하여 데이터 라인 구동 신호로서 LCD 패널에 출력된다. 또한, DA 컨버터(154)는 극성 신호 POL을 이용하여 공통 전압에 대한 각 데이터 라인의 출력 극성을 선택한다.
- <109> 본 발명에서는 상술한 제1 내지 제3 실시예와 같이 하여, 각 제어 신호 DCK, DST, LP, POL을 필요에 따라 생성한다.
- <110> 이하, 본 발명의 또 다른 실시예에 대하여 상세히 설명한다. 이후의 실시예는 현상의 장치측과의 인터페이스의 호환성을 유지하면서, 데이터 드라이버에 입력하는 데이터 신호선의 수를 저감하는 액정 표시 장치에 관한 것이다.
- <111> 도 22는 본 발명에 따른 액정 표시 장치의 또 다른 실시예의 구성을 도시하는 도면이다.
- <112> 도 22의 액정 표시 장치는 LCD 패널(210), 타이밍 컨트롤러(211), 복수의 게이트 드라이버(212), 및 복수의 데이터 드라이버(213)를 포함한다. LCD 패널(210)에는 도시하지 않는 트랜지스터를 포함하는 화소가 종횡으로 배치되고, 게이트 드라이버(212)로부터 가로 방향으로 연장되는 게이트 라인이 각 화소의 트랜지스터의 게이트에 접속되고, 데이터 드라이버(213)로부터 세로 방향으로 연장되는 데이터 라인이 트랜지스터를 통하여 각 화소의 컨덴서에 접속된다.
- <113> 타이밍 컨트롤러(211)는 인터페이스 I/F를 통하여 클럭 신호 CX, 표시 데이터 ODD 및 EVEN, 및 표시 위치의 타이밍을 나타내는 표시 인에이블 신호 ENAB를 수취한다. 타이밍 컨트롤러(211)는 표시 인에이블 신호 ENAB의 수를 카운트하여 수직 위치의 타이밍을 결정함과 함께, 표시 인에이블 신호 ENAB의 상승으로부터 클럭 신호 CX의 클럭 펄스를 카운트함으로써 수평 위치의 타이밍을 결정하여 각종 제어 신호 및 표시 데이터 DXX를 생성한다.
- <114> 도 22의 구성은 도 1의 구성과 표시 데이터의 공급 방식이 다르다. 도 1에서는 특별히 도시하지 않지만, 타이밍 컨트롤러(11)에의 입력 표시 데이터 IXX는 ODD 및 EVEN의 2개 유형이고, 또한 타이밍 컨트롤러(11)로부터의 출력 표시 데이터 DXX도 또한 ODD 및 EVEN의 2개 유형이다. 그에 대하여, 도 22의 구성에서는 타이밍 컨트롤러

(211)에의 입력 표시 데이터 IXX는 ODD 및 EVEN의 2개 유형이고, 종래와 마찬가지로의 호스트 장치측과의 인터페이스 구성으로 되어 있지만, 타이밍 컨트롤러(211)로부터의 출력 표시 데이터 DXX는 ODD 및 EVEN의 2개 유형을 1개로 통합한 1개 유형의 신호 DXX_ODD&EVEN으로 되어 있다. 표시 데이터의 짝수의 2개 유형을 1개 유형으로 통합하고 있는 것 외에, 제어 신호 관계의 동작은 도 1의 구성과 마찬가지로이다.

<115> 도 23은 타이밍 컨트롤러(211)에 있어서 짝수의 2개 유형의 표시 데이터를 1개 유형으로 통합하는 부분의 구성을 도시하는 회로도이다. 또한, 도 24는 도 23의 회로에서의 각 부분의 신호의 신호 파형을 도시하는 타이밍도이다.

<116> 도 23의 회로는 플립플롭(221~223), 셀렉터 회로(224), 배속 클럭 발생기(225), 및 인버터(226)를 포함한다. 플립플롭(221, 222)은 클럭 신호 CK에 동기하여, 각각 홀수번째 표시 데이터 ODD_DATA 및 짝수번째 표시 데이터 EVEN_DATA를 취득한다. 도 24에 도시된 바와 같이 취득된 신호는 각각 신호 a 및 b로서, 셀렉터 회로(224)의 A 입력 및 B 입력에 공급된다. 셀렉터 회로(224)는 클럭 신호 CK를 선택 지시 신호 SEL로서 이용하여, A 입력의 신호 a 및 B 입력의 b를 교대로 선택한다. 선택된 신호는 신호 d로서 플립플롭(223)에 공급된다. 배속 클럭 발생기(225)는 PLL 회로 등에 의해 구성되고, 클럭 신호 CK에 기초하여 2배의 주파수의 클럭 신호 e를 생성하여, 플립플롭(223)에 공급한다. 플립플롭(223)은 2배의 주파수의 클럭 신호 e에 동기하여, 셀렉터 회로(224)에 의해 선택된 신호 d를 내부에 취득한다. 플립플롭(223)에 취득된 신호는 1개 유형의 신호 DXX_ODD&EVEN으로서 출력된다. 또한, 인버터(226)는 2배의 주파수의 클럭 신호 e를 반전시켜, 도트 클럭 신호 DCK로서 출력한다.

<117> 이와 같이 도 22 내지 도 24에 도시하는 구성에서는, 타이밍 컨트롤러(211)에 있어서 짝수의 2개 유형의 표시 데이터를 1개 유형으로 통합하여 데이터 드라이버(213)에 출력한다. 이에 의해, 외부 장치와의 인터페이스를 종래와 마찬가지로의 형태로 유지하면서, 타이밍 컨트롤러(211)로부터 데이터 드라이버(213)에의 표시 데이터선의 개수를 삭감시킬 수 있다. 이 데이터 드라이버(213)의 기본적인 구성은, 표시 데이터선의 개수를 제외하면 도 21에 도시한 것과 마찬가지로이다. 최근의 프로세스 기술의 진보에 따른 드라이버 동작 속도의 향상을 감안하면, 종래 2개 유형의 전송로를 1개 유형화함으로써 전송 속도가 두 배로 되어도, 이에 충분히 대응 가능한 드라이버를 용이하게 제조할 수 있다.

<118> 도 25는 타이밍 컨트롤러(211)에서 짝수의 2개 유형의 표시 데이터를 1개 유형으로 통합하는 부분의 다른 구성예를 도시하는 회로도이다. 또한, 도 26은 도 25의 회로에서의 각 부분의 신호의 신호 파형을 도시하는 타이밍도이다.

<119> 도 25의 회로는 플립플롭(231~233), 셀렉터 회로(234), 배속 클럭 발생기(235), 및 토글 플립플롭(236)을 포함한다. 플립플롭(231, 232)은 클럭 신호 CK에 동기하여, 각각 홀수번째 표시 데이터 ODD_DATA 및 짝수번째 표시 데이터 EVEN_DATA를 취득한다. 취득된 신호는 각각 신호 a 및 b로서, 셀렉터 회로(234)의 A 입력 및 B 입력에 공급된다. 셀렉터 회로(234)는 클럭 신호 CK를 선택 지시 신호 SEL로서 이용하여, A 입력의 신호 a 및 B 입력의 b를 교대로 선택한다. 선택된 신호는 도 26에 도시한 바와 같이 신호 d로서 플립플롭(233)에 공급된다. 배속 클럭 발생기(235)는 PLL 회로 등으로 구성되고, 클럭 신호 CK에 기초하여 2배의 주파수의 클럭 신호 e를 생성하여, 플립플롭(233)에 공급한다. 플립플롭(233)은 2배의 주파수의 클럭 신호 e에 동기하여, 셀렉터 회로(234)에 의해 선택된 신호 d를 내부에 취득한다. 플립플롭(233)에 취득된 신호는 1개 유형의 신호 DXX_ODD&EVEN으로서 출력된다. 여기까지의 동작은 도 23 및 24에 도시한 구성 및 동작과 동일하다.

<120> 도 25에서는 토글(T) 플립플롭(236)이 2배의 주파수의 클럭 신호 e의 상승 에지에 동기하여, 출력이 교대로 HIGH 및 LOW가 되도록 출력의 반전 동작을 반복한다. 이에 의해, 도 26에 도시한 바와 같이 신호 e의 절반의 주파수를 갖는 도트 클럭 신호 DCK가 생성된다.

<121> 도 25의 구성은 더블 에지 클럭 방식을 적용하는 경우에 상당한다. 더블 에지 클럭 방식에서는 도트 클럭 신호 DCK의 상승 에지와 하강 에지의 양방의 에지에 동기하여, 데이터 드라이버(213) 내의 데이터 레지스터 회로에 표시 데이터를 취득한다. 따라서, 상승 에지 또는 하강 에지만을 동기 타이밍으로서 이용하는 경우의 구성에 비하여, 도트 클럭 DCK의 주파수를 1/2로 낮출 수 있다.

<122> 이상, 본 발명을 실시예에 기초하여 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 특허 청구의 범위에 기재된 범위 내에서 여러가지 변형이 가능하다.

발명의 효과

<123> 본 발명에 따르면, 게이트 드라이버 또는 데이터 드라이버에 공급하는 제어 신호의 신호선 개수를 삭감하거나, 데이터 드라이버에 공급하는 표시 데이터의 신호선 개수를 삭감함으로써, 배선 기판 면적을 삭감하여, 저비용의 액정 표시 장치를 실현할 수 있다.

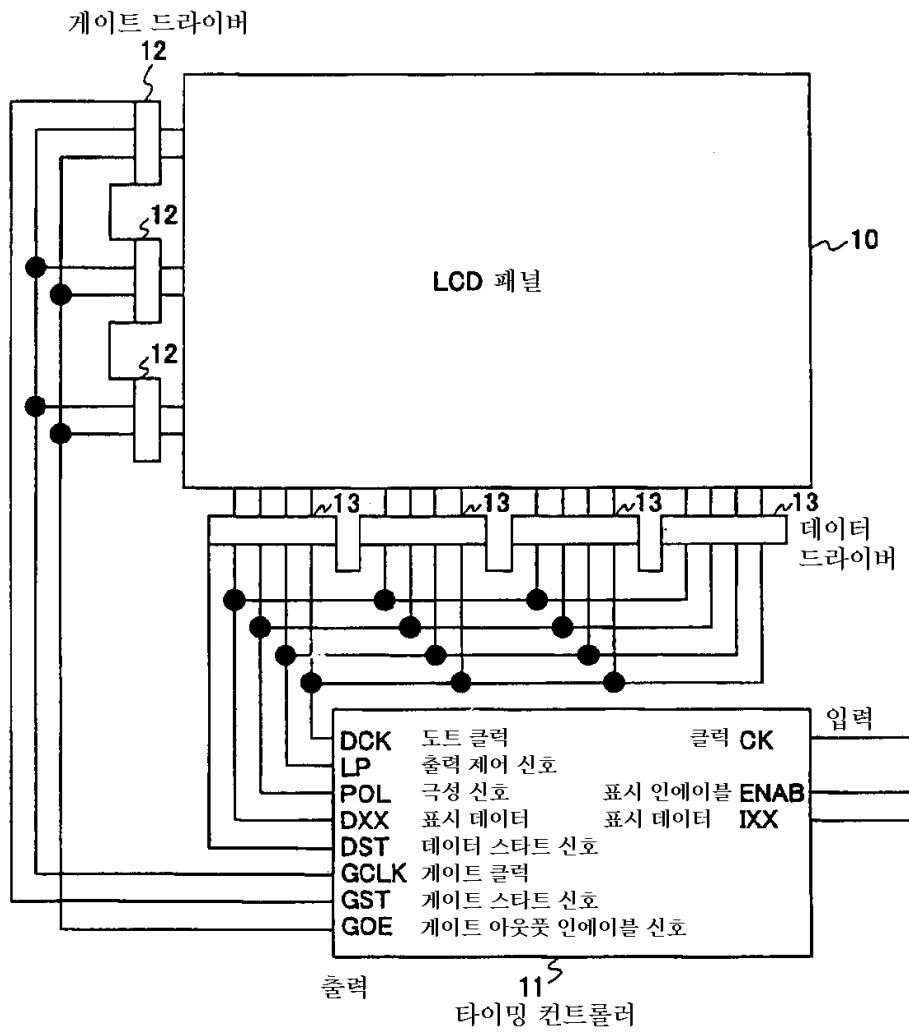
도면의 간단한 설명

- <1> 도 1은 종래의 액정 표시 장치의 구성을 도시하는 도면.
- <2> 도 2는 본 발명에 따른 액정 표시 장치의 제1 실시예의 구성을 도시한 도.
- <3> 도 3은 게이트 제어 신호 GMC의 생성 및 검출을 설명하기 위한 신호 파형도.
- <4> 도 4는 캐스케이드 접속되는 복수의 게이트 드라이버의 각각에 공급되는 게이트 제어 신호 GMC를 도시하는 도면.
- <5> 도 5는 데이터 제어 신호 DMC를 설명하기 위한 도면.
- <6> 도 6은 캐스케이드 접속되는 복수의 데이터 드라이버의 각각에 공급되는 데이터 제어 신호 DMC를 도시하는 도면.
- <7> 도 7은 타이밍 컨트롤러에서 게이트 제어 신호 GMC를 생성하는 구성을 도시하는 회로도.
- <8> 도 8은 각 게이트 드라이버에서 게이트 스타트 펄스 GST를 추출함과 함께 다음 단으로의 게이트 제어 신호를 생성하는 구성을 도시하는 회로도.
- <9> 도 9는 게이트 제어 신호 GMCN을 생성하는 동작을 설명하기 위한 파형도.
- <10> 도 10은 타이밍 컨트롤러에서 데이터 제어 신호 DMC를 생성하는 구성을 도시하는 회로도.
- <11> 도 11은 각 데이터 드라이버에서 데이터 제어 신호 DMC로부터 각종 제어 신호를 추출함과 함께 다음 단의 데이터 드라이버에의 데이터 제어 신호를 생성하는 회로를 도시하는 도면.
- <12> 도 12는 본 발명에 따른 액정 표시 장치의 제2 실시예의 구성을 도시하는 도면.
- <13> 도 13은 제어 신호 DST+LP를 도시하는 도면.
- <14> 도 14는 타이밍 컨트롤러에서 제어 신호 DST+LP를 생성하는 구성을 도시하는 회로도.
- <15> 도 15는 데이터 드라이버에서 제어 신호 DST+LP로부터 데이터 스타트 신호 DST 및 래치 펄스 LP를 추출하는 구성을 도시하는 회로도.
- <16> 도 16은 데이터 드라이버에서 입력 제어 신호 DST+LP로부터 다음 단으로의 출력 제어 신호 DST+LP를 생성하는 구성을 도시하는 회로도.
- <17> 도 17은 본 발명에 따른 액정 표시 장치의 제3 실시예의 구성을 도시하는 도면.
- <18> 도 18은 제어 신호 LP+POL을 도시하는 도면.
- <19> 도 19는 타이밍 컨트롤러에서 제어 신호 LP+POL을 생성하는 구성을 도시하는 회로도.
- <20> 도 20은 데이터 드라이버에서 제어 신호 LP+POL로부터 래치 펄스 LP 및 극성 신호 POL을 추출하는 구성을 도시하는 회로도.
- <21> 도 21은 본 발명이 적용된 데이터 드라이버의 표시 데이터 처리부의 구성예를 도시하는 도면.
- <22> 도 22는 본 발명에 따른 액정 표시 장치의 또 다른 실시예의 구성을 도시하는 도면.
- <23> 도 23은 타이밍 컨트롤러에 있어서 짝수의 2개 유형의 표시 데이터를 1개 유형으로 통합하는 부분의 구성을 도시하는 회로도.
- <24> 도 24는 도 23의 회로에서의 각 부분의 신호의 신호 파형을 도시하는 타이밍도.
- <25> 도 25는 타이밍 컨트롤러에 있어서 짝수의 2개 유형의 표시 데이터를 1개 유형으로 통합하는 부분의 다른 구성예를 나타내는 회로도.
- <26> 도 26은 도 25의 회로에서의 각 부분의 신호의 신호 파형을 도시하는 타이밍도.

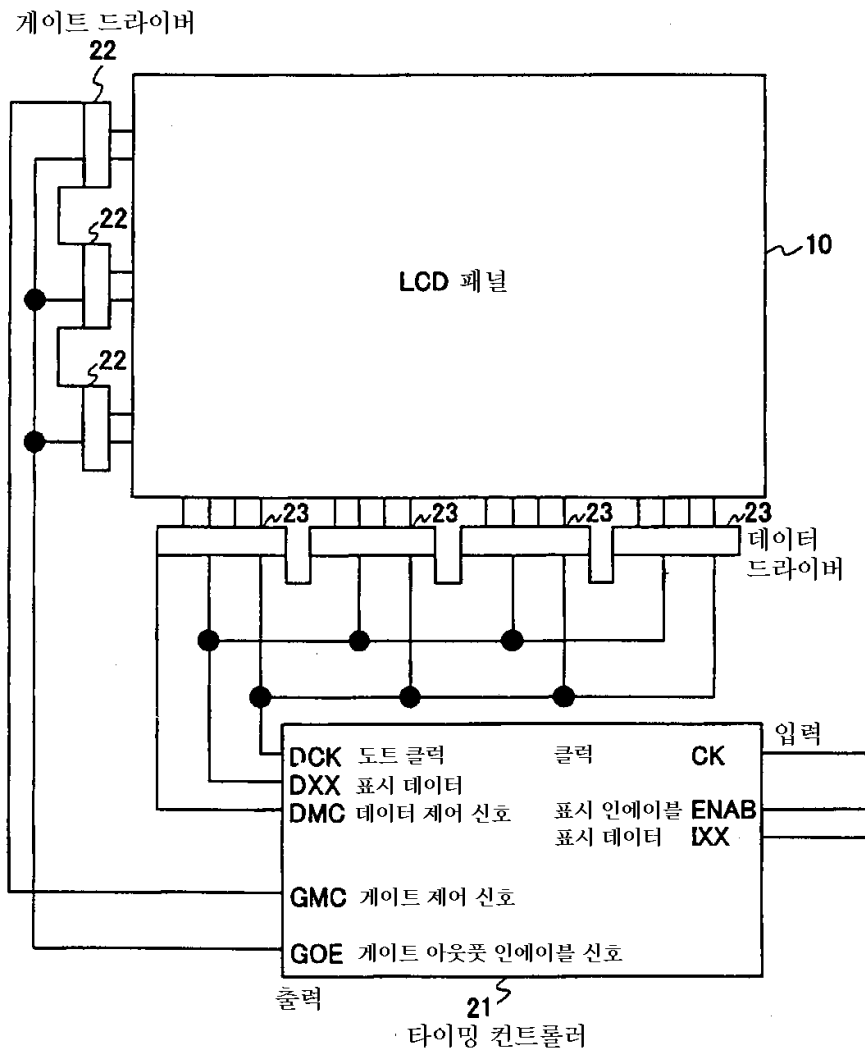
- <27> <도면의 주요 부분에 대한 부호의 설명>
- <28> 10 : LCD 패널
- <29> 21 : 타이밍 컨트롤러
- <30> 22 : 게이트 드라이버
- <31> 23 : 데이터 드라이버

도면

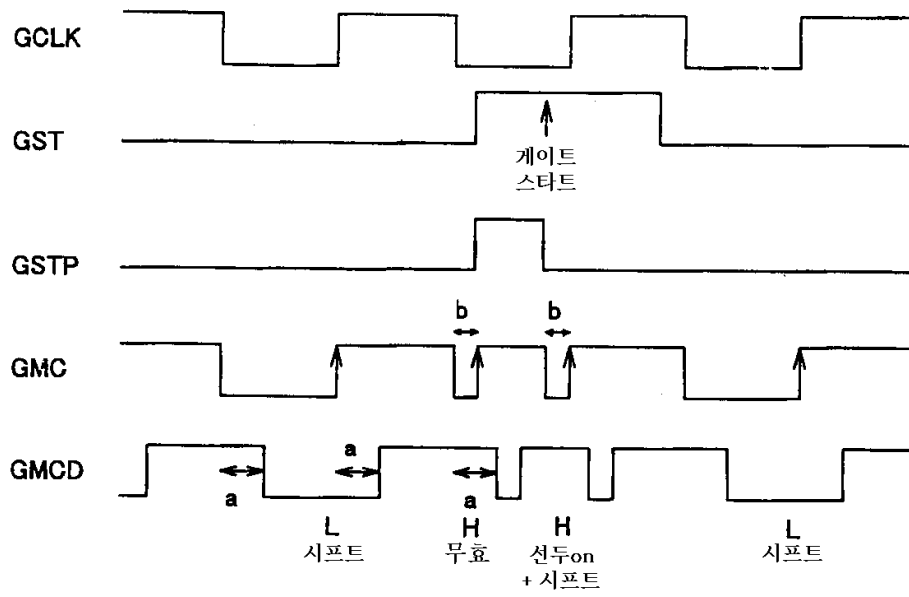
도면1



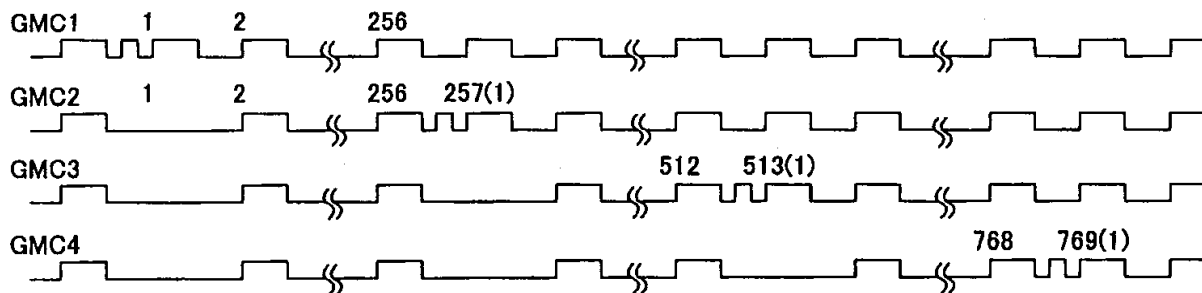
도면2



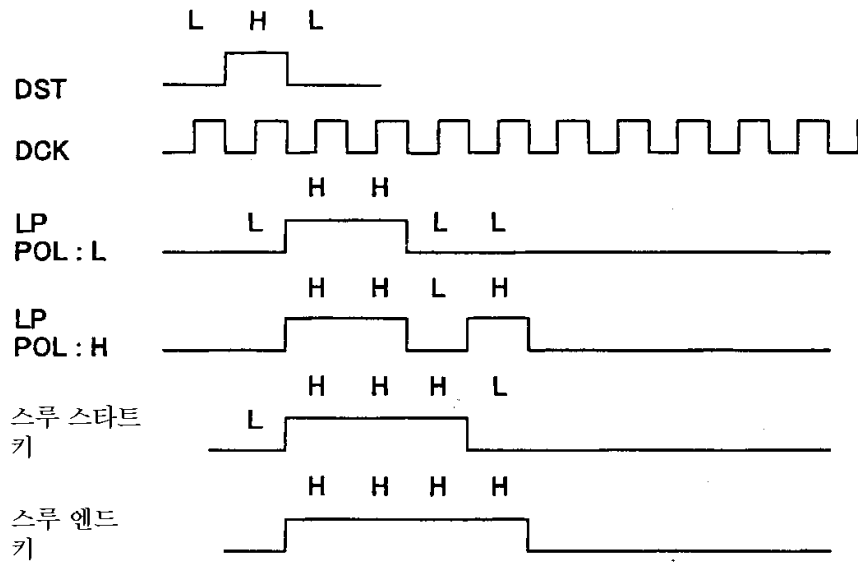
도면3



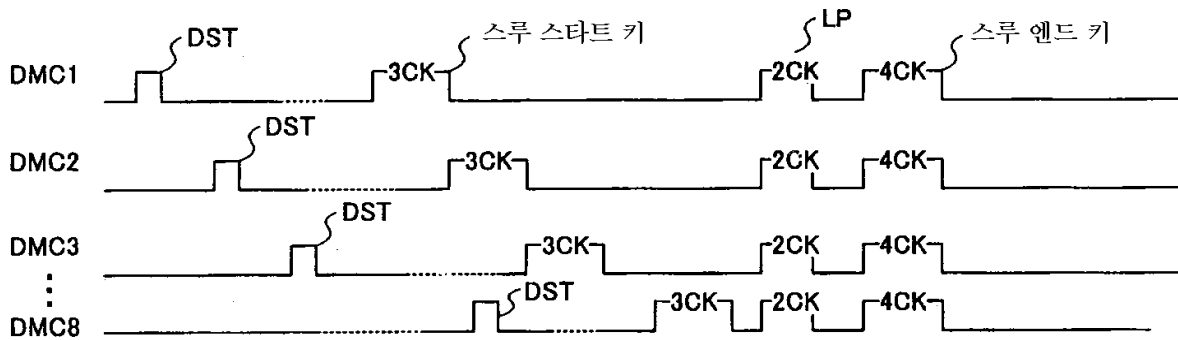
도면4



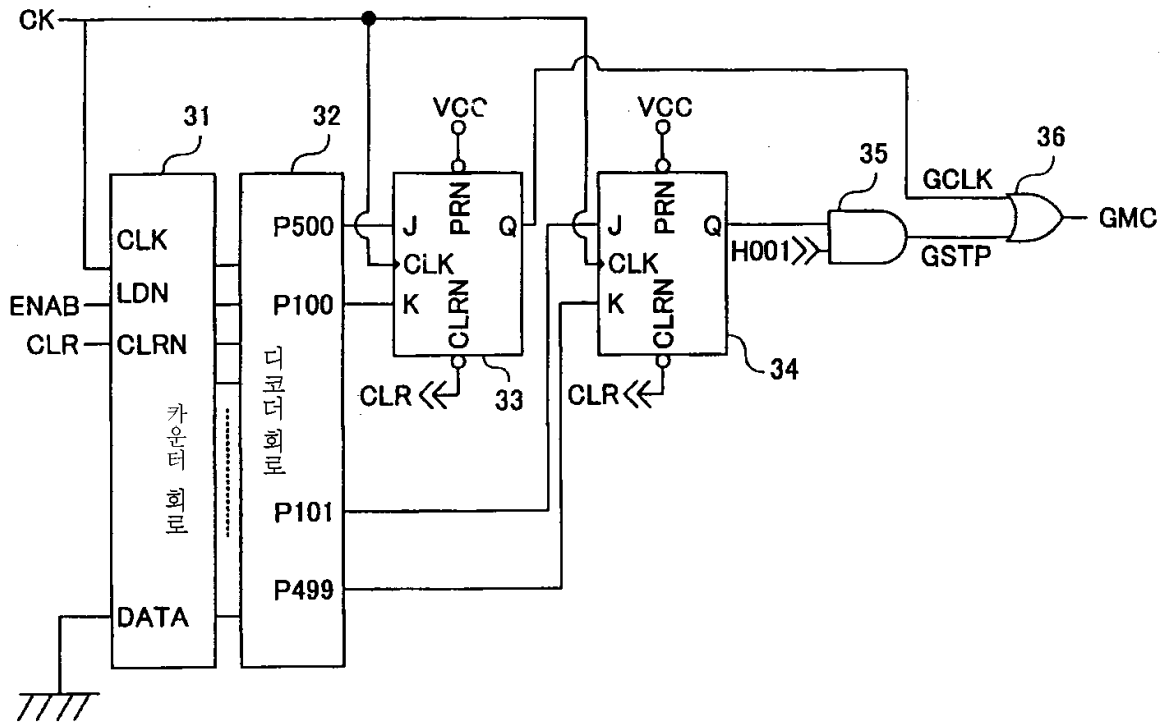
도면5



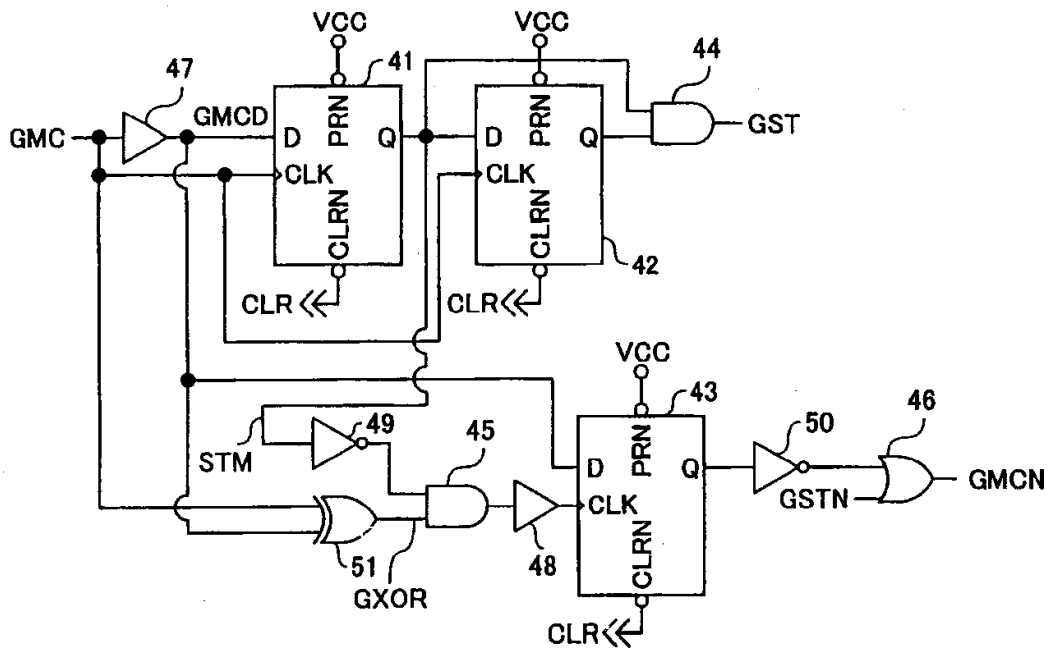
도면6



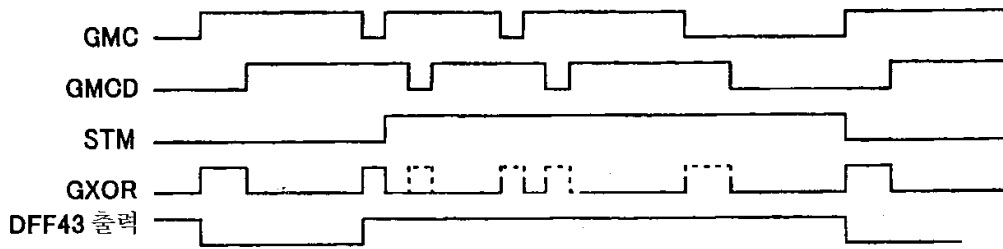
도면7



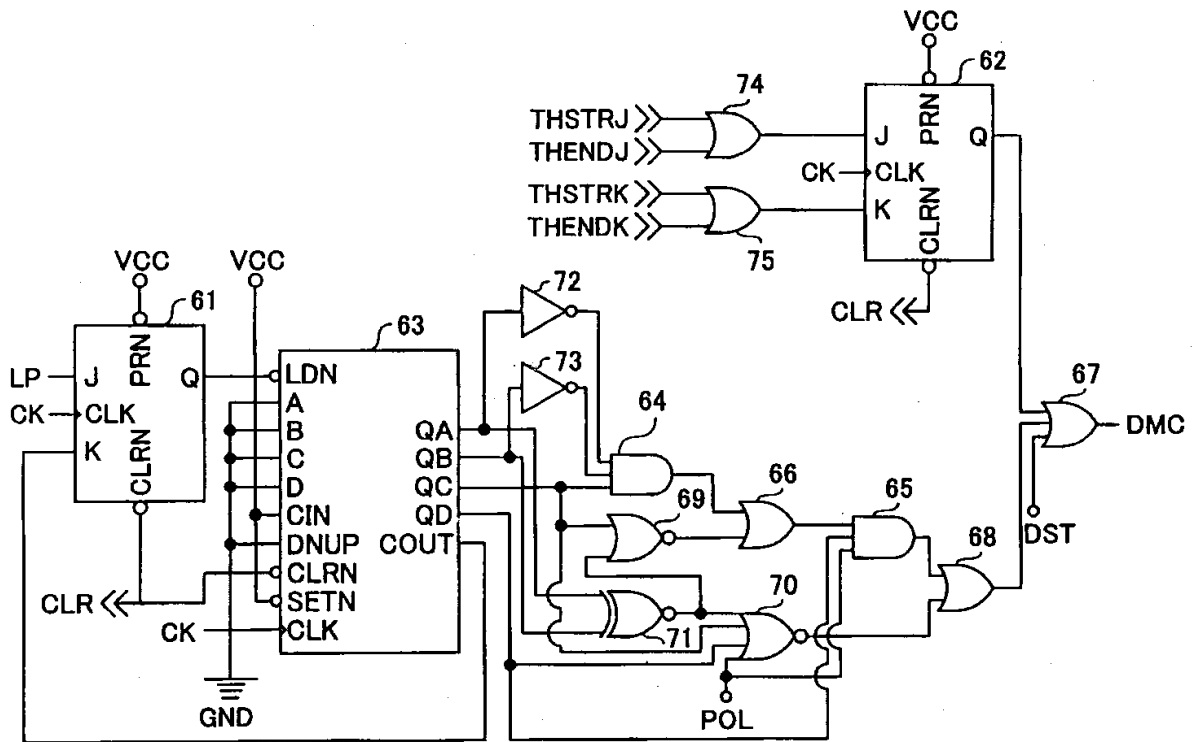
도면8



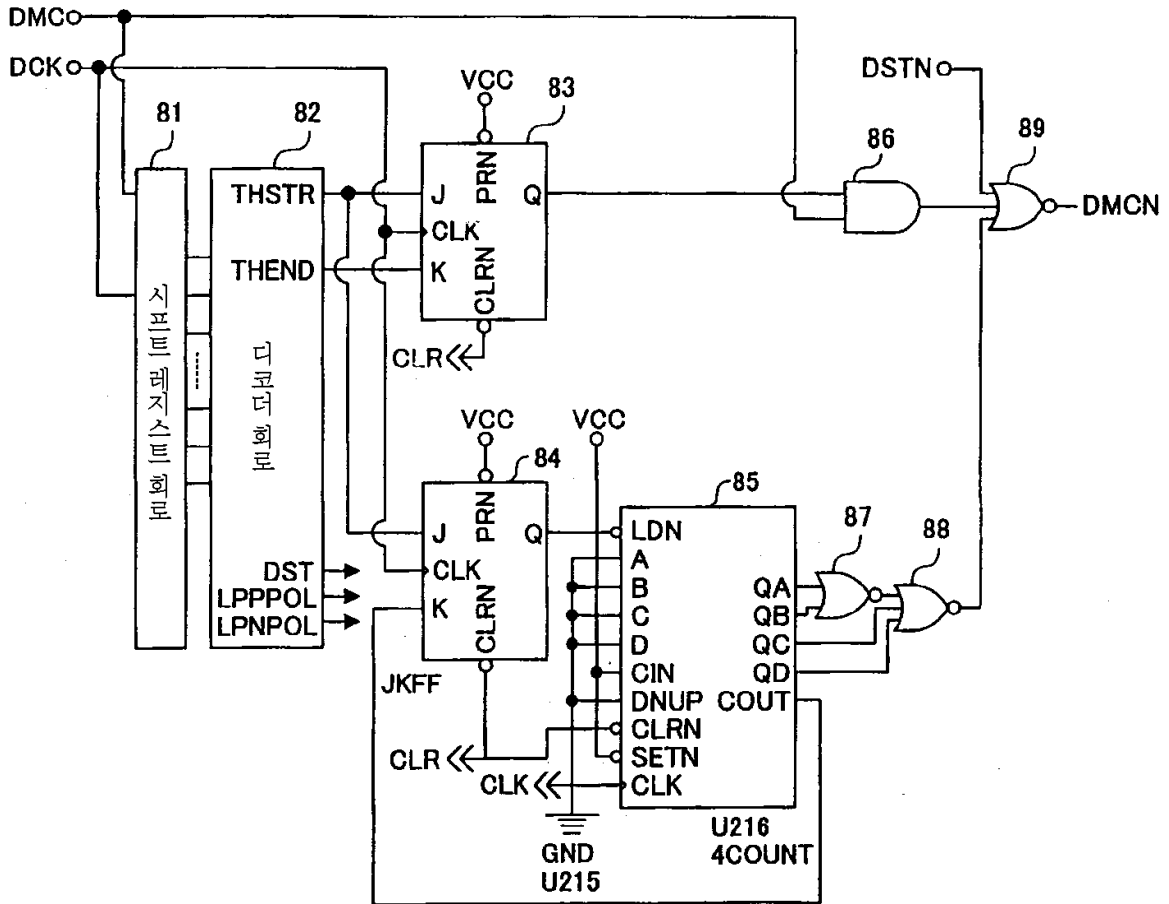
도면9



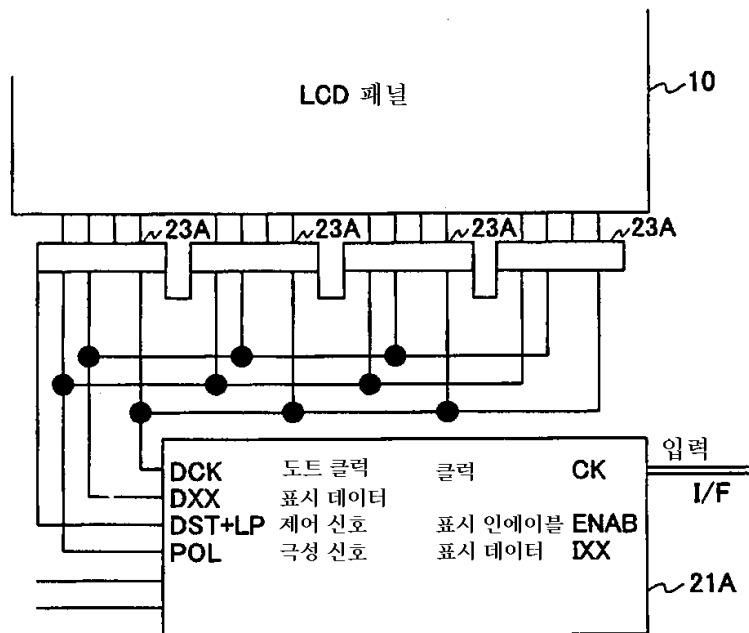
도면10



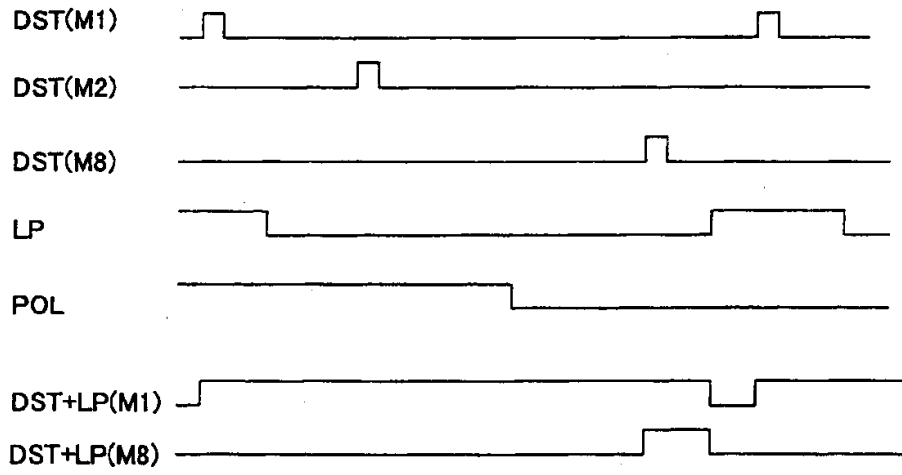
도면11



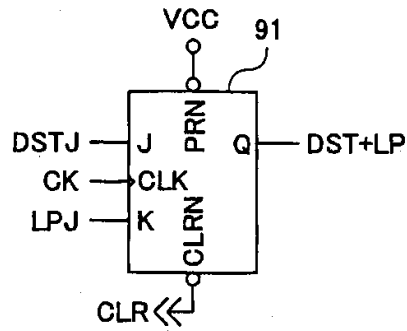
도면12



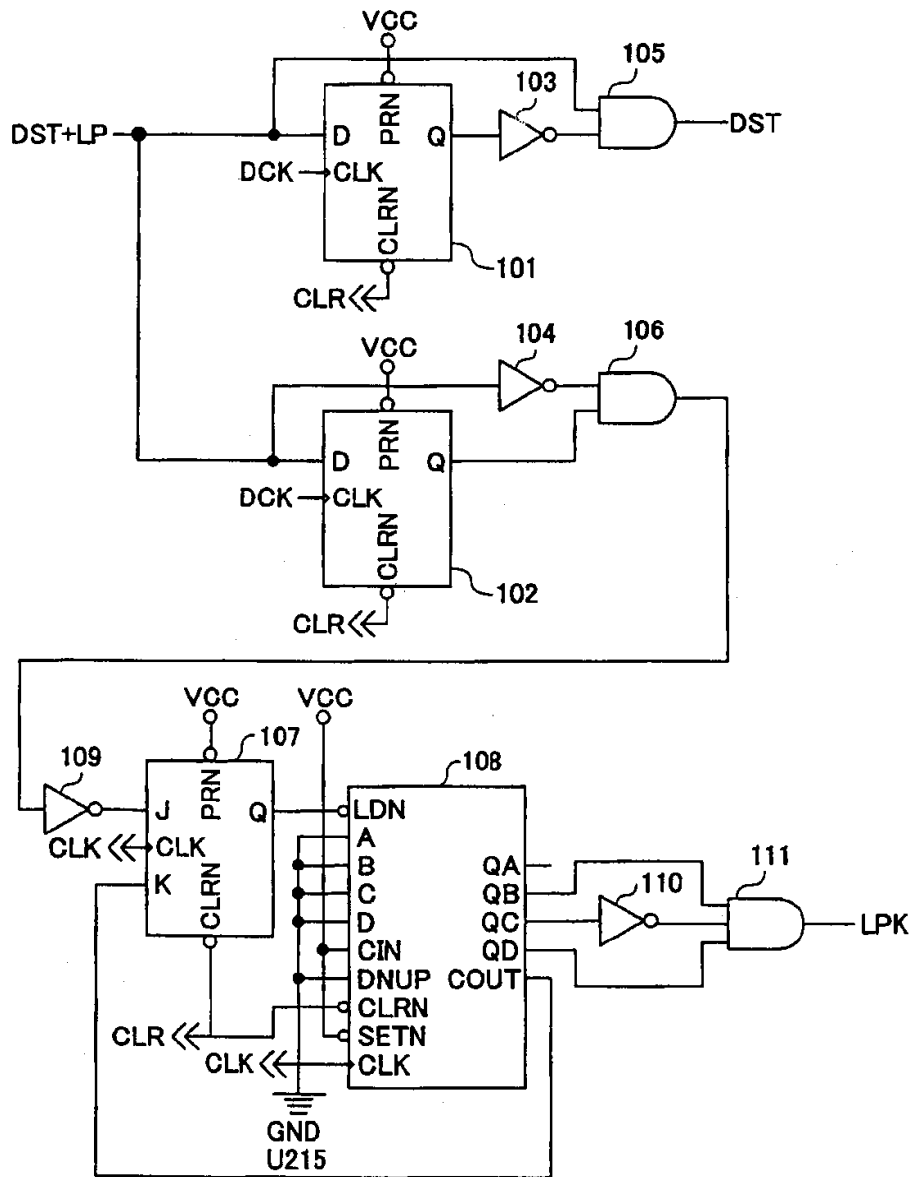
도면13



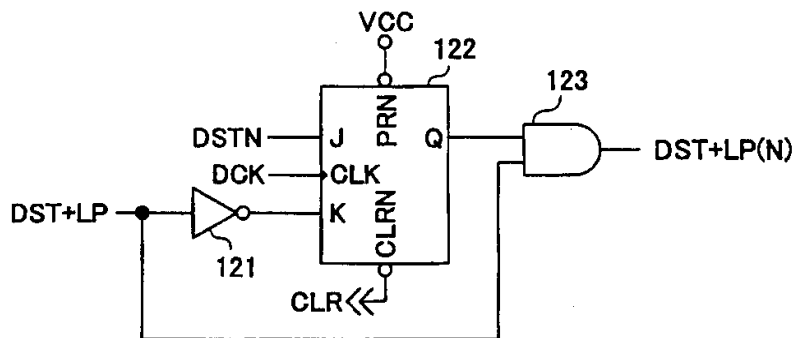
도면14



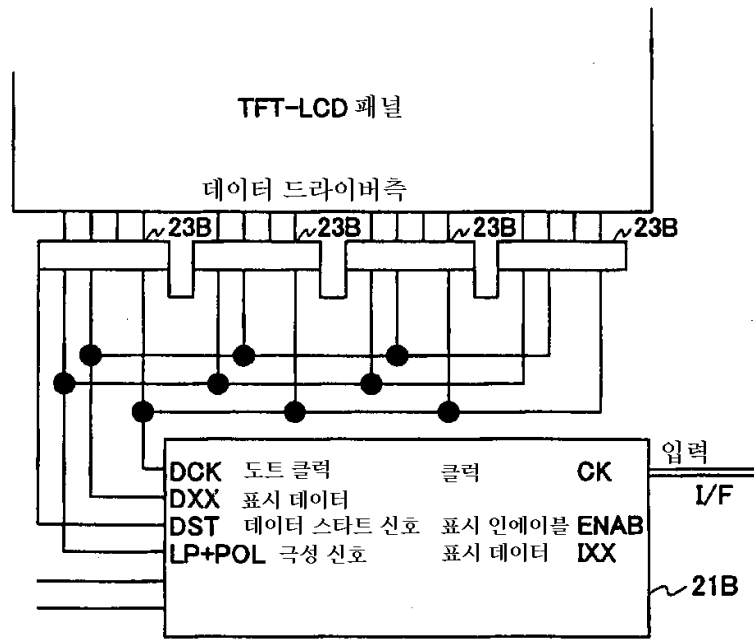
도면15



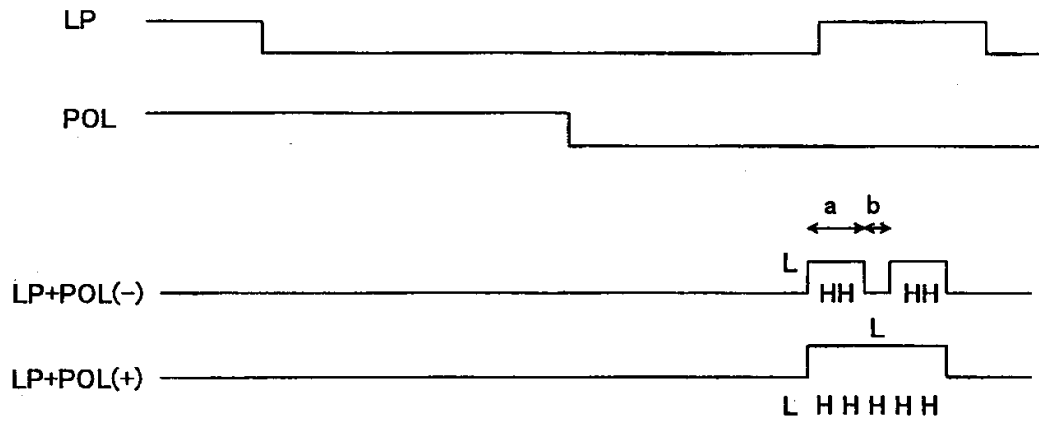
도면16



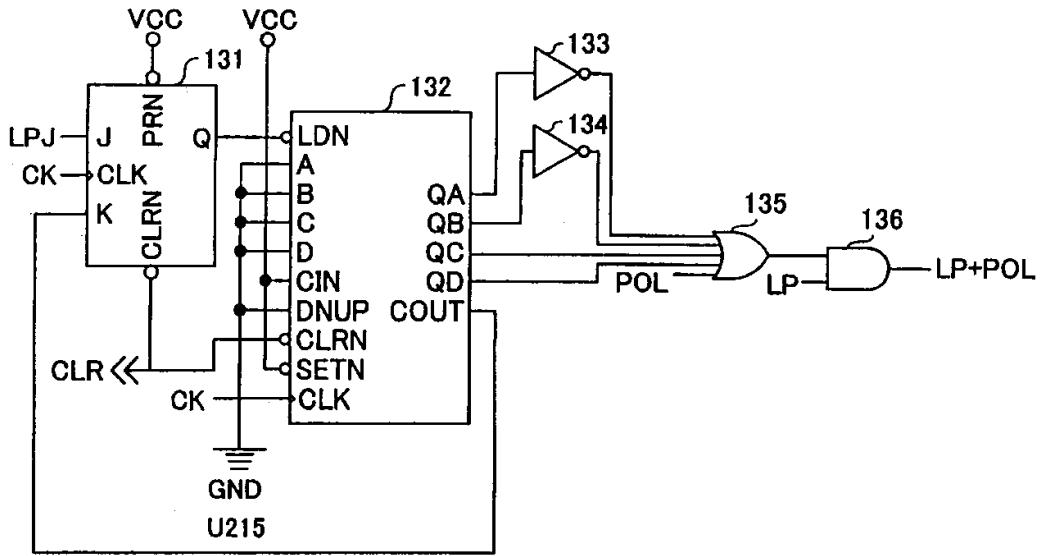
도면17



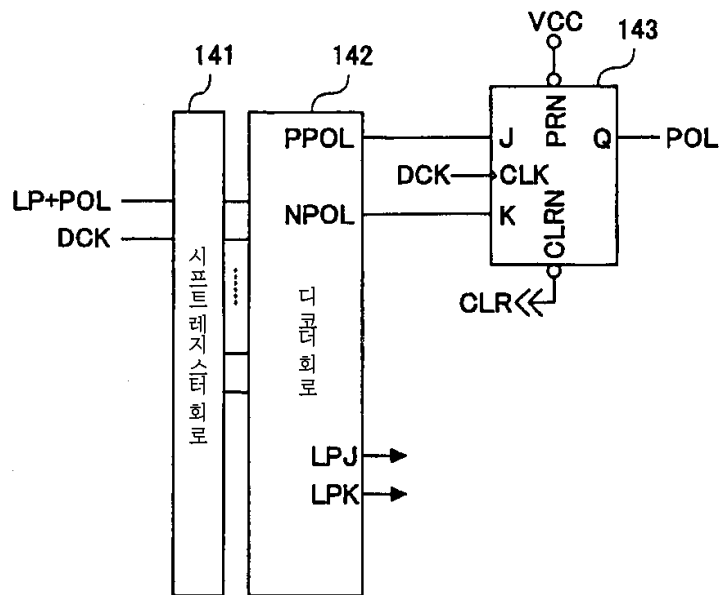
도면18



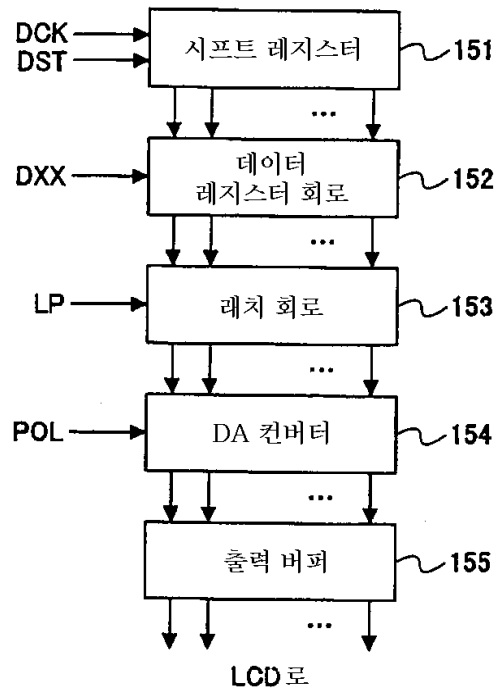
도면19



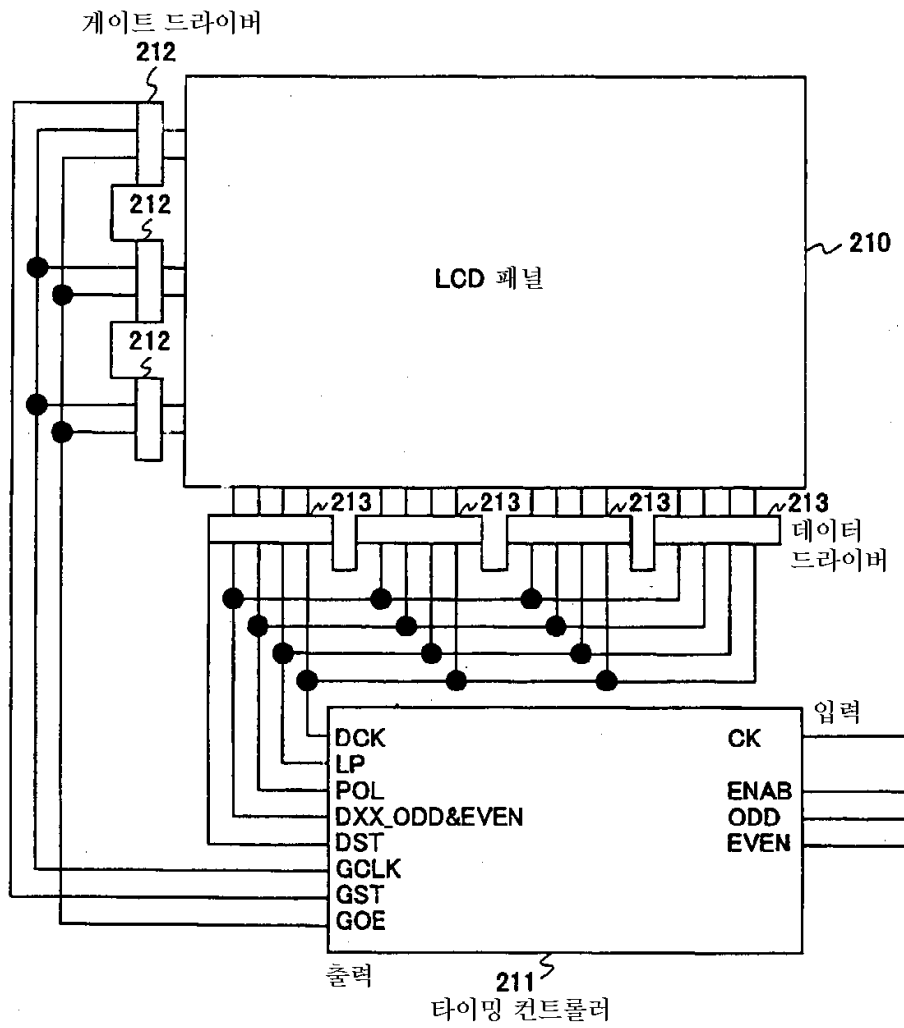
도면20



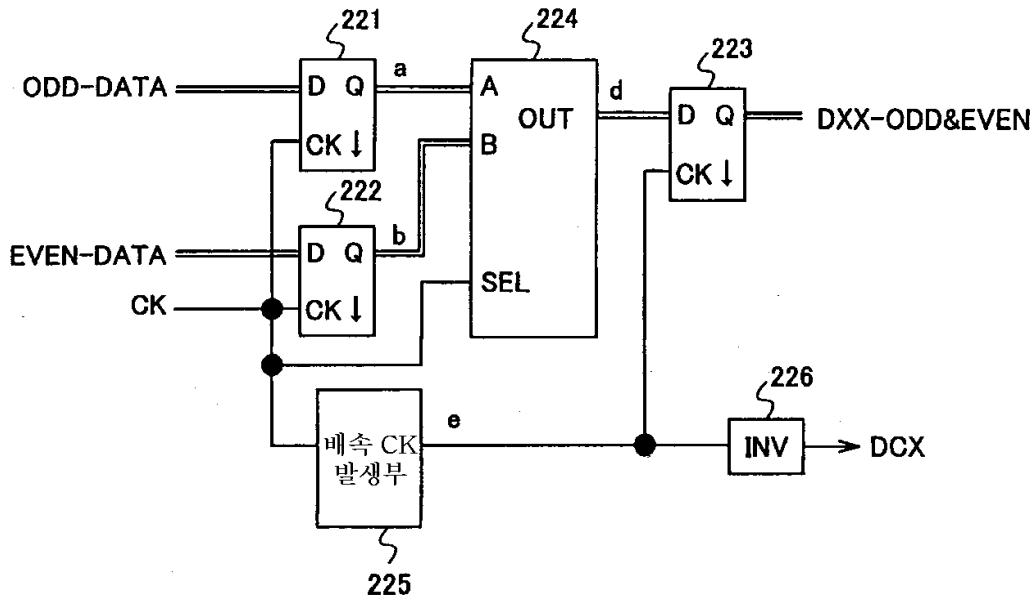
도면21



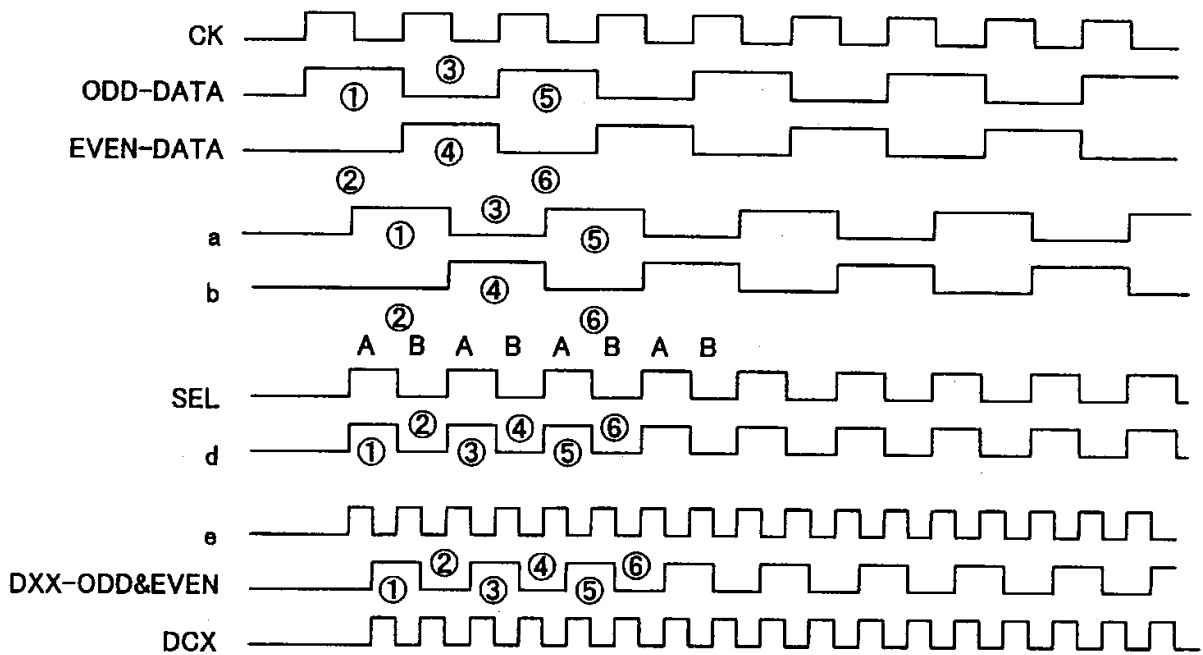
도면22



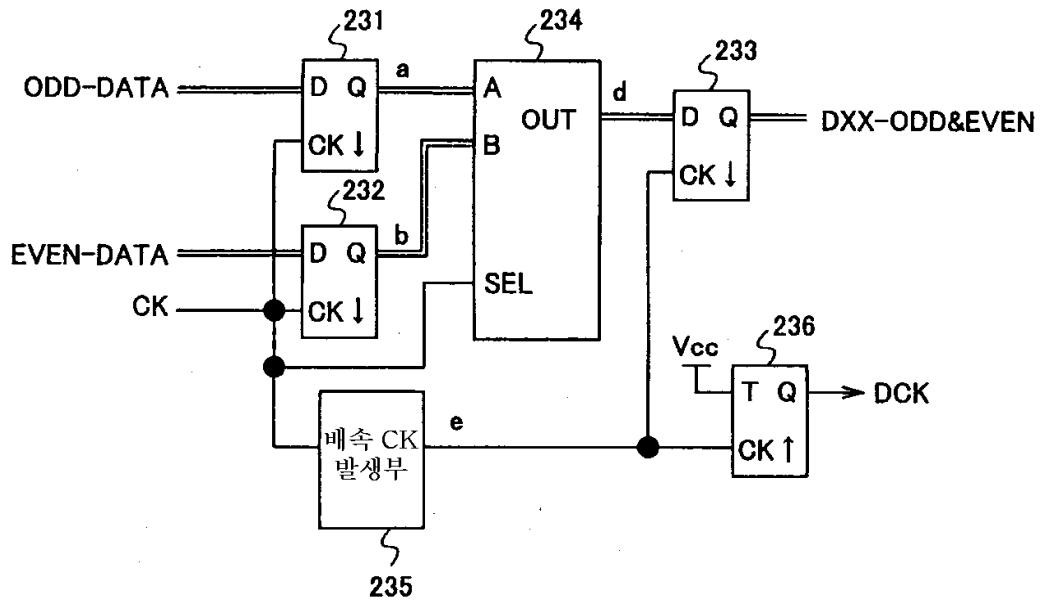
도면23



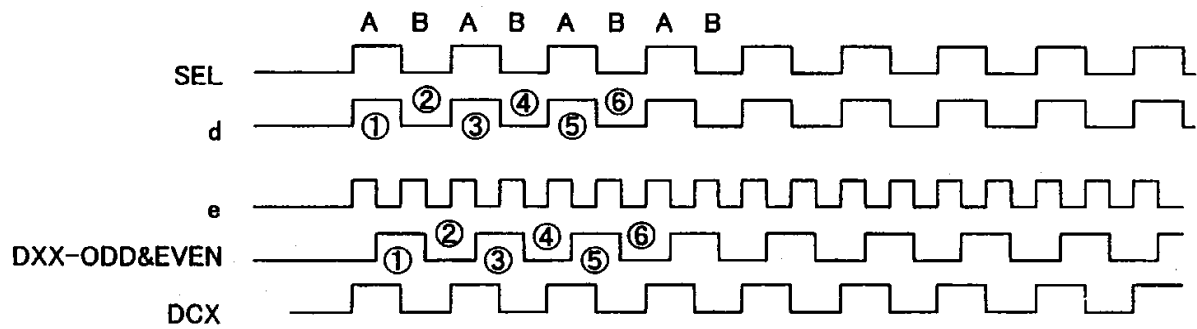
도면24



도면25



도면26



专利名称(译)	液晶显示器		
公开(公告)号	KR100821016B1	公开(公告)日	2008-04-08
申请号	KR1020030005824	申请日	2003-01-29
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	ITO TAKAE 이또다카에 NUKIYAMA KAZUHIRO 누끼야마가즈히로		
发明人	이또다카에 누끼야마가즈히로		
IPC分类号	G09G3/36 G02F1/133 G09F9/35 G09G3/20 G09G5/00		
CPC分类号	G09G3/3685 G09G3/3611 G09G3/3614 G09G3/3677		
代理人(译)	CHANG, SOO KIL CHU,晟敏		
优先权	2002025446 2002-02-01 JP		
其他公开文献	KR1020030066362A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种液晶显示装置，其中输入到每个驱动器的控制信号的数量被最小化，同时保持显影的控制功能。液晶显示装置包括：液晶面板，包括数据线、数据驱动器，用于驱动数据线；以及N个控制功能，用于控制数据驱动器的驱动操作，用于驱动数据线至(N-1)并且将控制信号输出到控制信号线，其小于或等于控制信号线的数量。

