



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월14일
(11) 등록번호 10-0759153
(24) 등록일자 2007년09월10일

(51) Int. Cl.

G02F 1/136(2006.01)

(21) 출원번호 10-2005-0013635
(22) 출원일자 2005년02월18일
심사청구일자 2005년02월18일
(65) 공개번호 10-2006-0042994
공개일자 2006년05월15일
(30) 우선권주장
JP-P-2004-00043711 2004년02월19일 일본(JP)
(뒷면에 계속)
(56) 선행기술조사문헌
JP10081981 A
JP03105325 A

(73) 특허권자

샤프 가부시키키가이샤

일본 오사카후 오사카시 아베노구 나가이쵸 22
방 22고

(72) 발명자

이시즈카 가즈히로

일본 나라쵸 덴리시 마가따쵸 64-3-에이-103

후지카와 다카시

일본 나라쵸 나라시 쓰루마이-니시마쵸 1-24-204

사카이 다케히코

일본 미에쵸 다끼궁 다끼쵸 고사나 1177-1

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 24 항

심사관 : 임동재

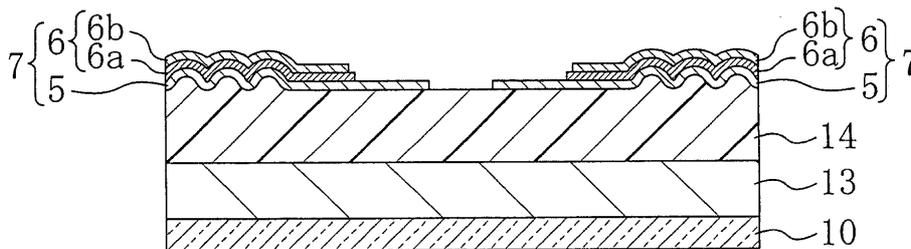
(54) 도전소자기판의 제조방법, 도전소자기판, 액정표시장치의 제조방법, 액정표시장치, 및 전자정보기기

(57) 요약

본 발명은, 제 1 금속도전막과, 이 제 1 금속도전막보다 에칭속도가 느린 제 2 금속도전막이 차례로 적층된 적층도전막을 패터닝하여 반사전극을 형성할 때, 제 2 금속도전막의 단부 박리에 의한 제조수율의 저하를 억제할 수 있는 액정표시장치의 제조방법을 제공하는 것이다.

기판에 복수의 화소가 매트릭스상으로 배치되고, 그 각 화소에는 반사전극(6)이 배설된 액티브매트릭스기판을 갖는 액정표시장치의 제조방법으로서, 기판 상에 금속도전막(6a') 및 비정질 투명도전막(6b')을 차례로 성막시켜 적층도전막(6')을 형성하는 적층도전막 형성공정과, 적층도전막(6')을 패터닝하여 반사전극(6)을 형성하는 반사전극 형성공정을 구비하며, 이 반사전극 형성공정은 금속도전막(6a') 및 비정질 투명도전막(6b')을 동시에 에칭하는 제 1 에칭공정과, 비정질 투명도전막(6b')만을 에칭하는 제 2 에칭공정을 포함한다.

대표도 - 도10



(30) 우선권주장

JP-P-2004-00096823 2004년03월29일 일본(JP)

JP-P-2005-00041149 2005년02월17일 일본(JP)

특허청구의 범위

청구항 1

기관상에, 1층 또는 2층 이상의 금속층으로 구성된 제1 금속 도전막, 및 이 제1 금속 도전막보다 에칭 속도가 느린 제2 금속 도전막을 차례로 성막시켜 적층 도전막을 형성하는 적층 도전막 형성 공정과,

상기 적층 도전막을 패턴 형성하여 도전 소자를 형성하는 도전 소자 형성 공정을 구비하는 도전 소자 기관의 제조 방법으로서,

상기 도전 소자 형성 공정은, 상기 제1 금속 도전막보다 상기 제2 금속 도전막 쪽의 단면 형상이 상기 기관의 위쪽을 향해 좁아지는 순(順) 테이퍼 형상으로 되도록, 제1 에칭액을 이용하여 상기 제1 금속 도전막 및 상기 제2 금속 도전막을 동시에 에칭하는 제1 에칭 공정과, 상기 제1 에칭액과 다른 제2 에칭액을 이용하여 상기 제2 금속 도전막만을 에칭하는 제2 에칭 공정을 포함하는 것을 특징으로 하는 도전 소자 기관의 제조 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 2 에칭공정은, 상기 제 1 에칭공정이 실시된 후에 실행되는 것을 특징으로 하는 도전소자기관의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제 1 에칭공정은, 상기 제 2 에칭공정이 실시된 후에 실행되는 것을 특징으로 하는 도전소자기관의 제조방법.

청구항 5

제 1 항에 있어서,

상기 제 2 금속도전막은, 비정질투명도전막인 것을 특징으로 하는 도전소자기관의 제조방법.

청구항 6

제 5 항에 있어서,

상기 비정질투명도전막은, 산화인듐과 산화아연의 화합물로 형성되며, 상기 제 2 에칭공정에서 옥살산수용액으로 에칭되는 것을 특징으로 하는 도전소자기관의 제조방법.

청구항 7

제 1 항에 있어서,

상기 제 1 에칭공정은, 상기 적층도전막의 막 두께 방향에 대해 에칭액을 분사상태로 분출하는 분사처리를 포함하며, 에칭액을 상기 적층도전막 상에 부착시키는 것을 특징으로 하는 도전소자기관의 제조방법.

청구항 8

제 1 항에 있어서,

상기 제 2 에칭공정은, 상기 제 1 금속도전막 및 제 2 금속도전막이 성막된 기관을 에칭액에 담그는 딥핑처리, 및 이 기관에 에칭액을 분사상태로 분출하는 분사처리 중 적어도 한쪽 처리로 실시되는 것을 특징으로 하는 도전소자기관의 제조방법.

청구항 9

기관상에 형성되며, 2층의 금속층으로 구성된 제1 금속 도전층과,

상기 제1 금속 도전층 상에 형성되며, 이 제1 금속 도전층보다 에칭 속도가 느린 제2 금속 도전층을 갖는 도전 소자를 구비한 도전 소자 기관으로서,

상기 제1 금속 도전층보다 상기 제2 금속 도전층 쪽의 단면 형상이 상기 기관의 위쪽을 향해 좁아지는 순 테이퍼 형상으로 되도록 구성되고,

상기 제1 금속 도전층은, 하층의 몰리브덴층과, 상층의 알루미늄층으로 형성되며,

상기 제2 금속 도전층은, 산화인듐과 산화아연의 화합물로 형성되는 것을 특징으로 하는 도전 소자 기관.

청구항 10

서로 대향하도록 배치된 한 쌍의 기관과, 이 한 쌍의 기관 사이에 개재된 액정층을 갖는 액정 표시 장치의 제조 방법으로서,

상기 적어도 한쪽의 기관상에, 1층 또는 2층 이상의 금속층으로 구성된 제1 금속 도전막, 및 이 제1 금속 도전막보다 에칭 속도가 느린 제2 금속 도전막을 차례로 성막시켜 적층 도전막을 형성하는 적층 도전막 형성 공정과,

상기 적층 도전막을 패터닝 형성하여 도전 소자를 형성하는 도전 소자 형성 공정을 구비하고,

상기 도전 소자 형성 공정은, 상기 제1 금속 도전막보다 상기 제2 금속 도전막 쪽의 단면 형상이 상기 기관의 위쪽을 향해 좁아지는 순 테이퍼 형상으로 되도록, 제1 에칭액을 이용하여 상기 제1 금속 도전막 및 상기 제2 금속 도전막을 동시에 에칭하는 제1 에칭 공정과, 상기 제1 에칭액과 다른 제2 에칭액을 이용하여 상기 제2 금속 도전막만을 에칭하는 제2 에칭 공정을 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 11

삭제

청구항 12

제 10 항에 있어서,

상기 제 2 에칭공정은, 상기 제 1 에칭공정이 실시된 후에 실행되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 10 항에 있어서,

상기 제 1 에칭공정은, 상기 제 2 에칭공정이 실시된 후에 실행되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 10 항에 있어서,

상기 제 2 금속도전막은 비정질투명도전막인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 비정질투명도전막은, 산화인듐과 산화아연의 화합물로 형성되며, 상기 제 2 에칭공정에서 옥살산수용액으로 에칭되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 10 항에 있어서,

상기 도전소자는, 반사전극인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 10 항에 있어서,

상기 제 1 에칭공정은, 상기 적층도전막의 막 두께 방향에 대해 에칭액을 분사상태로 분출하는 분사처리를 포함 하며, 에칭액을 상기 적층도전막 상에 부착시키는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 10 항에 있어서,

상기 제 2 에칭공정은, 상기 제 1 금속도전막 및 제 2 금속도전막이 성막된 기판을 에칭액에 담그는 딥핑처리, 및 이 기판에 에칭액을 분사상태로 분출하는 분사처리 중 적어도 한쪽 처리로 실시되는 것을 특징으로 하는 액 정표시장치의 제조방법.

청구항 19

제 10 항에 있어서,

상기 적층도전막 형성공정은, 상기 기판 상에 투명전극을 형성하는 투명전극 형성공정을 구비하며, 이 투명전극 을 피복하도록 상기 제 1 금속도전막 및 상기 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 10 항에 있어서,

상기 적층도전막 형성공정과 상기 도전소자 형성공정 사이에, 상기 제 2 금속도전막 상에, 레지스트막을 원하는 패턴으로 패터닝하는 포토리소그래피 공정을 구비하며,

상기 도전소자 형성공정에서는, 상기 패터닝된 레지스트패턴을 마스크로 에칭하는 것을 특징으로 하는 액정표시 장치의 제조방법.

청구항 21

제 10 항에 있어서,

상기 제 1 에칭공정은, 질산과, 인산과, 초산과, 물의 혼합액을 이용하여 에칭하는 것을 특징으로 하는 액정표시 장치의 제조방법.

청구항 22

제 10 항에 있어서,

상기 제 1 금속도전막은, 하층의 몰리브덴막과, 상층의 알루미늄막으로 형성되는 것을 특징으로 하는 액정표시 장치의 제조방법.

청구항 23

서로 대향하도록 배치된 한 쌍의 기판과, 이 한 쌍의 기판 사이에 개재된 액정층을 갖는 액정 표시 장치로서, 상기 적어도 한쪽의 기판상에 형성되며, 2층의 금속층으로 구성된 제1 금속 도전층과, 이 제1 금속 도전층 상에 형성되며, 이 제1 금속 도전층보다 에칭 속도가 느린 제2 금속 도전층을 갖는 도전 소자를 구비하고,

상기 제1 금속 도전층보다 상기 제2 금속 도전층 쪽의 단면 형상이 상기 기판의 위쪽을 향해 좁아지는 순 테이 퍼 형상으로 되도록 구성되고,

상기 제1 금속 도전층은, 하층의 몰리브덴층과, 상층의 알루미늄층으로 형성되며,

상기 제2 금속 도전층은, 산화인듐과 산화아연의 화합물로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 24

삭제

청구항 25

삭제

청구항 26

제 23 항에 있어서,

상기 제 1 금속도전층의 기관 쪽에는, 산화인듐과 산화주석의 화합물로 구성된 투명전극이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 27

제 23 항의 액정표시장치를 표시화면부에 이용한 전자정보기기.

청구항 28

기관에 복수의 화소가 매트릭스 형상으로 형성되고, 이 각 화소에는 반사 전극이 배치된 액티브 매트릭스 기관을 갖는 액정 표시 장치의 제조 방법으로서,

기관상에, 1층 또는 2층 이상의 금속층으로 구성된 제1 금속 도전막, 및 이 제1 금속 도전막보다 에칭 속도가 느린 제2 금속 도전막을 차례로 성막시켜 적층 도전막을 형성하는 적층 도전막 형성 공정과,

상기 적층 도전막을 패턴 형성하여 상기 반사 전극을 형성하는 반사 전극 형성 공정을 구비하고,

상기 반사 전극 형성 공정은, 상기 제1 금속 도전막보다 상기 제2 금속 도전막 쪽의 단면 형상이 상기 기관의 위쪽을 향해 좁아지는 순 테이퍼 형상으로 되도록, 제1 에칭액을 이용하여 상기 제1 금속 도전막 및 상기 제2 금속 도전막을 동시에 에칭하는 제1 에칭 공정과, 상기 제1 에칭액과 다른 제2 에칭액을 이용하여 상기 제2 금속 도전막만을 에칭하는 제2 에칭 공정을 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <104> 본 발명은, 도전소자기관의 제조방법에 관한 것이며, 특히 액정표시장치를 구성하는 액티브매트릭스기관 상에 반사전극을 형성하는 방법에 관한 것이다.
- <105> 액정표시장치의 하나인 반투과형 액정표시장치는, 투과형과 반사형의 양쪽 모드로 표시하는 기능을 가진 것이며, 백라이트를 갖고 있어 어두운 장소에서도 시인성이 높다는 투과형 액정표시장치의 특징과, 주위광을 이용하므로 저소비전력이라는 반사형 액정표시장치의 특징을 합한 것이다.
- <106> 일반적인 액정표시장치는, 복수의 화소전극 및 TFT(박막트랜지스터)가 매트릭스형으로 배설된 액티브매트릭스기관과, 공통전극을 갖는 대향기관과, 이들 양 기관 사이에 개재되도록 배설된 액정층을 구비하며, 각 화소전극에 소정의 전하를 인입함으로써, 각 화소전극과 공통전극 사이의 액정층으로 이루어지는 액정용량에 소정의 전압을 인가하고, 그 인가전압에 따라 액정층을 구성하는 액정분자의 배향상태가 변하는 것을 이용하여 화상표시를 실행하는 것이다.
- <107> 반투과형 액정표시장치에서는, 화상의 최소단위인 화소를 구성하는 상기 각 화소전극이, 투명전극과 반사전극으로 구성되어, 투명전극에 의해 백라이트로부터의 광을 투과시켜 투과모드 표시를 실행하고, 반사전극에 의해 주위광을 반사시켜 반사모드 표시를 행한다.
- <108> 여기서 투명전극은, 산화주석막, 산화아연막, 산화인듐과 산화주석의 화합물인 ITO(Indium Tin Oxide)막, 및 산화인듐과 산화아연의 화합물인 IZO(Indium Zinc Oxide)막 등의 투명도전막으로 구성된다. 특히 ITO막 및 IZO막

은, 가시광에 대한 투명성이 우수하며, 또 양호한 도전성을 가지므로 자주 이용된다.

- <109> 한편 반사전극은, 반사율이 높으면서 전기저항이 낮은 알루미늄막 등의 금속도전막이 자주 이용된다.
- <110> 일반적으로 상기 투명도전막 및 금속도전막과 같은 전극재료는 각각 다른 일 함수(work function)를 갖는다. 그리고 상기 투명전극 및 반사전극에서는, 구성하는 전극재료가 다르므로, 양 전극간에서 일 함수가 달라지게 된다. 이리되면, 양 전극의 전극전위가 서로 달라져버려 표시불량으로 될 우려가 있다. 그 구체적 이유를 이하에 설명한다.
- <111> 액정표시장치에서는, 액정분자의 수명을 고려하여 교류구동이 이루어지고, 액정층에 인가할 전압의 극성을 교대로 반전시킨다. 그러나 TFT의 기생용량 등에 의해 액정층의 인가전압에 왜곡이 생겨 액정층에 직류전압이 인가될 우려가 있으므로, 오프셋전압도 액정층에 인가할 필요가 있다.
- <112> 이 오프셋전압은, 모든 화소에 대해 1 개박에 설정할 수 없으므로, 상기와 같이 반사전극 및 투명전극의 전극전위가 서로 다르더라도, 양 전극의 어느 한쪽에만 오프셋전압을 설정하게 된다. 이 경우 액정층에 직류전압이 인가되게 되고, 휘도변화(flicker)가 발생하여 표시품질이 현저하게 저하될 우려가 있다.
- <113> 그래서 이와 같은 일 함수가 다른 점에 기인하는 표시불량(대향왜곡)을 해소하기 위해서는, 반사전극 전극재료의 일 함수와 투명전극의 일 함수를 맞추도록 하는 것을 생각할 수 있다.
- <114> 예를 들어 특허문헌 1(일특개평 10-206845호 공보)에는, 반사형 액정표시장치에 있어서, 전극의 전극재료 일 함수에 착안하여 액정층이 개재되는 공통전극과 반사전극(화소전극)의 일 함수가 거의 동등해지도록 구성함으로써, 갑박임이 저감된다는 기술이 기재되어있다.
- <115> 또 반투과형 액정표시장치에서는 구체적으로, 투명전극이 ITO막으로 구성되고 반사전극이 알루미늄막으로 구성된 경우에는, 알루미늄막의 상층에 ITO막과 거의 동일한 일 함수를 갖는 투명도전막을 적층시킴으로써, 반사전극 표면의 전극재료 일 함수와 투명전극 표면의 전극재료 일 함수를 거의 동등하게 하는 기술이 알려졌다.
- <116> 이와 같이 반사모드와 투과모드에서 대향왜곡이 발생한다는 문제를 해결하기 위해, 화소부의 반사전극을 구성하는 알루미늄막 상에, ITO막과 일 함수가 가까운 IZO막을 형성하는 방법을 들 수 있다. 알루미늄막 상에 ITO막을 형성하지 않는 이유는, 전극을 형성할 때 알루미늄막과 ITO막이 접촉하면 갈바닉부식(電蝕; galvanic corrosion)반응이 일어나고, 그 결과 ITO막이 결락된다는 문제가 생기기 때문이다.
- <117> 또 화소부의 반사전극 최상층에 IZO막을 형성함에 따른 장점으로는, IZO막이 투명도전막이므로 반사전극으로서의 알루미늄막에 지장이 없다는 점, 대향측 투명전극과의 일 함수가 가까운 점, 및 하층의 알루미늄막과 동일한 에칭액으로 패터닝 가능한 점 등을 들 수 있다.
- <118> 한편, 반사전극(화소전극)이 형성되는 기관부에는, 그밖에도 여러 가지 금속배선이 형성된다. 예를 들어 외부로부터의 구동신호를 입력하기 위해, 기관 단부에는 구동기(구동회로)가 설치된다. 이 구동기와 화소전극에 전압을 공급하는 배선을 접속하기 위한 접속단자전극도, 기관 단부에 형성된다. 접속단자전극의 최상부에는, 공기에 대해 안정된 점, 및 접속저항이 낮은 점 등의 이유에서 ITO가 사용되고 있다. 이와 같은 접속단자전극의 ITO층이 형성되는 기관 상에, 알루미늄막으로 된 배선이나 전극을 형성할 때 상기와 마찬가지로, 알루미늄막과 ITO막이 접촉하면 갈바닉부식 반응이 일어나고, 그 결과 ITO막이 결락된다는 문제가 발생한다.
- <119> 이와 같이 알루미늄막과 ITO막이 접촉함에 의한 갈바닉부식의 문제를 해결하기 위해, ITO층과 알루미늄층 사이에 보호금속층으로서 몰리브덴층을 형성하는 방법을 들 수 있다.
- <120> 여기서 알루미늄층과 몰리브덴층은, 별개의 에칭액으로 패터닝하지 않고 동일 에칭액(예를 들어 질산, 인산, 초산 및 물의 혼합액)으로도 패터닝 가능함이 알려져 있다. 예를 들어 특허문헌 2(일특개2000-148042호 공보)에는, 에칭액을 막 두께방향으로 분무시킴으로써, 1 종류의 에칭액을 이용하여 알루미늄층과 몰리브덴층의 2 층막을, 단면형상 순테이퍼형상으로 패터닝하는 방법이 개시되어있다.
- <121> 그리고 IZO층과 알루미늄층과 몰리브덴층에 대해서도, 별개의 에칭액으로 패터닝하지 않고 동일 에칭액(예를 들어 질산, 인산, 초산 및 물의 혼합액)으로도 패터닝 가능함이 알려져있다.

발명이 이루고자 하는 기술적 과제

- <122> 이와 같이 반사전극을 구성하는 알루미늄막의 상층에 적층되는 투명도전막으로는, 가시광에 대한 투명성, 도전성 및 하층에 위치하는 알루미늄막과의 관계(에칭특성, 갈바닉부식) 등을 고려하면, 비정질 IZO막이 적합하게

이용된다.

- <123> 그러나 반사전극을 형성하기 위해, 금속도전막(알루미늄막) 및 비정질투명도전막(IZO막)을 차례로 성막시켜, 포토레지스트를 패터닝하고, 그 레지스트패턴을 개재시켜 금속도전막 및 비정질투명도전막의 적층도전막을 에칭하면, 도 45의 단면도식도에 나타내는 바와 같이, 금속도전층(6a) 상층의 비정질투명도전층(6b')이 차양형상으로 돌출 형성돼버릴 우려가 있다.
- <124> 이와 같이 비정질투명도전층(6b')이 차양형상으로 돌출 형성돼버리는 것은, 예를 들어 알루미늄막 등의 금속도전막을 에칭하는 약산성 에칭액에 있어서, 비정질투명도전막의 IZO막이, 알루미늄막 등의 금속도전막보다 에칭되기 어렵기 때문이라 생각된다.
- <125> 보다 구체적으로는, 대향왜곡 방지를 목적으로 최상층에 IZO층을 형성하고, 반사전극으로서 중간층에 알루미늄층을 형성하며, 갈바닉부식 방지를 목적으로 최하층에 몰리브덴층을 형성하면, 최상층의 IZO층보다 중간층의 알루미늄층, 및 최하층의 몰리브덴층 쪽이 에칭속도가 빨라진다. 때문에 동일 에칭액을 이용하여 1 회의 에칭처리로 패터닝을 할 경우, 도 46의 주요부 단면도에 나타내는 바와 같이, 단면부분이 역테이퍼형상인 버섯형상으로 되어, 막 강도가 낮으며 막 박리가 발생하기 쉽다.
- <126> 이 도 46에서는, 유리기관(101) 상에 몰리브덴층(102), 알루미늄층(103) 및 IZO층(104)이 차례로 적층 형성되며, 중간층의 알루미늄층(103)이 최상층의 IZO층(104)보다 훌쭉해진 가는 형상으로 패터닝된다. 이하에 이 문제에 대해 도 47 내지 도 52를 이용하여 보다 상세히 설명한다.
- <127> 도 47에서는, 유리기관(101) 상에 최상층인 IZO막(104), 중간층인 알루미늄막(103), 및 하층인 몰리브덴막(102)의 3 층이 적층 형성된다. 최상층인 IZO막(104) 상에는, 원하는 형상으로 패터닝된 레지스트층(105)이 배치된다. 이 상태에서 에칭을 실시하면, IZO막(104), 알루미늄막(103), 및 몰리브덴막(102)은, 거의 등방적으로 에칭된다.
- <128> 우선 도 48에 나타내는 바와 같이, 최상층인 IZO막(104)이 에칭 되어간다.
- <129> 다음으로 IZO막(104)의 에칭이 종료된 후에, 도 49에 나타내는 바와 같이, IZO막(104)의 수평방향으로의 에칭과 알루미늄막(103)의 막 두께 방향의 에칭이 동시에 진행된다.
- <130> 또한 알루미늄막(103)의 에칭이 종료된 후, 도 50에 나타내는 바와 같이, 알루미늄막(103)의 수평방향으로의 에칭과 몰리브덴막(102)의 막 두께 방향의 에칭이 동시에 진행되는데, 알루미늄막(103) 및 몰리브덴막(102)은, IZO막(104)의 수평방향 에칭속도에 비해, 막 두께 방향 및 수평방향의 에칭속도가 매우 빠르기 때문에, IZO막(104)의 수평방향으로의 에칭이 진행되는 이상의 빠르기로 알루미늄막(103) 및 몰리브덴막(102)의 막 두께 방향 및 수평방향의 에칭이 진행돼간다. 여기서 도 48 내지 도 50에는 에칭속도를 그 속도에 따라 화살표의 개수로 나타낸다.
- <131> 몰리브덴막(102)의 막 두께 방향으로의 에칭이 종료됐을 때는, 도 51에 나타내는 바와 같이, 알루미늄층(103) 및 몰리브덴층(102)은, 최상층인 IZO층(104)의 형상보다 수평방향으로 훌쭉해진 가는 형상으로 패터닝된다.
- <132> 도 52는, 레지스트막(105)을 제거했을 때의 형상을 나타내는 주요부 단면도이다. 도 52에 나타내는 바와 같이, 어떠한 에칭방식(분사식, 딥핑식, 분사/딥핑 병용방식)을 이용한 경우에도, 에칭속도가 느린 최상층의 IZO층(104)보다, 에칭속도가 빠른 하층의 알루미늄층(103) 및 몰리브덴층(102) 쪽이, 단면형상이 훌쭉해져 가늘어지며 상부가 큰 역테이퍼형의 버섯형상으로 되어버린다.
- <133> 그리고 반사전극을 구성하는 비정질투명도전층(6b')(IZO층(104))의 단부에 차양형상의 부분이 존재하면, 예를 들어 러빙공정과 같은 기관표면에 하중이 가해지는 후 공정에서, 이 비정질투명도전층(6b')(IZO층(104)) 단부의 차양형상 부분이 박리되어, 기관 상의 화소전극 등에 비정질투명도전층(6b')(IZO층(104))의 박리편린이 부착할 가능성이 있다. 그리되면 화소전극간에 단락이 발생하여, 액티브 매트릭스 기관의 제조 수율을 저하시킬 우려가 있다.
- <134> 즉, 알루미늄층 및 몰리브덴층으로 구성된 제 1 금속도전막과, 이 제 1 금속도전막보다 에칭속도가 느리며 IZO층으로 구성된 제 2 금속도전막이 차례로 적층된 적층도전막을 패터닝하여 도전소자를 형성할 때, IZO층인 제 2 금속도전막의 단부가 박리돼버린다는 문제가 있다.
- <135> 본 발명은, 이러한 점에 감안하여 이루어진 것이며, 그 목적으로 하는 바는, 제 1 금속도전막과, 이 제 1 금속도전막보다 에칭속도가 느린 제 2 금속도전막이 차례로 적층된 적층도전막을 패터닝하여 도전소자를 형성할 때,

제 2 금속도전막의 단부 박리에 의한 제조수율의 저하를 억제할 수 있는 도전소자기판의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- <136> 본 발명은, 도전소자를 구성하는 제 2 금속도전막만을 에칭하는 공정을 구비하도록 하는 것이다.
- <137> 구체적으로, 본 발명에 관한 도전소자기판의 제조방법은, 기판 상에, 1 층 또는 2 층 이상의 금속층으로 구성된 제 1 금속도전막, 및 이 제 1 금속도전막보다 에칭속도가 느린 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성하는 적층도전막 형성공정과, 상기 적층도전막을 패터닝하여 도전소자를 형성하는 도전소자 형성공정을 구비하는 도전소자기판의 제조방법으로서, 상기 도전소자 형성공정은, 상기 제 1 금속도전막보다 상기 제 2 금속도전막 쪽의 단면형상이 상기 기판 위쪽을 향해 좁아지는 순(順)테이퍼형상으로 되도록, 적어도 2 회, 다른 에칭액을 이용하여 에칭처리를 하는 에칭공정을 포함하는 것을 특징으로 한다.
- <138> 상기 도전소자 형성공정은, 상기 제 1 금속도전막 및 상기 제 2 금속도전막을 동시에 에칭하는 제 1 에칭공정과, 상기 제 2 금속도전막만을 에칭하는 제 2 에칭공정을 포함해도 된다.
- <139> 상기 제 2 에칭공정은, 상기 제 1 에칭공정이 실시된 후에 실행되어도 된다.
- <140> 상기 제 1 에칭공정은, 상기 제 2 에칭공정이 실시된 후에 실행되어도 된다.
- <141> 상기 제 2 금속도전막은, 비정질투명도전막이라도 된다.
- <142> 상기 비정질투명도전막은, 산화인듐과 산화아연의 화합물로 형성되며, 상기 제 2 에칭공정에서 옥살산수용액으로 에칭되어도 된다.
- <143> 상기 제 1 에칭공정은, 상기 적층도전막의 막 두께 방향에 대해 에칭액을 분사상태로 분출하는 분사처리를 포함하며, 에칭액을 상기 적층도전막 상에 부착시켜도 된다.
- <144> 상기 제 2 에칭공정은, 상기 제 1 금속도전막 및 제 2 금속도전막이 성막된 기판을 에칭액에 담그는 덩핑처리, 및 이 기판에 에칭액을 분사상태로 분출하는 분사처리 중 적어도 한쪽 처리로 실시되어도 된다.
- <145> 본 발명에 관한 도전소자기판은, 기판 상에 형성되며, 1 층 또는 2 층 이상의 금속층으로 구성된 제 1 금속도전층과, 상기 제 1 금속도전층 상에 형성되며, 이 제 1 금속도전층보다 에칭속도가 느린 제 2 금속도전층을 갖는 도전소자를 구비한 도전소자기판으로서, 상기 제 1 금속도전층보다 상기 제 2 금속도전층 쪽의 단면형상이 상기 기판 위쪽을 향해 좁아지는 순테이퍼형상으로 되도록 구성되는 것을 특징으로 한다.
- <146> 본 발명에 관한 액정표시장치의 제조방법은, 서로 대응하도록 배치된 한 쌍의 기판과, 이 한 쌍의 기판 사이에 개재된 액정층을 갖는 액정표시장치의 제조방법으로서, 상기 적어도 한쪽 기판 상에, 1 층 또는 2 층 이상의 금속층으로 구성된 제 1 금속도전막, 및 이 제 1 금속도전막보다 에칭속도가 느린 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성하는 적층도전막 형성공정과, 상기 적층도전막을 패터닝하여 도전소자를 형성하는 도전소자 형성공정을 구비하고, 상기 도전소자 형성공정은, 상기 제 1 금속도전막보다 상기 제 2 금속도전막 쪽의 단면형상이 상기 기판 위쪽을 향해 좁아지는 순테이퍼형상으로 되도록, 적어도 2 회, 다른 에칭액을 이용하여 에칭 처리하는 에칭공정을 포함하는 것을 특징으로 한다.
- <147> 상기 도전소자 형성공정은, 상기 제 1 금속도전막 및 상기 제 2 금속도전막을 동시에 에칭하는 제 1 에칭공정과, 상기 제 2 금속도전막만을 에칭하는 제 2 에칭공정을 포함해도 된다.
- <148> 상기 제 2 에칭공정은, 상기 제 1 에칭공정이 실시된 후에 실행되어도 된다.
- <149> 상기 제 1 에칭공정은, 상기 제 2 에칭공정이 실시된 후에 실행되어도 된다.
- <150> 상기 제 2 금속도전막은 비정질투명도전막이라도 된다.
- <151> 상기 비정질투명도전막은, 산화인듐과 산화아연의 화합물로 형성되며, 상기 제 2 에칭공정에서 옥살산수용액으로 에칭되어도 된다.
- <152> 상기 도전소자는, 반사전극이라도 된다.
- <153> 상기 제 1 에칭공정은, 상기 적층도전막의 막 두께 방향에 대해 에칭액을 분사상태로 분출하는 분사처리를 포함하며, 에칭액을 상기 적층도전막 상에 부착시켜도 된다.

- <154> 상기 제 2 에칭공정은, 상기 제 1 금속도전막 및 제 2 금속도전막이 성막된 기판을 에칭액에 담그는 딥핑처리, 및 이 기판에 에칭액을 분사상태로 분출하는 분사처리 중 적어도 한쪽 처리로 실시되어도 된다.
- <155> 상기 적층도전막 형성공정은, 상기 기판 상에 투명전극을 형성하는 투명전극 형성공정을 구비하며, 이 투명전극을 피복하도록 상기 제 1 금속도전막 및 상기 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성해도 된다.
- <156> 상기 적층도전막 형성공정과 상기 도전소자 형성공정 사이에, 상기 제 2 금속도전막 상에 레지스트막을 원하는 패턴으로 패터닝하는, 포토리소그래피 공정을 구비하며, 상기 도전소자 형성공정에서는, 상기 패터닝된 레지스트패턴을 마스크로 에칭해도 된다.
- <157> 상기 제 1 에칭공정은, 질산과, 인산과, 초산과, 물의 혼합액을 이용하여 에칭해도 된다.
- <158> 상기 제 1 금속도전막은, 하층의 몰리브덴막과, 상층의 알루미늄막으로 형성되어도 된다.
- <159> 본 발명에 관한 액정표시장치는, 서로 대응하도록 배치된 한 쌍의 기판과, 이 한 쌍의 기판 사이에 개재된 액정층을 구비하는 액정표시장치이며, 상기 적어도 한쪽 기판 상에 형성되며, 1 층 또는 2 층 이상의 금속층으로 구성된 제 1 금속도전층과, 이 제 1 금속도전층 상에 형성되며, 이 제 1 금속도전층보다 에칭속도가 느린 제 2 금속도전층을 갖는 도전소자를 구비하고, 상기 제 1 금속도전층보다 상기 제 2 금속도전층 쪽의 단면형상이 상기 기판 위쪽을 향해 좁아지는 스텔아이퍼형상으로 되도록 구성되는 것을 특징으로 한다.
- <160> 상기 제 2 금속도전층은, 산화인듐과 산화아연의 화합물로 형성되어도 된다.
- <161> 상기 제 1 금속도전층은, 하층의 몰리브덴층과, 상층의 알루미늄층으로 형성되어도 된다.
- <162> 상기 제 1 금속도전층의 기판 쪽에는, 산화인듐과 산화주석의 화합물로 구성된 투명전극이 형성되어도 된다.
- <163> 본 발명에 관한 전자정보기기는, 본 발명의 액정표시장치를 표시화면부에 이용한 것이며, 이로써 상기 목적이 달성된다.
- <164> 이하에 본 발명의 작용에 대해 설명한다.
- <165> 본 발명의 도전소자기판 제조방법에 의하면, 적어도 2 회, 다른 에칭액을 사용하여 에칭처리를 하게 되므로, 에칭공정이, 예를 들어 제 1 에칭공정과 제 2 에칭공정으로 구성된다. 그리고 제 1 에칭공정에서는, 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막이 동시에 에칭되는 한편, 제 2 에칭공정에서는, 적층도전막을 구성하는 제 2 금속도전막만이 에칭되게 된다.
- <166> 여기서 제 2 금속도전막에 대한 에칭속도가 제 1 금속도전막에 대한 에칭속도보다 느린, 즉 제 2 금속도전막이 제 1 금속도전막보다 에칭되기 어려우므로, 제 1 에칭공정에서, 제 1 금속도전막 상층의 제 2 금속도전막 단부가 차양형상으로 남게 형성될 우려가 있다. 그러나 본 발명에서는 제 2 에칭공정에서, 상기 남겨진 차양형상의 제 2 금속도전막 단부가 에칭된다. 그 결과 제 2 금속도전막 및 제 1 금속도전막에 대한 에칭속도의 차가 해소된다.
- <167> 즉, 제 1 에칭공정에서 상기 양 도전막에 대한 에칭속도의 차에 기인하여 제 2 금속도전막 단부가 일단 차양형상으로 형성될 경우가 있지만, 제 2 에칭공정에서 그 일단 형성된 차양형상의 제 2 금속도전막 단부가 에칭되므로, 최종적으로 제 2 금속도전막의 단부는 차양형상으로 형성되지 않는다. 때문에 후공정에서 제 2 금속도전막의 단부가 박리될 가능성이 낮아진다. 이로써 도전소자기판의 제조에 있어서, 제 2 금속도전막의 단부 박리에 의한 제조수율 저하가 억제된다.
- <168> 또 제 2 에칭공정이, 제 1 에칭공정 후에 실시될 경우에는, 우선 적층도전막 형성공정에서, 기판 상에 제 1 금속도전막 및 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성한다. 이어서 도전소자를 형성하기 위해, 제 1 에칭공정에서 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막을 동시에 에칭한다. 여기서 제 2 금속도전막이 제 1 금속도전막보다 에칭되기 어려우므로, 제 1 금속도전막 상층의 제 2 금속도전막의 단부는, 차양형상으로 일단 형성된다. 이어서 제 2 에칭공정에서 그 일단 형성된 차양형상의 제 2 금속도전막 단부가 에칭된다.
- <169> 그 결과 도전소자의 단부는 스텔아이퍼형상, 즉 도전소자의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서, 도전소자를 구성하는 제 2 금속도전막의 단부가 박리될 가능성이 낮아진다. 이로써 도전소자기판의 제조에 있어서, 제 2 금속도전막의 단부 박리에 의한 제조수율 저하가 억제된다.
- <170> 한편 제 1 에칭공정이, 제 2 에칭공정 후에 실시될 경우에는, 우선 적층도전막 형성공정에서, 기판 상에 제 1

금속도전막 및 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성한다. 이어서 도전소자를 형성하기 위해, 제 2 에칭공정에서 적층도전막을 구성하는 제 2 금속도전막만을 에칭한다. 이어서 제 1 에칭공정에서, 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막을 동시에 에칭한다. 이 제 1 에칭공정에서는, 제 2 에칭공정에서 노출된 제 1 금속도전막이 에칭됨과 동시에, 제 2 에칭공정에서 에칭된 제 2 금속도전막의 단부가 다시 에칭된다.

- <171> 그 결과 도전소자의 단부는, 순테이퍼형상, 즉 도전소자의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 도전소자를 구성하는 제 2 금속도전막의 단부가 박리될 가능성이 낮아진다. 이로써 도전소자기판의 제조에서, 제 2 금속도전막의 단부 박리에 의한 제조수율의 저하가 억제된다.
- <172> 또 제 2 금속도전막이, 예를 들어 산화인듐과 산화아연의 화합물(IZO)막으로 형성된 비정질투명도전막일 경우에는, 본 발명의 작용효과가 구체적으로 발휘되게 된다. 즉, 제 2 에칭공정에서 적층도전막의 IZO막만이 옥살산 수용액으로 에칭되게 된다.
- <173> 구체적으로, 제 2 에칭공정이 제 1 에칭공정 후에 실시될 경우에는, 도전소자를 형성하기 위해 우선, 제 1 에칭공정에서 예를 들어 약산성 에칭액을 이용하여, 적층도전막을 구성하는 제 1 금속도전막 및 IZO막(제 2 금속도전막)을 동시에 에칭한다. 여기서 상기 약산성 에칭액에 대해, IZO막은 제 1 금속도전막보다 에칭되기 어려우므로, 제 1 금속도전막 상층의 IZO막 단부는 일단 차양형상으로 형성된다. 이어서 제 2 에칭공정에서 그 일단 차양형상으로 형성된 IZO막 단부를 에칭한다.
- <174> 그 결과 도전소자의 단부는 순테이퍼형상, 즉 도전소자의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 도전소자를 구성하는 IZO막의 단부가 박리될 가능성이 낮아진다.
- <175> 한편, 제 1 에칭공정이 제 2 에칭공정 후에 실시될 경우에는, 도전소자를 형성하기 위해 우선, 제 2 에칭공정에서 적층도전막을 구성하는 IZO막(제 2 금속도전막)만을 옥살산수용액으로 에칭한다. 이어서 제 1 에칭공정에서, 예를 들어 상기 약산성 에칭액을 이용하여 적층도전막을 구성하는 제 1 금속도전막 및 IZO막을 동시에 에칭한다. 이 제 1 에칭공정에서는, 제 2 에칭공정에서 노출된 제 1 금속도전막이 에칭됨과 동시에 제 2 에칭공정에서 에칭된 IZO막 단부가 다시 에칭된다.
- <176> 그 결과 도전소자의 단부는, 순테이퍼형상, 즉 도전소자 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 도전소자를 구성하는 IZO막의 단부가 박리될 가능성이 낮아진다.
- <177> 또 제 2 에칭공정에서, 딥퍼처리 및 분사처리를 적절히 조합시킴으로써, 도전소자기판의 제조에서, 제 2 금속도전막(비정질투명도전막)의 에칭이 효율화된다.
- <178> 또한 제 1 에칭공정에서, 분사처리를 실시함으로써 도전소자기판의 제조에서 제 1 금속도전막의 에칭이 효율화된다.
- <179> 또 본 발명의 도전소자기판에 의하면, 도전소자의 단면형상이 기판 위쪽을 향해 순테이퍼형상으로 되도록 구성되므로, 그 후에 어떠한 제조공정이 이어진다 해도, 제 2 금속도전층에서 강한 막 강도의 유지가 가능해져, 제 2 금속도전층의 막 박리가 방지된다.
- <180> 본 발명의 액정표시장치 제조방법에 의하면, 적어도 2 회, 다른 에칭액을 사용하여 에칭처리를 하게 되므로, 에칭공정이, 예를 들어 제 1 에칭공정과 제 2 에칭공정으로 구성된다. 그리고 제 1 에칭공정에서는, 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막이 동시에 에칭되는 한편, 제 2 에칭공정에서는, 적층도전막을 구성하는 제 2 금속도전막만이 에칭되게 된다.
- <181> 여기서 제 2 금속도전막에 대한 에칭속도가 제 1 금속도전막에 대한 에칭속도보다 느린, 즉 제 2 금속도전막이 제 1 금속도전막보다 에칭되기 어려우므로, 제 1 에칭공정에서, 제 1 금속도전막 상층의 제 2 금속도전막 단부가 차양형상으로 남게 형성될 우려가 있다. 그러나 본 발명에서는 제 2 에칭공정에서, 상기 잔존하는 차양형상의 제 2 금속도전막 단부가 에칭된다. 그 결과 제 2 금속도전막 및 제 1 금속도전막에 대한 에칭속도의 차가 해소된다.
- <182> 즉, 제 1 에칭공정에서 상기 양 도전막에 대한 에칭속도의 차에 기인하여 제 2 금속도전막 단부가 일단 차양형상으로 형성될 경우가 있지만, 제 2 에칭공정에서 그 일단 형성된 차양형상의 제 2 금속도전막 단부가 에칭되므로, 최종적으로 제 2 금속도전막의 단부는 차양형상으로 형성되지 않는다. 때문에 후공정에서 제 2 금속도전막의 단부가 박리될 가능성이 낮아진다. 이로써 도전소자를 갖는 액정표시장치의 제조에 있어서, 제 2 금속도전

막의 단부 박리에 의한 제조수율 저하가 억제된다.

- <183> 또 제 2 에칭공정이, 제 1 에칭공정 후에 실시될 경우에는, 우선 적층도전막 형성공정에서, 기판 상에 제 1 금속도전막 및 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성한다. 이어서 도전소자, 구체적으로는 반사전극을 형성하기 위해, 제 1 에칭공정에서 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막을 동시에 에칭한다. 여기서 제 2 금속도전막이 제 1 금속도전막보다 에칭되기 어려우므로, 제 1 금속도전막 상층의 제 2 금속도전막의 단부는, 차양형상으로 일단 형성된다. 이어서 제 2 에칭공정에서 그 일단 형성된 차양형상의 제 2 금속도전막 단부를 에칭한다.
- <184> 그 결과 반사전극의 단부는 순테이퍼형상, 즉 반사전극의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서, 반사전극을 구성하는 제 2 금속도전막의 단부가 박리될 가능성이 낮아진다. 이로써 액정표시장치의 제조에 있어서, 제 2 금속도전막의 단부 박리에 의한 제조수율 저하가 억제된다.
- <185> 이 경우, 제 1 에칭공정에서 제 2 금속도전막 단부는, 일단 차양형상으로 형성되어 그 차양형상 부분의 저면이 노출되게 되므로, 제 2 에칭공정에서 에칭액이 제 2 금속도전막의 단부 측면 및 저면으로부터 접촉하게 된다. 때문에 제 2 에칭공정이 제 1 에칭공정 후에 실시될 경우는, 제 1 에칭공정이 제 2 에칭공정 후에 실시되어 제 2 금속도전막의 에칭액이 주로 측면으로부터 접촉하는 경우보다, 제 2 금속도전막의 에칭에 필요한 시간이 짧아진다.
- <186> 한편 제 1 에칭공정이 제 2 에칭공정 후에 실시되는 경우에는, 우선 적층도전막 형성공정에서, 기판 상에 제 1 금속도전막 및 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성한다. 이어서 도전소자, 구체적으로는 반사전극을 형성하기 위해, 제 2 에칭공정에서 적층도전막을 구성하는 제 2 금속도전막만을 에칭한다. 이어서 제 1 에칭공정에서, 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막을 동시에 에칭한다. 이 제 1 에칭공정에서는, 제 2 에칭공정에서 노출된 제 1 금속도전막이 에칭됨과 동시에, 제 2 에칭공정에서 에칭된 제 2 금속도전막의 단부가 다시 에칭된다.
- <187> 그 결과 반사전극의 단부는, 순테이퍼형상, 즉 반사전극의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 반사전극을 구성하는 제 2 금속도전막의 단부가 박리될 가능성이 낮아진다. 이로써 액정표시장치의 제조에서, 제 2 금속도전막의 단부 박리에 의한 제조수율의 저하가 억제된다.
- <188> 더욱이 예를 들어, 기판 상에 투명전극 및 적층도전막이 차례로 적층될 경우에는, 제 2 에칭공정에서 투명전극이 제 1 금속도전막으로 피복되므로, 제 2 금속도전막용 에칭액이 투명전극에 접촉되는 일이 없다. 때문에 투명전극이 에칭액에 접하는 회수가 줄게 된다. 이로써 제 1 에칭공정이 제 2 에칭공정 후에 실시되는 경우는, 제 2 에칭공정이 제 1 에칭공정 후에 실시되어 상기 양 공정에서 투명전극이 에칭액에 접촉하는 경우보다, 투명전극의 박리가 억제된다.
- <189> 또 제 2 금속도전막이 예를 들어 산화인듐과 산화아연의 화합물(IZO)막으로 형성된 비정질투명도전막이고, 제 1 금속도전막이 하층의 폴리브덴막 및 상층의 알루미늄막으로 형성되는 경우에는, 본 발명의 작용효과가 구체적으로 발휘되게 된다. 즉 제 1 에칭공정에서 폴리브덴막, 알루미늄막 및 IZO막이 질산과, 인산과, 초산과 물의 혼합액 등의 약산성 수용액으로 에칭됨과 동시에 제 2 에칭공정에서, 적층도전막의 IZO막만이 옥살산수용액으로 에칭되게 된다.
- <190> 구체적으로 제 2 에칭공정이 제 1 에칭공정 후에 실시될 경우에는, 반사전극을 형성하기 위해, 우선 제 1 에칭공정에서 예를 들어 질산과, 인산과, 초산과 물의 혼합액 등의 약산성 에칭액을 이용하여, 적층도전막을 구성하는 폴리브덴막, 알루미늄막 및 IZO막을 동시에 에칭한다. 여기서 상기 약산성 에칭액에 대해 IZO막은 폴리브덴막 및 알루미늄막보다 에칭되기 어려우므로, IZO막의 단부는 일단 차양형상으로 형성된다. 이어서 제 2 에칭공정에서 그 일단 차양형상으로 형성된 IZO막 단부를 에칭한다.
- <191> 그 결과 반사전극의 단부는, 순테이퍼형상 즉 반사전극의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 반사전극을 구성하는 IZO막의 단부가 박리될 가능성이 낮아진다.
- <192> 한편 제 1 에칭공정이 제 2 에칭공정 후에 실시되는 경우에는, 반사전극을 형성하기 위해, 우선 제 2 에칭공정에서 IZO막만을 옥살산수용액을 사용하여 에칭한다. 이어서 제 1 에칭공정에서, 예를 들어 상기 약산성의 에칭액을 사용하여, 폴리브덴막, 알루미늄막 및 IZO막을 동시에 에칭한다. 이 제 1 에칭공정에서는, 제 2 에칭공정에서 노출된 알루미늄막 및 폴리브덴막이 에칭됨과 동시에, 제 2 에칭공정에서 에칭된 IZO막의 단부가 다시 에칭된다.

- <193> 그 결과 반사전극의 단부는, 순테이퍼형상, 즉 반사전극의 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 반사전극을 구성하는 IZO막의 단부가 박리될 가능성이 낮아진다.
- <194> 또 제 2 에칭공정에서, 딥etching 및 분사처리를 적절히 조합시킴으로써, 도전소자기관의 제조에서, 제 2 금속도전막(비정질투명도전막)의 에칭이 효율화된다.
- <195> 또한 제 1 에칭공정에서, 분사처리를 실시함으로써 도전소자기관의 제조에서 제 1 금속도전막의 에칭이 효율화된다.
- <196> 그리고 적층도전막 형성공정이, 기관 상에 투명전극을 형성하는 투명전극 형성공정을 구비하고, 그 투명전극을 피복하도록 제 1 금속도전막 및 제 2 금속도전막을 차례로 성막시켜 적층도전막을 형성할 경우에, 각 화소에는 투명전극과 그 상층의 제 1 금속도전막 및 제 2 금속도전막으로 구성된 반사전극이 배설되게 된다. 이로써 각 화소별로 투명전극 및 반사전극이 배설된 반투과형 액정표시장치의 제조에 있어서, 비정질 투명도전막의 단부 박리에 의한 제조수율 저하가 억제된다.
- <197> 또 본 발명의 액정표시장치에 의하면, 도전소자의 단면형상이 기관 위쪽을 향해 좁아지는 순테이퍼형상으로 되도록 구성되므로, 그 후에 러빙공정 등 어떠한 제조공정이 이어진다 해도, 제 2 금속도전층에서 강한 막 강도의 유지가 가능해져, 제 2 금속도전층의 막 박리가 방지된다.
- <198> 이상과 같이, 본 발명에서는 선택성을 갖는 2 종류 이상의 에칭액을 이용하여, 에칭속도가 다른 2 종류 이상의 금속층을 패터닝하고, 순테이퍼형상의 도전소자를 형성한다.
- <199> 예를 들어 제 2 금속도전층이 IZO층으로 형성됨과 동시에, 제 1 금속도전층이 상층의 알루미늄층과 하층의 몰리브덴층으로 형성될 경우에, 이들 모두의 에칭이 가능한 제 1 에칭액을 이용하여 에칭을 실시함으로써, 도 46에 나타내는 바와 같은 단면형상이 역테이퍼형인 버섯형상의 도전소자가 형성된다. 이 경우에도, 최상층인 IZO층(104)만을 선택적으로 에칭 가능한 제 2 에칭액을 이용하여 에칭함으로써, 도 22에 나타내는 바와 같이, 알루미늄층(103) 및 몰리브덴층(102)보다 최상층인 IZO층(104)의 단면형상이 수평방향으로 훌쭉해져 가늘어지며, 순테이퍼형상인 도전소자를 형성할 수 있다.
- <200> 또 제 1 에칭처리 전에, 최상층인 IZO막 상에 포토리소그래피 공정으로 레지스트막을 원하는 패턴으로 패터닝하고, 이 레지스트막의 패턴을 마스크로 하여 제 1 에칭처리 및 제 2 에칭처리를 실시할 수 있다. 따라서 1 회의 포토리소그래피 공정으로 제작된 레지스트막에 의해 제 1 에칭처리 및 제 2 에칭처리를 연속적으로 실시할 수 있으므로, 제조공정이 대폭 증가하는 일은 없다.
- <201> IZO층, 알루미늄층 및 몰리브덴층의 에칭이 가능한 제 1 에칭액으로는, 예를 들어 질산과, 인산과, 초산과 물의 혼합액을 이용할 수 있다. 또 IZO층만을 선택적으로 에칭할 수 있는 제 2 에칭액으로는 예를 들어 옥살산수용액을 이용할 수 있다.
- <202> 그리고 복수 층으로 구성된 도전소자에서 도 22와 같은 적층 단면의 순테이퍼형상이 얻어진다면, 이 구조가 최종적인 구조라도, 그 후에 어떠한 제조공정이 따르건, 하층에서 강한 막 강도를 유지할 수 있게 되어, 하층의 막 박리가 방지된다.
- <203> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.
- <204> <실시예>
- <205> 이하 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 이하의 실시예에서는 도전소자기관으로서, 액정표시장치를 구성하는 액티브 매트릭스 기관을 예로 설명한다. 그리고 이하의 실시예에 기재되는 반사전극이 도전소자기관의 도전소자에 대응한다.
- <206> (제 1 실시예)
- <207> 이하, 본 발명의 제 1 실시예에 관한 액정표시장치에 대해 설명한다.
- <208> 도 1은 본 발명의 제 1 실시예에 관한 액정표시장치(50)를 구성하는 액티브 매트릭스 기관(20)의 평면모식도이며, 도 2는 도 1 중의 II-II 단면에서의 액정표시장치(50) 단면모식도이다. 또 도 3은 도 1 중의 III-III 단면에서의 액티브 매트릭스 기관(20)의 단면모식도이며, 인접하는 2 개의 화소간 단면을 나타낸다.
- <209> 액정표시장치(50)는, 액티브 매트릭스 기관(20)과, 이와 대향하도록 배치된 대향기관(30)과, 양 기관(20, 30) 사

이에 개재되도록 배치된 액정층(40)을 구비한다.

- <210> 액티브매트릭스기판(20)에서는, 유리기판(10) 상에 서로 평행으로 이어지는 복수의 게이트선(1)과, 서로 평행으로 이어지는 복수의 소스선(2)이 서로 직교하도록 배설되며, 게이트선(1)과 소스선(2)의 각 교차부에는 TFT(4)가 배설된다. 또 한 쌍의 게이트선(1) 및 소스선(2)으로 둘러싸이는 표시영역에는, 화소전극(7)이 각 TFT(4)에 대응하여 배설된다.
- <211> 화소전극(7)은, 각 표시영역의 전역에 걸쳐 형성된 투명전극(5)과, TFT(4)를 피복하도록 형성된 반사전극(6)으로 구성된다.
- <212> 또 액티브매트릭스기판(20)은, 유리기판(10) 상에, 게이트절연막(11) 및 층간절연막(13)이 차례로 적층된 다층 적층구조로 이루어진다.
- <213> 유리기판(10)과 게이트절연막(11)의 층간에는, 게이트선(1) 및 게이트선(1)으로부터 소스선(2)이 이어지는 방향으로 돌출된 게이트전극(1a)이 형성된다.
- <214> 게이트절연막(11)과 층간절연막(13)의 층간에는, TFT(4)를 구성하는 반도체층(12)이 형성된다.
- <215> 반도체층(12)은, 하층의 진성 비정질실리콘층(12a)과 상층의 n+비정질실리콘층(12b)으로 구성된다.
- <216> 그리고 반도체층(12) 상층에는, 소스선(2), 소스선(2)으로부터 게이트선(1)이 이어지는 방향으로 돌출된 소스전극(2a), 및 소사전극(2a)과 대치되어 드레인전극(3)이 형성된다.
- <217> 층간절연막(13) 상층에는, 요철형성절연막(14)이 형성되어, 요철형성절연막(14)의 반사전극(6)에 대응하는 영역 상면은 요철형상으로 형성된다.
- <218> 요철형성절연막(14) 상층에는, 콘택트홀(7a)을 통해 드레인전극(3)에 접속된 화소전극(7)이 형성된다.
- <219> 화소전극(7)은, 투명전극(5)과, 상층의 금속도전층(제 1 금속도전층)(6a) 및 하층의 비정질투명도전층(제 2 금속도전층)(6b)으로 이루어지는 반사전극(6)으로 구성되며, 이 반사전극(6)에 대응하는 영역은, 그 하층에 있는 요철형성절연막(14)의 상면형상을 반영한 요철형상으로 형성된다. 이 요철형상에 의해, 반사전극(6)으로 입사되는 광을 산란시키기가 가능해져, 광의 반사방향을 기판면의 법선방향으로 집약시킬 수 있다. 이로써 기판면 법선방향의 광량이 증가하므로, 실질적으로 반사전극(6)의 반사율이 향상되게 된다.
- <220> 대향기판(30)은, 유리기판(10') 상에, 컬러필터층(8), 오버코팅층(도시 생략) 및 공통전극(9)이 차례로 적층된 다층 적층구조로 이루어진다.
- <221> 컬러필터층(8)에는, 각 화소에 대응하여 적, 녹 및 청 중 1 색의 착색층이 형성되며, 각 착색층 사이에는 블랙 매트릭스가 배치된다.
- <222> 액정층(40)은, 전기광학특성을 갖는 네마틱 액정재료로 이루어지는 액정분자로 구성된다.
- <223> 이 액정표시장치(50)는, 각 화소전극(7)마다 1 개의 화소가 구성되며, 각 화소에서, 게이트선(1)으로부터 게이트 신호가 송신되어 TFT(4)가 온 상태로 되었을 때, 소스선(2)으로부터 소스신호가 송신되고 소사전극(2a) 및 드레인전극(3)을 통해 화소전극(7)으로 소정의 전하가 인입되어, 화소전극(7)과 공통전극(9) 사이에 전위차가 발생하게 되고, 액정층(40)으로 이루어지는 액정용량에 소정의 전압이 인가되도록 구성된다. 그리고 액정표시장치(50)에서는, 그 인가전압의 크기에 따라 액정분자의 배향상태가 바뀌는 것을 이용하여, 외부로부터 입사되는 광의 투과율을 조정함으로써 화상이 표시된다. 또 액정표시장치(50)는, 반투과형 액정표시장치이므로, 투명전극(5)에 의해 백라이트로부터의 광을 투과시켜 투과모드 표시를 행하며, 반사전극(6)에 의해 주위광을 반사시켜 반사모드 표시를 행한다.
- <224> 다음으로 본 발명의 제 1 실시예에 관한 액정표시장치(50)의 제조방법에 대해 설명한다.
- <225> <<<액티브매트릭스기판 제작공정>>
- <226> 이하에 본 발명의 제 1 실시예에 관한 액티브매트릭스기판(20)의 제작공정에 대해 도면을 이용하여 설명한다. 이 액티브매트릭스기판 제작공정은, TFT형성공정과, 적층도전막 형성공정과, 반사전극 형성공정을 구비한다. 도 4 내지 도 10은, 제 1 실시예에 관한 액티브매트릭스기판의 제작공정에서의 반사전극(6) 형성공정을 나타내는 단면모식도이며, 도 1 중의 III-III 단면에 대응한다.
- <227> <<<TFT형성공정(요철형성절연막(14)의 형성까지)>>

- <228> 이하에 TFT형성공정에 대해 설명한다.
- <229> 우선 유리기관(10) 상의 기관 전체에, 탄탈(Ta)막(두께 300nm 정도)을 스퍼터링으로 성막시킨 후, 포토리소그래피 기술(Photo Engraving Process, 이하 "PEP기술"이라 칭함)로 패턴을 형성하여 게이트선(1) 및 게이트전극(1a)을 형성한다.
- <230> 이어서 게이트선(1), 게이트전극(1a) 상의 기관 전체에, CVD(Chemical Vapor Deposition)법으로 질화실리콘(SiN_x)막(두께 300nm 정도)을 성막시켜 게이트절연막(11)을 형성한다.
- <231> 이어서 게이트절연막(11) 상의 기관 전체에, CVD법으로 진성 비정질실리콘(Si)막(두께 150nm 정도) 및 n+비정질실리콘(n+Si)막(두께 50nm 정도)을 차례로 성막시킨 후, 진성 비정질실리콘막 및 n+비정질실리콘막으로 이루어지는 반도체막을 PEP기술에 의해 게이트전극(1a) 상에 섬상으로 패턴 형성한다.
- <232> 이어서 섬상으로 패턴닝된 반도체막 및 게이트절연막(11) 상의 기관 전체에, ITO막(두께 450nm 정도) 및 탄탈(Ta)막(두께 450nm 정도)을 차례로 스퍼터링법으로 성막시킨 후, PEP기술로 패턴닝하여 ITO층 및 탄탈층으로 이루어지는 소스선(2), 소스전극(2a) 및 드레인전극(3)을 형성한다.
- <233> 이와 같이 소스선(2)을 ITO층 및 탄탈층의 2 층 구조로 함으로써, 한쪽 층에 단선 등이 발생해도 다른 쪽 층에 의해 전기적 접속이 유지되므로, 소스선(2) 단선을 적게 할 수 있다.
- <234> 계속해서 소스전극(2a) 및 드레인전극(3)을 마스크로 하여, 섬상으로 패턴닝된 반도체막의 n+비정질실리콘막을 에칭함으로써, 채널부를 형성하여 n+비정질실리콘층(12b)을 형성한다. 이로써 게이트전극(1a), 게이트절연막(11), 진성 비정질실리콘층(12a) 및 n+비정질실리콘층(12b)으로 구성되는 반도체층(12), 소스전극(2a)과 드레인전극(3)으로 구성된 TFT(4)가 형성된다.
- <235> 이어서 소스선(2), 소스전극(2a) 및 드레인전극(3) 상의 기관 전체에, CVD법으로 질화실리콘(SiN_x)막(두께 300nm 정도)을 성막시킨 후, SiN_x막의 드레인전극(3)에 대응하는 부분을 에칭 제거하여 층간절연막(13)을 형성한다.
- <236> 계속해서 층간절연막(13) 상의 기관 전체에, 스핀코팅법으로 감광성 아크릴수지막(두께 3μm 정도) 등을 도포한다.
- <237> 이어서 상기 감광성 아크릴수지막에 대해 이하와 같은 2 단계의 노광을 실시한다.
- <238> 여기서 감광성 아크릴수지막은 노광된 부분이 가용성 구조로 되는 것이다.
- <239> 우선 h선(파장 405nm의 자외선)의 광선을 이용하여, 노광에너지 40mJ로 하프노광상태로 되도록 노광을 실시하여, 감광성 아크릴수지막 표면에 오목부를 형성한다.
- <240> 이어서 감광성 아크릴수지막의 드레인전극(3)에 대응하는 부분에만, h선 광선을 이용하여 노광에너지 240mJ로 완전 노광을 실시하고, 현상, 및 열경화시켜, 표면이 요철형상으로 된 요철형성절연막(14) 및 콘택트홀(7a)을 형성한다.
- <241> 계속해서 요철형성절연막(14)과 그 상층에 성막되는 ITO막의 밀착성 향상, 및 콘택트홀(7a) 상에 잔존하는 요철형성절연막(14)의 잔여물 제거를 위해, 애싱처리를 실시한다.
- <242> <<적층도전막 형성공정>>
- <243> 이하에 적층도전막 형성공정에 대해 설명한다. 이 적층도전막 형성공정은, 투명전극 형성공정과, 금속도전막·비정질투명도전막 성막공정을 구비한다.
- <244> <투명전극 형성공정>
- <245> 요철형성절연막(14) 상의 기관 전체에, ITO막(두께 150nm 정도)을 스퍼터링법으로 성막시킨 후, PEP기술로 패턴닝하여 투명전극(5)을 형성한다.
- <246> <금속도전막·비정질투명도전막 성막공정>
- <247> 도 4에 나타내는 바와 같이, 투명전극(5) 상의 기관 전체에 몰리브덴막(두께 75nm 정도) 및 알루미늄막(두께 100nm 정도)으로 이루어지는 금속도전막(제 1 금속도전막)(6a'), 그리고 IZO막(두께 10nm 정도)으로 이루어지는 비정질투명도전막(제 2 금속도전막)(6b')을 차례로 스퍼터링법으로 성막시켜 적층도전막을 형성한다.

- <248> 여기서 IZO막의 막 두께는, 액정표시장치의 표시품질 관점에서, 1~20nm의 범위인 것이 바람직하다. 예를 들어 IZO막의 막 두께가 수백nm일 경우에는, 반사시켜야 할 광을 이 매우 두꺼운 IZO막이 흡수해버려 표시품질이 현저하게 저하된다. 또 색조가 막 두께에 의존함에 따라, IZO막이 20nm를 초과할 경우에는 착색이 발생하여 표시품질이 저하되므로, IZO막의 막 두께 상한은 20nm이다. 이와는 반대로 IZO막의 막 두께가 지나치게 얇을 경우에는, 반사전극(6) 및 투명전극(5) 표면의 일 함수가 고르지 않으므로, 일 함수를 맞추기 위해 IZO막의 막 두께 하한은 1nm 필요하다. 이와 같이 반사모드 표시에서, 화소전극(7)의 반사전극(6)에서의 색조가 표시품질에 직접 영향을 미치는 점에서, IZO막의 막 두께 제어는 중요하다.
- <249> <<반사전극 형성공정>>
- <250> 이하에 반사전극 형성공정에 대해 설명한다. 이 반사전극 형성공정은, 레지스트 도포공정과, 노광공정과, 현상공정과, 제 1 에칭공정과, 제 2 에칭공정과, 박리공정을 구비한다.
- <251> <레지스트 도포공정>
- <252> 도 5에 나타내는 바와 같이, 비정질투명도전막(제 2 금속도전막)(6b') 상의 기판 전체에, 감광성수지로 이루어지는 포토레지스트(15)를 두께 2.0~2.4 μ m로 도포한다. 이 포토레지스트(15)는 노블락수지를 함유하는 포지티브형 레지스트이다.
- <253> <노광공정>
- <254> 도 6에 나타내는 바와 같이, 기판 전체에 도포된 포토레지스트(15)에, 포토마스크(16)를 개재시켜 노광을 실시한다. 이로써 포토마스크(16)로부터 노출된 포토레지스트(15)는 용해되기 쉬워진다.
- <255> <현상공정>
- <256> 도 7에 나타내는 바와 같이 현상액으로서, TMAH(테트라메틸암모늄 하이드록사이드)가 2.38중량% 함유된 알칼리수용액을 이용하여 현상하고, 레지스트패턴(15')을 형성한다.
- <257> 여기서 포토레지스트(15)로서 네거티브형 레지스트를 이용할 경우에는, 포토레지스트(15)를 남겨야 할 부분을 포토마스크(16)로 마스크하면 된다.
- <258> <제 1 에칭공정>
- <259> 도 8에 나타내는 바와 같이, 레지스트패턴(15')을 마스크로 하여 질산, 초산 및 인산이 함유된 수용액(약산성 에칭액)으로 적층도전막(6')을 에칭하여, 금속도전층(제 1 금속도전층)(6a) 및 비정질투명도전층(제 2 금속도전층)(6b'')을 형성한다. 이로써 비정질투명도전층(제 2 금속도전층)(6b'')의 단부는 일단 차양형상으로 형성된다.
- <260> <제 2 에칭공정>
- <261> 도 9에 나타내는 바와 같이, 레지스트패턴(15')을 마스크로 옥살산수용액으로, 비정질투명도전층(제 2 금속도전층)(6b'')의 단부를 에칭하여, 비정질투명도전층(제 2 금속도전층)(6b)을 형성한다. 이로써 제 1 에칭공정에서 일단 차양형상으로 형성된 비정질투명도전층(제 2 금속도전층)(6b'')의 단부가 에칭되어, 금속도전층(제 1 금속도전층)(6a) 및 비정질투명도전층(제 2 금속도전층)(6b)으로 이루어지는 반사전극(6)이 형성된다.
- <262> 여기서 반사전극(6)의 단부는, 순테이퍼형상, 즉 반사전극(6) 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 러빙처리 등의 후 공정에서, 반사전극(6)을 구성하는 비정질투명도전층(제 2 금속도전층)(6b) 단부가 박리될 가능성이 낮아진다.
- <263> 또 제 1 에칭공정에서 형성된 비정질투명도전층(제 2 금속도전층)(6b'') 단부는 일단 차양형상으로 형성되고, 그 차양형상부 저면이 노출되게 되므로, 제 2 에칭공정에서 옥살산수용액이 비정질투명도전층(제 2 금속도전층)(6b'') 단부의 측면 및 저면으로부터 접촉하게 된다. 때문에 제 1 에칭공정이 제 2 에칭공정 후에 실시되어, 옥살산수용액이 주로 측면으로부터 접촉할 경우(후술하는 제 2 실시예)보다, 비정질투명도전막(제 2 금속도전막)(6b')의 에칭에 필요한 시간이 짧아진다.
- <264> <박리공정>
- <265> 도 10에 나타내는 바와 같이, 적층도전막(6')의 패턴 형성에 이용한 레지스트패턴(15')을 아민계 박리액을 이용하여 박리한다.

- <266> 이상과 같이 하여 액티브매트릭스기관(20)을 제작할 수 있다.
- <267> <<<대향기관 제작공장>>
- <268> 이하에 대향기관 제작공정에 대해 설명한다.
- <269> 우선 유리기관(10') 상에 크롬박막을 성막시킨 후, PEP기술로 패터닝하여 블랙매트릭스를 형성한다.
- <270> 다음으로 블랙매트릭스 사이의 각각에, 적, 녹 및 청 중 어느 한 착색층을 패터닝하여 컬러필터층(8)을 형성한다.
- <271> 이어서 컬러필터층(8) 상의 기관 전체에, 아크릴수지를 도포하여 오버코팅층을 형성한다.
- <272> 계속해서 오버코팅층 상의 기관 전체에, ITO막을 성막시켜 공통전극(9)을 형성한다.
- <273> 상기와 같이 하여 대향기관(30)을 제작할 수 있다.
- <274> <<<액정표시장치 제작공장>>
- <275> 이하에 액정표시장치 제작공정에 대해 설명한다.
- <276> 우선 액티브매트릭스기관(20) 및 대향기관(30)의 표면에, 폴리이미드수지를 두께 100nm 정도로 도포함으로써 배향막을 형성한 후, 180℃~200℃에서 소성한다.
- <277> 이어서 소성된 배향막 표면에 러빙처리를 한다.
- <278> 다음으로, 액티브매트릭스기관(20) 및 대향기관(30) 중 한쪽에 스크린인쇄로, 열경화성 에폭시수지 등으로 된 실링재료를 액정주입구 부분을 제외한 프레임형 패턴으로 도포하고, 다른 쪽 기관에 액정층(40) 두께에 상당하는 직경을 가지며, 수지 또는 실리카로 이루어지는 구형 스페이서를 산포한다.
- <279> 계속해서 액티브매트릭스기관(20)과 대향기관(30)을 맞붙이고 실재료를 경화시켜 공셀을 형성한다.
- <280> 이어서 공셀의 액티브매트릭스기관(20) 및 대향기관(30)의 양 기관 사이에, 감압법으로 액정재료를 주입하여 액정층(40)을 형성한다. 그 후 액정주입구에 UV경화수지를 도포하고 UV조사로써 UV경화수지를 경화시켜 주입구를 봉입한다.
- <281> 이상과 같이 하여 본 발명의 액정표시장치(50)를 제조할 수 있다.
- <282> 이상 설명한 바와 같이, 본 발명의 액정표시장치(50) 제조방법에 의하면, 반사전극(6)을 형성하기 위해, 제 1 에칭공정에서 적층도전막을 구성하는 금속도전막(제 1 금속도전막)(6a') 및 비정질투명도전막(제 2 금속도전막)(6b')을 동시에 에칭하여, 금속도전층(제 1 금속도전층)(6a) 상층의 비정질투명도전층(제 2 금속도전층)(6b'') 단부는, 차양형상으로 일단 형성된다. 그리고 제 1 에칭공정에 이어지는 제 2 에칭공정에서, 그 일단 형성된 차양형상의 비정질투명도전층(제 2 금속도전층)(6b'') 단부를 에칭하므로, 최종적으로는 비정질투명도전층(제 2 금속도전층)(6b) 단부는 차양형상으로 형성되지 않게 된다.
- <283> 때문에, 후공정에서 비정질투명도전층(제 2 금속도전층)(6b) 단부가 박리될 가능성이 낮아진다. 이로써 액정표시장치(50)의 제조에 있어서, 비정질투명도전층(제 2 금속도전층)(6b)의 단부 박리에 의한 제조수율 저하가 억제된다.
- <284> (제 2 실시예)
- <285> 이하에 본 발명의 제 2 실시예에 관한 액정표시장치에 대해 설명한다.
- <286> 본 발명의 제 2 실시예에 관한 액정표시장치, 그리고 이 액정표시장치를 구성하는 액티브매트릭스기관의 평면구조 및 단면구조는, 제 1 실시예에 기재한 것과 실질적으로 동일하며 그 제조방법만이 다르므로, 이하의 실시예에서는 액정표시장치의 제조방법, 특히 액티브매트릭스기관의 제작공정을 중심으로 설명한다.
- <287> <<<액티브매트릭스기관 제작공장>>
- <288> 이하에 본 발명의 제 2 실시예에 관한 액티브매트릭스기관의 제작공정에 대해, 도면을 이용하여 설명한다. 이 액티브매트릭스기관 제작공정은, TFT형성공정과, 적층도전막 형성공정과, 반사전극 형성공정을 구비한다. 도 11~도 13은, 제 2 실시예에 관한 액티브매트릭스기관 제작공정에서의 반사전극(6) 형성공정을 나타내는 단면모식도이며, 도 1 중의 B-B' 단면에 대응한다.

- <289> <<TFT 형성공정(요철형성절연막(14)의 형성까지)>>
- <290> 제 1 실시예와 마찬가지로, 유리기관(10) 상에 TFT(4), 층간절연막(13) 및 요철형성절연막(14) 등을 형성한다.
- <291> <<적층도전막 형성공정>>
- <292> 제 1 실시예와 마찬가지로, 투명전극 형성공정 및 금속도전막·비정질투명도전막 성막공정을 실시하여, 도 4에 나타내는 바와 같이 유리기관(10)의 투명전극(5) 상에, 금속도전막(제 1 금속도전막)(6a') 및 비정질투명도전막(제 2 금속도전막)(6b')으로 이루어지는 적층도전막(6')을 형성한다.
- <293> <<반사전극 형성공정>>
- <294> 제 1 실시예와 마찬가지로, 레지스트 도포공정(도 5), 노광공정(도 6), 및 현상공정을 실시하여 도 7에 나타내는 바와 같이, 유리기관(10)의 적층도전막(6') 상에, 레지스트패턴(15')을 형성한다.
- <295> <제 2 에칭공정>
- <296> 도 11에 나타내는 바와 같이, 레지스트패턴(15')을 마스크로 옥살산수용액을 이용, 비정질투명도전막(제 2 금속도전막)(6b')을 에칭하여, 비정질투명도전층(제 2 금속도전층)(6b'')을 형성한다.
- <297> <제 1 에칭공정>
- <298> 도 12에 나타내는 바와 같이 레지스트패턴(15')을 마스크로 질산, 초산 및 인산이 함유된 수용액(약산성 에칭액)을 이용, 금속도전막(제 1 금속도전막)(6a') 및 비정질투명도전층(제 2 금속도전층)(6b'')을 에칭하여, 금속도전층(제 1 금속도전층)(6a) 및 비정질투명도전층(제 2 금속도전층)(6b)을 형성한다. 이로써 금속도전층(제 1 금속도전층)(6a) 및 비정질투명도전층(제 2 금속도전층)(6b)으로 이루어지는 반사전극(6)이 형성된다.
- <299> 이 제 1 에칭공정에서는, 제 2 에칭공정에서 노출된 금속도전막(제 1 금속도전막)(6a')이 에칭됨과 동시에, 제 2 에칭공정에서 에칭된 비정질투명도전층(제 2 금속도전층)(6b'')의 단부가 다시 에칭된다.
- <300> 그 결과 반사전극(6) 단부는 순테이퍼형상, 즉 반사전극(6) 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 러빙처리 등의 후 공정에서 반사전극(6)을 구성하는 비정질투명도전층(제 2 금속도전층)(6b) 단부가 박리될 가능성이 낮아진다.
- <301> <박리공정>
- <302> 도 13에 나타내는 바와 같이, 적층도전막(6')의 패턴형성에 이용한 레지스트패턴(15')을 아민계 박리액을 이용하여 박리시킨다.
- <303> 이상과 같이 하여 액티브매트릭스기관(20)을 제작할 수 있다.
- <304> 대향기관 제작공정, 액정표시장치 제작공정에 대해서는 제 1 실시예에 기재한 것과 실질적으로 동일하므로 그 설명을 생략한다.
- <305> 이상과 같이 하여 본 발명의 액정표시장치(50)를 제조할 수 있다.
- <306> 이상 설명한 바와 같이 본 발명의 액정표시장치 제조방법에 의하면, 반사전극(6)을 형성하기 위해, 제 2 에칭공정에서 적층도전막을 구성하는 비정질투명도전막(제 2 금속도전막)(6b')만을 에칭한다. 이어서 제 1 에칭공정에서 적층도전막을 구성하는 금속도전막(제 1 금속도전막)(6a') 및 비정질투명도전막 즉, 비정질투명도전층(제 2 금속도전층)(6b'')을 동시에 에칭한다. 이 제 1 에칭공정에서는, 제 2 에칭공정에서 노출된 금속도전막(제 1 금속도전막)(6a')이 에칭됨과 더불어 제 2 에칭공정에서 에칭된 비정질투명도전층(제 2 금속도전층)(6b'')이 다시 에칭된다.
- <307> 때문에 반사전극(6) 단부는, 순테이퍼형상, 즉 반사전극(6) 둘레가 그 위쪽에서 아래쪽을 향해 그 외측으로 경사진 형상으로 형성되므로, 후 공정에서 반사전극(6)을 구성하는 비정질투명도전층(제 2 금속도전층)(6b) 단부가 박리될 가능성이 낮아진다. 이로써 액정표시장치의 제조에 있어서, 비정질투명도전층(제 2 금속도전층)(6b)의 단부 박리에 의한 제조수율 저하가 억제된다.
- <308> 또 제 2 에칭공정에서, 투명전극(5)이 금속도전막(제 1 금속도전막)(6a')으로 피복되므로, 옥살산수용액이 투명전극(5)에 접촉하는 일이 없다. 때문에 투명전극(5)이 에칭액에 접하는 회수가 줄게 된다. 이로써 제 1 실시예와 같이 제 2 에칭공정이 제 1 에칭공정 후에 실시되어, 제 1 및 제 2 에칭공정 양 공정에서 투명전극(5)이

에칭액(약산성 에칭액 및 옥살산수용액)에 접촉하는 경우보다, 투명전극(5)의 박리를 억제할 수 있다.

- <309> 상기와 같이 투명전극(5)의 박리가 억제되는 방법은, 제 1 실시예에 기재된 방법보다 제 2 에칭공정에서의 에칭 시간이 길어지지만 후술하는 포토리소그래피 재공정에서 그 효과가 효과적으로 발휘된다.
- <310> 이 포토리소그래피 재공정에 관한 구체적 내용에 대해 이하에 설명한다.
- <311> 여기서 투명전극(5) 및 반사전극(6)을 형성하는 공정, 그 중에서도 반사전극(6)을 형성하는 공정은, 반투과형 액정표시장치(50)를 구성하는 액티브 매트릭스 기판(20) 제조에 있어서 최종공정에 해당하므로, 적층도전막(6')을 에칭하여 패턴 형성하기 전에, 레지스트패턴(15')이 소정의 패턴으로 형성됐는지 검사하는 것은, 제조수율을 향상시키는 데 있어 효과적 수단이다.
- <312> 그리고 레지스트패턴(15')이 소정의 패턴으로 정상적으로 형성됐을 경우에는 그대로, 그 정상적인 레지스트패턴(15')을 개재시켜 적층도전막(6')을 에칭함으로써, 패터닝하여 반사전극(6)을 형성하게 된다.
- <313> 한편 레지스트패턴(15')이 소정의 패턴으로 형성되지 않았을 경우에는, 그 불량 레지스트패턴, 적층도전막(6')을 일단 제거한 후에, 재차 도 4~도 7에 나타난 공정을 실시하여 적층도전막(6') 상에 레지스트패턴(15)을 재형성하는 포토리소그래피 재공정을 실시한다.
- <314> 그리고 상기 순서대로 포토리소그래피 재공정을 실시한 후, 도 8에 나타내는 제 1 에칭공정, 및 도 9에 나타내는 제 2 에칭공정을 계속해서 실시하면, 도 14에 나타내는 바와 같이, 투명전극(5)에 막 용기부(17a) 및 막 박리부(17b)가 발생할 우려가 있다. 그러나 제 2 실시예에 의한 방법에서는, 도 4~도 7에 나타난 공정 후에, 도 11~도 13에 나타난 공정을 실시함으로써, 상기와 같이 제 2 에칭공정에서, 투명전극(5)이 금속도전막(제 1 금속도전막)(6a')으로 피복되므로, 옥살산수용액이 투명전극(5)에 접촉하는 일이 없다. 때문에 투명전극이 에칭액에 접하는 회수가 줄게 된다. 이로써 투명전극(5)의 박리를 억제할 수 있다.
- <315> 또 상기 제 1 및 제 2 실시예에서 제 2 에칭공정의 에칭처리를, 처리기관을 옥살산수용액에 담그는 딥핑처리와, 그 처리기관에 옥살산수용액을 분사상태로 분출하는 분사처리를 적절히 조합시킴으로써, 비정질투명도전막(제 2 금속도전막)(6b')의 에칭이 효율화된다. 여기서 딥핑처리는, 에칭에 필요한 시간이 길어지지만, 처리기관의 먼 전체가 균일하게 에칭되어, 먼 내 균일성이 양호한 반면에, 분사처리는 에칭에 필요한 시간이 짧아지지만, 먼 내 균일성이 떨어지는 것이다. 그리고 특히 처리기관을 옥살산수용액 중의 상층에 배치하여 딥핑처리를 실시함과 동시에, 그 처리기관 상면에 대해 옥살산수용액을 분사상태로 분출시켜 분사처리를 실시할 경우에는, 비정질투명도전막(제 2 금속도전막)(6b')의 에칭에 필요한 시간이 단축되면서 먼 내 균일성이 양호해진다. 그리고 비정질투명도전막(제 2 금속도전막)(6b')의 에칭에 필요한 시간을 고려하지 않을 경우, 혹은 먼 내 균일성을 고려하지 않을 경우에는, 딥핑처리, 혹은 분사처리 중 어느 한 가지로 비정질투명도전막(제 2 금속도전막)(6b')을 에칭해도 된다.
- <316> 또한 상기 제 1 및 제 2 실시예에서는, 비정질투명도전막(제 2 금속도전막)(6b)의 에칭액으로서, 옥살산수용액을 이용하지만, 예를 들어 붕산계수용액과 같은 비정질투명도전막만을 선택적으로 에칭할 수 있는 에칭액을 이용해도 된다.
- <317> 또 상기 제 1 및 제 2 실시예에서는, 보조용량선 및 보조용량전극의 구성을 생략하지만, 보조용량선 및 보조용량전극의 구성을 추가시켜, 액정용량과 병렬로 보조용량을 형성해도 된다.
- <318> 그리고 상기 제 1 및 제 2 실시예에서는, 각 화소에 투명전극과 반사전극이 배설된 반투과형 액정표시장치를 예로 설명했지만, 본 발명은 각 화소에 반사전극이 배설된 반사형 액정표시장치에 대해서도 적용할 수 있으며, 또 반사전극을 형성하는 경우만이 아닌, 게이트선, 소스선 및 보조용량선 등의 배선과 같은 각종 도전소자를 형성하는 경우에 대해서도 적용할 수 있다.
- <319> 또한 상기 제 1 및 제 2 실시예에서는, TFT를 스위칭소자로서 이용한 액티브구동형 액정표시장치를 예로 설명했지만, TFT 이외의 3 단자소자, 및 MIM(Metal Insulator Metal) 등의 2 단자소자의 액티브구동형 액정표시장치에도 적용할 수 있으며, 또 액티브구동형 액정표시장치만이 아닌, 패시브구동형 액정표시장치에도 적용할 수 있다.
- <320> 다음에, 구체적으로 실시한 실험에 대해 설명한다.
- <321> 우선 각종 도전막(알루미늄막, 몰리브덴막, ITO막 및 IZO막)에 대한 옥살산수용액의 에칭특성을 확인하기 위해, 도 15~도 17에 나타내는 각 방법으로 실험했다.

<322> 첫째로, 도 15에 나타내는 바와 같이, 에칭용기(22) 내의 옥살산수용액(21)에 각 도전막 샘플(23)을 개별로 담그고, 단위시간당의 각 도전막 샘플(23)의 손상량(Å/초)을 측정한다.

<323> 도 18의 그래프는, 그 측정결과이다. 이에 따르면 알루미늄막, 몰리브덴막 및 ITO막이 거의 에칭되지 않고, IZO막만이 에칭된다. 이 점에서 옥살산수용액에 의해 IZO막이 선택적으로 에칭됨이 확인된다.

<324> 둘째로, 도 16에 나타내는 바와 같이, 에칭용기(22) 내의 옥살산수용액(21)에 실제 적층도전막의 조합으로 되도록, 각 도전막 샘플(23)을 2 개씩 담그고, 단위시간당의 각 도전막 샘플(23)의 손상량(Å/초)을 측정한다.

<325> 도 19의 그래프는 그 측정결과이다. 그래프 가로축의 Al-ITO(A1)이란, 알루미늄막과 ITO막을 동시에 담갔을 때의 A1막의 단위시간당 각 도전막 샘플(23)의 손상량(Å/초)이다. 마찬가지로 Al-IZO(IZO)란, 알루미늄막과 IZO막을 동시에 담갔을 때의 IZO막의 단위시간당 손상량(Å/초)이다. 이에 따르면 제 1 실험결과와 마찬가지로, 알루미늄막, 몰리브덴막 및 ITO막이 거의 에칭되지 않고, IZO막만이 에칭된다. 이로써 옥살산수용액에 의해 IZO막이 선택적으로 에칭됨이 확인된다.

<326> 셋째로, 도 17에 나타내는 바와 같이, 에칭용기(22) 내의 옥살산수용액(21)에 실제 적층도전막의 조합으로 되도록, 2 개의 도전막 샘플(23)(알루미늄막, 몰리브덴막, ITO막 및 IZO막)을 리드선(24)에 의해 서로 접속된 상태로 담그고, 단위시간당 각 도전막 샘플(23)의 손상량(Å/초)을 측정한다. 이 실험에서는, 각 도전막 샘플(23)이 리드선(24)으로 접속되므로, 접속된 각 도전막 샘플(23)간의 전위차에 의해 전기분해가 일어나면, 갈바닉부식(에칭)이 촉진되게 된다.

<327> 도 20의 그래프는 그 측정결과이다. 그래프 가로축의 Al-IZO 도통(IZO)은, 알루미늄막과 IZO막을 접속시켜 담갔을 때 IZO막의 단위시간당 손상량(Å/초)이다. 이에 따르면, 제 1 및 제 2 실험결과와 마찬가지로 알루미늄막, 몰리브덴막 및 ITO막이 거의 에칭되지 않고, IZO막만이 에칭된다. 이로써 옥살산수용액에 의해 IZO막이 선택적으로 에칭됨이 확인된다. 여기서 Al-ITODO통(ITO) 및 Mo-ITODO통(ITO)에서, 갈바닉부식이 약간이지만 확인되었으나, 예를 들어 Al-ITODO통(ITO)에서는 150초 사이에 54Å만 에칭된 것으로, 품질적으로 영향이 있는 레벨은 아니다.

<328> 다음으로, 본 발명 실시예의 구체예로서, 상기 제 1 및 제 2 실시예와 동일한 방법으로, 반사전극(6)을 형성한다. 구체적으로는 DC마그네트론 스퍼터링장치를 이용하여, 몰리브덴막, 알루미늄막 및 IZO막을 연속적으로 성막시킨다. 본 실험에서는 IZO막으로서 "IZO타겟"(이데미츠(出光)홍산(주)제)을 이용하며, IZO막의 에칭은, 3~8중량%의 옥살산수용액을 이용하고, 액체온도를 40~45℃로 함과 동시에, 에칭시간을 2~500초로 한다.

<329> 도 21은 구체예에서 형성한 반사전극(6)의 단면모식도이다.

<330> 반사전극(6)은, 몰리브덴층(6aa) 및 알루미늄층(ab)으로 이루어지는 금속도전층(제 1 금속도전층)(6a)과, 제 2 금속도전층인 비정질투명도전층(IZO층)(6b)으로 구성된다.

<331> 표 1

옥살산 에칭시간(초)		150	230	300
X(μm)	제 1 에칭→제 2 에칭	0.5	-	-
	제 2 에칭→제 1 에칭	0.0	0.4	0.8

<333> 표 1은, 구체예에서 옥살산수용액으로 에칭된 IZO막의 후퇴량(X(μm))을 측정한 측정결과이다.

<334> 표 1에 나타내는 바와 같이, 제 1 에칭공정 후에 제 2 에칭공정을 실시한 흐름에서는, 에칭시간 150초에서 후퇴량(X)이 0.5μm인데 반해, 제 2 에칭공정 후에 제 1 에칭공정을 실시한 흐름에서는, 상기 0.5μm과 동등한 후퇴량을 얻는데 에칭시간이 230초 이상 필요함을 알 수 있다. 이로써 제 1 및 제 2 실시예의 기재와 같이, 후자의 흐름 쪽이 에칭시간이 길어짐이 확인된다.

<335> 또 이와 같이 반사전극을 구성하는 IZO막을 옥살산수용액으로 에칭한 반사전극(6)에서는, 그 반사전극(6) 둘레를 주사형 전자현미경 등으로 관찰하면, IZO층(6b)의 경계를 명료하게 확인할 수 있다. 여기서 종래의 반사전극을 형성하는 방법에서는, IZO층(6b)의 단부가 차양형상으로 형성되지만, IZO층(6b) 단부가 완만한 순테이퍼형, 즉 IZO층(6b)의 둘레가 그 위쪽에서 아래쪽을 향해 외측으로 완만하게 경사진 형상으로 형성되어 IZO층(6b)의 경계를 확인할 수 없다.

<336> 다음에 본 발명의 다른 실시예에 대해 설명한다.

- <337> (제 3 실시예)
- <338> 도 22는, 본 제 3 실시예의 전극배선기판(도전소자기판)의 개략구성을 나타내는 주요부 단면도이다.
- <339> 도 22에 나타내는 바와 같이, 전극배선기판(도전소자기판)(107)은, 유리기판(101) 상에, 에칭속도가 다른 2 종류 이상의 층으로서, 에칭속도가 느린 최상층으로서의 IZO층(제 2 금속도전층)(104)과, 그보다 에칭속도가 빠른 하층으로서의 Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)이 형성된다. 최상층인 IZO층(제 2 금속도전층)(104)은, 하층의 Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)보다 단면형상이 수평 방향으로 훌쭉하게 가늘어져, 하층의 막 강도가 강한 단면형상이 스테이퍼형상인 전극 및/또는 배선의 적층구조로 구성된다.
- <340> 상기 구성에 의해 이하, 본 제 3 실시예의 전극배선기판(도전소자기판)(107)의 제조방법에 대해, 도 23~도 31을 이용하여 설명한다.
- <341> 도 23~도 31은 본 제 3 실시예의 전극배선기판(도전소자기판)(107)의 각 제조공정에 대해 설명하기 위한 주요부 단면도이다.
- <342> 우선 도 23에 나타내는 바와 같이, 유리기판(101) 상에 Mo막(제 1 금속도전막)(102)을 스퍼터링법에 의해 막 두께 200nm로 형성한다.
- <343> 다음에 도 24에 나타내는 바와 같이, Mo막(제 1 금속도전막)(102) 상에 Al막(제 1 금속도전막)(103)을 스퍼터링법에 의해 막 두께 200nm로 형성한다.
- <344> 또 도 25에 나타내는 바와 같이, Al막(제 1 금속도전막)(103) 상에, IZO막(제 2 금속도전막)(104)을 스퍼터링법에 의해 막 두께 10nm로 형성한다.
- <345> 그리고 도 26에 나타내는 바와 같이, IZO막(104) 전면, 레지스트막(105)을 스핀코팅법으로 두께 약 2 μ m로 도포하고, 포토리소그래피법으로 도 27에 나타내는 바와 같은 소정의 포토마스크(106)를 이용하여 도 28에 나타내는 바와 같이 레지스트막(5)을 원하는 패턴으로 패터닝한다.
- <346> 이 기관부에 대해 Mo막(102), Al막(103) 및 IZO막(104)의 에칭이 가능한 제 1 에칭액으로서, 질산과 인산과 초산과 물의 혼합액을 이용하여, 분사/딤핑 병용방식으로 제 1 에칭처리를 실시한다. 이로써 도 29에 나타내는 바와 같이, 최상층인 IZO층(104)이 그 하층에 형성된 중간층의 Al층(103), 및 최하층의 Mo층(102)보다 단면형상이 수평방향(횡방향)으로 굽어져, 역테이퍼형인 버섯형상으로 형성된다.
- <347> 또 이 기관부에 대해, 소정형상의 레지스트막(105) 직하의 IZO층(104)만을 선택적으로 에칭 가능한 제 2 에칭액으로서, 옥살산수용액을 이용하여, 분사/딤핑 병용방식으로 제 2 에칭처리를 실시한다. 이로써 도 30에 나타내는 바와 같이, 최상층인 IZO층(제 2 금속도전층)(104)이 그 하층에 형성된 중간층의 Al층(제 1 금속도전층)(103), 및 최하층의 Mo층(제 1 금속도전층)(102)보다 단면형상이 수평방향으로 훌쭉하게 가늘어져, 하층의 막 강도가 강하며 단면형상이 스테이퍼형상인 형상으로 형성된다.
- <348> 그리고 기관부 상에 남은 소정의 레지스트막(105)을 제거함으로써, 도 31에 나타내는 바와 같은 단면형상이 스테이퍼형상인 전극배선기판(도전소자기판)(107)이 제작된다.
- <349> 여기서 상기 에칭공정에 대해, 도 32를 이용하여 이하에 상세하게 설명한다. 도 32는, 본 제 3 실시예의 각 에칭공정에 대해 설명하기 위한 에칭용기의 주요부 단면도이다. 여기서는 에칭용기 내에, 에칭액에 기관부(130)를 침지시키면서 반송 가능한 롤러(131)와, 기관부(130) 상에 에칭액(132)을 분사시키는 노즐부(133)가 구성된다.
- <350> 이 에칭공정에서는, 도 32에 나타내는 바와 같이, 롤러(131)로 반송된 기관부(130)가 에칭용기 내로 도입되고, 막 면(도면 상방) 쪽에서 에칭액(132)이 분사방식과 딤핑방식의 병용처리에 의해 기관부(130) 상면에 부착하여, 기관부(130) 상면에 형성된 금속층이 순차 에칭된다. 분사방식에서는, 막 두께 방향으로 에칭액(132)이 분사되어 기관부(130) 상면에 부착되고, 딤핑방식에서는, 기관부(130)가 액면에 담겨져 에칭액(132)이 기관부(130) 상면에 부착된다.
- <351> 이 에칭공정의 상세에 대해, 이하에 도 33~도 38을 이용하여 보다 상세하게 설명한다.
- <352> 도 33에 나타내는 바와 같이, 레지스트막(105)을 패터닝한 후에, 최상층인 IZO층(104), 하층인 Al층(103) 및 Mo층(102)이 에칭 가능한 제 1 에칭액을 이용하여 제 1 에칭처리를 실시한다. 이 때 우선 IZO층(104)의 에칭이

진행되는데, 막 두께 방향(종방향)에 대한 에칭속도가 빨라지므로, 도 34에 나타내는 바와 같이, 수평방향(횡방향)에 대한 에칭량이 아직 적은 사이에 막 두께 방향으로의 에칭이 완료된다.

- <353> 다음으로, A1층(103)의 에칭이 시작되는데, IZO층(104)과 마찬가지로 분사방식과 딥핑방식을 병용할 경우, IZO층(104)의 수평방향(횡방향; 막 면을 따른 방향)에 대한 에칭량이 적은 상태에서, A1층(103)의 막 두께 방향으로의 에칭이 진행된다. 이로써, 도 35에 나타내는 바와 같이, A1층(103)의 단면형상이 IZO층(104)보다 수평방향으로 가는 부분을 갖는 버섯형상으로 에칭된다.
- <354> 다음에, Mo층(102)의 에칭이 시작되는데, IZO층(104) 및 A1층(103)과 마찬가지로 분사방식과 딥핑방식을 병용할 경우, IZO층(104)의 수평방향(횡방향)의 에칭량이 적은 상태에서, A1층(103)의 수평방향과, Mo층(102)의 막 두께 방향(종방향; 막 면을 따른 방향과 수직인 방향) 및 수평방향으로의 에칭이 진행된다. 이로써, 도 36에 나타내는 바와 같이, A1층(103) 및 Mo층(102)의 단면형상이 IZO층(104)보다 수평방향으로 훌쭉해져 가는 부분을 갖는 버섯형상으로 에칭된다.
- <355> 또한 제 2 에칭처리에서는, 도 37에 나타내는 바와 같이, A1층(103) 및 Mo층(102)에 손상을 주는 일없이, IZO층(104)만을 선택적으로 에칭할 수 있는 제 2 에칭액을 이용하여 에칭처리를 실시한다. 이로써 도 37에 나타내는 바와 같이, IZO층(104) 단면형상이 A1층(103) 및 Mo층(102)보다 수평방향으로 훌쭉하고 가늘어져, 안정된 순테이퍼형의 형상을 얻을 수 있다.
- <356> 이상으로써, 본 제 3 실시예에 의하면, 에칭공정에서 에칭속도가 느린 최상층(제 2 금속도전층), 및 에칭속도가 빠른 하층(제 1 금속도전층)을 에칭할 수 있는 제 1 에칭액을 이용하여 제 1 에칭처리를 실시한 후에, 최상층에 대해 선택적으로 에칭 가능한 제 2 에칭액을 이용하여 제 2 에칭처리를 실시함으로써, 막 강도가 높으면서 막 박리가 어려운 순테이퍼형의 3 층막을 제작할 수 있다. 이로써 도 31에 나타내는 바와 같은 순테이퍼형의 단면형상이 얻어진다면, 이 구조가 최종적인 구조라도, 그 후 어떠한 제조공정이 이어지건 강한 막 강도를 유지하기가 가능해진다. 이와 더불어 막 박리에 의한 리크불량을 저감하여 단선불량의 저감이 가능해지므로, 제조 수율을 향상시킬 수 있다.
- <357> 여기서 상기 제 1 에칭처리에 있어서, 에칭방식으로는 딥핑방식과 분사방식의 병용처리 이외에, 딥핑방식만, 또는 분사방식만 실시해도 된다. 이 경우 딥핑방식에 의한 처리를 지배적으로 실시하면, 도 46과 같은 역테이퍼형의 단면형상으로 되지만, 분사방식에 의한 처리를 지배적으로 실시하면, 도 22와 같은 순테이퍼형의 단면형상이 얻어지는 경향이 있다. 어느 경우이건, 최상층에 대해 선택적으로 에칭 가능한 제 2 에칭액을 이용하여 제 2 에칭처리를 실시함으로써, 막 강도가 강한 도 1과 같은 순테이퍼형 단면형상을 얻을 수 있다.
- <358> 또 제 2 에칭처리에 대해서도, 에칭방식으로서 딥핑방식과 분사방식의 병용처리 이외에, 딥핑방식만, 또는 분사방식만 실시해도 된다. 제 2 에칭처리에 대해서는, 에칭방식에 상관없이 양호한 형상이 얻어지지만, 에칭처리 장치의 처리능력 및 면 내 균일성을 향상시키기 위해서는, IZO층(104)에 대해 에칭속도가 빨라지도록 딥핑방식과 분사방식의 병용처리로 제 2 에칭처리를 실시하는 것이 바람직하다.
- <359> (제 4 실시예)
- <360> 본 제 4 실시예에서는, 상기 제 3 실시예의 전극배선기관(도전소자기관)과 그 제조방법을 이용한 액정표시장치 및 그 제조방법에 대해 설명한다.
- <361> 도 39 및 도 40은, 본 제 4 실시예 액정표시장치의 개략구성예를 나타내는 주요부 단면도이다.
- <362> 도 39에는, 액정층을 개재하고 대향배치되는 한쪽의 기관부에 있어서, 알루미늄으로 이루어지는 반사전극과, ITO로 이루어지는 투명전극과, 이들을 스위칭하는 스위칭소자로서의 TFT가 배설된 화소영역 중, 반사전극 및 TFT 형성영역이 나타난다. 도 40에는, 이 한쪽 기관부에서 기관 단부에 설치되는 구동기를 접속하기 위해 ITO로 이루어지는 접속단자전극이 배설된 단자영역이 나타난다.
- <363> 도 39에 나타내는 바와 같이, 한쪽 기관부는 절연성기관인 유리기관(101) 상에, 주사선으로서의 복수 게이트버스라인(도시 생략)과 신호선으로서의 복수 소스버스라인(도시 생략)이 서로 교차되어 배설된다. 각 게이트버스라인 및 각 소스버스라인으로 구획된 각 화소영역에는, 화소전극으로서 A1층(103)으로 이루어지는 반사전극과 ITO층으로 이루어지는 투과전극(도시 생략)이 배설된다.
- <364> 반사전극은, A1층(103) 하층에 ITO층과의 갈바닉부식을 방지하기 위해 Mo층(102)이 형성되며, ITO로 이루어지는 대향전극과 일 합수를 근사시키기 위해 A1층(103) 상층에 IZO층(104)이 형성된다.

- <365> 이 화소영역에서는, 그 구석부에 게이트버스라인으로부터 화소전극을 향해 분기된 게이트전극(111)이 형성되며, 그 선단부분에 스위칭소자로서의 TFT가 형성된다.
- <366> TFT는 유리기판(101) 상에 형성된 게이트전극(111) 상에 형성되며, 게이트전극(111)은 게이트절연막(112)으로 피복된다. 이 게이트절연막(112) 상에, 게이트전극(111)과 대향하도록 반도체층(113)이 적층되며, 이 반도체층(113)의 양 단부에 증착되어 반도체층(113) 상에서 2 개로 분단된 콘택트층(114a 및 114b)이 형성된다. 또한 한쪽의 콘택트층(114a) 상에는, 소스버스라인으로부터 TFT를 향해 분기된 소스전극(115)이 증착되어 TFT 일부를 구성한다. 소스버스라인은, 소스전극(115)과 동일 금속층이 하층에 형성되며, 그 상층에 ITO층(117)이 형성되어 2 층 구조로 이루어진다.
- <367> 또 다른 쪽 콘택트층(114b) 상에는, TFT의 드레인전극(116)이 소스전극(115)과 간격을 두고 형성된다. 이 드레인전극(116)은, 투과전극 및 반사전극의 형성영역까지 연장되며, 층간절연막(119)의 콘택트홀(119a)을 통해, ITO층(도시 생략)으로 이루어지는 투과전극과, Mo층(제 1 금속도전층)(102), Al층(제 1 금속도전층)(103) 및 IZO층(제 2 금속도전층)(104)으로 이루어지는 반사전극에 접속된다. 반사전극 형성영역에는, 반사특성을 양호하게 하기 위해 층간절연막(119) 하에 매끄러운 단면의 거의 반원형의 블록부(118a 및 118b)가 형성된다.
- <368> 단자영역에서는, 도 40에 나타내는 바와 같이 유리기판(101) 상에 게이트버스라인과 동일 재료로 이루어지는 금속층(111a)이 형성되며, 그 위를 피복하는 게이트절연막(112) 개구부 상에, 소스버스라인 및 소스전극(115)과 동일한 재료로 이루어지는 금속층(115a)과, ITO층(117a)이 적층 형성된다.
- <369> 이와 같이 구성된 본 제 4 실시예의 액정표시장치에서의 한쪽 기관부, 즉 전극배선기관(도전소자기관)을 제작하는 방법에 대해, 도 41~도 44를 이용하여 이하에 설명한다.
- <370> 도 41 및 도 42는, 본 제 4 실시예의 액정표시장치 구성을 설명하기 위한 주요부 단면도이며, 도 43은 도 41 및 도 42의 액정표시장치를 제조하기 위한 각 제조공정을 설명하는 흐름도이다. 도 41에는 도 39의 경우와 마찬가지로, 액정층을 개재하고 대향 배치되는 한쪽 기관부에서, Al층으로 이루어지는 반사전극 및 ITO로 이루어지는 투과전극과 이들을 스위칭하는 스위칭소자로서의 TFT가 형성된 각 화소영역 중, 반사전극 및 TFT 형성영역이 나타난다. 또 도 42에는, 도 40의 경우와 마찬가지로, 이 한쪽 기관부에서 기관 단부에 설치되는 구동기를 접속하기 위해 ITO로 이루어지는 접속단자전극이 형성된 단자영역이 나타난다.
- <371> 우선 도 43에 나타내는 단계(S1)의 게이트형성공정에서, 도 41에 나타내는 바와 같이, 유리기판(101) 상에 크롬(Cr)이나 탄탈(Ta) 등으로 이루어지는 복수의 게이트버스라인과, 이 게이트버스라인에서 분기된 게이트전극(111)을 형성한다. 이 때 단자영역에서는 도 42에 나타내는 바와 같이, 유리기판(101) 상에 게이트버스라인과 동일 재료로 이루어지는 금속층(111a)을 형성한다.
- <372> 다음으로 단계(S2)의 양극산화공정에서 게이트버스라인, 게이트전극(111) 및 금속층(111a) 표면이 양극산화법으로 산화된 양극산화막(도시 생략)을 형성한다. 이 양극산화공정은 필요에 따라 실시된다.
- <373> 단계(S3)의 GI(게이트절연막)형성공정에서, 도 41에 나타내는 바와 같이 게이트버스라인 및 게이트전극(111)을 피복하여, 유리기판(101) 상 전면에 Si_3N_4 나 SiO_x 등으로 이루어지는 게이트절연막(112)을 형성한다. 이 때 단자영역에서는 도 42에 나타내는 바와 같이, 금속층(111a)을 피복하도록 게이트절연막(112)을 형성한 후, 드라이에칭 등으로 금속층(111a) 상의 중앙위치에 개구부를 형성한다.
- <374> 단계(S4)의 n+영역형성공정에서, 도 41에 나타내는 바와 같이 게이트절연막(112) 상에 비정질실리콘(a-Si)이나 다결정실리콘 등으로 이루어지는 반도체층(113)을 형성하고, n+a-Si 등으로 이루어지는 콘택트층(114a 및 114)을, 반도체층(113)의 양 단부와 증착되도록 형성한다.
- <375> 단계(S5)의 소스형성공정에서, 도 41에 나타내는 바와 같이 소스버스라인을 구성하는 티탄(Ti) 등으로 이루어지는 금속층을 형성하는 동시에, 한쪽 콘택트층(114a) 상에는 소스전극(115)을 증착 형성한다. 이와 동시에 다른 쪽 콘택트층(114b) 상에는 드레인전극(116)을 증착 형성한다. 이 드레인전극(116)은, 투과전극 및 반사전극의 형성영역까지 연장되도록 형성된다. 이 때 단자영역에서는, 도 42에 나타내는 바와 같이 게이트절연막(112)의 금속층(111a) 상 개구부에 소스버스라인과 동일 재료로 이루어지는 금속층(115a)을 형성한다.
- <376> 단계(S6)의 보호절연막 형성공정 및 단계(S7)의 층간절연막 형성공정 후에, 단계(S8)의 화소ITO형성공정에서 도 41에 나타내는 바와 같이, 소스버스라인을 구성하는 금속층(115) 상에 ITO층(117)을 형성한다. 또 도시하지 않는 투과전극 형성영역에서는 ITO층을 투과전극으로서 형성한다. 또한 단자영역에서는 도 42에 나타내는 바와

같이 금속층(115a) 상에 ITO층(117a)으로 이루어지는 접속단자전극을 형성한다.

- <377> 그리고 반사전극이 형성되는 영역의 아랫부분에 감광성수지로 이루어지는 단면이 거의 반원형인 매끄러운 볼록부(118a 및 118b)를 형성하고, 그 위에 다시 표면을 매끄럽게 하기 위해, 막 두께 100nm의 층간절연막(119)(예를 들어 고분자수지막)을 형성한다.
- <378> 단계(S9)의 Al층 성막 전 베이킹 공정에서 기판을 소성한다.
- <379> 단계(S10)의 미소반사IZO/Al/Mo 성막공정에서, 도 41 및 도 42에 나타내는 바와 같이, Mo막(제 1 금속도전막)(102), Al막(제 1 금속도전막)(103) 및 IZO막(제 2 금속도전막)(104)을 순차 형성한다. 이 중 최하층의 Mo막(102)은 기판부 내에 사용되는 ITO(Indium Tin Oxide)막과 Al막 사이의 갈바닉부식을 방지하는 배리어메탈로서 사용되므로, 그 막 두께는 5nm~1 μ m 정도이면 된다. 본 제 4 실시예에서는 스퍼터링법으로 Mo층(102)의 막 두께가 200nm로 되도록 성막한다.
- <380> 중간층의 Al막(103)은 반사전극으로서 사용되므로, 높은 반사율이 얻어지는 5nm~1 μ m 정도의 막 두께가 필요하다. 본 제 4 실시예에서는 스퍼터링법으로 Al막(103)의 막 두께가 200nm로 되도록 성막한다.
- <381> 최상층의 IZO막(104)은 반사모드(반사전극 형성영역)와 투과모드(투과전극 형성영역)에서 대향왜곡(표시이상)이 발생하는 것을 방지하기 위해, 반사전극(Al층) 상에 형성하여 사용되므로, 그 막 두께는 1nm~20nm 정도이면 된다. 본 제 4 실시예에서는 스퍼터링법으로 IZO막(104)의 막 두께가 10nm로 되도록 성막한다. 여기서 이들 막 두께는, 각각 목적을 달성시키기 위해 적절한 조합으로 설정하는 것이 가능하며, 또 성막방법에 대해서도 증착 등, 각종 박막제작방법의 이용이 가능하다.
- <382> 단계(S11)의 IZO성막 후 베이킹 공정에서 기판부를 소성한다.
- <383> 단계(S12)의 IZO/Al/Mo 포토리소그래피공정에서, 상기 제 3 실시예의 경우와 마찬가지로, 포토리소그래피법으로 레지스트막을 원하는 패턴으로 패터닝한다. 여기서는 화소영역에서 반사전극 형성영역의 IZO막(제 2 금속도전막)(104), Al막(제 1 금속도전막)(103) 및 Mo막(제 1 금속도전막)(102) 상에 레지스트막이 패터닝되며, 단자영역에는 레지스트막이 형성되지 않는다.
- <384> 단계(S13)의 현상완료 후 검사에서, 레지스트막이 원하는 패턴으로 패터닝됐는지 여부를 검사한다.
- <385> 단계(S14)의 IZO/Al/Mo 에칭공정에서, Mo막(제 1 금속도전막)(102), Al막(제 1 금속도전막)(103) 및 IZO막(제 2 금속도전막)(104)이 에칭 가능한 제 1 에칭액으로서, 질산과 인산과 초산과 물의 혼합액을 이용하여, 제 1 에칭처리를 실시한다. 이 제 1 에칭처리의 에칭방식으로는, 딥핑방식과 분사방식의 병용처리 이외에, 딥핑방식만 또는 분사방식만의 처리도 실시한다. 이 경우 딥핑방식에 의한 처리를 지배적으로 실시하면, 도 46과 같은 역테이퍼형의 단면형상이 되지만, 분사방식에 의한 처리를 지배적으로 실시하면, 도 22와 같은 순테이퍼형의 단면형상이 얻어진다. 제 1 에칭액의 혼합비는, 적절한 것을 선택할 수 있다. 또 제 1 에칭액은, IZO막, Al막 및 Mo막을 1 회로 에칭 가능한 에칭액이라면 다른 것이라도 된다.
- <386> 단계(S15)의 옥살산수용액 에칭공정에서, IZO층(제 2 금속도전층)(104)만을 선택적으로 에칭 가능한 제 2 에칭액으로서, 옥살산수용액을 이용하여 제 2 에칭처리를 실시한다. 이 제 2 에칭처리의 에칭방식으로도, 딥핑방식과 분사방식의 병용처리 이외에, 딥핑방식만 또는 분사방식만의 처리도 실시한다. 제 2 에칭처리에 대해서는 에칭방식에 상관없이, 도 22에 나타내는 바와 같은 순테이퍼형의 형상이 얻어지지만, 에칭처리장치의 처리능력 및 면 내 균일성을 향상시키기 위해서는, IZO층(제 2 금속도전층)(104)에 대해 에칭속도가 빨라지도록 딥핑방식과 분사방식의 병용처리로 제 2 에칭처리를 실시하는 것이 바람직하다. 제 2 에칭액으로는, Al층 및 Mo층에 손상을 주는 일없이, IZO층(제 2 금속도전층)(104)만을 선택적으로 에칭 가능한 에칭액이라면 다른 것이라도 된다.
- <387> 상기 단계(S14) 및 단계(S15)에 의해, 도 39에 나타내는 바와 같이 화소영역에서는 반사전극 형성영역에 IZO층(제 2 금속도전층)(104), Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)으로 이루어지는 반사전극이 형성된다. 또 도 40에 나타내는 바와 같이, 단자영역에 형성된 IZO층(제 2 금속도전층)(104), Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)은 제거되어, 접속단자전극의 최상층인 ITO층(117a)이 노출된다.
- <388> 단계(S16)의 IZO/Al/Mo 포토레지스트 박리공정에서, 기판 상에 남은 레지스트막을 제거함으로써, 도 22에 나타내는 바와 같은 순테이퍼형의 단면형상을 갖는 반사전극이 제작되어 TFT제작공정이 완료된다.
- <389> 본 제 4 실시예와 같이, 막 두께 방향으로 에칭이 지배적으로 되도록 제 1 에칭액을 분무시켜 제 1 에칭처리를

실시한 후, 선택성을 갖는 제 2 에칭액을 이용하여 최상층의 IZO층(제 2 금속도전층)(104)만을 선택적으로 에칭함으로써, 도 22에 나타내는 바와 같이 단면형상이 순테이퍼형이며, 막 강도가 높은 3 층 구조의 전극이나 배선을 얻을 수 있다.

- <390> 상기 제 3 및 제 4 실시예와 같이, IZO층(제 2 금속도전층)(104), Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)을 패터닝한 기판부에 대해, 이하와 같은 필링테스트(peeling test)로 밀착성 시험을 실시하여 막 강도를 조사한다(참고문헌: "박막의 역학적 특성 평가기술", 긴바라 아키라(金原 繁), 고우노 아키오(河野 彰夫), 쇼지 후미야(生地 文也), 바바 시게루(馬場 茂) 편집, REALIZE INC.).
- <391> 우선 IZO층(104), Al층(103) 및 Mo층(102)이 패터닝된 기판부에, 테이프를 약 1cm² 붙이고, 일정한 힘으로 기판부에 대해 수직방향으로 당겨 테이프를 벗긴다. 이 때, 패터닝된 IZO층(104), Al층(103) 및 Mo층(102)이 어느 정도 벗겨졌는가에 따라, 그 막 밀착강도를 알 수 있다. IZO층(104), Al층(103) 및 Mo층(102)의 패터닝 형상은, 원하는 정밀도에 따라 수 μ m~수mm로 다르지만, 본 제 4 실시예에서는 수백 μ m 피치의 패터닝을 실시한 기판부에서 실험을 실시했다.
- <392> 비교를 위해, 도 43에서 단계(S15)의 옥살산수용액 에칭이 없는, 도 44의 흐름도에 나타나는 바와 같은 각 제조공정의 처리순서로 IZO층(104), Al층(103) 및 Mo층(102)을 패터닝한 기판부에 대해서도, 마찬가지로 밀착성 시험을 실시한다. 도 44의 단계(S21~S33) 및 단계(S35)는, 상기 제 4 실시예 도 43의 단계(S1~S13) 및 단계(S16)의 경우와 마찬가지로이다. 도 44와 도 43의 차이는 전술한 바와 같이, 도 44에서는 제 2 에칭처리공정을 실시하지 않고, 단계(S34)에서 제 1 에칭처리공정만을 실시한다는 점이다. 이 도 44의 방법에서는, 도 46에 나타내는 바와 같은 역테이퍼형의 단면형상(버섯형상)을 갖는 반사전극이 제작된다.
- <393> 그 결과 상기 제 3 실시예 및 제 4 실시예와 같이 제 1 에칭처리공정 및 제 2 에칭처리공정에 의해 도 22에 나타내는 바와 같은 순테이퍼형의 단면형상을 갖도록 IZO층(제 2 금속도전층)(104), Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)을 패터닝한 기판부에서는, 막 박리가 전혀 발생하지 않은데 반해, 비교예와 같이 제 1 에칭처리만에 의해 도 46에 나타내는 바와 같은 역테이퍼형의 단면형상을 갖도록 IZO층(104), Al층(103) 및 Mo층(102)을 패터닝한 기판부에서는(딤핑처리만으로 작성한 기판), 1cm² 당 약 수십 개소, 막 박리가 발생했다.
- <394> 이와 같이 반사전극이 형성된 기판부를 이용하여 반투과형 액정표시장치를 제작할 경우에는, 반사전극을 형성한 후, 배향막 형성공정을 거치게 된다. 이 배향막 형성방법은, 오프셋인쇄법이나 스프인코팅법 등으로 기판부 상에 배향막을 도포하고, 경화공정을 거친 후, 러빙처리라 불리는 배향처리공정이 이루어진다. 따라서 상술한 바와 같이, IZO층(제 2 금속도전층)(104), Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)이 패터닝된 기판부에 외적 충격이 가해지게 된다. 그러나 상기 제 4 실시예와 같이, 제 1 에칭처리 및 제 2 에칭처리에 의해 IZO층(제 2 금속도전층)(104), Al층(제 1 금속도전층)(103) 및 Mo층(제 1 금속도전층)(102)을 패터닝한 기판부에서는, 막 박리가 발생하는 일없이 배향막을 형성할 수 있게 된다.
- <395> 그 후, 이와 같이 하여 배향막이 형성된 한쪽의 소자 쪽 기판부와, 유리기판 상에 컬러필터층, ITO층으로 이루어지는 대향전극, 및 배향막이 형성된 다른 쪽의 대향측 기판부를, 스페이서를 개재하고 붙인 후, 그 사이에 액정을 주입한다. 대향측 기판부 쪽에 위상차판 및 편광판을 배치함으로써, 투과모드와 반사모드를 갖는 액정표시장치를 완성시킬 수 있다.
- <396> 이상으로써, 상기 제 3 실시예 및 제 4 실시예에 의하면, 유리기판(101) 상에 하층의 Al층(제 1 금속도전층)(103), Mo층(제 1 금속도전층)(102) 및 최상층의 IZO층(제 2 금속도전층)(104)이 될 각 금속층을 연속적으로 순차 적층 형성하고, 그 금속층을 2 종류 이상의 에칭액을 이용하여 패터닝한다. 제 1 에칭처리에서는 Mo막(102), Al막(103) 및 IZO막(104)을 에칭할 수 있는 제 1 에칭액을 이용하고, 제 2 에칭처리에서는, Al층(103) 및 Mo층(102)에 손상을 주지 않고, 최상층의 IZO층(104)을 선택적으로 에칭할 수 있는 제 2 에칭액을 이용하여 실시한다. 이로써 하층의 Al층(103) 및 Mo층(102)보다 에칭속도가 느린 층이 최상층에 배치되어도, 하층의 Al층(103) 및 Mo층(102)이 수평방향으로 홀쭉해지거나, 박리되는 것을 막아, 순테이퍼형의 전극 및/또는 배선을 형성할 수 있다.
- <397> 여기서 상기 제 3 실시예 및 제 4 실시예에 있어서, 에칭속도가 다른 금속층의 조합에 대해서는, IZO층, Al층, 및 Mo층의 조합에 한정되지 않으며, 최상층에 에칭속도가 느린 금속층이 형성되고, 그 하층에 그보다 에칭속도가 빠른 1 층 또는 2 층 이상의 층이 형성되는 구성이라면, 다른 재료에 대해서도 본 발명은 적용 가능하다. 또 전극이나 배선은 3 층으로 설명했지만, 전극이나 배선은 2 층이라도, 4 층 이상이라도 된다. 금속재료가 다

를 경우, 사용되는 제 1 에칭액 및 제 2 에칭액의 조합도 달라져, 제 1 에칭액은 최상층 및 하층 에칭이 가능한 에칭액을 적절히 이용할 수 있으며, 제 2 에칭액은 최상층이 에칭 가능하며 하층에 손상을 주지 않는 에칭액을 적절히 이용하기가 가능하다.

<398> 이상과 같이, 본 발명의 바람직한 제 1 내지 제 4 실시예를 이용하여 본 발명을 예시해왔으나, 본 발명은 이 제 1 내지 제 4 실시예에 한정되어 해석되는 것이 아니다. 본 발명은 특허청구의 범위에 의해서만 그 범위가 해석되어야 함이 이해되어야 할 것이다. 당업자는 본 발명의 구체적인, 바람직한 제 1 내지 제 4 실시예의 기재로부터, 본 발명의 기재 및 기술상식에 기초하여 등가의 범위를 실시할 수 있음이 이해될 것이다. 본 명세서에서 인용한 특허, 특허출원 및 문헌은, 그 내용 자체가 구체적으로 본 발명에 기재된 것과 마찬가지로 그 내용이 본 명세서에 대한 참고로서 원용되어야 함이 이해될 것이다.

발명의 효과

<399> 본 발명의 도전소자기판 제조방법은, 제 1 금속도전막과, 그 제 1 금속도전막보다 에칭속도가 느린 제 2 금속도전막이 차례로 적층된 적층도전막을 패터닝 함으로써 도전소자를 형성할 때, 제 2 금속도전막만을 에칭하는 제 2 에칭공정을 구비하므로, 제 1 금속도전막 및 제 2 금속도전막을 동시에 에칭하는 제 1 에칭공정에서, 적층도전막을 구성하는 제 1 금속도전막 및 제 2 금속도전막에 대한 에칭속도 차에 기인하여 제 2 금속도전막의 단부가 일단 차양형상으로 형성될 경우가 있지만, 제 2 에칭공정에서 그 일단 형성된 차양형상의 제 2 금속도전막 단부가 에칭되므로, 최종적으로는 제 2 금속도전막의 단부는 차양형상으로 형성되지 않는다. 이로써 후 공정에서 제 2 금속도전막의 단부가 박리될 가능성이 낮아져, 도전소자기판의 제조에 있어서, 제 1 금속도전막과, 그 제 1 금속도전막보다 에칭속도가 느린 제 2 금속도전막이 차례로 적층된 적층도전막을 패터닝 함으로써 도전소자를 형성할 때, 제 2 금속도전막 단부의 박리에 의한 제조수율 저하를 억제할 수 있다.

<400> 이상, 설명한 바와 같이, 본 발명은 반사전극을 구성하는 비정질투명도전막(제 2 금속도전막)의 단부가, 러빙처리 등의 후 공정에서 박리되는 것이 억제되므로, 반사전극을 갖는 액티브매트릭스기판의 제작에 유용하다.

<401> 또 본 발명은, 예를 들어 PDA, 휴대전화장치나 디지털스틸카메라 등의 모바일기기, TV세트 등의 AV기기 및 퍼스널컴퓨터 등의 OA기기 등의 각종 전자정보기기의 표시화면부에 이용되는 액정표시장치 및 그 제조방법, 이에 적합하게 이용되는 전극배선기판(도전소자기판) 및 그 제조방법의 분야에서, 유리기판 상에 에칭속도가 다른 2 층 이상으로 이루어지는 금속층을, 2 종류의 에칭액을 이용하여 에칭함으로써, 막 강도가 높으며 막 박리가 어려운, 스테이퍼형으로 패터닝된 전극 및/또는 배선을 제작할 수 있다. 이에 따라 막 박리에 의한 리크불량을 저감하여 단선불량을 저감할 수 있다. 이로써 전극배선기판(도전소자기판)이나 액정표시장치의 제조 수율을 한층 향상시킬 수 있다. 본 발명에서는 예를 들어 PDA나 휴대전화장치, 디지털스틸카메라 등의 모바일기기, TV세트 등의 AV기기, 퍼스널컴퓨터 등의 OA기기 등, 각종 전자정보기기에 폭넓게 이용 가능하며, 신뢰성이 높은 전자정보기기를 수율 좋게 제조할 수 있다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 제 1 및 제 2 실시예에 관한 액정표시장치(50)를 구성하는 액티브매트릭스기판(20)의 평면모식도.
- <2> 도 2는 도 1 중의 단면 II-II에서의 액정표시장치(50) 단면모식도.
- <3> 도 3은 도 1 중의 단면 III-III에서의 액티브매트릭스기판(20)의 단면모식도.
- <4> 도 4는 본 발명의 제 1 및 제 2 실시예에 관한 반사전극을 형성할 때의 적층도전막 형성공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <5> 도 5는 본 발명의 제 1 및 제 2 실시예에 관한 반사전극을 형성할 때의 레지스트 도포공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <6> 도 6은 본 발명의 제 1 및 제 2 실시예에 관한 반사전극을 형성할 때의 노광공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <7> 도 7은 본 발명의 제 1 및 제 2 실시예에 관한 반사전극을 형성할 때의 현상공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <8> 도 8은 본 발명의 제 1 실시예에 관한 반사전극을 형성할 때의 제 1 에칭공정을 나타내는 단면모식도이며, 도 1

중의 단면 III-III에 대응하는 도.

- <9> 도 9는 본 발명의 제 1 실시예에 관한 반사전극을 형성할 때의 제 2 에칭공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <10> 도 10은 본 발명의 제 1 실시예에 관한 반사전극을 형성할 때의 박리공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <11> 도 11은 본 발명의 제 2 실시예에 관한 반사전극을 형성할 때의 제 2 에칭공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <12> 도 12는 본 발명의 제 2 실시예에 관한 반사전극을 형성할 때의 제 1 에칭공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <13> 도 13은 본 발명의 제 2 실시예에 관한 반사전극을 형성할 때의 박리공정을 나타내는 단면모식도이며, 도 1 중의 단면 III-III에 대응하는 도.
- <14> 도 14는 포토리소그래피 재공정 후, 본 발명 제 1 실시예의 방법으로 반사전극(6)을 형성했을 때 반사전극(6) 주변의 전자현미경 사진.
- <15> 도 15는 여러 가지 도전막에 대한 옥살산수용액의 에칭특성을 확인하기 위한 제 1 실험방법을 나타내는 모식도.
- <16> 도 16은 여러 가지 도전막에 대한 옥살산수용액의 에칭특성을 확인하기 위한 제 2 실험방법을 나타내는 모식도.
- <17> 도 17은 여러 가지 도전막에 대한 옥살산수용액의 에칭특성을 확인하기 위한 제 3 실험방법을 나타내는 모식도.
- <18> 도 18은 여러 가지 도전막에 대한 옥살산수용액의 에칭특성을 확인한 제 1 실험결과를 나타내는 그래프.
- <19> 도 19는 여러 가지 도전막에 대한 옥살산수용액의 에칭특성을 확인한 제 2 실험결과를 나타내는 그래프.
- <20> 도 20은 여러 가지 도전막에 대한 옥살산수용액의 에칭특성을 확인한 제 3 실험결과를 나타내는 그래프.
- <21> 도 21은 구체예로서 제작한 액티브매트릭스기판의 반사전극(6) 단면모식도.
- <22> 도 22는 본 제 3 실시예의 전극배선기판(도전소자기판)에서 전극 및 배선의 기본구성 예를 나타내는 주요부 단면도.
- <23> 도 23은 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 Mo층 형성공정의 기판부 주요단면도.
- <24> 도 24는 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 Al층 형성공정의 기판부 주요단면도.
- <25> 도 25는 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 IZO층 형성공정의 기판부 주요단면도.
- <26> 도 26은 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 레지스트막 형성공정의 기판부 주요단면도.
- <27> 도 27은 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 노광공정의 기판부 주요단면도.
- <28> 도 28은 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 레지스트막 패터닝 공정의 기판부 주요단면도.
- <29> 도 29는 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 1 에칭처리공정의 기판부 주요단면도.
- <30> 도 30은 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 2 에칭처리공정의 기판부 주요단면도.
- <31> 도 31은 본 제 3 실시예의 전극배선기판(도전소자기판) 제조방법에서 박리공정의 기판부 주요단면도.
- <32> 도 32는 본 제 3 실시예의 에칭공정에 대해 설명하기 위한 에칭용기 내의 주요부 단면도.
- <33> 도 33은 본 제 4 실시예의 전극배선기판(도전소자기판) 제조방법에서 레지스트막 패터닝 공정의 기판부 주요단면도.
- <34> 도 34는 본 제 4 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 1 에칭처리공정의 기판부 제 1 주요단면도.
- <35> 도 35는 본 제 4 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 1 에칭처리공정의 기판부 제 2 주요단

면도.

- <36> 도 36은 본 제 4 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 1 에칭처리공정의 기판부 제 3 주요단면도.
- <37> 도 37은 본 제 4 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 2 에칭처리공정의 기판부 제 1 주요단면도.
- <38> 도 38은 본 제 4 실시예의 전극배선기판(도전소자기판) 제조방법에서 제 2 에칭처리공정의 기판부 제 2 주요단면도.
- <39> 도 39는 본 제 4 실시예 액정표시장치의 개략구성예를 나타내는 주요부 단면도이며, 화소영역의 반사전극 및 TFT형성영역을 나타내는 도.
- <40> 도 40은 본 제 4 실시예 액정표시장치의 개략구성예를 나타내는 주요부 단면도이며, 단자영역을 나타내는 도.
- <41> 도 41은 본 제 4 실시예 액정표시장치의 제조방법에 대해 설명하기 위한 주요부 단면도이며, 화소영역의 반사전극 및 TFT형성영역을 나타내는 도.
- <42> 도 42는 본 제 4 실시예 액정표시장치의 제조방법에 대해 설명하기 위한 주요부 단면도이며, 단자영역을 나타내는 도.
- <43> 도 43은 본 제 4 실시예 액정표시장치의 제조방법 각 공정에 대해 설명하기 위한 흐름도.
- <44> 도 44는 본 제 4 실시예 액정표시장치에 대한 비교예로서, 액정표시장치의 제조방법 각 공정에 대해 설명하기 위한 흐름도.
- <45> 도 45는 종래 방법으로 반사전극을 형성한 액티브매트릭스기판(20')의 단면모식도.
- <46> 도 46은 종래의 전극 또는 배선의 단면형상을 설명하기 위한 기판부 주요단면도.
- <47> 도 47은 종래의 에칭공정(레지스트막 패터닝공정)에 대해 설명하기 위한 주요부 단면도.
- <48> 도 48은 종래의 에칭공정(IZO층 에칭공정)에 대해 설명하기 위한 주요부 단면도.
- <49> 도 49는 종래의 에칭공정(IZO층/A1층 에칭공정)에 대해 설명하기 위한 주요부 단면도.
- <50> 도 50은 종래의 에칭공정(IZO층/A1층/Mo층 에칭공정)에 대해 설명하기 위한 제 1 주요부 단면도.
- <51> 도 51은 종래의 에칭공정(Mo층 에칭공정)에 대해 설명하기 위한 주요부 단면도.
- <52> 도 52는 종래의 에칭공정(레지스트막 제거공정)에 대해 설명하기 위한 제 1 주요부 단면도.
- <53> <도면의 주요 부분에 대한 부호의 설명>
- <54> 1 : 게이트선
- <55> 1a, 111 : 게이트전극
- <56> 2 : 소스선
- <57> 2a, 115 : 소스전극
- <58> 3, 116 : 드레인전극
- <59> 4 : TFT
- <60> 5 : 투명전극
- <61> 6 : 반사전극
- <62> 6' : 적층도전막
- <63> 6a : 금속도전층
- <64> 6aa : 물리브텐층
- <65> 6ab : 알루미늄층

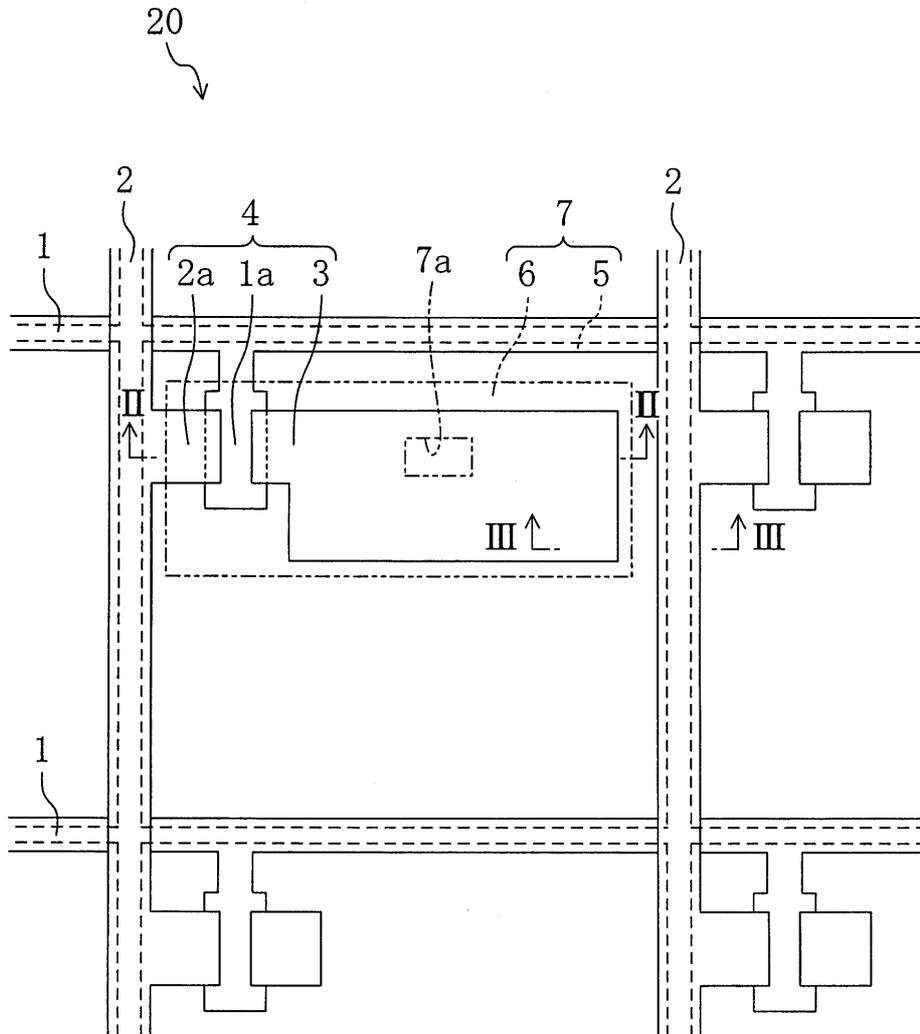
- <66> 6a' : 금속도전막
- <67> 6b, 6b' : 비정질 투명도전층
- <68> 6b' : 비정질 투명도전막
- <69> 7 : 화소전극
- <70> 7a, 119a : 콘택트홀
- <71> 8 : 컬러필터층
- <72> 9 : 공통전극
- <73> 10, 101 : 유리기판
- <74> 11, 112 : 게이트절연막
- <75> 12, 113 : 반도체층
- <76> 12a : 진성 비정질실리콘층
- <77> 12b : n+비정질실리콘층
- <78> 13, 119 : 층간절연막
- <79> 14 : 요철형성절연막
- <80> 15 : 포토레지스트
- <81> 15' : 레지스트패턴
- <82> 16 : 포토마스크
- <83> 17a : 막 용기부
- <84> 17b : 막 박리부
- <85> 20, 20' : 액티브매트릭스기판
- <86> 21 : 옥살산 수용액
- <87> 22 : 에칭용기
- <88> 23 : 도전막 샘플
- <89> 24 : 리드선
- <90> 30 : 대향기판
- <91> 40 : 액정층
- <92> 50 : 액정표시장치
- <93> 102 : Mo층
- <94> 103 : Al층
- <95> 104 : IZO층
- <96> 105 : 레지스트막
- <97> 106 : 마스크
- <98> 107 : 전극배선기판
- <99> 111a : 게이트전극과 동일재료로 이루어지는 금속층
- <100> 114a, 114b : 콘택트층
- <101> 115a : 소스전극과 동일재료로 이루어지는 금속층

<102> 117, 117a : ITO층

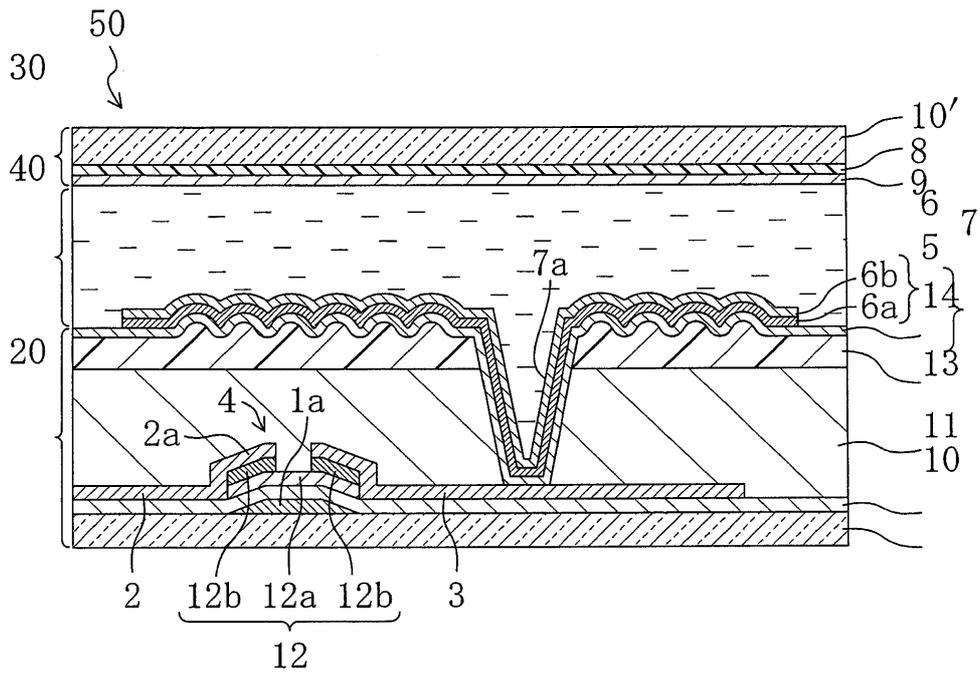
<103> 118a, 118b : 볼록부

도면

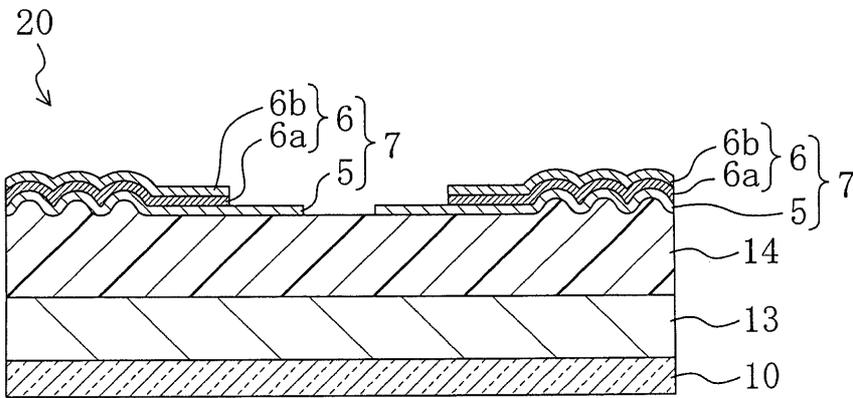
도면1



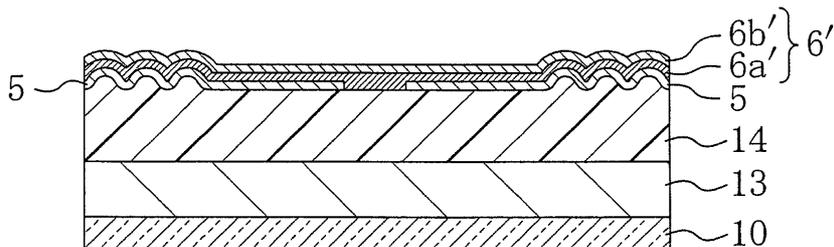
도면2



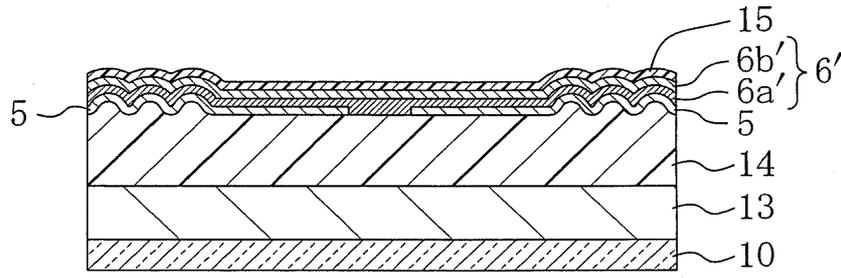
도면3



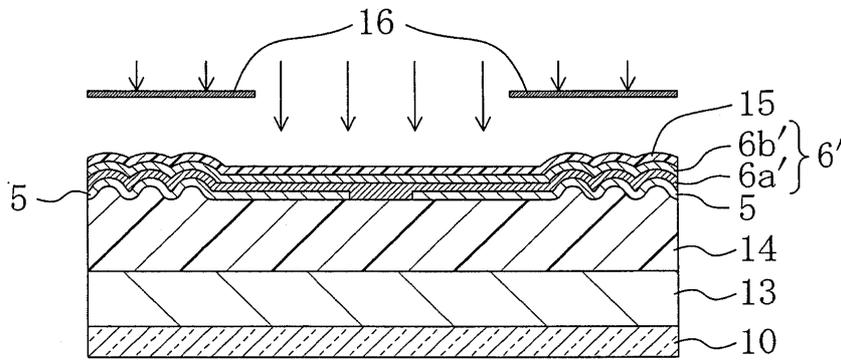
도면4



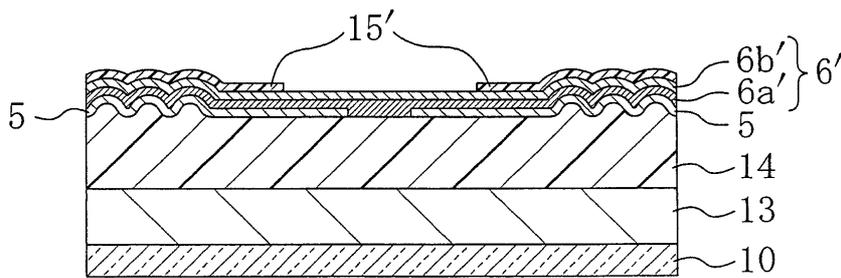
도면5



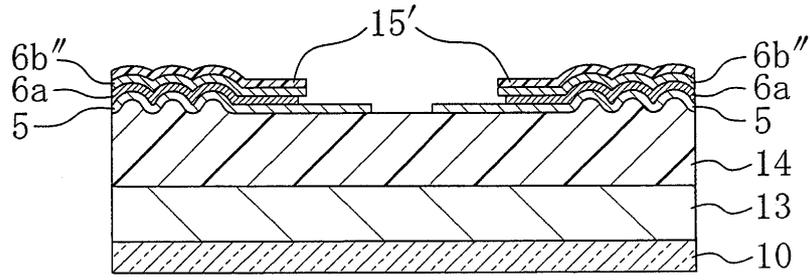
도면6



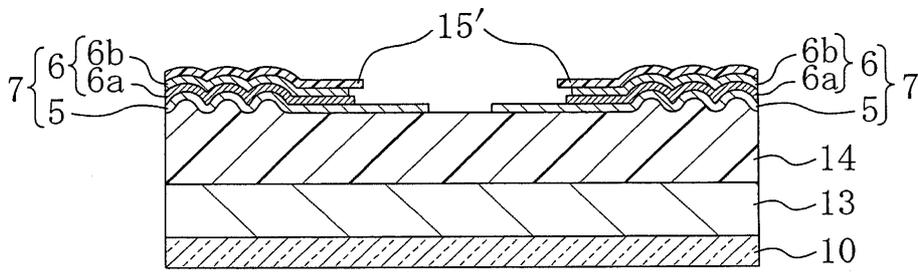
도면7



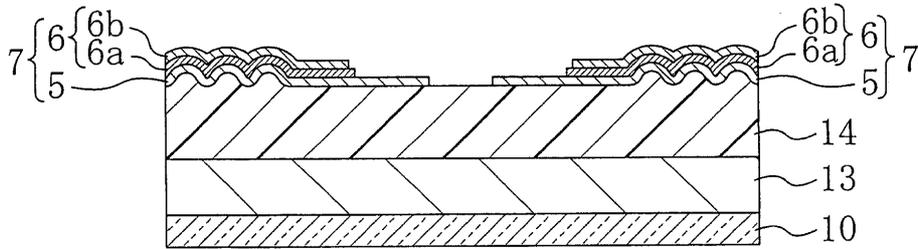
도면8



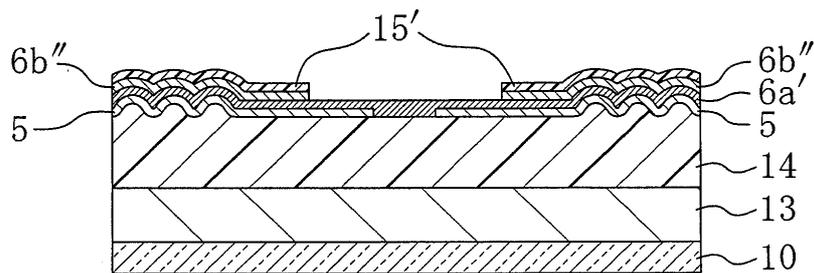
도면9



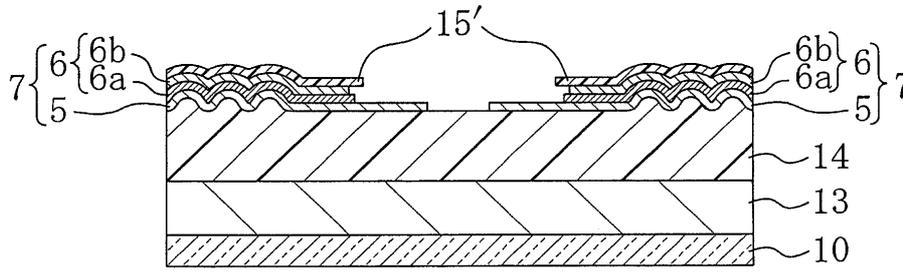
도면10



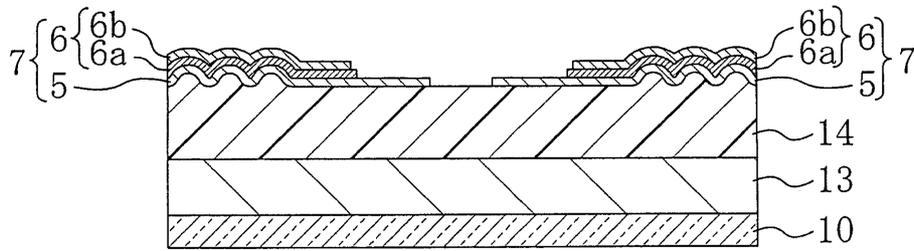
도면11



도면12



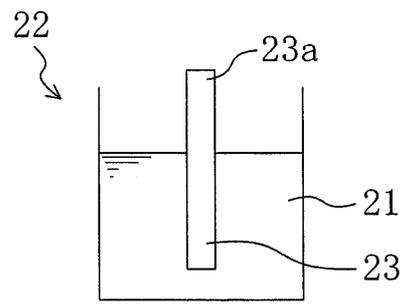
도면13



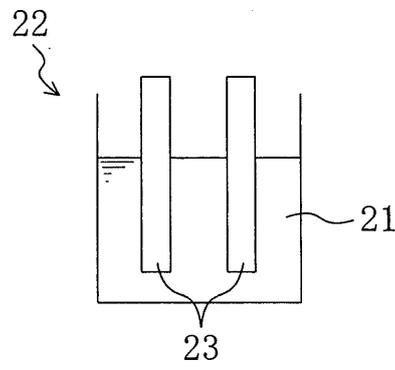
도면14



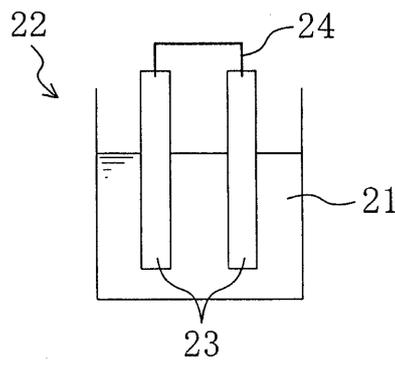
도면15



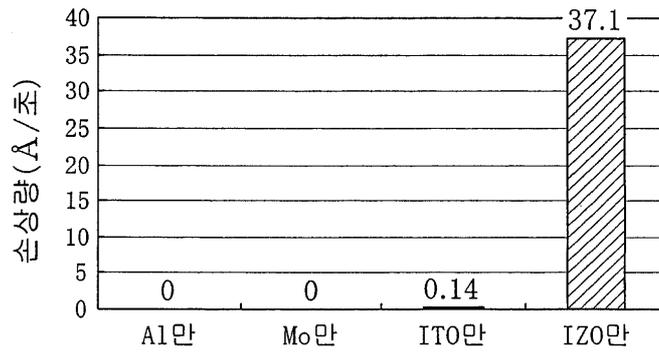
도면16



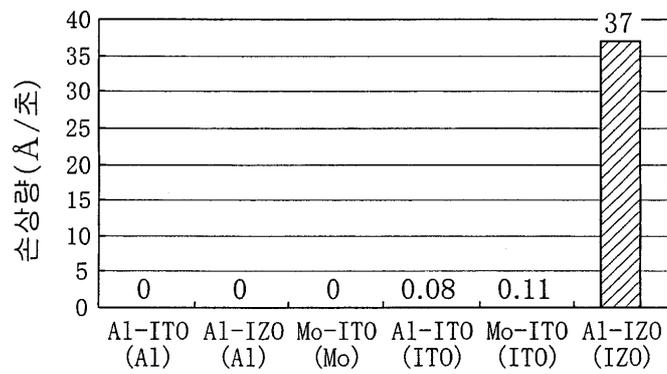
도면17



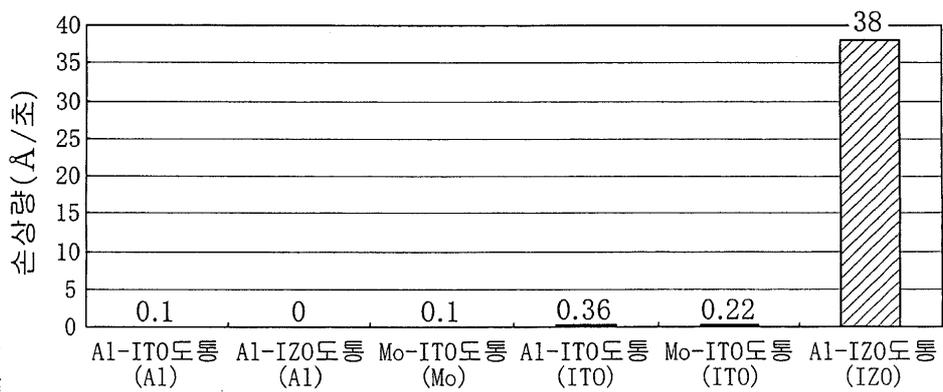
도면18



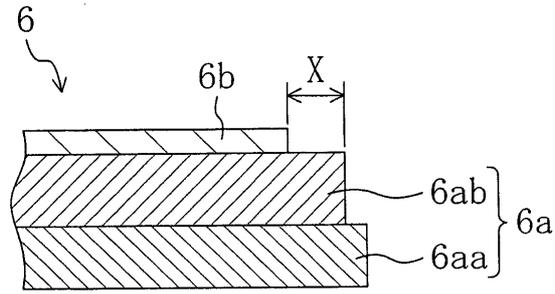
도면19



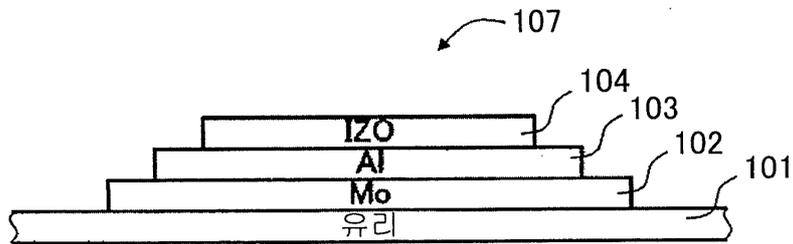
도면20



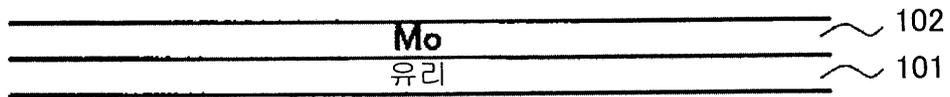
도면21



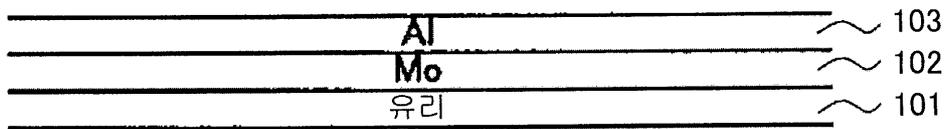
도면22



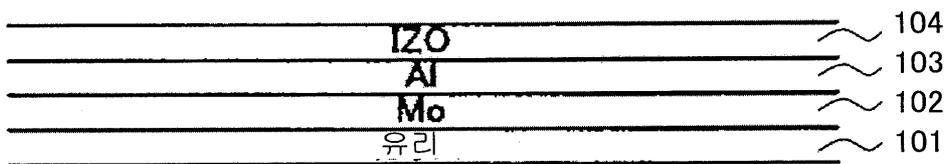
도면23



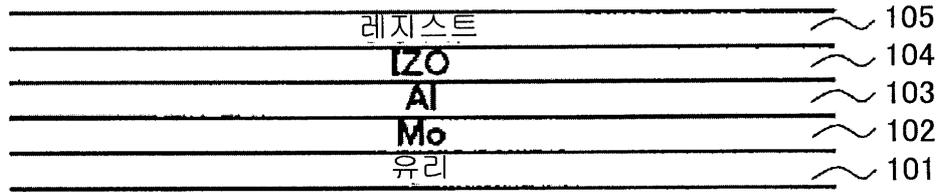
도면24



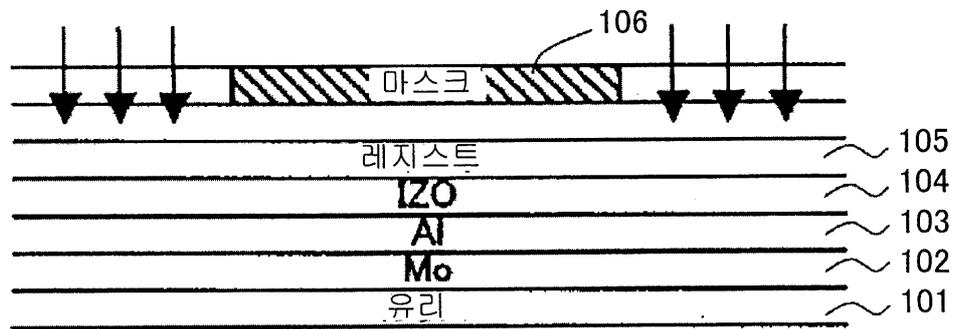
도면25



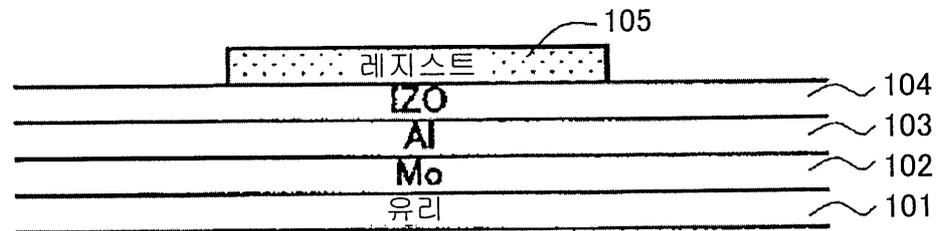
도면26



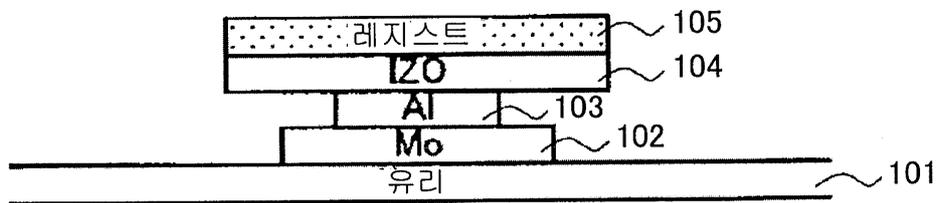
도면27



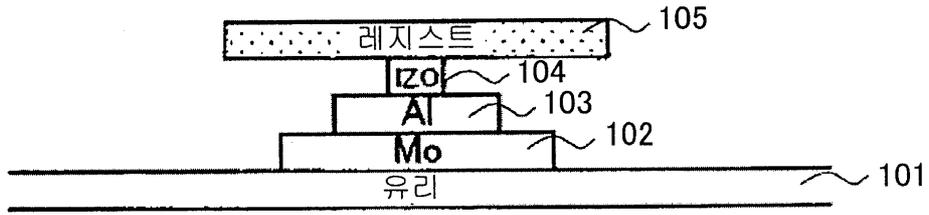
도면28



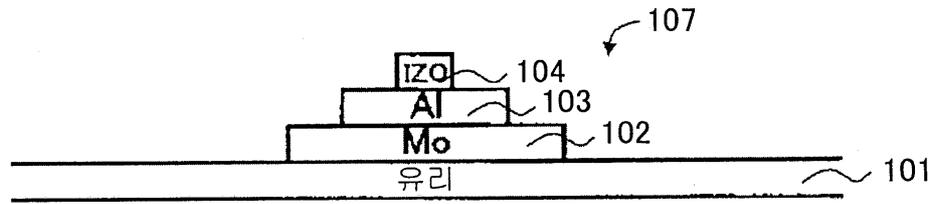
도면29



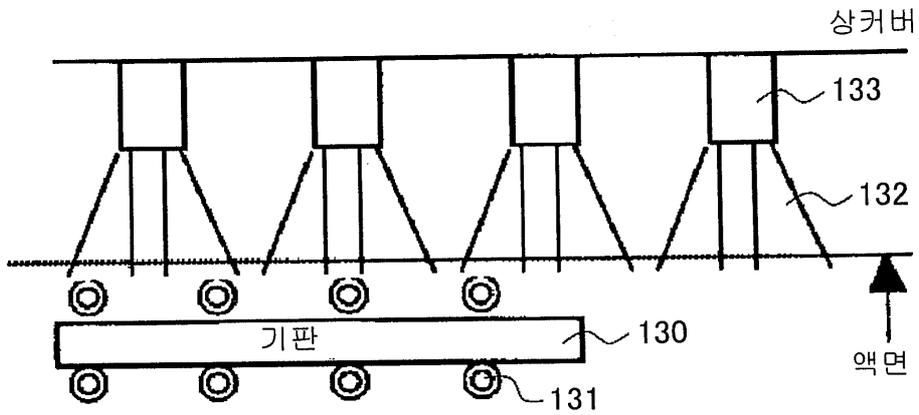
도면30



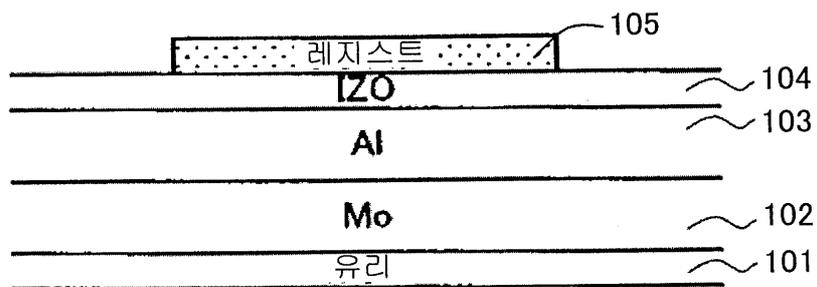
도면31



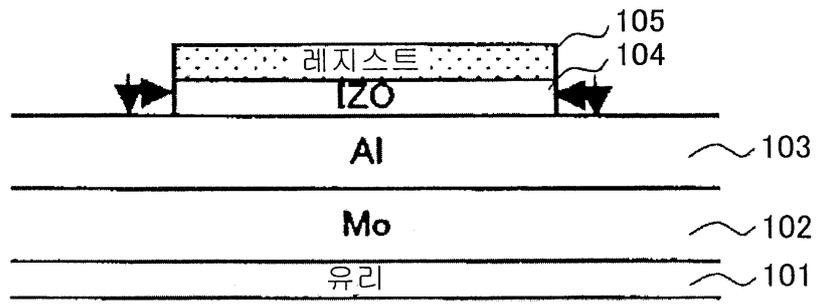
도면32



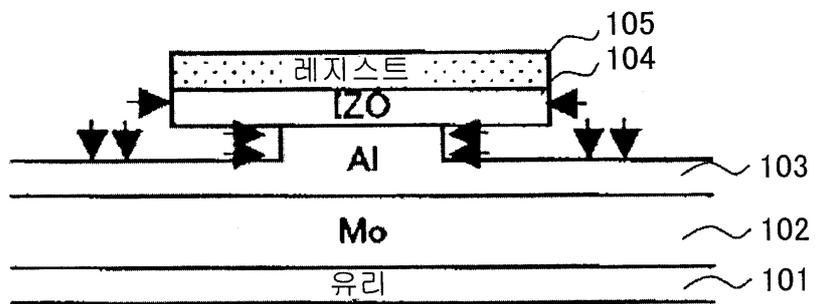
도면33



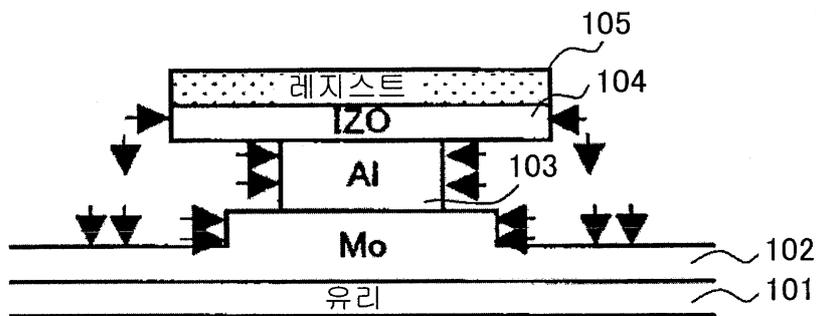
도면34



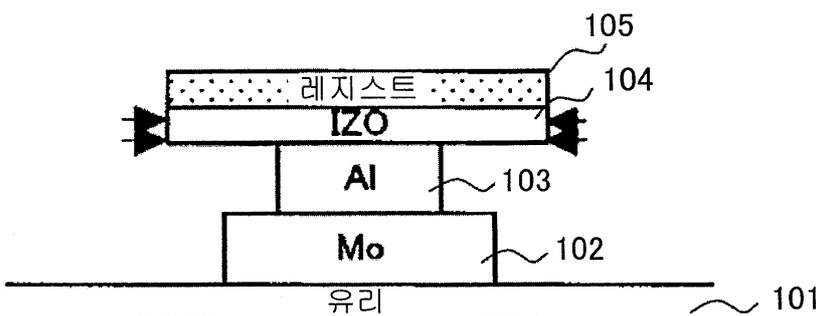
도면35



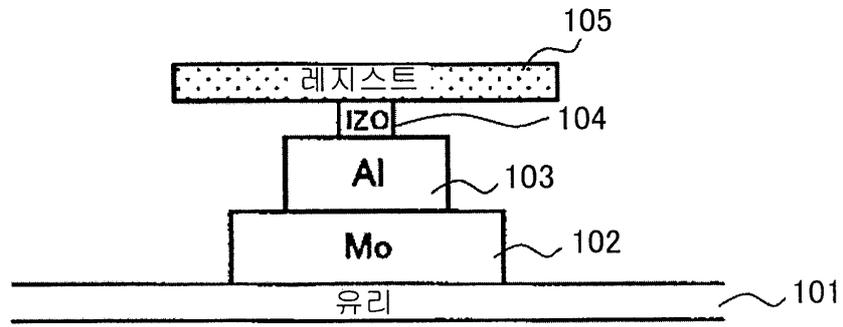
도면36



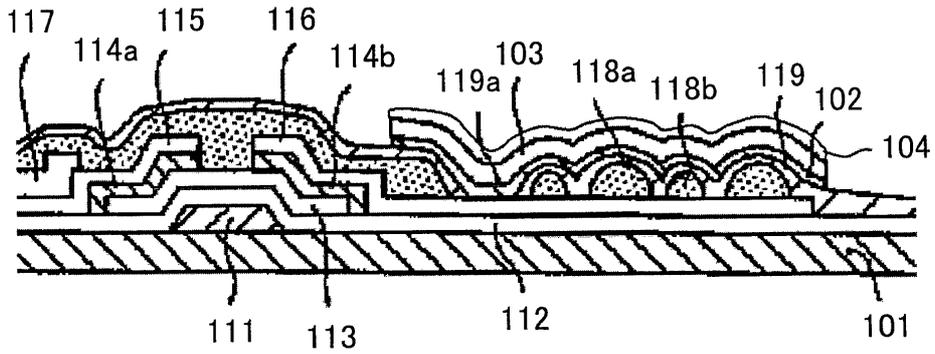
도면37



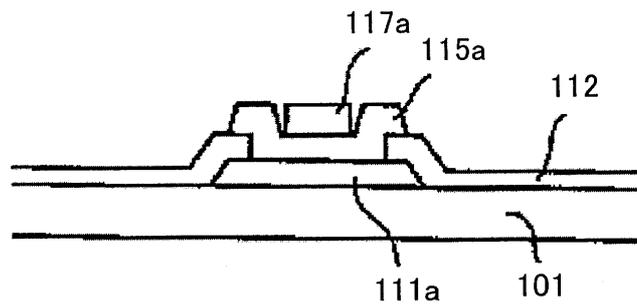
도면38



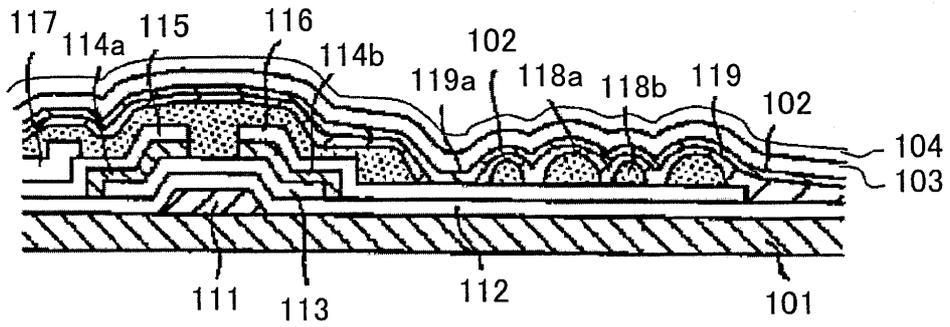
도면39



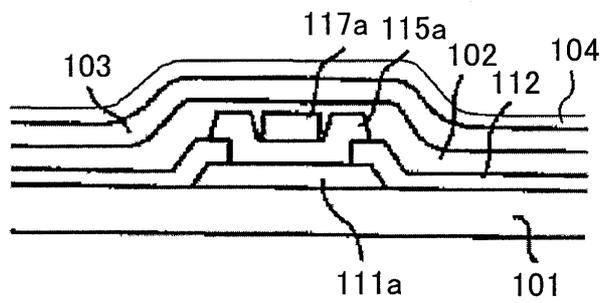
도면40



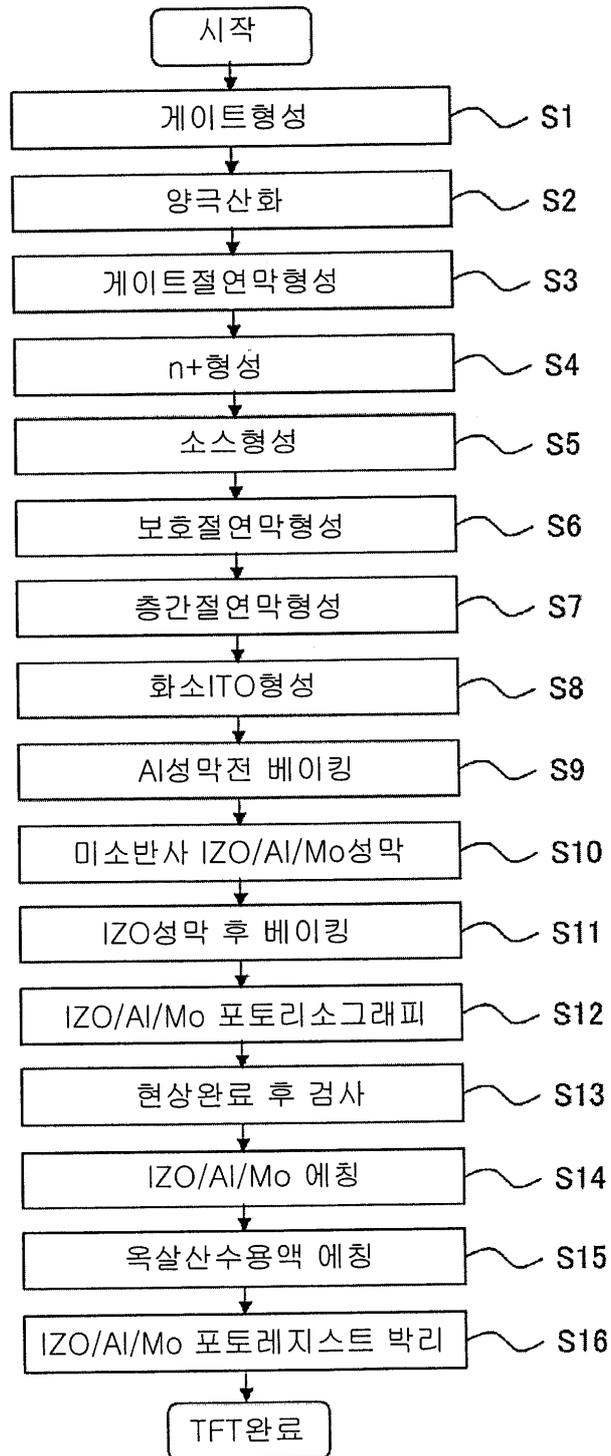
도면41



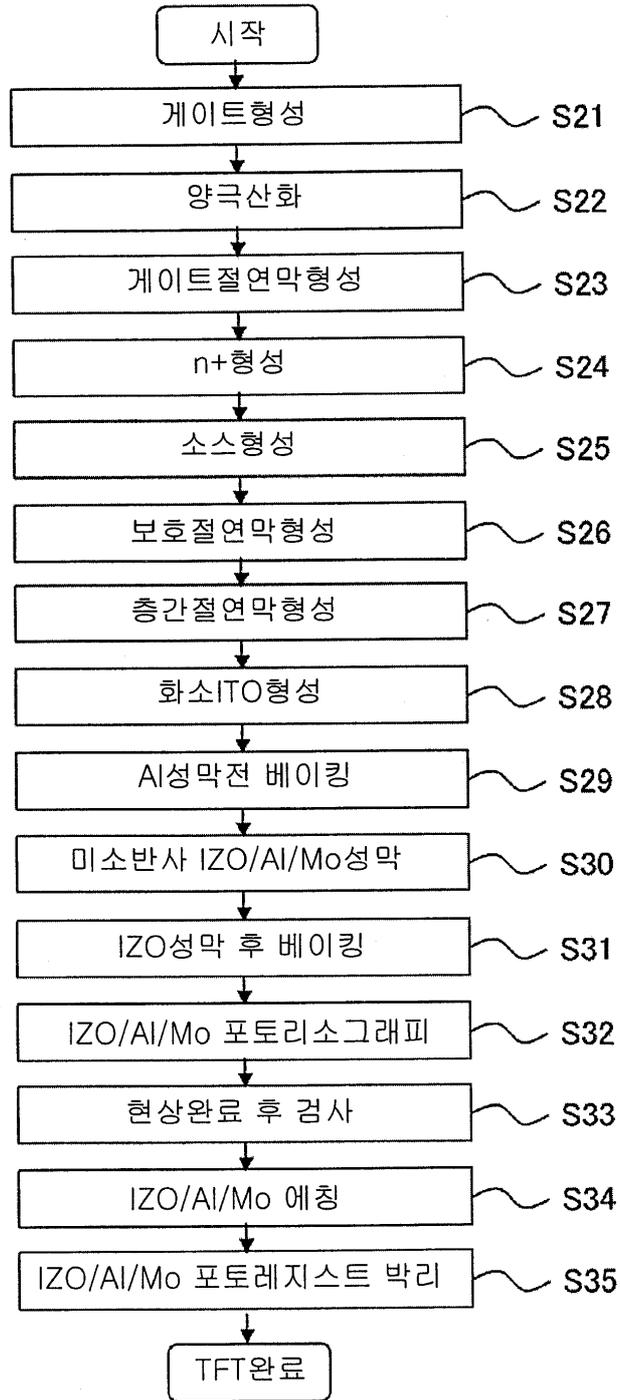
도면42



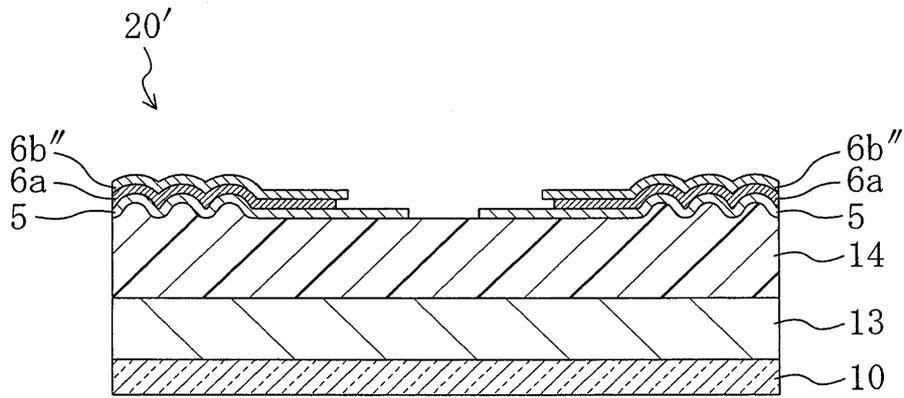
도면43



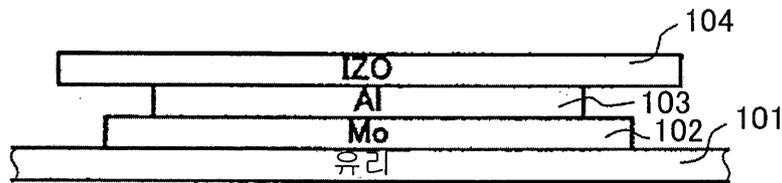
도면44



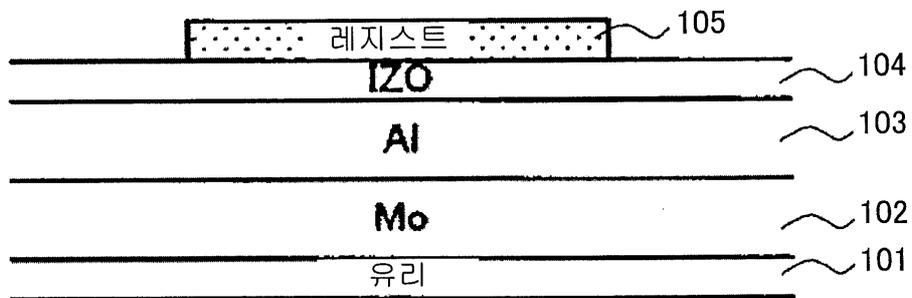
도면45



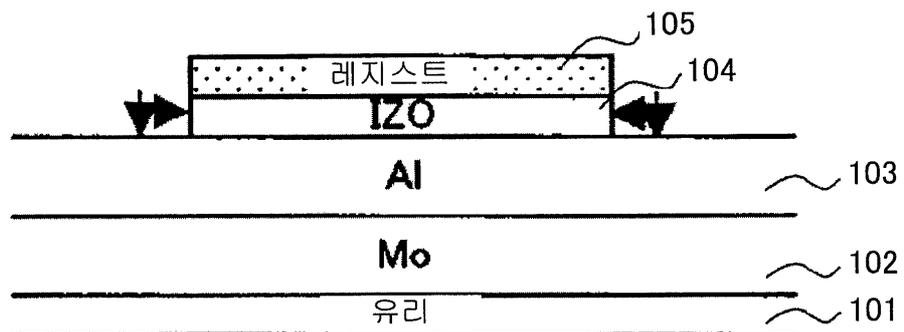
도면46



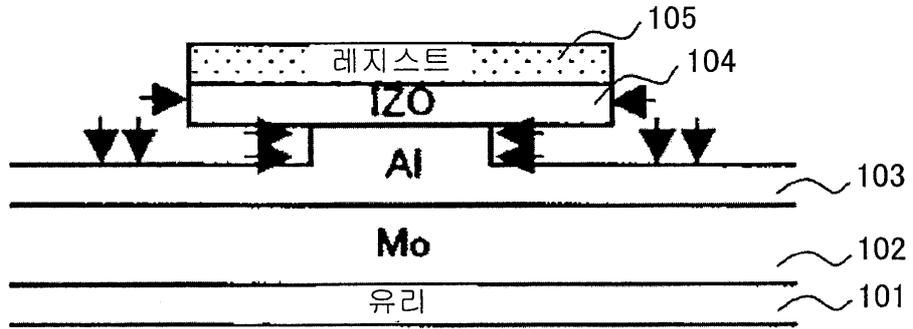
도면47



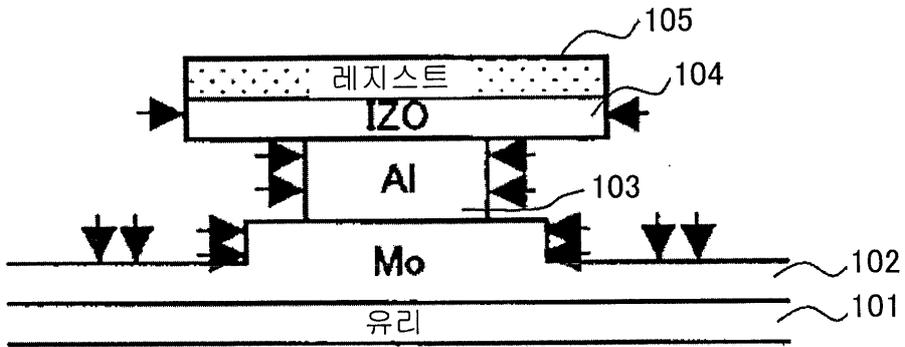
도면48



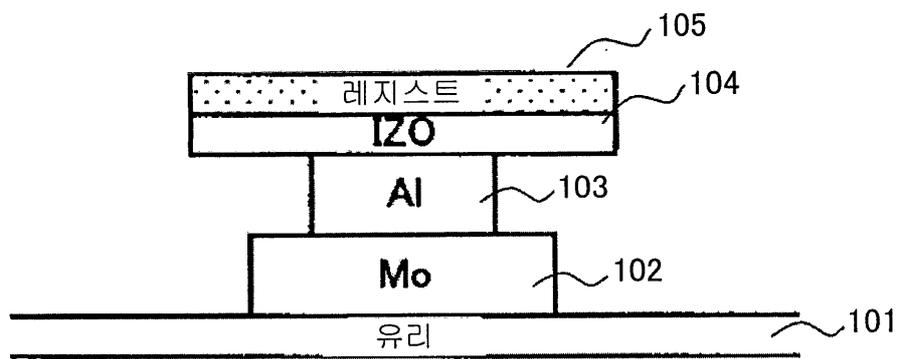
도면49



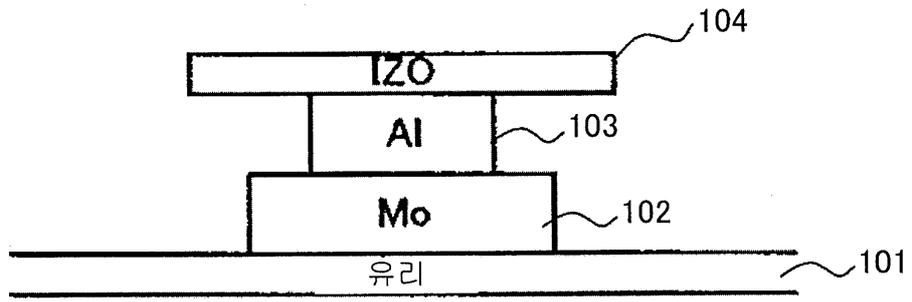
도면50



도면51



도면52



专利名称(译)	导电元件基板的制造方法，导电元件基板，液晶显示装置的制造方法，液晶显示装置以及电子信息装置		
公开(公告)号	KR100759153B1	公开(公告)日	2007-09-14
申请号	KR1020050013635	申请日	2005-02-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	ISHIZUKA KAZUHIRO 이시즈카가즈히로 FUJIKAWA TAKASHI 후지카와다카시 SAKAI TAKEHIKO 사카이다케히코		
发明人	이시즈카가즈히로 후지카와다카시 사카이다케히코		
IPC分类号	G02F1/136 C09K19/00 C23F1/00 C23F1/02 C23F1/16 C23F1/20 C23F1/26 C23F1/44 G02F1/133 G02F1/1335 G02F1/1343 G02F1/1362 G09F9/00 G09F9/30		
CPC分类号	C23F1/02 C23F1/16 C23F1/20 C23F1/26 C23F1/44 G02F1/133553 G02F1/133555 G02F1/13439 G02F1/136227 Y10S438/978 Y10T428/10 Y10T428/1055 Y10T428/1064 H02G7/02 H02G7/053		
代理人(译)	Jangsugil		
优先权	2004043711 2004-02-19 JP 2004096823 2004-03-29 JP 2005041149 2005-02-17 JP		
其他公开文献	KR1020060042994A		
外部链接	Espacenet		

摘要(译)

本发明中，第一，第二金属导电膜端剥离时的金属和导电膜，和比所述蚀刻速率的第一金属导电层是慢的第二金属图案化导电膜导电层依次层叠层以形成一个反射电极并且提供一种制造液晶显示装置的方法，该方法能够抑制由于制造工艺导致的制造产量的降低。多个像素布置在所述衬底上的矩阵，并且每个像素具有反射电极6是用于液晶显示装置的制造与排放的有源矩阵衬底，金属导电膜（图6a“）的方法，以及在基板上的非晶质透明并且，通过图案化层叠的导电膜6#39;形成反射电极6的反射电极形成步骤，以及通过图案化层叠的导电膜6#39;形成反射电极6#39;的步骤反射电极形成步骤包括用于同时蚀刻金属导电膜6a#39;和非晶透明导电膜6b#39;的第一蚀刻步骤，以及用于仅蚀刻非晶透明导电膜6b#39;的第二蚀刻步骤。

