



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0053599
(43) 공개일자 2008년06월16일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0125335

(22) 출원일자 2006년12월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이창수

경기 의정부시 호원동 우성3차 303-902

이용순

충남 천안시 목천읍 신계리 103-4 신도브래뉴 1차 102-803

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 17 항

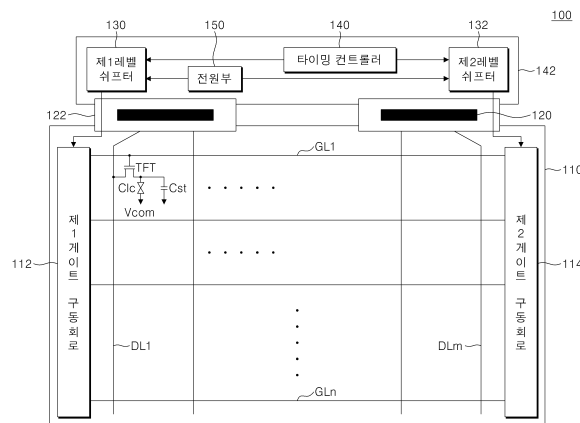
(54) 액정 표시 장치

(57) 요약

본 발명은 게이트 구동 회로에서 출력하는 게이트 구동 신호에 의한 킥 백(Kickback) 전압 편차를 조절하는 액정 표시 장치에 관한 것이다.

본 발명의 액정 표시 장치는, 게이트 클럭 펄스와 게이트 클럭바 펄스 중 하나의 펄스를 게이트 라인에 공급할 게이트 구동 신호로 출력하는 제1 및 제2 게이트 구동 회로, 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭에 응답하여 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하는 제1 및 제2 레벨 쉬프터; 외부 입력신호에 응답하여 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 생성하는 타이밍 컨트롤러를 포함하며, 게이트 구동 신호의 프리차지 시간은 상기 제1 및 제2 출력 인에이블 신호의 펄스 폭에 의해 조절될 수 있다.

대표도 - 도1



(72) 발명자

이민철

서울 동작구 노량진동 325번지 신동아 리버파크
703-1713

여장현

서울 강북구 미아3동 305-39

문승환

경기 용인시 상현동 현대6차아파트 205동 1504호
(만현마을2단지)

특허청구의 범위

청구항 1

게이트 클럭 펄스와 게이트 클럭바 펄스 중 하나의 펄스를 게이트 라인에 공급할 게이트 구동 신호로 출력하는 제1 및 제2 게이트 구동 회로;

제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭에 응답하여 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하는 제1 및 제2 레벨 쉬프터; 및

외부 입력신호에 응답하여 상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 생성하는 타이밍 컨트롤러를 포함하며,

상기 게이트 구동 신호의 프리차지 시간은 상기 제1 및 제2 출력 인에이블 신호의 펄스 폭에 의해 조절되는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 레벨 쉬프터에 제1 레벨의 전압과 제2 레벨의 전압을 공급하는 전원부를 더 포함하고,

상기 제1 및 제2 레벨 쉬프터는, 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 상기 제1 레벨의 전압과 제2 레벨의 전압으로 풀스윙시켜 출력하는

액정 표시 장치.

청구항 3

제 2 항에 있어서,

상기 제1 레벨의 전압은 게이트 온 전압이고,

상기 제2 레벨의 전압은 게이트 오프 전압인

액정 표시 장치.

청구항 4

제 3 항에 있어서, 상기 제1 및 제2 레벨 쉬프터는,

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 논리연산하고 전압의 레벨을 증폭시켜 상기 게이트 클럭 펄스로 출력하는 제1 레벨 쉬프팅부; 및

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 논리연산하고 위상을 반전시킨 후 전압의 레벨을 증폭시켜 상기 게이트 클럭바 펄스로 출력하는 제2 레벨 쉬프팅부;를 포함하는

액정 표시 장치.

청구항 5

제 3 항에 있어서, 상기 제1 레벨 쉬프팅부는,

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 오어 연산하는 논리 연산부,

상기 논리 연산부의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 및

상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭 펄스를 생성하는 풀스윙 인버터를 포함하는

액정 표시 장치.

청구항 6

제 3 항에 있어서, 상기 제2 레벨 쉬프팅부는,

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 오버 연산하는 논리 연산부,

상기 논리 연산부의 출력의 위상을 반전시켜 출력하는 반전 인버터,

상기 반전 인버터의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 및

상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭바 펄스를 생성하는 풀스윙 인버터를 포함하는

액정 표시 장치.

청구항 7

제 1 항에 있어서, 상기 제1 및 제2 게이트 구동 회로는,

상기 게이트 라인이 형성된 액정 패널에 집적되어 형성되는

액정 표시 장치.

청구항 8

제 7 항에 있어서,

상기 입력 신호는 수직 동기 신호를 포함하고,

상기 타이밍 컨트롤러는 상기 수직 동기 신호에 응답하여 제1 및 제2 게이트 스타트 신호를 생성하고,

상기 제1 및 제2 레벨 쉬프터는 상기 제1 및 제2 게이트 스타트 신호를 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 제1 및 제2 개시 펄스로 생성하고,

상기 제1 및 제2 게이트 구동 회로는 상기 제1 및 제2 개시 펄스에 의해 상기 게이트 구동 신호의 출력을 시작하는

액정 표시 장치.

청구항 9

복수의 데이터 라인, 복수의 게이트 라인 및 상기 복수의 게이트 라인에 게이트 구동 신호를 순차적으로 출력하는 제1 및 제2 게이트 구동 회로가 형성되며, 상기 제1 및 제2 게이트 구동 회로는 게이트 클럭 펄스와 게이트 클럭바 펄스 중 하나의 펄스를 상기 게이트 구동 신호로 출력하는 액정 패널; 상기 데이터 라인을 구동하는 데이터 드라이버; 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭에 응답하여 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하는 제1 및 제2 레벨 쉬프터; 및 외부 입력신호에 응답하여 상기 제1 및 제2 출력인 에이블 신호와 제1 및 제2 게이트 클럭을 생성하고 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하며,

상기 게이트 구동 신호의 프리차지 시간은 상기 제1 및 제2 출력 인에이블 신호의 펄스 폭에 의해 조절되는

액정 표시 장치.

청구항 10

제 9 항에 있어서, 상기 제1 및 제2 게이트 구동 회로는,

서로 종속적으로 연결된 복수의 스테이지로 구성되는 쉬프터 레지스터를 포함하는

액정 표시 장치.

청구항 11

제 10 항에 있어서, 상기 복수의 스테이지는

출력 단자가 상기 복수의 게이트 라인에 각각 대응하여 연결되는

액정 표시 장치.

청구항 12

제 11 항에 있어서,

상기 복수의 스테이지 중 홀수 번째 스테이지는 상기 게이트 클럭 펄스를 상기 게이트 구동 신호로 출력하고,

짝수 번째 스테이지는 상기 게이트 클럭바 펄스를 상기 게이트 구동 신호로 출력하는

액정 표시 장치.

청구항 13

제 12 항에 있어서, 상기 복수의 스테이지는

각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,

각 제어 단자는 다음 스테이지의 출력 단자에 연결되며,

첫 번째 스테이지는 입력 단자에 개시 신호가 입력되는

액정 표시 장치.

청구항 14

제 13 항에 있어서,

상기 제1 및 제2 레벨 쉬프터에 게이트 온 전압과 게이트 오프 전압을 공급하는 전원부를 더 포함하고,

상기 제1 및 제2 레벨 쉬프터는, 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 상기 게이트 온 전압과 게이트 오프 전압 레벨의 전압으로 폴스윙시켜 출력하는

액정 표시 장치.

청구항 15

제 16 항에 있어서, 상기 제1 및 제2 레벨 쉬프터는,

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 논리연산하고 전압의 레벨을 증폭시켜 상기 게이트 클럭 펄스로 출력하는 제1 레벨 쉬프팅부; 및

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 논리연산하고 위상을 반전시킨 후 전압의 레벨을 증폭시켜 상기 게이트 클럭바 펄스로 출력하는 제2 레벨 쉬프팅부;를 포함하는

액정 표시 장치.

청구항 16

제 15 항에 있어서, 상기 제1 레벨 쉬프팅부는,

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 오어 연산하는 논리 연산부,

상기 논리 연산부의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 및

상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭 펄스를 생성하는 폴스윙 인버터를 포함하는

액정 표시 장치.

청구항 17

제 15 항에 있어서, 상기 제2 레벨 쉬프팅부는,

상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 오어 연산하는 논리 연산부,

상기 논리 연산부의 출력의 위상을 반전시켜 출력하는 반전 인버터,

상기 반전 인버터의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 및

상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭바 펄스를 생성하는 풀스윙 인버터를 포함하는

액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 게이트 구동 회로에서 출력하는 게이트 구동 신호에 의한 킥 백(Kickback) 전압 편차를 조절하는 액정 표시 장치에 관한 것이다.
- <15> 일반적으로 액정 표시 장치는 영상을 표시하기 위한 액정 패널과 액정 패널을 구동하는 데이터 구동부와 게이트 구동부를 구비한다. 액정 패널은 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소를 포함한다. 화소는 박막 트랜지스터 및 액정 커패시터로 이루어진다. 데이터 구동부는 데이터 라인에 데이터 신호를 출력하고 게이트 구동부는 게이트 구동 신호를 출력한다.
- <16> 게이트 구동부는 박막 트랜지스터와 동일한 공정을 통해 동시에 액정 패널 상에 형성되고, 데이터 구동부는 칩 형태로 이루어져 액정 패널의 주변영역에 연결된다. 게이트 구동부는 다수의 스테이지로 이루어진 쉬프터 레지스터를 포함하고, 스테이지 각각은 대응하는 게이트 라인에 연결되어 게이트 구동 신호를 출력한다.
- <17> 게이트 구동부는 다수의 게이트 라인에 순차적으로 게이트 구동 신호를 출력하기 위하여 서로 종속적으로 연결된다. 즉 현 스테이지의 입력 단자는 이전 스테이지의 출력 단자에 연결되고, 다음 스테이지의 출력 단자는 현 스테이지의 제어 단자에 연결된다. 다수의 스테이지 중 첫 번째 스테이지는 개시 신호가 입력된다.
- <18> 이러한 게이트 구동부는 액정 패널의 좌 우측에 형성되어 좌측의 게이트 구동 회로는 홀수 번째 게이트 라인을 구동하고 우측의 게이트 구동 회로는 짝수 번째 게이트 라인을 구동한다.
- <19> 그런데 종래 액정 표시 장치는 좌우 게이트 구동 회로에서 출력되는 게이트 구동 신호가 게이트 라인 지연(Gate Line Delay)에 의해 게이트 라인의 끝으로 갈수록 편차가 발생한다. 게이트 구동 신호의 편차는 킥 백 전압의 편차를 발생시키고, 킥 백 전압의 편차는 게이트 라인에 연결된 화소의 충전 편차를 발생시켜 게이트 라인의 끝으로 갈수록 화소가 제 휘도를 출력하지 못하는 문제점이 있다.
- <20>

발명이 이루고자 하는 기술적 과제

- <21> 따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로, 게이트 구동 신호의 프리 차지(Precharge) 시간을 조절하여 게이트 구동 신호에 의한 킥 백(Kickback) 전압 편차를 조절하는 액정 표시 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <22> 상기 목적을 달성하기 위하여 본 발명의 액정 표시 장치는, 게이트 클럭 펄스와 게이트 클럭바 펄스 중 하나의 펄스를 게이트 라인에 공급할 게이트 구동 신호로 출력하는 제1 및 제2 게이트 구동 회로; 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭에 응답하여 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하는 제1 및 제2 레벨 쉬프터; 외부 입력신호에 응답하여 상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 생성하는 타이밍 컨트롤러를 포함하며, 상기 게이트 구동 신호의 프리차지 시간은 상기 제1 및 제2 출력 인에이블 신호의 펄스 폭에 의해 조절될 수 있다.
- <23> 여기서, 상기 제1 및 제2 레벨 쉬프터에 제1 레벨의 전압과 제2 레벨의 전압을 공급하는 전원부를 더 포함하고, 상기 제1 및 제2 레벨 쉬프터는, 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 상기 제1 레벨의 전압과 제2 레벨의 전압으로 풀스윙시켜 출력하는 것이 바람직하다.

- <24> 또한 상기 제1 레벨의 전압은 게이트 온 전압이고, 상기 제2 레벨의 전압은 게이트 오프 전압인 것이 바람직하다.
- <25> 또한 상기 제1 및 제2 레벨 쉬프터는, 상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 논리연산하고 전압의 레벨을 증폭시켜 상기 게이트 클럭 펄스로 출력하는 제1 레벨 쉬프터부; 상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 논리연산하고 위상을 반전시킨 후 전압의 레벨을 증폭시켜 상기 게이트 클럭바 펄스로 출력하는 제2 레벨 쉬프터부;를 포함한다.
- <26> 또한 상기 제1 레벨 쉬프터부는, 상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 오어 연산하는 논리 연산부, 상기 논리 연산부의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭 펄스를 생성하는 풀스윙 인버터를 포함한다.
- <27> 또한 상기 제2 레벨 쉬프터부는, 상기 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭을 오어 연산하는 논리 연산부, 상기 논리 연산부의 출력의 위상을 반전시켜 출력하는 반전 인버터, 상기 반전 인버터의 출력의 위상을 반전시켜 증폭하는 구동 인버터 및 상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭바 펄스를 생성하는 풀스윙 인버터를 포함한다.
- <28> 또한 상기 제1 및 제2 게이트 구동 회로는, 상기 게이트 라인이 형성된 액정 패널에 집적되어 형성되는 것이 바람직하다.
- <29> 또한 상기 입력 신호는 수직 동기 신호를 포함하고, 상기 타이밍 컨트롤러는 상기 수직 동기 신호에 응답하여 제1 및 제2 게이트 스타트 신호를 생성하고, 상기 제1 및 제2 레벨 쉬프터는 상기 제1 및 제2 게이트 스타트 신호를 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 제1 및 제2 개시 펄스로 생성하고, 상기 제1 및 제2 게이트 구동 회로는 상기 제1 및 제2 개시 펄스에 의해 상기 게이트 구동 신호의 출력을 시작하는 것이 바람직하다.
- <30> 또한 본 발명의 액정 표시 장치는, 복수의 데이터 라인, 복수의 게이트 라인 및 상기 복수의 게이트 라인에 게이트 구동 신호를 순차적으로 출력하는 제1 및 제2 게이트 구동 회로가 형성되며, 상기 제1 및 제2 게이트 구동 회로는 게이트 클럭 펄스와 게이트 클럭바 펄스 중 하나의 펄스를 상기 게이트 구동 신호로 출력하는 액정 패널; 상기 데이터 라인을 구동하는 데이터 드라이버; 제1 및 제2 출력 인에이블 신호와 제1 및 제2 게이트 클럭에 응답하여 상기 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하는 제1 및 제2 레벨 쉬프터; 및 외부 입력 신호에 응답하여 상기 제1 및 제2 출력인에이블 신호와 제1 및 제2 게이트 클럭을 생성하고 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하며, 상기 게이트 구동 신호의 프리차지 시간은 상기 제1 및 제2 출력 인에이블 신호의 펄스 폭에 의해 조절될 수 있다.
- <31> 여기서, 상기 제1 및 제2 게이트 구동 회로는, 서로 종속적으로 연결된 복수의 스테이지로 구성되는 쉬프터 레지스터를 포함한다.
- <32> 또한 상기 복수의 스테이지는 출력 단자가 상기 복수의 게이트 라인에 각각 대응하여 연결되는 것이 바람직하다.
- <33> 또한 상기 복수의 스테이지 중 홀수 번째 스테이지는 상기 게이트 클럭 펄스를 상기 게이트 구동 신호로 출력하고, 짝수 번째 스테이지는 상기 게이트 클럭바 펄스를 상기 게이트 구동 신호로 출력하는 것이 바람직하다.
- <34> 또한 상기 복수의 스테이지는 각 입력 단자가 이전 스테이지의 출력 단자에 연결되고, 각 제어 단자는 다음 스테이지의 출력 단자에 연결되며, 첫 번째 스테이지는 입력 단자에 개시 신호가 입력되는 것이 바람직하다.
- <35> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일 실시 예에 대해 상세히 설명한다.
- <36> 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도이다. 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 액정 표시 장치(100)는, 액정 패널(110), 데이터 구동부(120), 제1 및 제2 게이트 구동 회로(112, 114), 제1 및 제2 레벨 쉬프터(130, 132), 타이밍 컨트롤러(140) 및 전원부(150)를 포함한다.
- <37> 상기 액정 패널(110)은 박막 트랜지스터 기판, 컬러 필터 기판 및 박막 트랜지스터 기판과 컬러 필터 기판 사이에 게재된 액정을 포함한다. 박막 트랜지스터 기판은 게이트 라인(GL1, ..., GLn), 데이터 라인(DL1, ..., DLm), 게이트 라인(GL1, ..., GLn)과 데이터 라인(DL1, ..., DLm)의 교차 영역에 정의되는 화소 및 게이트 라인(GL1, ..., GLn)을 순차적으로 구동하는 제1 및 제2 게이트 구동 회로(112, 114)가 형성된다.

- <38> 화소는 게이트 라인(GL1,...,GLn)과 데이터 라인(DL1,...,DLm)에 연결되는 박막 트랜지스터(TFT)와 이에 연결된 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함한다. 박막 트랜지스터(TFT)의 게이트 및 소스는 게이트 라인(GL1,...,GLn) 및 데이터 라인(DL1,...,DLm)에 연결되고 드레인 은 액정 커패시터(CLC)와 스토리지 커패시터(CST)에 연결된다. 액정 커패시터(CLC)는 화소 전극과 공통 전극을 두 단자로 하며, 두 단자 사이에 유전체로 기능하는 액정으로 형성된다.
- <39> 컬러 필터 기판은 빛샘 방지를 위한 블랙 매트릭스, 색 구현을 위한 컬러 필터 및 공통 전극이 형성된다. 액정은 유전율을 이방성을 갖는 물질로서 공통 전극과 화소 전극에 인가된 전압의 차이에 의해 회전하여 광의 투과율을 조절한다.
- <40> 상기 제1 및 제2 게이트 구동 회로(112, 114)는 게이트 라인(GL1,...,GLn)을 사이에 두고 액정 패널(110) 일측 및 타측에 집적되어 형성되고 그 출력이 게이트 라인(GL1,...,GLn) 각각에 연결된다. 제1 및 제2 게이트 구동 회로(112,114)는 제1 및 제2 레벨 쉬프터(130,132)로부터 개시 펄스(STVP1, STVP2), 게이트 클럭 펄스(CKV1, CKV2) 및 게이트 클럭바 펄스(CKVB1, CKVB2)를 입력받아 게이트 라인(GL1,...,GLn)에 순차적으로 게이트 구동 신호를 공급한다.
- <41> 상기 데이터 구동부(120)는 타이밍 컨트롤러(140)로부터 제어신호 및 데이터를 수신하고, 데이터에 해당하는 아날로그 구동 전압(AVDD)을 선택하여 데이터 라인(DL1,...,DLM)에 공급한다. 데이터 구동부(120)는 집적화된 칩으로 구현되며 연성회로기판(122)에 실장되어 타이밍 컨트롤러(140)와 데이터 라인(DL1,...,DLM)에 연결된다.
- <42> 상기 제1 및 제2 레벨 쉬프터(130, 132)는 타이밍 컨트롤러(140)로부터 게이트 제어 신호를 입력받고, 전원부(150)로부터 구동 전압을 입력받아, 개시 펄스(STVP1, STVP2), 게이트 클럭 펄스(CKV1, CKV2) 및 게이트 클럭바 펄스(CKVB1, CKVB2)를 생성하여 이를 제1 및 제2 게이트 구동 회로(112, 114)에 각각 공급한다.
- <43> 또한 제1 및 제2 레벨 쉬프터(130, 132)는 출력 인에이블 신호(OE1, OE2)의 폭을 조절하면서 게이트 클럭(CPV1, CPV2)과의 논리 연산을 통하여 제1 및 제2 게이트 구동 회로(112, 114)에 공급되는 게이트 클럭 펄스(CKV1, CKVB1, CKV2, CKVB2)의 프리 차지 시간을 조절한다.
- <44> 상기 타이밍 컨트롤러(140)는 외부로부터 데이터 및 입력 제어 신호를 입력받아 게이트 제어 신호 및 데이터 제어 신호를 생성하여 제1 및 제2 레벨 쉬프터(130, 132) 및 데이터 드라이버(120)로 공급한다. 여기서 데이터는 RGB 영상신호이고, 입력 제어 신호는 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 메인 클럭(MCLK) 및 데이터 인에이블 신호(DE)를 포함한다. 또한 게이트 제어 신호는 출력 인에이블 신호(OE1, OE2), 게이트 스타트 신호(STV1, STV2) 및 게이트 클럭(CPV1, CPV2)를 포함한다.
- <45> 상기 전원부(150)는 외부로부터 공급받은 전원 전압을 이용하여 아날로그 구동 전압(AVDD), 공통 전압(VCOM), 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 생성한다. 전원부(150)는 아날로그 구동 전압(AVDD)을 데이터 구동부(120)로 공급하고, 공통 전압(VCOM)을 액정 패널(110)의 공통 전극에 공급하고, 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 제1 및 제2 레벨 쉬프터(120, 132)로 공급한다.
- <46> 상기 타이밍 컨트롤러(140), 제1 및 제2 레벨 쉬프터(130, 132) 및 전원부(150)는 컨트롤 인쇄 회로 기판(142)에 실장되고, 컨트롤 인쇄 회로 기판(142)은 데이터 구동부(120)가 실장된 연성 회로 기판(122)과 연결된다. 액정 패널(110)에 형성된 제1 및 제2 게이트 구동 회로(112, 114)는 데이터 구동부(120)를 통해 또는 연성 회로 기판(122)을 통해 직접 타이밍 컨트롤러(140)에 연결될 수 있다.
- <47> 본 발명의 일 실시 예에 따른 제1 및 제2 게이트 구동 회로는 게이트 라인을 사이에 두고 액정 패널 일측 및 타측에 형성되어 게이트 라인을 양측에서 구동시키는 듀얼 구조를 가진다.
- <48> 도 2는 도 1에 도시된 제1 게이트 구동 회로의 구성 블록도이다. 도 2에 도시된 바와 같이, 제1 게이트 구동 회로(112)는, 서로 종속적으로 연결된 복수의 스테이지(STAGE1,...,STAGEN+1)로 구성되는 쉬프터 레지스터를 포함한다. 복수의 스테이지(STAGE1,...,STAGEN+1)는 클럭 단자(CK), 입력 단자(IN), 제어 단자(CT), 출력 단자(OUT) 및 접지 전압 단자(VSS)를 포함한다.
- <49> 복수의 스테이지(STAGE1,...,STAGEN+1) 중 홀수 번째 스테이지(STAGE1,STAGE3,...,STAGEN+1)의 클럭 단자(CK)는 게이트 클럭 펄스(CKV1)가 제공되고, 짝수 번째 스테이지(STAGE2,...,STAGEN)의 클럭 단자(CK)는 게이트 클럭 펄스(CKV1)와 반전된 위상을 갖는 게이트 클럭바 펄스(CKVB1)가 입력된다.
- <50> 또한 홀수 번째 스테이지(STAGE1,STAGE3,...,STAGEN+1)의 출력 단자(OUT)는 게이트 클럭 펄스(CKV1)를 게이트 구동 신호로 출력하고, 짝수 번째 스테이지의 출력 단자는 게이트 클럭바 펄스(CKVB1)를 게이트 구동 신호로 출

력한다. 복수의 스테이지(STAGE1, ..., STAGEN+1)의 출력 단자(OUT)는 액정 패널(110)에 형성된 게이트 라인(GL1, ..., GLn)에 각각 대응하여 연결된다. 따라서 제1 게이트 구동 회로(112)는 게이트 라인(GL1, ..., GLn)을 순차적으로 구동할 수 있다.

- <51> 한편 복수의 스테이지(STAGE1, ..., STAGEN+1)의 입력 단자(IN)는 이전 스테이지의 출력단자에 연결되어 이전 스테이지의 출력 신호가 인가되고, 제어 단자(CT)는 다음 스테이지의 출력단자에 연결되어 다음 스테이지의 출력 신호가 인가된다. 첫 번째 스테이지(STAGE1)는 이전 스테이지가 존재하지 않으므로 입력 단자(IN)에 개시 펄스(STVP1)가 인가된다. 마지막 번째 더미 스테이지(STAGEN+1)는 n번째 스테이지(STAGEN)의 제어 단자(CT)에 출력 신호를 인가한다. 도시되지 않았지만 더미 스테이지(STAGEN+1)의 제어 단자(CT)에는 개시 펄스(STVP1)가 인가될 수 있다.
- <52> 제2 게이트 구동 회로는 상술한 제1 게이트 구동 회로의 구성으로부터 용이하게 유추할 수 있는 것이므로 상세한 설명은 생략한다.
- <53> 도 3은 도 2에 도시된 복수의 스테이지 중 첫 번째 스테이지의 예시 회로도이다. 도 3에 도시된 바와 같이, 첫 번째 스테이지(STAGE1)는, 제1 구동부(10), 제2 구동부(20), 버퍼부(30), 충전부(40) 및 방전부(50)를 포함한다.
- <54> 제1 구동부(10)는 제1 트랜지스터(T1)를 포함하며, 충전부(40)는 커패시터(C)를 포함한다. 제1 트랜지스터(T1)의 드레인은 클럭 단자(CK)에 연결되고, 게이트는 제1 노드(N1)를 경유하여 커패시터(C)의 일단에 연결되며, 소스는 커패시터(C)의 타단 및 출력 단자(OUT)에 연결된다. 클럭 단자(CK)에는 게이트 클럭 펄스(CKV1)가 입력된다.
- <55> 제2 구동부(20)는 제2 트랜지스터(T2)를 포함하고, 버퍼부(30)는 제3 트랜지스터(T3)를 포함한다. 제2 트랜지스터(T2)의 드레인은 제1 트랜지스터(T1)의 소스 및 커패시터(C)의 타단에 연결되고, 게이트는 제어 단자(CT)에 연결되며, 소스는 접지 전압 단자(VSS)에 연결된다. 제3 트랜지스터(T3)는 드레인과 게이트가 공통되어 입력 단자(IN)에 연결되고, 소스는 커패시터(C)의 일단에 연결된다. 여기서 입력 단자(IN)에는 개시 펄스(STVP1)가 입력된다.
- <56> 방전부(50)는 제4 트랜지스터(T4)를 포함한다. 제4 트랜지스터(T4)의 드레인은 커패시터(C)의 일단에 연결되고, 게이트는 제2 트랜지스터(T2)의 게이트에 공통되어 제어 단자(CT)에 연결되며 소스는 접지 전압 단자(VSS)에 연결된다.
- <57> 동작에 있어서, 입력 단자(IN)에 개시 펄스(STVP1)가 입력되면 제3 트랜지스터(T3)가 턴온되어 제1 노드(N1)의 전위가 상승되며 커패시터(C)에 전하가 충전된다. 커패시터(C)에 충전된 전하가 제1 트랜지스터(T1)의 문턱 전압을 초과하면, 제1 트랜지스터(T1)는 턴온되고 출력 단자(OUT)는 하이 상태의 게이트 클럭 펄스(CKV1)를 해당 게이트 라인(GL1) 및 두 번째 스테이지(STAGE2)의 입력 단자(IN)로 인가한다.
- <58> 이후 제어 단자(CT)에 두 번째 스테이지(STAGE2)의 출력 신호가 인가되면, 제2 트랜지스터(T2)는 턴온되어 출력 단자(OUT)에 접지 전압을 인가한다. 또한 제4트랜지스터(T4)는 턴온되어 커패시터(C)에 충전된 전하를 방전시켜 제1 트랜지스터(T1)를 턴오프시킨다. 이로써 출력 단자(OUT)는 접지 전압을 출력한다.
- <59> 다른 스테이지(STAGE2, ..., STAGEN+1)의 동작은 상술한 첫 번째 스테이지(STAGE1)의 구성 및 동작과 유사하므로 상세한 설명은 생략한다.
- <60> 도 4a 및 도 4b는 도 1에 도시된 제1 레벨 쉬프터와 제2 레벨 쉬프터의 입출력신호를 도시한 도면이다. 도 4a와 도 4b를 참조하면, 제1 및 제2 레벨 쉬프터(130, 132)는 각각 출력 인에이블 신호(OE1, OE2), 게이트 스타트 신호(STV1, STV2) 및 게이트 클럭(CPV1, CPV2)을 입력받고, 전원부(150)로부터 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)을 입력받아, 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP1, STVP2), 게이트 클럭 펄스(CKV1, CKV2) 및 게이트 클럭바 펄스(CKVB1, CKVB2)를 생성하여 이를 제1 및 제2 게이트 구동 회로(112, 114)에 각각 공급한다.
- <61> 도 5는 도 4a에 도시된 제1 레벨 쉬프터의 예시 회로도이다. 도 5에 도시된 바와 같이, 제1 레벨 쉬프터(130)는, 제1 레벨 쉬프팅부(132), 제2 레벨 쉬프팅부(134) 및 제3 레벨 쉬프팅부(136)를 포함한다.
- <62> 제1 레벨 쉬프팅부(132)는 출력 인에이블 신호(OE1)와 게이트 클럭(CPV1)을 논리 연산하고 전압의 레벨을 증폭시켜 제1 게이트 구동 회로(112)에 공급할 게이트 클럭 펄스(CKV1)를 발생한다. 이를 위해 제1 레벨 쉬프팅부(132)는 논리 연산부(LG1), 구동 인버터(INV1) 및 풀스윙 인버터(133)를 포함한다. 여기서 출력 인에이블 신호

(OE1)는 제1 게이트 구동 회로(112)의 출력 신호인 게이트 구동 신호의 프리차지 시간을 조절하는 신호로 사용될 수 있다.

- <63> 논리 연산부(LG1)는 출력 인에이블 신호(OE1)와 게이트 클럭(CPV1)을 오어 연산한다. 구동 인버터(INV1)는 논리 연산부(LG1)의 출력의 위상을 반전시켜 풀 스윙 인버터(133)의 구동 레벨로 증폭한다. 풀스윙 인버터(133)는 구동 인버터(INV1)의 출력에 응답하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 클럭 펄스(CKV1)를 생성한다.
- <64> 제2 레벨 쉬프팅부(134)는 출력 인에이블 신호(OE1)와 게이트 클럭(CPV2)을 논리 연산하고 전압의 레벨을 증폭시켜 제1 게이트 구동 회로(112)에 공급할 게이트 클럭바 펄스(CKVB1)를 발생한다. 이를 위해 제2 레벨 쉬프팅부(134)는 논리 연산부(LG2), 반전 인버터(INV2), 구동 인버터(INV3) 및 풀스윙 인버터(135)를 포함한다. 여기서 게이트 클럭바 펄스(CKVB1)는 게이트 클럭 펄스(CKV1)의 위상이 반전된 클럭이다.
- <65> 논리 연산부(LG2)는 출력 인에이블 신호(OE1)와 게이트 클럭(CPV1)을 오어 연산한다. 반전 인버터(INV2)는 논리 연산부(LG1)의 출력의 위상을 반전시켜 출력한다. 구동 인버터(INV3)는 반전 인버터(INV2)의 출력의 위상을 반전시켜 풀 스윙 인버터(135)의 구동 레벨로 증폭한다. 풀스윙 인버터(135)는 구동 인버터(135)의 출력에 응답하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 클럭바 펄스(CKVB1)를 생성한다.
- <66> 제3 레벨 쉬프팅부(136)는 출력 인에이블 신호(OE1)와 게이트 스타트 신호(STV1)를 입력받아 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP1)를 발생한다.
- <67> 다음으로 제1 레벨 쉬프터의 입출력 신호의 타이밍도인 도 6을 참조하여, 제1 레벨 쉬프터의 동작을 설명한다.
- <68> 먼저 제1 레벨 쉬프팅부(132) 및 제2 레벨 쉬프팅부(134)는 출력 인에이블 신호(OE1)와 게이트 클럭(CPV1)을 오어 연산한 오어 신호(ORSIG)를 생성하고 이를 풀스윙 인버터(133, 135)의 구동 레벨로 증폭하여 풀스윙 인버터(133, 135)를 구동시켜 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 클럭 펄스(CKV1) 및 게이트 클럭바 펄스(CKVB1)를 출력한다.
- <69> 이때 제2 레벨 쉬프팅부(134)는 반전 인버터(INV2)를 통하여 오어신호(ORSIG)의 위상을 반전시킨 후 이를 풀스윙 인버터(135)의 구동 레벨로 증폭시킴으로써 게이트 클럭 펄스(CKV1)와 위상이 반대인 게이트 클럭바 펄스(CKVB1)를 출력한다. 여기서 출력 인에이블 신호(OE1)와 게이트 클럭(CPV1)이 공통으로 로우 레벨인 구간은 게이트 클럭 펄스(CKV1) 또는 게이트 클럭바 펄스(CKVB1)의 프리 차지 구간이 된다.
- <70> 따라서 출력 인에이블 신호(OE1)의 폭을 조절하여 게이트 클럭 펄스(CKV1) 또는 게이트 클럭바 펄스(CKVB1)의 프리 차지 시간을 조절할 수 있다. 만약 출력 인에이블 신호(OE1)의 펄스 폭을 줄인다면 출력 인에이블 신호(OE1)의 감소 펄스 폭(ΔW)만큼 게이트 클럭 펄스(CKV1) 또는 게이트 클럭바 펄스(CKVB1)의 프리 차지 시간이 늘어나게 된다. 게이트 클럭 펄스(CKV1) 또는 게이트 클럭바 펄스(CKVB1)의 프리 차지 시간이 늘어나면 화소에 데이터 전압이 충전될 수 있는 시간이 늘어나며 킥 백(Kickback) 전압(ΔV)이 줄어들게 된다.
- <71> 다음으로 제 3 레벨 쉬프팅부(136)는 출력 인에이블 신호(OE1)에 응답하여 게이트 스타트 펄스(STV1)와 동일한 주기와 펄스 폭을 가지며 전압 레벨이 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨인 개시 펄스(STVP1)를 발생한다.
- <72> 한편 제2 레벨 쉬프터의 구성 및 동작은 상술한 제1 레벨 쉬프터의 구성 및 동작과 유사하므로 상세한 설명은 생략한다.
- <73> 다음으로 종래 액정 표시 장치와 본 발명의 일 실시 예에 따른 액정 표시 장치의 킥 백 전압을 비교하여 설명한다.
- <74> 도 7a와 7b는 종래 액정 표시 장치와 본 발명의 일 실시 예에 따른 액정 표시 장치의 킥 백 전압을 비교하기 위한 도면이다. 도 7a를 참조하면, 종래 액정 표시 장치의 킥 백 전압(ΔV)은 수학적 식 1과 같이 나타낼 수 있다.

수학적 식 1

$$\Delta V = \frac{C_{gd}}{CLC + CST + C_{gd}} \times V_{p-p}$$

<75>

- <76> 여기서, CLC는 액정 커패시터 용량이며, CST는 스토리지 커패시터 용량이며, C_{gd} 는 박막 트랜지스터의 게이트와 드레인의 커플링 커패시터 용량이며, V_{p-p} 는 게이트 구동 신호의 피크 대 피크(peak to peak) 값을 의미한다.
- <77> 다음으로 도 7b를 참조하면 본 발명의 일 실시 예에 따른 액정 표시 장치의 킥 백 전압($\Delta V'$)은 수학적 식 2와 같이 나타낼 수 있다.

수학적 식 2

$$\Delta V' = \frac{C_{gd}}{CLC' + CST + C_{gd}} \times V_{p-p}'$$

- <78>
- <79> 여기서, CLC'는 액정 커패시터 용량이며, CST는 스토리지 커패시터 용량이며, C_{gd} 는 박막 트랜지스터의 게이트와 드레인의 커플링 커패시터 용량이며, V_{p-p}' 는 게이트 구동 신호의 피크 대 피크(peak to peak) 값을 의미한다.
- <80> 수학적 식 1과 수학적 식 2를 통하여 종래의 액정 표시 장치와 본 발명의 일 실시 예에 따른 액정 표시 장치의 킥 백 전압을 비교하여 보면, 본 발명의 일 실시 예에 따른 게이트 구동 신호의 프리 차지 구간이 Δt 만큼 증가함에 따라 액정 커패시터(CLCC')에 충전된 전하량이 커지고 게이트 구동 신호의 피크 대 피크 값(V'_{p-p})이 작아 졌음을 알 수 있다.
- <81> 따라서 본 발명의 일 실시 예에 따른 액정 표시 장치는 종래 액정 표시 장치의 킥 백 전압을 감소시킬 수 있는 효과가 있다.

발명의 효과

- <82> 본 발명의 액정 표시 장치는, 게이트 구동 신호의 프리 차지 시간을 조절하여 게이트 구동 신호에 의한 킥 백 전압 편차를 조절할 수 있기 때문에, 종래 게이트 구동 회로의 출력 신호인 게이트 구동 신호가 게이트 라인 지연에 의해 킥 백 전압 편차가 발생하고 이에 따르는 화면 불량 문제점이 개선되는 효과가 있다.
- <83> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- <84> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도,
- <2> 도 2는 도 1에 도시된 제1 게이트 구동 회로의 구성 블록도,
- <3> 도 3은 도 2에 도시된 각 스테이지의 예시 회로도,
- <4> 도 4a 및 도 4b는 도 1에 도시된 제1 레벨 쉬프터와 제2 레벨 쉬프터의 입출력신호를 도시한 도면,
- <5> 도 5는 도 4a에 도시된 제1 레벨 쉬프터의 예시 회로도,
- <6> 도 6은 도 4a에 도시된 제1 레벨 쉬프터의 입출력 신호의 타이밍도, 및
- <7> 도 7a 및 7b는 종래 액정 표시 장치와 본 발명의 일 실시 예에 따른 액정 표시 장치의 킥 백 전압을 비교하기 위한 도면이다.

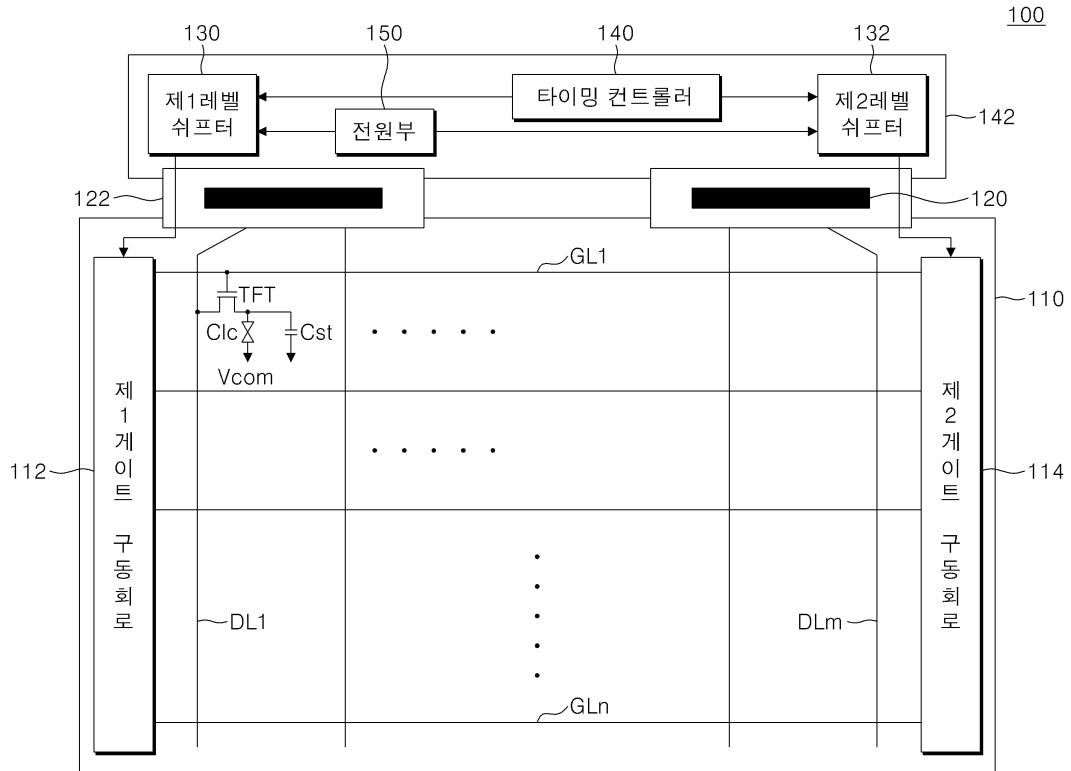
- <8> <도면의 주요부분에 대한 부호설명>

- <9> 100: 액정 표시 장치 110: 액정 패널
- <10> 112: 제1 게이트 구동 회로 114: 제2 게이트 구동 회로

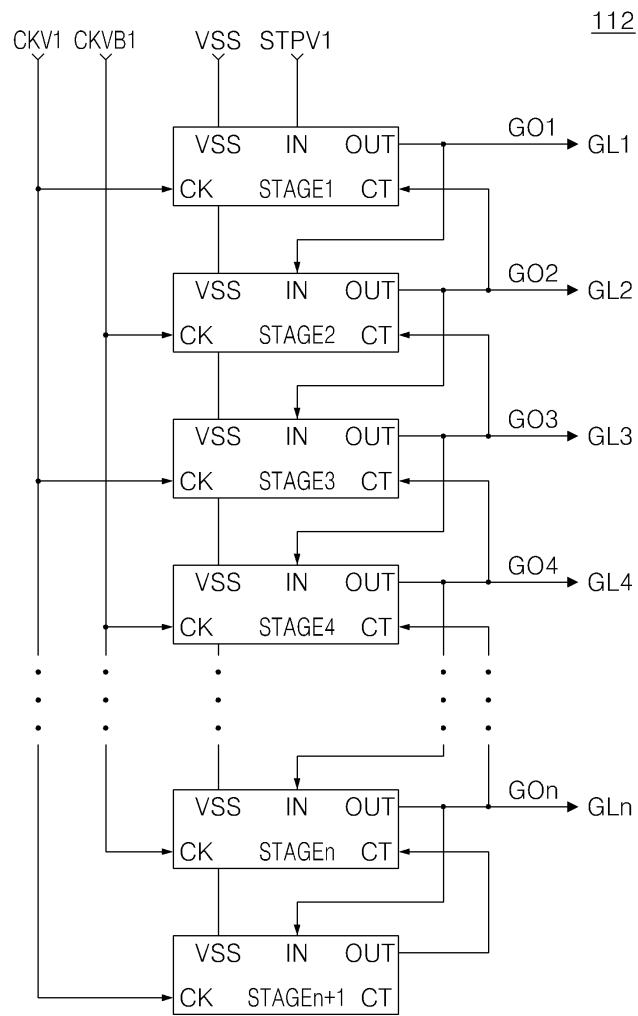
- <11> 120: 데이터 구동부 130: 제1 레벨 쉬프터
- <12> 132: 제2 레벨 쉬프터 140: 타이밍 컨트롤러
- <13> 150: 전원부

도면

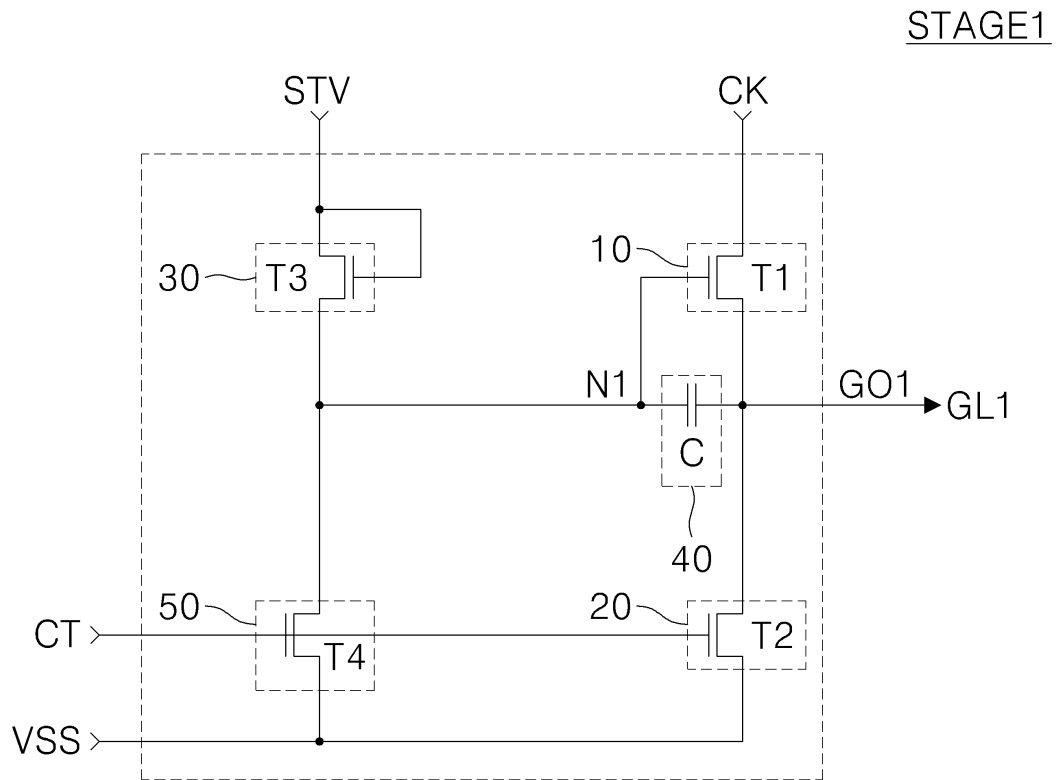
도면1



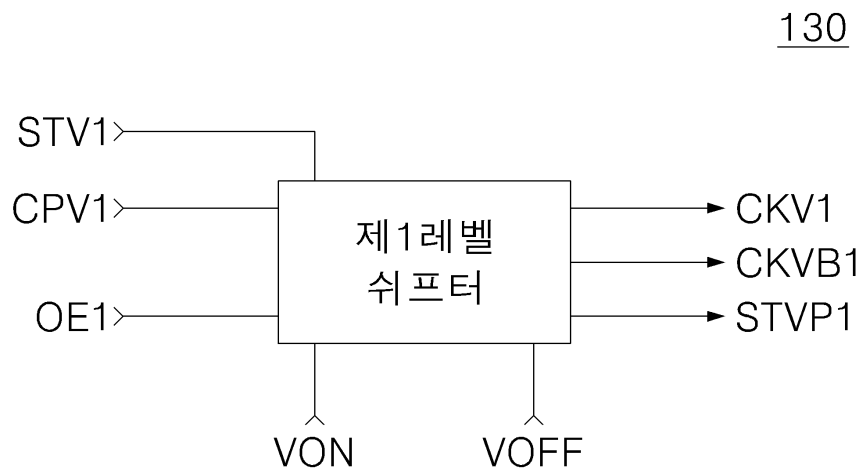
도면2



도면3

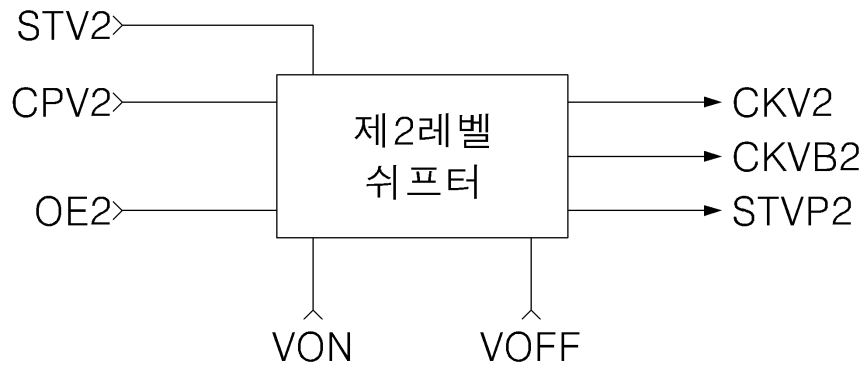


도면4a



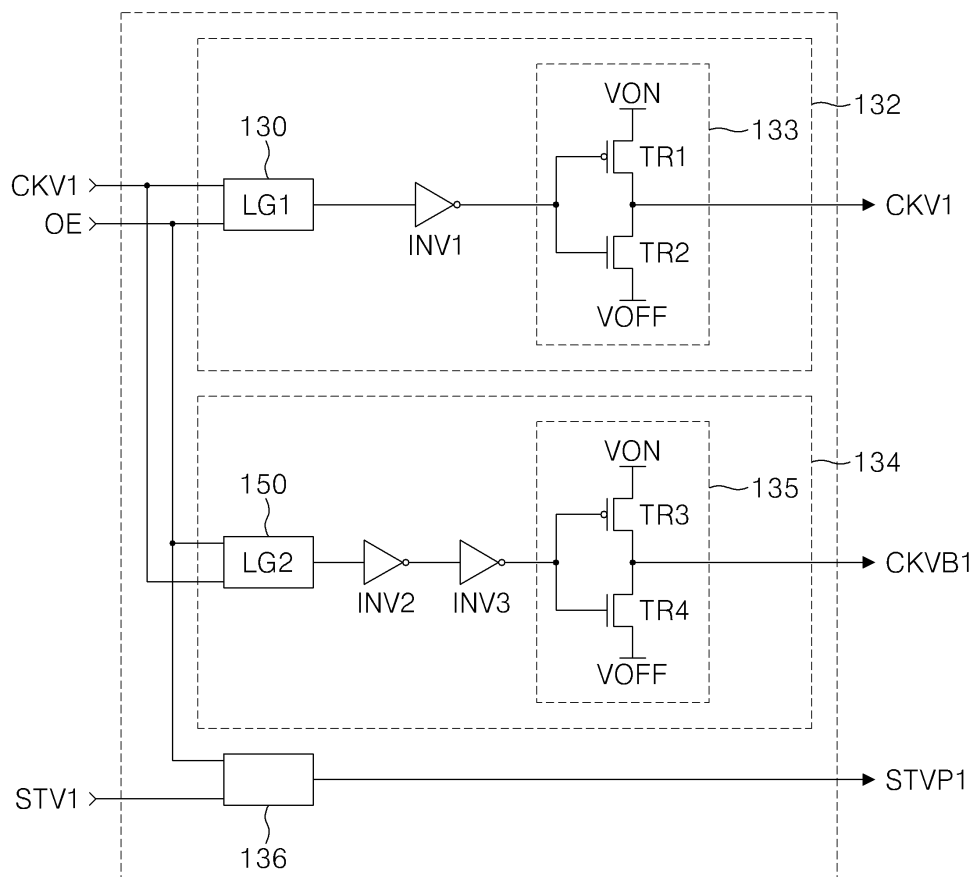
도면4b

132

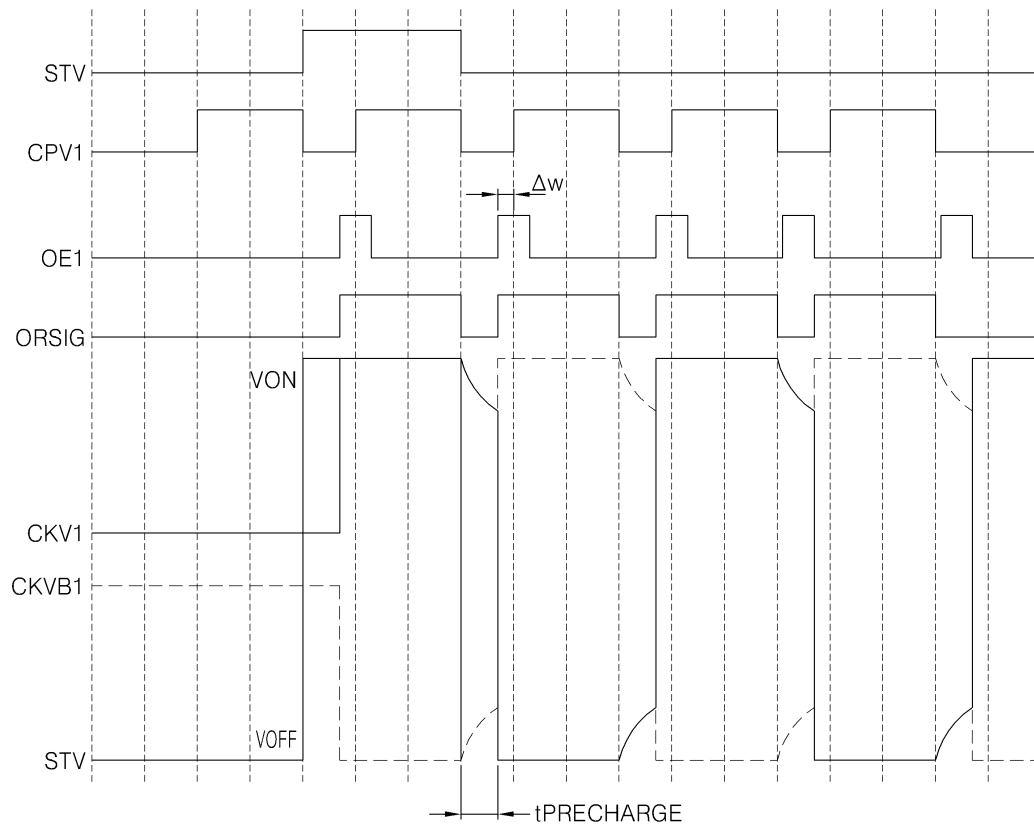


도면5

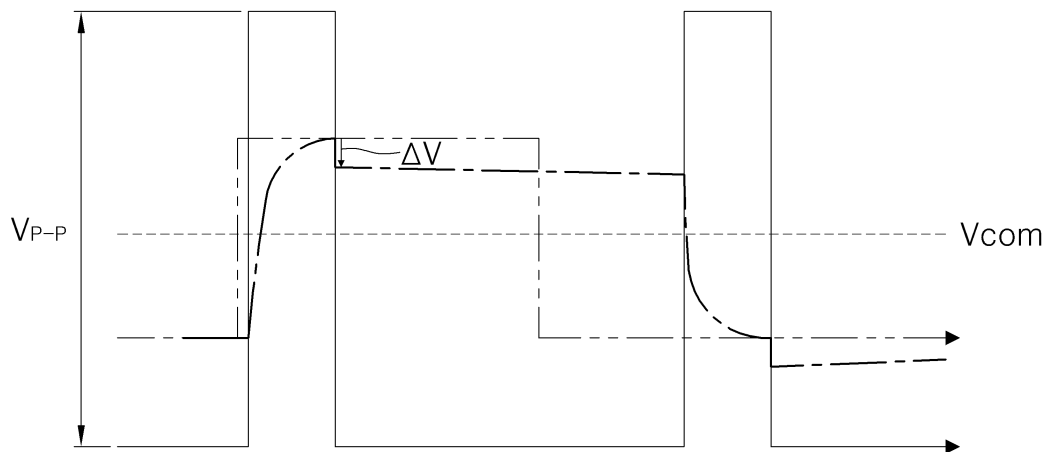
130



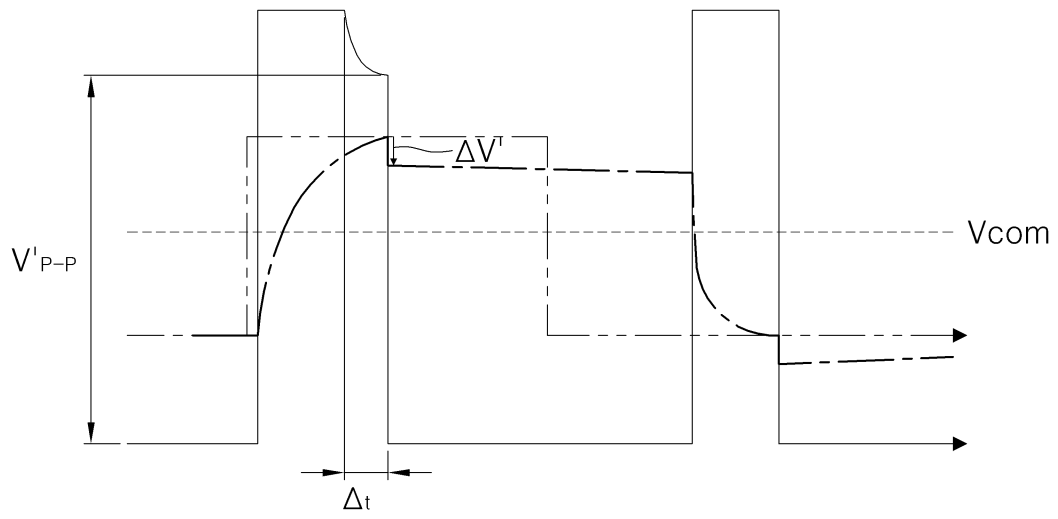
도면6



도면7a



도면7b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080053599A	公开(公告)日	2008-06-16
申请号	KR1020060125335	申请日	2006-12-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE CHANG SOO 이창수 LEE YONG SOON 이용순 LEE MIN CHEOL 이민철 YEO JANG HYUN 여장현 MOON SEUNG HWAN 문승환		
发明人	이창수 이용순 이민철 여장현 문승환		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2320/0204 G09G2310/0289 G09G3/3677 G09G2310/0248		
代理人(译)	SE JUN OH KWON , HYUK SOO 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，用于通过栅极驱动电路中输出的栅极驱动信号控制反冲（反冲）电压偏差。本发明的液晶显示器包括输出到栅极时钟脉冲的第一和第二栅极驱动电路以及向栅极时钟条脉冲提供一个脉冲的栅极驱动信号，以及响应于第一和第二的栅极时钟脉冲。第二输出使能信号和第一和第二门控时钟以及第一和第二电平shifter：时序控制器响应于外部输入信号产生第一和第二输出使能信号以及第一和第二门控时钟，产生门控时钟条脉冲。并且可以通过第一和第二输出使能信号的脉冲长度来控制栅极驱动信号的预充电时间。

