



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0049371
(43) 공개일자 2008년06월04일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0119844

(22) 출원일자 2006년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

송재훈

전남 순천시 연향동 대주파크빌아파트 105-701

(74) 대리인

허용록

전체 청구항 수 : 총 11 항

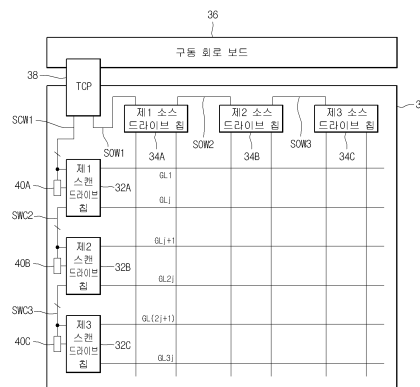
(54) 스캔 드라이브 칩 및 그를 포함한 액정 디스플레이 모듈

(57) 요약

신호 입력 핀들로부터 신호 전달 핀들 쪽으로의 구동 전압들 및 제어 신호들의 전달을 제어하는 스캔 드라이브 칩이 개시된다.

스캔 드라이브 칩은, 순차적으로 쉬프트된 일정한 폭의 인에이블 펄스를 가지는 다수의 스캔 신호들을 다수의 출력 핀을 통해 출력하는 스캔 회로부; 상기 스캔 회로부에 필요한 구동 전압들 및 제어 신호들을 외부로부터 입력하는 신호 입력 핀들; 상기 신호 입력 핀들로부터의 상기 구동 전압들 및 제어 신호들과 상기 스캔 회로부로부터의 신호를 외부로 전달하는 신호 전달 핀들; 상기 신호 입력 핀들 및 상기 스캔 회로부로부터 상기 신호 전달 핀들로 공급될 상기 구동 전압들, 상기 제어 신호들 및 상기 스캔 신호를 절환하는 제어용 스위치들; 및 상기 제어용 스위치들의 제어 단자에 공급될 전달 제어 신호를 입력하는 전달 옵션 핀을 구비한다.

대표도 - 도3



특허청구의 범위

청구항 1

순차적으로 쉬프트된 일정한 폭의 인에이블 펄스를 가지는 다수의 스캔 신호들을 다수의 출력 핀을 통해 출력하는 스캔 회로부;

상기 스캔 회로부에 필요한 구동 전압들 및 제어 신호들을 외부로부터 입력하는 신호 입력 핀들;

상기 신호 입력 핀들로부터의 상기 구동 전압들 및 제어 신호들과 상기 스캔 회로부로부터의 신호를 외부로 전달하는 신호 전달 핀들;

상기 신호 입력 핀들 및 상기 스캔 회로부로부터 상기 신호 전달 핀들로 공급될 상기 구동 전압들, 상기 제어 신호들 및 상기 스캔 신호를 절환하는 제어용 스위치들; 및

상기 제어용 스위치들의 제어 단자에 공급될 전달 제어 신호를 입력하는 전달 옵션 핀을 구비하는 것을 특징으로 하는 스캔 드라이브 칩.

청구항 2

제 1 항에 있어서,

신호 입력 핀들이: 상기 스캔 신호의 발생의 개시를 지시하는 스캔 개시 펄스를 입력하는 제1 신호 입력 핀; 상기 스캔 신호의 인에이블 펄스의 쉬프트 주기를 지정하는 스캔 클럭을 입력하기 위한 제2 신호 입력 핀; 상기 스캔 회로부를 동작시키기 위한 공급 전압 및 기저 전압을 각각 입력하는 제3 및 제4 신호 입력 핀을 포함하고,

신호 전달 핀들이: 상기 스캔 회로부로부터 대응하는 제어용 스위치를 경유하여 마지막 스캔 신호를 공급받는 제1 신호 전달 핀; 및 각기 대응하는 제어용 스위치를 경유하여 대응하는 제2 내지 제4 신호 입력 핀에 접속된 제2 내지 제4 신호 전달 핀을 구비하는 것을 특징으로 하는 스캔 드라이브 칩.

청구항 3

제 1 항에 있어서,

상기 신호 입력 핀들이: 상기 스캔 신호의 발생의 개시를 지시하는 게이트 스타트 펄스 제1 신호 입력 핀; 상기 스캔 신호의 인에이블 펄스의 쉬프트 주기를 지정하는 게이트 클럭을 입력하기 위한 제2 신호 입력 핀; 상기 스캔 회로부를 동작시키기 위한 공급 전압 및 기저 전압을 각각 입력하는 제3 및 제4 신호 입력 핀을 구비하고,

상기 신호 전달 핀들이: 상기 스캔 회로부로부터 대응하는 제어용 스위치를 경유하여 마지막 스캔 신호를 공급받는 제1 신호 전달 핀; 및 각기 대응하는 제어용 스위치를 경유하여 대응하는 제2 내지 제4 신호 입력 핀에 접속된 제2 내지 제4 신호 전달 핀을 구비하는 것을 특징으로 하는 스캔 드라이브 칩.

청구항 4

제 3 항에 있어서,

상기 신호 입력 핀들이 상기 스캔 회로부에 의한 상기 스캔 신호의 버퍼링을 위한 게이트 하이 전압 및 게이트 로우 전압을 각각 입력하는 제5 및 제6 신호 입력 핀을 추가로 구비하고,

상기 신호 전달 핀들이 상기 제5 및 제6 신호 입력 핀에 대응하는 제어용 스위치를 경유하여 연결된 제5 및 제6 신호 전달 핀을 추가로 구비하는 것을 특징으로 하는 스캔 드라이브 칩.

청구항 5

제 4 항에 있어서,

상기 다수의 스캔 신호들이 공급된 화소들에 공통 전압을 공급하기 위한 옵션 출력 핀을 추가로 구비하고,

상기 신호 입력 핀들이 상기 옵션 출력 핀에 공급될 상기 공통 전압을 외부로부터 입력하는 제7 신호 입력 핀

을 추가로 구비하고,

상기 신호 전달 핀들이 상기 제7 신호 입력 핀에 제어용 스위치를 통해 접속된 제7 신호 전달 핀을 추가로 구비하는 것을 특징으로 하는 스캔 드라이브 칩.

청구항 6

다수의 게이트 라인 및 다수의 데이터 라인들이 형성된 액정 패널;

상기 데이터 라인들을 구동하기 위한 데이터 드라이버;

상기 게이트 라인들을 순차적으로 일정 기간씩 구동하기 위하여 상기 패널 상에 탑재됨과 아울러, 상기 게이트 라인들 중 j 개와 접속되어 순차적으로 쉬프트된 일정한 폭의 인에이بل 펄스를 가지는 j 개의 스캔 신호들을 상기 게이트 라인들 중 j 개에 출력하기 위한 j 개의 출력 핀, 구동 전압들 및 제어 신호들을 입력하는 신호 입력 핀들; 상기 신호 입력 핀들로부터의 상기 구동 전압들 및 게이트 제어 신호들과 마지막 스캔 신호를 외부로 전달하는 신호 전달 핀들, 및 상기 구동 전압들 및 제어 신호의 전달 동작의 제어를 위한 전달 제어 신호를 입력하는 전달 옵션 핀을 각각 가지는 적어도 2 이상의 스캔 드라이브 칩들;

상기 데이터 드라이버를 제어함과 아울러 상기 게이트 드라이브 칩들에 필요한 상기 구동 전압들 및 상기 게이트 제어 신호들을 상기 액정 패널 상에 전기적으로 접속되는 배선 필름에 공급하는 인쇄 회로 보드;

상기 배선 필름에 상기 적어도 2 이상의 스캔 드라이브 칩들이 직렬 형태로 연결하기 위하여, 상기 배선 필름 및 상기 배선 필름 쪽의 적어도 1 이상의 스캔 드라이브 칩들 각각의 상기 신호 전달 핀들을 인접한 적어도 2 이상의 스캔 드라이브 칩의 상기 신호 입력 칩들과 전기적으로 연결하게 적어도 2 이상의 배선 패턴들; 및

대응하는 배선 패턴으로부터의 상기 구동 전압들을 이용하여 대응하는 상기 스캔 드라이브 칩의 상기 전달 옵션 핀에 공급될 상기 전달 제어 신호를 각각 발생하는 적어도 2 이상의 전달 제어부를 구비하는 것을 특징으로 하는 액정 디스플레이 모듈.

청구항 7

제 6 항에 있어서, 상기 전달 제어부가 대응하는 배선 패턴 상의 공급 전압 및 기저 전압을 선택적으로 대응하는 스캔 드라이브 칩의 상기 전달 옵션 핀으로 공급하는 선택 스위치를 구비하는 것을 특징으로 하는 액정 디스플레이 모듈.

청구항 8

제 6 항에 있어서, 상기 전달 제어부가 대응하는 배선 패턴 상의 공급 전압 및 기저 전압 중 어느 하나를 대응하는 스캔 드라이브 칩의 상기 전달 옵션 핀으로 전달하는 신호 라인을 구비하는 것을 특징으로 하는 액정 디스플레이 모듈.

청구항 9

제 6 항에 있어서,

상기 신호 입력 핀들이: 상기 스캔 신호의 발생의 개시를 지시하는 게이트 스타트 펄스 제1 신호 입력 핀; 상기 스캔 신호의 인에이بل 펄스의 쉬프트 주기를 지정하는 게이트 클럭을 입력하기 위한 제2 신호 입력 핀; 상기 스캔 회로부를 동작시키기 위한 공급 전압 및 기저 전압을 각각 입력하는 제3 및 제4 신호 입력 핀을 구비하고,

상기 신호 전달 핀들이: 상기 스캔 회로부로부터 대응하는 제어용 스위치를 경유하여 마지막 스캔 신호를 공급받는 제1 신호 전달 핀; 및 각기 대응하는 제어용 스위치를 경유하여 대응하는 제2 내지 제4 신호 입력 핀에 접속된 제2 내지 제4 신호 전달 핀을 구비하는 것을 특징으로 하는 액정 디스플레이 모듈.

청구항 10

제 9 항에 있어서,

상기 신호 입력 핀들이 상기 스캔 회로부에 의한 상기 스캔 신호의 버퍼링을 위한 게이트 하이 전압 및 게이트 로우 전압을 각각 입력하는 제5 및 제6 신호 입력 핀을 추가로 구비하고,

상기 신호 전달 핀들이 상기 제5 및 제6 신호 입력 핀에 대응하는 제어용 스위치를 경유하여 연결된 제5 및 제6 신호 전달 핀을 추가로 구비하는 것을 특징으로 하는 액정 디스플레이 모듈.

청구항 11

제 10 항에 있어서,

상기 적어도 2 이상의 스캔 드라이브 칩들 각각이 상기 j개의 스캔 신호들이 공급될 화소들에 공통 전압을 공급하기 위한 옵션 출력 핀을 추가로 구비하고,

상기 신호 입력 핀들이 상기 옵션 출력 핀에 공급될 상기 공통 전압을 외부로부터 입력하는 제7 신호 입력 핀을 추가로 구비하고,

상기 신호 전달 핀들이 상기 제7 신호 입력 핀에 제어용 스위치를 통해 접속된 제7 신호 전달 핀을 추가로 구비하는 것을 특징으로 하는 액정 디스플레이 모듈.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 평판 디스플레이 패널 상의 화소들을 구동하기 위한 드라이브 칩에 관한 것으로, 특히 평판 디스플레이 패널 상에 탑재되는 스캔 드라이브 칩에 관한 것이다. 이에 더하여, 본 발명은 액정 패널 상에 탑재된 스캔 드라이버 칩을 가지는 액정 디스플레이 모듈에 관한 것이다.
- <21> 통상의 액정 패널, 플라즈마 디스플레이 패널 및 전계-발광 디스플레이 패널 등과 같은 평판 디스플레이 패널(Flat Display Panel)은 스캔 라인들 및 데이터 라인들에 의하여 구분된 단위 영역들에 각각에 형성된 화소들이 포함한다. 이에 따라, 평판 디스플레이 패널은 두께를 얇게 유지하면서도 화면의 사이즈를 한계 이상으로 크게 할 수 있다. 실제로, 평판 디스플레이 패널은 기존의 디스플레이 소자인 음극선관에 비하여 현저하게 얇은 두께를 가지면서도 큰 화면을 제공하고 있다. 다시 말하여, 평판 디스플레이 패널은 디스플레이 모듈의 슬림화 및 경량화를 가능케 한다.
- <22> 평판 디스플레이 모듈은 스캔 드라이버 칩들을 이용하여 평판 디스플레이 패널 상의 화소들을 1라인 분씩 구동(또는 이네이블)시킨다. 이와 아울러, 평판 디스플레이 모듈은 평판 디스플레이 패널 상의 어느 한 라인 분의 화소들이 인에이블될 때마다 데이터 라인들 상에 화소 데이터 신호들을 공급하는 소스 드라이버 칩들을 포함한다. 이들 스캔 드라이브 칩들 및 소스 드라이버 칩들은 평판 디스플레이 패널이 아닌 테이프 캐리어 패키지(Tape Carriage Package; 이하 "TCP"라 함)라고 하는 배선 필름 또는 인쇄 회로 기판 상에 탑재되었다. 이로 인하여, 기존의 평판 디스플레이 모듈에서는, 평판 디스플레이 패널과 연결될 구동 회로 보드는 물론 그들 간의 연결 배선이 복잡할 뿐만 아니라 제작공정이 복잡할 수밖에 없다.
- <23> 이러한 단점을 해소하기 위한 방안으로, 평판 디스플레이 패널 상에 구동 회로용 배선이 추가로 형성되었다. 이 구동 회로용 배선은 스캔 드라이브 칩들 및 소스 드라이버 칩들이 평판 디스플레이 패널 상에 탑재되게 하여 구동 회로 보드 및 그로부터의 평판 디스플레이 패널로의 연결 배선을 간소화시켰다.
- <24> 실제로, 도 1에 도시된 바와 같은 액정 디스플레이 모듈은 액정 패널(10)의 좌측 가장자리에 탑재된 제1 내지 제3 스캔 드라이브 칩들(12A~12C)을 구비한다. 제1 내지 제3 스캔 드라이브 칩들(12A~12C)은 제1 내지 제3 스캔용 배선(SCW1~SCW3)에 의하여 TCP(18)에 직렬 접속된다. 제1 스캔 드라이브 칩(12A)은 구동 회로 보드(16)로부터 TCP(16) 및 제1 스캔용 배선(SCW1)을 경유하여 공급되는 구동 전압들 및 스캔 제어 신호들을 제2 스캔용 배선(SCW2)을 통해 제2 스캔 드라이브 칩(12B)에 공급한다. 아울러, 제1 스캔 드라이브 칩(12A)은 구동 전압들 및 스캔 제어 신호들에 의하여 자신에게 할당된 j개의 스캔 라인들(GL1~GLj)을 순차적으로 일정한 기간씩(예를 들면, 수평 동기 신호의 기간) 인에이블 시킨다. 나아가, 제1 스캔 드라이브 칩(12A)은 캐리 신호를 쉬프트된 스타트 펄스로서 제2 스캔용 배선(SCW2)을 경유하여 제2 스캔 드라이브 칩(12B)에 공급한다.
- <25> 제2 스캔 드라이브 칩(12B)은 제1 스캔 드라이브 칩(12A)으로부터 제2 스캔용 배선(SCW2)을 경유하여 공급되는 구동 전압들 및 스캔 제어 신호들을 제3 스캔용 배선(SCW3)을 통해 제3 스캔 드라이브 칩(12C)에 공급한다. 제

1 스캔 드라이버 칩(12A)으로부터의 구동 전압들 및 스캔 제어 신호들에 의하여, 제2 스캔 드라이버 칩(12B)은 자신에게 할당된 j 개의 스캔 라인들(GL($j+1$)~GL2 j)을 순차적으로 일정한 기간씩(예를 들면, 수평 동기 신호의 기간) 인에이블 시킨다. 또한, 제2 스캔 드라이버 칩(12B)은 캐리 신호를 쉬프트된 스타트 펄스로서 제3 스캔용 배선(SCW3)을 경유하여 제3 스캔 드라이버 칩(12C)에 공급한다.

<26> 제3 스캔 드라이버 칩(12C)도, 제2 스캔 드라이버 칩(12B)으로부터의 구동 전압들 및 스캔 제어 신호들에 의하여, 자신에게 할당된 j 개의 스캔 라인들(GL(2 $j+1$)~GL3 j)을 순차적으로 일정한 기간씩(예를 들면, 수평 동기 신호의 기간) 인에이블 시킨다. 또한, 제3 스캔 드라이버 칩(12C)은 캐리 신호를 쉬프트된 스타트 펄스로 사용될 수 있는 캐리 신호와 함께 제2 스캔 드라이버 칩(12B)으로부터의 구동 전압 및 스캔 제어 신호들을 자신의 출력 단자들을 통해 출력한다.

<27> 또한, 평판 디스플레이 모듈은 액정 패널(10)의 상측 가장자리에 배열된 제1 내지 제3 소스 드라이버 칩들(14A~14C)을 구비한다. 제1 내지 제3 소스 드라이버 칩들(14A~14C)은 제1 내지 제3 소스용 배선(SOW1~SOW3)에 의하여 TCP(18)에 직렬 접속된다. 제1 내지 제3 소스 드라이버 칩들(14A~14C) 각각은 구동 회로 보드(16)로부터 TCP(18)를 경유하여 스트림 형태로 공급되는 3 k 개의 화소 데이터를 k 개씩 순차적으로 분할 입력하여 아날로그 형태의 k 개의 화소 데이터 신호들로 변환한다. 또한, 제1 내지 제3 소스 드라이버 칩들(14A~14C) 각각은 변환된 k 개의 화소 데이터 신호들을 여 자신들에게 할당된 k 개의 데이터 라인들에 동시에 공급한다. 이를 위하여, 제1 소스 드라이버 칩(14A)은 구동 회로 보드(16)로부터 TCP(18) 및 제1 소스용 배선(SOW1)을 경유하여 입력된 화소 데이터 스트림, 구동 전압들 및 소스 제어 신호들을 제2 소스용 배선(SOW2)을 경유하여 제2 소스 드라이버 칩(14B)에 공급한다. 제2 소스 드라이버 칩(14B)은 제1 소스 드라이버 칩(14A)으로부터 제2 소스용 배선(SOW2)을 경유하여 입력된 화소 데이터 스트림, 구동 전압들 및 소스 제어 신호들을 제3 소스용 배선(SOW3)을 경유하여 제3 소스 드라이버 칩(14C)에 공급한다. 제3 소스 드라이버 칩(14C)도 제2 소스 드라이버 칩(14B)으로부터 제3 소스용 배선(SOW3)을 경유하여 입력된 화소 데이터 스트림, 구동 전압들 및 소스 제어 신호들을 자신의 출력 단자들을 통해 송출한다.

<28> 이와 같이, 액정 패널(10) 상에 탑재되는 스캔 및 소스 드라이버 칩(12A~12C, 14A~14C)은, 액정 패널(10) 상의 구동 회로용 배선(즉, 스캔용 및 소스용 배선들(SCW, SOW))에 의하여 직렬 형태로 연결되기 때문에, 마지막 드라이버 칩(즉, 제3 스캔 드라이버 칩(12C) 및 제3 소스 드라이버 칩(14C))의 전달 출력 단자들에까지 구동 전압 및 제어 신호들이 전달될 수밖에 없다. 이로 인하여, 마지막 드라이버 칩의 전달 출력 단자들 간의 단락 또는 마지막 드라이버 칩의 전달 출력 단자들로의 EOS/ESD의 유입에 의한 액정 디스플레이 모듈(나아가, 평판 디스플레이 모듈)의 불량률이 빈번하게 발생된다.

발명이 이루고자 하는 기술적 과제

<29> 본 발명의 목적은 구동 전압들 및 제어 신호들의 전달을 여부를 제어할 수 있는 스캔 드라이버 칩을 제공함에 있다.

<30> 본 발명의 목적은 회로의 단락 및 EOS/ESD에 의한 불량을 최소화하기에 적합한 액정 디스플레이 모듈을 제공함에 있다.

<31>

발명의 구성 및 작용

<32> 상기 목적을 달성하기 위한 본 발명의 일면에 따른 실시 예의 스캔 드라이버 칩은, 순차적으로 쉬프트된 일정한 폭의 인에이블 펄스를 가지는 다수의 스캔 신호들을 다수의 출력 핀을 통해 출력하는 스캔 회로부; 상기 스캔 회로부에 필요한 구동 전압들 및 제어 신호들을 외부로부터 입력하는 신호 입력 핀들; 상기 신호 입력 핀들로부터의 상기 구동 전압들 및 제어 신호들과 상기 스캔 회로부로부터의 신호를 외부로 전달하는 신호 전달 핀들; 상기 신호 입력 핀들 및 상기 스캔 회로부로부터 상기 신호 전달 핀들로 공급될 상기 구동 전압들, 상기 제어 신호들 및 상기 스캔 신호를 절환하는 제어용 스위치들; 및 상기 제어용 스위치들의 제어 단자에 공급될 전달 제어 신호를 입력하는 전달 옵션 핀을 구비한다.

<33> 상기 신호 입력 핀들은, 상기 스캔 신호의 발생의 개시를 지시하는 스캔 개시 펄스를 입력하는 제1 신호 입력 핀; 상기 스캔 신호의 인에이블 펄스의 쉬프트 주기를 지정하는 스캔 클럭을 입력하기 위한 제2 신호 입력 핀; 상기 스캔 회로부를 동작시키기 위한 공급 전압 및 기저 전압을 각각 입력하는 제3 및 제4 신호 입력 핀을 포함한다. 상기 신호 전달 핀들은, 상기 스캔 회로부로부터 대응하는 제어용 스위치를 경유하여 마지막 스캔 신호

를 공급받는 제1 신호 전달 핀; 및 각기 대응하는 제어용 스위치를 경유하여 대응하는 제2 내지 제4 신호 입력 핀에 접속된 제2 내지 제4 신호 전달 핀을 구비한다.

<34> 상기 신호 입력 핀들이, 상기 스캔 신호의 발생의 개시를 지시하는 게이트 스타트 펄스 제1 신호 입력 핀; 상기 스캔 신호의 인에이블 펄스의 쉬프트 주기를 지정하는 게이트 클럭을 입력하기 위한 제2 신호 입력 핀; 상기 스캔 회로부를 동작시키기 위한 공급 전압 및 기저 전압을 각각 입력하는 제3 및 제4 신호 입력 핀을 구비할 수 있다. 이 경우, 상기 신호 전달 핀들도, 상기 스캔 회로부로부터 대응하는 제어용 스위치를 경유하여 마지막 스캔 신호를 공급받는 제1 신호 전달 핀; 및 각기 대응하는 제어용 스위치를 경유하여 대응하는 제2 내지 제4 신호 입력 핀에 접속된 제2 내지 제4 신호 전달 핀을 구비한다.

<35> 상기 신호 입력 핀들이 상기 스캔 회로부에 의한 상기 스캔 신호의 버퍼링을 위한 게이트 하이 전압 및 게이트 로우 전압을 각각 입력하는 제5 및 제6 신호 입력 핀을 추가로 구비하고, 상기 신호 전달 핀들이 상기 제5 및 제6 신호 입력 핀에 대응하는 제어용 스위치를 경유하여 연결된 제5 및 제6 신호 전달 핀을 추가로 구비할 수 있다.

<36> 상기 스캔 드라이브 칩은 상기 다수의 스캔 신호들이 공급된 화소들에 공통 전압을 공급하기 위한 옵션 출력 핀을 추가로 구비할 수 있다. 이 경우, 상기 신호 입력 핀들이 상기 옵션 출력 핀에 공급될 상기 공통 전압을 외부로부터 입력하는 제7 신호 입력 핀을 추가로 구비하고, 상기 신호 전달 핀들이 상기 제7 신호 입력 핀에 제어용 스위치를 통해 접속된 제7 신호 전달 핀을 추가로 구비한다.

<37> 본 발명의 다른 일면의 실시 예에 따른 액정 디스플레이 모듈은, 다수의 게이트 라인 및 다수의 데이터 라인들이 형성된 액정 패널; 상기 데이터 라인들을 구동하기 위한 데이터 드라이버; 상기 게이트 라인들을 순차적으로 일정 기간씩 구동하기 위하여 상기 패널 상에 탑재됨과 아울러, 상기 게이트 라인들 중 j개와 접속되어 순차적으로 쉬프트된 일정한 폭의 인에이블 펄스를 가지는 j개의 스캔 신호들을 상기 게이트 라인들 중 j개에 출력하기 위한 j개의 출력 핀, 구동 전압들 및 제어 신호들을 입력하는 신호 입력 핀들; 상기 신호 입력 핀들로부터의 상기 구동 전압들 및 게이트 제어 신호들과 마지막 스캔 신호를 외부로 전달하는 신호 전달 핀들, 및 상기 구동 전압들 및 제어 신호의 전달 동작의 제어를 위한 전달 제어 신호를 입력하는 전달 옵션 핀을 각각 가지는 적어도 2 이상의 스캔 드라이브 칩들; 상기 데이터 드라이버를 제어함과 아울러 상기 게이트 드라이브 칩들에 필요한 상기 구동 전압들 및 상기 게이트 제어 신호들을 상기 액정 패널 상에 전기적으로 접촉되는 배선 필름에 공급하는 인쇄 회로 보드; 상기 배선 필름에 상기 적어도 2 이상의 스캔 드라이브 칩들이 직렬 형태로 연결하기 위하여, 상기 배선 필름 및 상기 배선 필름 쪽의 적어도 1 이상의 스캔 드라이브 칩들 각각의 상기 신호 전달 핀들을 인접한 적어도 2 이상의 스캔 드라이브 칩의 상기 신호 입력 칩들과 전기적으로 연결하게 적어도 2 이상의 배선 패턴들; 및 대응하는 배선 패턴으로부터의 상기 구동 전압들을 이용하여 대응하는 상기 스캔 드라이브 칩의 상기 전달 옵션 핀에 공급될 상기 전달 제어 신호를 각각 발생하는 적어도 2 이상의 전달 제어부를 구비한다.

<38> 상기 전달 제어부는 대응하는 배선 패턴 상의 공급 전압 및 기저 전압을 선택적으로 대응하는 스캔 드라이브 칩의 상기 전달 옵션 핀으로 공급하는 선택 스위치를 구비한다.

<39> 상기 전달 제어부는 대응하는 배선 패턴 상의 공급 전압 및 기저 전압 중 어느 하나를 대응하는 스캔 드라이브 칩의 상기 전달 옵션 핀으로 전달하는 신호 라인을 구비할 수도 있다.

<40> 상기 목적 외에 본 발명의 다른 목적들, 다른 특징들 및 다른 이점들은 첨부한 도면과 결부된 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

<41> 이하, 본 발명의 실시 예들이 첨부된 도면들과 결부되어 상세하게 설명될 것이다.

<42> 도 2는 본 발명의 실시 예에 따른 스캔 드라이브 칩을 개략적으로 설명하는 회로도이다. 도 2에 도시된 스캔 드라이브 칩은, 설명의 편의를 위하여, 액정 패널 상의 게이트 라인들을 구동하는 위한 것으로 가정한다. 액정 패널 상의 게이트 라인을 구동하기 위한 스캔 드라이브 칩이 설명되더라도 본 발명이 속하는 기술에 대한 통상의 지식을 가진 자라면 본 발명의 사상 및 범위를 일탈하지 않으면서 다양한 형태로 변형 또는 변경할 수 있음을 알 수 있을 것이다.

<43> 도 2를 참조하면, 스캔 드라이브 칩은 쉬프트 레지스터(20) 및 버퍼 어레이(22)의 구동에 필요한 구동 전압들 및 제어 신호들을 입력하기 위한 신호 입력 핀들(SIP1~SIP7) 및 이들 신호 입력 핀들(SIP1~SIP7)에 각각 대응되는 신호 전달 핀들(STP1~STP7)을 구비한다. 신호 입력 핀들(SIP1~SIP7) 중 어느 하나(예를 들면, 스타트 펄스가 입력되는 제1 신호 입력 핀(SIP1))은 쉬프트 레지스터(20)에만 접속된다. 마찬가지로, 신호 전달 핀들

(STP1~STP7) 중 어느 하나(예를 들면, 스타트 펄스로 사용될 쉬프트된 스타트 펄스(즉, 캐리 신호)를 전달하기 위한 제1 신호 전달 핀(STP1))도 쉬프트 레지스터(20)에만 연결된다. 신호 입력 핀들(SIP1~SIP7) 중 일부(예를 들면, 회로 소자의 동작 타이밍의 제어를 위한 게이트 클럭(GSC)을 입력하는 제2 신호 입력 핀(SIP2))은 쉬프트 레지스터(20) 및 자신과 대응되는 신호 전달 핀(예를 들면, 게이트 클럭(GSC)의 전달을 위한 제2 신호 전달 핀(STP2))에 접속된다. 신호 입력 핀들 중(SIP1~SIP7) 중 다른 일부(예를 들면, 게이트 라인의 인에이블(Enable) 또는 디스에이블(Disable)을 위한 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 각각 입력하는 제3 및 제4 신호 입력 핀(SIP3, SIP4))은 버퍼 어레이(22)는 물론 그들과 대응되는 신호 전달 핀들(예를 들면, 제3 및 제4 신호 전달 핀(STP3, STP4))과도 접속된다. 신호 입력 핀들(SIP1~SIP7) 중 또 다른 일부(예를 들면, 회로 소자의 동작에 필요한 공급 전압(Vcc) 및 기저 전압(GND)을 각각 입력하는 제5 및 제6 신호 입력 핀(SIP5, SIP6))은 쉬프트 레지스터(20) 및 버퍼 어레이(22)와 그들과 대응되는 신호 전달 핀(STP5, STP6)에도 각각 접속된다. 나아가, 신호 입력 핀들(SIP1~SIP7)에는, 또 다른 용도의 전압을 입력하기 위한 신호 입력 핀(예를 들면, 액정 셀의 기준 전압으로 사용되는 공통 전압(Vcom)을 입력하기 위한 제7 신호 입력 핀(SIP7))이 포함될 수 있다. 공통 전압(Vcom)을 입력하는 부가적인 신호 입력 핀(SIP7)은 공통 전압(Vcom)을 도시하지 않은 액정 패널 상의 액정 셀들 쪽으로 출력하기 위한 별도의 출력 단자(예를 공통 전압 출력 단자(Vcop)는 물론 자신과 대응되는 부가적인 제7 신호 전달 핀(STP7)에도 접속된다. 이 공통 전압(Vcom)용의 제7 신호 입력 핀(SIP7) 및 제7 신호 전달 핀(STP7) 외에도 적어도 1 이상의 추가적인 게이트 클럭들의 입력 및 전달을 위한 적어도 1 이상의 신호 입력 핀 및 신호 전달 핀이 마련될 수 있다.

<44> 쉬프트 레지스터(20)는 제5 및 제6 신호 입력 핀(SIP5, SIP6)으로부터의 공급 전압(Vcc) 및 기저전압(GND)에 의하여 구동되는 j개의 쉬프트 스테이지들을 포함한다. 쉬프트 레지스터(20)에 포함된 쉬프트 스테이지들은 제2 신호 입력 핀(SIP2)으로부터의 제어 신호의 하나인 게이트 클럭에 응답하여 제1 신호 입력 핀(SIP1)으로부터의 다른 제어 신호인 게이트 스타트 펄스가 첫 번째 쉬프트 스테이지로부터 j 번째 쉬프트 스테이지 쪽으로 쉬프트 되게 한다. 이에 따라, 쉬프트 레지스터(20)의 j개의 쉬프트 스테이지들 각각에서는 게이트 클럭의 주기에 해당하는 인에이블 펄스를 서로 배타적으로 가지는 j개의 스캐닝 신호가 발생된다. 그리고 쉬프트 레지스터(20)의 j 번째 쉬프트 스테이지에서 발생된 스캐닝 신호는 쉬프트된 게이트 스타트 펄스(즉, 캐리 신호)로서 제1 신호 전달 핀(STP1)에도 공급된다.

<45> 버퍼 어레이(22)는 쉬프트 레지스터(20)의 j개의 쉬프트 스테이지 각각에 대응하는 j개의 버퍼들을 포함한다. 버퍼 어레이(22)에 포함된 j개의 버퍼들 모두는 제5 및 제6 신호 입력 핀(SIP5, SIP6)으로부터의 공급 전압(Vcc) 및 기저 전압(GND)에 의하여 구동된다. 또한, 버퍼 어레이(22)에 포함된 j개의 버퍼들 모두는 제3 및 제4 신호 입력 핀(SIP5, SIP6)으로부터의 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 이용하여 대응하는 쉬프트 레지스터(20)의 쉬프트 스테이지로부터의 스캐닝 신호를 완충한다. 이 버퍼 어레이(22)에 의해 완충된 j개의 스캐닝 신호들은 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL) 사이에 스윙하는 인에이블 펄스를 가진다. 나아가, 버퍼 어레이(22)는 완충된 j개의 스캐닝 신호를 j개의 출력 핀들(SOP1~SOPj)을 통해 도시하지 않은 평판 패널 상의 j개의 스캐닝 라인(즉, 도시하지 않은 액정 패널 상의 j개의 게이트 라인)에 공급한다. 이 완충된 j개의 스캐닝 신호들에 의하여, 평판 패널 상의 j개의 스캐닝 라인들(즉, 도시하지 않은 액정 패널 상의 j개의 게이트 라인들)이 순차적으로 일정한 기간(즉, 수평 주사 기간)씩 인에이블 된다.

<46> 본 발명의 실시 예에 따른 스캔 드라이브 칩은 쉬프트 레지스터(20)의 j 번째 쉬프트 스테이지 및 제1 신호 전달 핀(STP1) 사이에 접속된 제1 제어용 스위치(SW1) 및 제2 내지 제7 신호 입력 핀(SIP2~SIP7)과 제2 내지 제7 신호 전달 핀(STP2~STP7) 사이에 각각 접속된 제2 내지 제7 제어용 스위치(SW2~SW7)를 추가로 구비한다. 제1 내지 제7 제어용 스위치(SW1~SW7) 모두는 전달 옵션 핀(TOP)으로부터의 전달 제어 신호(TCS)에 의하여 동시에 절환된다. 이를 상세히 하면, 전달 제어 신호(TCS)가 인에이블 논리 값(예를 들면, 하이 또는 로우 논리)을 가지면, 제1 내지 제7 제어용 스위치(SW1~SW7)는 모두 턴-온(Turn-on)되어 제1 신호 전달 핀(STP1)은 쉬프트 레지스터(20)의 j번째 쉬프트 스테이지에 그리고 제2 내지 제7 신호 전달 핀(STP2~STP7)은 각각에 대응하는 제2 내지 제7 신호 입력 핀(SIP2~SIP7)에 접속된다. 이에 따라, 쉬프트 레지스터(20)의 j 번째 쉬프트 스테이지로부터의 j 번째 스캐닝 신호가 쉬프트된 게이트 스타트 펄스로서 제1 신호 전달 핀(STP1)을 통해 송출된다. 또한, 제2 내지 제7 신호 입력 핀(SIP2~SIP7) 상의 게이트 펄스, 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 공급 전압(Vcc), 기저 전압(GND) 및 공통 전압(Vcom)도 대응하는 제2 내지 제7 신호 전달 핀(STP2~STP7)을 통해 송출된다. 반대로, 전달 제어 신호(TCS)가 디스에이블 논리 값(예를 들면, 로우 또는 하이 논리)을 가지면, 제1 내지 제7 제어용 스위치(SW1~SW7)는 모두 턴-오프(Turn-off)되어 제1 신호 전달 핀(STP1)은 쉬프트 레지스터(20)의 j번째 쉬프트 스테이지에 그리고 제2 내지 제7 신호 전달 핀(STP2~STP7)은 각각에 대응하는 제2 내지 제7 신호 입력 핀(SIP2~SIP7)으로부터 전기적으로 분리된다. 따라서, 쉬프트 레지스터(20)의 j 번째 쉬프트 스테

이지로부터의 j 번째 스캐닝 신호와 제2 내지 제7 신호 입력 핀(SIP2~SIP7) 상의 게이트 펄스, 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 공급 전압(Vcc), 기저 전압(GND) 및 공통 전압(Vcom)이 제1 내지 제7 신호 전달 핀(STP2~STP7)에 전달되지 않는다.

<47> 이와 같이, 전달 옵션 핀(TOP) 상의 전달 제어 신호(TCS)에 응답하는 제어용 스위치들(SW1~SW7)에 의하여 신호 전달 핀들(STP1~STP7) 쪽으로 전달될 구동 전압들 및 제어 신호들이 선택적으로 차단될 수 있다. 신호 전달 핀들(STP1~STP7)이 사용되지 않는 경우, 신호 전달 핀들(STP1~STP7)이 전기적으로 분리되어 스캔 드라이브 칩 내의 회로부(즉, 쉬프트 레지스터(20) 및 버퍼 어레이(22))가 외부적인 접촉 불량 및 신호 전달 핀들(STP1~STP7)을 경유하는 외부로부터의 EOD/ESD의 영향을 받지 않게 된다. 이 결과, 본 발명의 실시 예에 따른 스캔 드라이브 칩은 사용되지 않는 신호 전달 핀들 사이에서의 접촉 불량 및 사용되지 않는 신호 전달 핀들을 통한 EOD/ESD의 영향과 무관하게 안정된 동작을 수행할 수 있다.

<48> 도 3은 도 2에 도시된 스캔 드라이브 칩을 포함하는 본 발명의 실시 예에 따른 액정 디스플레이 모듈을 개략적으로 설명하는 블럭도이다. 도 3을 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 모듈은 액정 패널(30)의 좌측 가장자리에 탑재된 제1 내지 제3 스캔 드라이브 칩들(32A~32C) 및 이들 제1 내지 제3 스캔 드라이브 칩들(32A~32C) 각각에 대응하게 접속된 제1 내지 제3 신호 전달 제어부(40A~40C)를 구비한다. 제1 내지 제3 스캔 드라이브 칩들(32A~32C)은 제1 내지 제3 스캔용 배선(SCW1~SCW3)에 의하여 TCP(38)에 직렬 접속된다. 제1 내지 제3 스캔용 배선(SCW1~SCW3) 각각은 제1 내지 제3 게이트 드라이브 칩(32A~32C)의 구동에 필요한 구동 전압들 및 스캔 제어 신호들을 전송하는 신호 라인들을 포함한다. 제1 내지 제3 스캔용 배선(SCW1~SCW3)에는, 공급 전압(Vcc), 기저 전압(GND), 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 게이트 스타트 펄스(GSP) 및 게이트 클럭(GSC)을 전송하기 위한 신호 라인들이 포함된다. 이에 더하여, 액정 패널(10)이 행 전체 방식으로 구동되는 액정 셀들을 포함하는 경우, 공통 전압(Vcom)을 전송하는 신호 라인이 제1 내지 제3 스캔용 배선(SCW1~SCW3) 각각에 추가로 포함될 수 있다. 나아가, 제1 내지 제3 스캔 드라이브 칩(32A~32C)이 적어도 2 이상의 클럭들에 응답하는 경우, 제1 내지 제3 스캔용 배선(SCW1~SCW3) 각각은 적어도 1 이상의 부가적인 게이트 클럭을 전송하기 위한 적어도 1 이상의 부가적인 클럭용 신호 라인이 추가될 수도 있다.

<49> 제1 스캔 드라이브 칩(32A)에는, 구동 회로 보드(36)로부터 TCP(38) 및 제1 스캔용 배선(SCW1)을 경유하여 자신의 신호 입력 핀들(SIP1~SIP7) 쪽으로 구동 전압들 및 스캔 제어 신호들을 입력된다. 구동 전압들 및 스캔 제어 신호들에 의하여, 제1 스캔 드라이브 칩(32A)은 자신에게 할당된 j 개의 게이트 라인들(GL1~GL j)을 순차적으로 일정한 기간씩(예를 들면, 하나의 수평 동기 신호의 기간씩) 인에이블 시킨다. 또한, 제1 스캔 드라이브 칩(32A)은 j 개의 게이트 라인(GL1~GL j) 상의 액정 셀들(도시하지 않음)에 공통 전압(Vcom)을 공급한다. 또한, 제1 스캔 드라이브 칩(32A)은, 제1 신호 전달 제어부(40A)로부터 자신의 전달 옵션 핀(TOP)에 공급되는 인에이블 논리 값(예를 들면, 하이 논리)의 제1 전달 제어 신호(TCS1)에 응답하여, 제1 스캔용 배선(SCW1)으로부터 공급된 구동 전압들 및 스캔 제어 신호들을 자신의 신호 전달 핀들(STP1~STP7)에 접속된 제2 스캔용 배선(SCW2)을 통해 제2 스캔 드라이브 칩(32B)에 공급한다. 이때, 제1 스캔 드라이브 칩(32A)으로부터 제2 스캔용 배선(SCW2)을 통해 제2 스캔 드라이브 칩(32B)에 공급되는 게이트 스타트 펄스(GSP)로는 제1 스캔 드라이브 칩(32A)에서 발생된 캐리 신호(즉, j 번째 스캔 신호)가 된다.

<50> 제2 스캔 드라이브 칩(32B)은 제1 스캔 드라이브 칩(32A)로부터 제2 스캔용 배선(SCW2)을 경유하여 자신의 신호 입력 핀들(SIP1~SIP7) 쪽으로 구동 전압들 및 스캔 제어 신호들을 입력한다. 구동 전압들 및 스캔 제어 신호들에 의하여, 제2 스캔 드라이브 칩(32B)은 자신에게 할당된 j 개의 게이트 라인들(GL($j+1$)~GL2 j)을 순차적으로 일정한 기간씩(예를 들면, 하나의 수평 동기 신호의 기간씩) 인에이블 시킨다. $j+1$ 내지 2 j 번째 게이트 라인들(GL($j+1$)~GL2 j)은 j 번째 게이트 라인(GL j)이 디스에이블된 시점으로부터 하나의 수평 동기 신호의 기간씩 순차적으로 인에이블된다. 또한, 제2 스캔 드라이브 칩(32B)은 j 개의 게이트 라인(GL($j+1$)~GL2 j) 상의 액정 셀들(도시하지 않음)에 공통 전압(Vcom)을 공급한다. 또한, 제2 스캔 드라이브 칩(32B)은, 제2 신호 전달 제어부(40B)로부터 자신의 전달 옵션 핀(TOP)에 공급되는 인에이블 논리 값(예를 들면, 하이 논리)의 제2 전달 제어 신호(TCS2)에 응답하여, 제2 스캔용 배선(SCW2)으로부터 공급된 구동 전압들 및 스캔 제어 신호들을 자신의 신호 전달 핀들(STP1~STP7)에 접속된 제3 스캔용 배선(SCW3)을 통해 제3 스캔 드라이브 칩(32C)에 공급한다. 이때, 제2 스캔 드라이브 칩(32B)으로부터 제3 스캔용 배선(SCW3)을 통해 제3 스캔 드라이브 칩(32C)에 공급되는 게이트 스타트 펄스(GSP)로는 제2 스캔 드라이브 칩(32B)에서 발생된 캐리 신호(즉, 2 j 번째 스캔 신호)가 된다.

<51> 제3 스캔 드라이브 칩(32C)은 제2 스캔 드라이브 칩(32B)로부터 제3 스캔용 배선(SCW3)을 경유하여 자신의 신호 입력 핀들(SIP1~SIP7) 쪽으로 구동 전압들 및 스캔 제어 신호들을 입력한다. 구동 전압들 및 스캔 제어 신호들에 의하여, 제3 스캔 드라이브 칩(32C)은 자신에게 할당된 j 개의 게이트 라인들(GL(2 $j+1$)~GL3 j)을 순차적으로

일정한 기간씩(예를 들면, 하나의 수평 동기 신호의 기간씩) 인에이블 시킨다. $2j+1$ 내지 $3j$ 번째 게이트 라인들($GL(2j+1) \sim GL(3j)$)은 $2j$ 번째 게이트 라인($GL(2j)$)가 디스에이블된 시점으로부터 하나의 수평 동기 신호의 기간씩 순차적으로 인에이블된다. 제3 스캔 드라이브 칩(32C)은 j 개의 게이트 라인($GL(2j+1) \sim GL(3j)$) 상의 액정 셀들(도시하지 않음)에 공통 전압(V_{com})을 공급한다. 또한, 제3 스캔 드라이브 칩(32C)은, 제3 신호 전달 제어부(40C)로부터 자신의 전달 옵션 핀(TOP)에 공급되는 디스에이블 논리 값(예를 들면, 로우 논리)의 제3 전달 제어 신호(TCS3)에 응답하여, 제2 스캔용 배선(SCW2)으로부터 공급된 구동 전압들 및 스캔 제어 신호들이 자신의 신호 전달 핀들(STP1~STP7) 상에 나타나지 않게 차단한다. 다시 말하여, 제3 스캔 드라이브 칩(32C)은 자신의 신호 전달 핀들(STP1~STP7)이 플로팅 상태에 해당하는 하이 임피던스를 가지게 한다. 이에 따라, 제3 스캔 드라이브 칩(32C)의 신호 전달 핀들(STP1~STP7)이 외부적인 영향으로 서로 단락되거나 또는 제3 스캔 드라이브 칩(32C)의 신호 전달 핀들(STP1~STP7)을 통해 EOS 또는 ESD가 유입되더라도 제3 스캔 드라이브 칩(32C)은 물론 제1 및 제2 스캔 드라이브 칩(32A, 32B)은 정확하게 동작을 수행할 수 있다. 이 결과, 본 발명의 실시 예에 따른 액정 디스플레이 모듈은 마지막 스캔 드라이브 칩의 신호 전달 핀에서의 접속 불량 및 EOS/EDS으로 스캔 드라이브 칩 및 액정 패널의 손상을 방지할 수 있다.

<52> 또한, 본 발명의 실시 예에 따른 액정 디스플레이 모듈은 액정 패널(30)의 상측 가장자리에 배열된 제1 내지 제3 소스 드라이브 칩들(34A~34C)을 구비한다. 제1 내지 제3 소스 드라이브 칩들(34A~34C)은 제1 내지 제3 소스용 배선(SOW1~SOW3)에 의하여 TCP(38)에 직렬 접속된다. 제1 내지 제3 소스 드라이브 칩들(34A~34C) 각각은 구동 회로 보드(36)로부터 TCP(38)를 경유하여 스트림 형태로 공급되는 $3k$ 개의 화소 데이터를 k 개씩 순차적으로 분할 입력하여 아날로그 형태의 k 개의 화소 데이터 신호들로 변환한다. 또한, 제1 내지 제3 소스 드라이브 칩들(34A~34C) 각각은, $3j$ 개의 게이트 라인들($GL1 \sim GL(3j)$) 중 어느 하나가 인에이블 될 때마다, 변환된 k 개의 화소 데이터 신호들을 자신들에게 할당된 k 개의 데이터 라인들에 동시에 공급한다. 이를 위하여, 제1 소스 드라이브 칩(34A)은 구동 회로 보드(36)로부터 TCP(38) 및 제1 소스용 배선(SOW1)을 경유하여 입력된 화소 데이터 스트림, 구동 전압들 및 소스 제어 신호들을 제2 소스용 배선(SOW2)을 경유하여 제2 소스 드라이브 칩(34B)에 공급한다. 제2 소스 드라이브 칩(34B)은 제1 소스 드라이브 칩(34A)으로부터 제2 소스용 배선(SOW2)을 경유하여 입력된 화소 데이터 스트림, 구동 전압들 및 소스 제어 신호들을 제3 소스용 배선(SOW3)을 경유하여 제3 소스 드라이브 칩(34C)에 공급한다. 구동 회로 보드(36)는 액정 패널(30), 스캔 드라이브 칩들(32A~32C) 및 소스 드라이브 칩(34A~34C)에 필요한 구동 전압들을 발생하기 위한 전원 회로부를 포함한다. 이에 더하여, 구동 회로 보드(36)는 스캔 드라이브 칩들(32A~32C) 및 소스 드라이브 칩(34A~34C)의 구동 타이밍의 제어를 위한 제어 신호들을 발생하는 타이밍 컨트롤러를 포함한다.

<53> 제1 내지 제3 신호 전달 제어부(40A~40C)는 제작자의 선택에 따라 세트 또는 리세트 됴에 의하여 인에이블 논리 값(즉, 하이 논리) 또는 디스에이블 논리 값(즉, 로우 논리)의 제1 내지 제3 전달 제어 신호(TCS1~TCS3)를 발생한다. 제1 및 제2 전달 제어 신호(TCS1, TCS2)는, 제1 및 제2 스캔 드라이브 칩(32A, 32B)가 입력된 구동 전압들 및 스캔 제어 신호들을 후단의 제2 및 제3 스캔 드라이브 칩(32B, 32C)에 전달하도록 제어하기 위하여, 인에이블 논리 값을 가진다. 반면, 제3 전달 제어 신호(TCS3)는 제3 스캔 드라이브 칩(32C)의 신호 입력 핀(SIP1~SIP7)에 입력된 구동 전압들 및 스캔 제어 신호들이 나타나지 않도록 제3 스캔 드라이브 칩(32C)을 제어하기 위하여, 디스에이블 논리 값(예를 들면, 로우 논리)을 가진다.

<54> 도 4는 도 3에 도시된 신호 전달 제어부(40)의 일 실시 예를 상세하게 설명하는 구체 회로도이다. 도 4를 참조하면, 신호 전달 제어부(40)는 도3의 신호 배선(SCW)에 포함된 제1 및 제2 신호 라인(SL1, SL2)과 스캔 드라이브 칩(32)의 전달 옵션 핀(TOP) 사이에 접속된 선택 스위치(SSW)를 포함한다. 제1 신호 라인(SL1)은 공급 전압(V_{cc})을 전송하기 위해 이용되고, 제2 신호 라인(SL2)은 기저 전압(GND)을 전송하기 위해 이용된다. 선택 스위치(SSW)는 제1 및 제2 신호 라인들(SL1, SL2) 각각에 접속된 제1 및 제2 선택 접점과 선택적으로 접속되는 공통 접점을 포함한다. 선택 스위치(SSW)의 공통 접점은, 제작자에 의하여 제1 신호 라인(SL1)에 연결된 제1 선택 접점 또는 제2 신호 라인(SL2)에 연결된 제2 선택 접점과 접속되어, 하이 논리 또는 로우 논리의 전달 제어 신호(TCS)가 스캔 드라이브 칩(32)의 전달 옵션 핀(TOP)에 공급되게 한다.

<55> 도 5A 및 도 5B 는 도 3의 신호 전달 제어부(40)의 다른 실시 예를 상세하게 설명하는 구체 회로도들이다. 도 5A는 인에이블 논리 값 또는 디스에이블 논리 값으로 이용될 수 있는 하이 논리의 전달 제어 신호(TCS)를 발생하는 신호 전달 제어부를 상세하게 설명한다. 반면, 도 5B는 디스에이블 논리 값 또는 인에이블 논리 값으로 이용될 수 있는 로우 논리의 전달 제어 신호(TCS)를 발생하는 신호 전달 제어부를 상세하게 설명한다.

<56> 도 5A를 참조하면, 신호 전달 제어부(40)는 공급 전압(V_{cc})을 전송하는 제1 신호 라인(SL1) 및 기저 전압(GND)을 전송하는 제2 신호 라인(SL2) 중 제1 신호 라인(SL1)으로부터 분기된 전달 제어 라인(TCL)을 구비한다. 제1

신호 라인(SL1)으로부터 분기된 전달 제어 라인(TCL)은, 스캔 드라이브 칩(32)의 전달 옵션 핀(TOP) 쪽으로 제1 신호 라인(SL1) 상의 공급 전압(Vcc)을 전달하여, 인에이블 논리 값 또는 디스에이블 논리 값으로 이용될 수 있는 하이 논리의 전달 제어 신호(TCS)가 발생되게 한다.

- <57> 도 5B의 신호 전달 제어부(40)는 공급 전압(Vcc)을 전송하는 제1 신호 라인(SL1) 및 기저 전압(GND)을 전송하는 제2 신호 라인(SL2) 중 제2 신호 라인(SL2)으로부터 분기된 전달 제어 라인(TCL)을 구비한다. 제2 신호 라인(SL1)으로부터 분기된 전달 제어 라인(TCL)은, 스캔 드라이브 칩(32)의 전달 옵션 핀(TOP) 쪽으로 제2 신호 라인(SL1) 상의 기저 전압(GND)을 전달하여, 디스에이블 논리 값 또는 인에이블 논리 값으로 이용될 수 있는 로우 논리의 전달 제어 신호(TCS)가 발생되게 한다.
- <58> 도 5A 및 도 5B에 도시된 신호 전달 제어부(40)는, 공급 전압(Vcc) 또는 기저 전압(GND)을 분기하는 신호 라인만을 포함하여, 도 4의 신호 전달 제어부(40)에 비하여 간소화된 구성을 가진다.

발명의 효과

- <59> 이상에서 살펴본 바와 같이, 본 발명에 따른 스캔 드라이브 칩은 전달 옵션 핀 상의 전달 제어 신호에 응답하는 제어용 스위치들에 의하여 신호 전달 핀들 쪽으로 전달될 구동 전압들 및 제어 신호들이 선택적으로 차단되게 한다. 신호 전달 핀들이 사용되지 않는 경우, 신호 전달 핀들이 전기적으로 분리되어 스캔 드라이브 칩 내의 회로부 및 출력 핀에 접속되는 외부 회로가 외부적인 접촉 불량 및 신호 전달 핀들을 경유하는 외부로부터의 EOD/ESD의 영향을 받지 않게 된다. 이 결과, 스캔 드라이브 칩은 사용되지 않는 신호 전달 핀들 사이에서의 접촉 불량 및 사용되지 않는 신호 전달 핀들을 통한 EOD/ESD의 영향과 무관하게 안정된 동작을 수행할 수 있다.
- <60> 본 발명의 실시 예에 따른 액정 디스플레이 모듈에서는, 액정 패널 상에 직렬 연결되는 스캔 드라이브 칩들 각각의 신호 전달 핀들로의 구동 전압들 및 제어 신호들의 전달 여부가 스캔 드라이브 칩들에 대응되는 신호 전달 제어부들에 의하여 개별적으로 제어된다. 마지막 스캔 드라이브 칩의 신호 전달 핀들이 외부적인 영향으로 서로 단락되거나 또는 마지막 스캔 드라이브 칩의 신호 전달 핀들을 통해 EOS 또는 ESD가 유입되더라도 마지막 스캔 드라이브 칩은 물론 전단의 스캔 드라이브 칩들이 정확하게 동작을 수행할 수 있다. 이 결과, 본 발명의 실시 예에 따른 액정 디스플레이 모듈은 마지막 스캔 드라이브 칩의 신호 전달 핀에서의 접속 불량 및 EOS/EDS으로 스캔 드라이브 칩 및 액정 패널의 손상을 방지할 수 있다.
- <61> 이상과 같이, 본 발명이 첨부된 도면에 도시된 실시 예들로 국한되게 설명되었으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 예를 들면, 본 발명의 스캔 드라이브 칩에서 전달 옵션 핀 상의 신호에 응답하는 제어용 스위치들이 신호 입력 핀들로부터 신호 전달 핀들 쪽으로 전달될 전압들 및 신호들을 선택적으로 절환할 필요가 있는 소스 드라이브 칩에도 적용될 수 있다는 것을, 본 발명이 속하는 기술분야에 대한 통상의 지식을 가진 자라면 누구나 알 수 있을 것이다. 따라서, 보호되어야 할 본 발명의 기술적 사상 및 범위는 첨부된 특허청구의 범위에 의하여 정해져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1 은 통상의 LOG 타입의 액정 디스플레이 모듈을 개략적으로 도시하는 도면이다.
- <2> 도 2 는 본 발명의 실시 예에 따른 스캔 드라이브 칩을 개략적으로 설명하는 회로도이다.
- <3> 도 3 은 본 발명의 일 실시 예에 따른 LOG 타입의 액정 디스플레이 모듈을 개략적으로 설명하는 블록도이다.
- <4> 도 4 은 도 3에 도시된 칩 출력 제어부들의 일 실시 예들을 설명하는 구체 회로도이다.
- <5> 도 5a 및 도 5b는 도 3에 도시된 신호 전달 제어부의 다른 실시 예를 설명하는 구체 회로도이다.

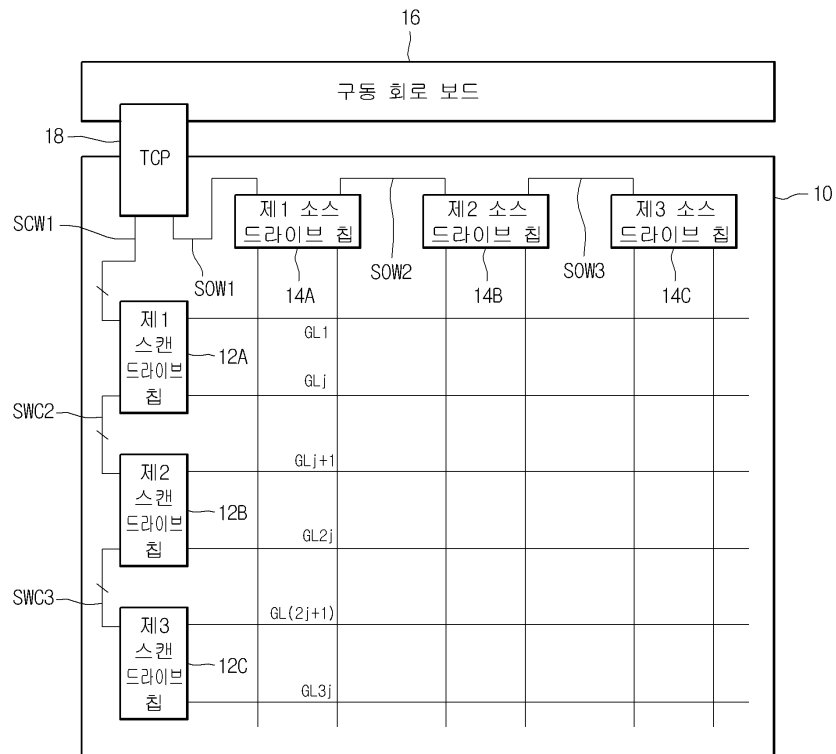
《도면의 주요부분에 대한 간단한 설명》

- <7> 10,30 : 액정 패널
- <8> 12A~12C,32A~32C : 게이트 드라이브 칩
- <9> 14A~14C,34A~34C : 데이터 드라이브 칩
- <10> 16,36 : 타이밍 컨트롤러

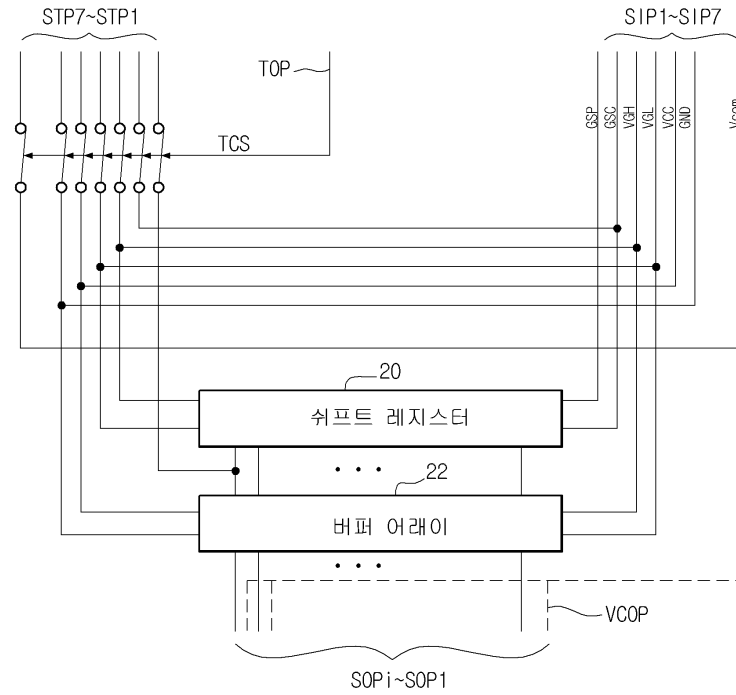
- <11> 18,38 : TCP
- <12> 20 : 쉬프트 레지스터
- <13> 22 : 버퍼 어레이
- <14> 40A~40C : 제1 내지 제3 신호 전달 제어부
- <15> SIP1~SIP7 : 제1 내지 제7 신호 입력 핀
- <16> STP1~STP7 : 제1 내지 제7 신호 전달 핀
- <17> SW1~SW7 : 제1 내지 제8 제어용 스위치
- <18> SSW : 선택 스위치
- <19> TOP : 전달 옵션 핀

도면

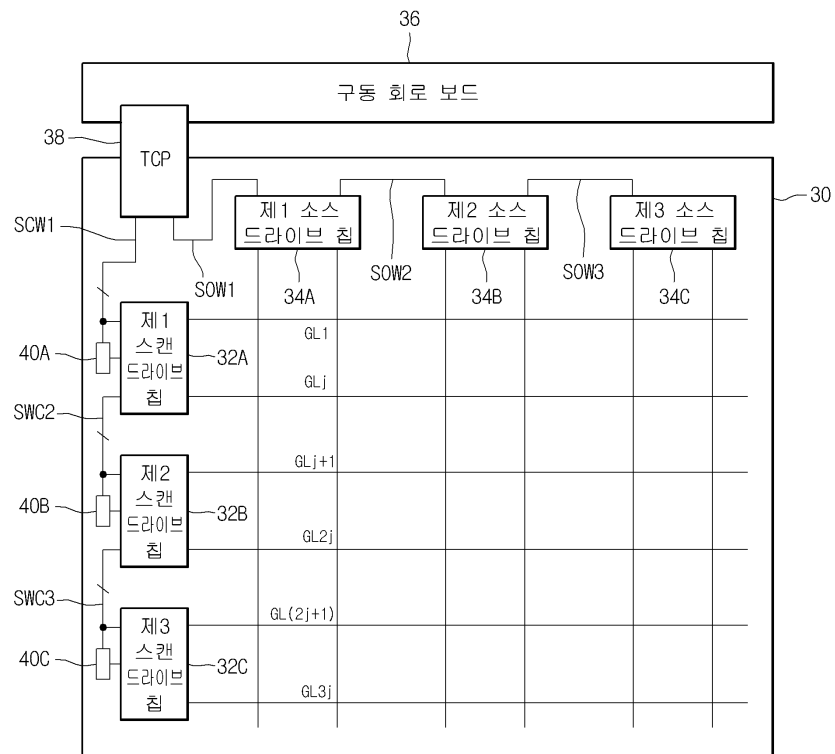
도면1



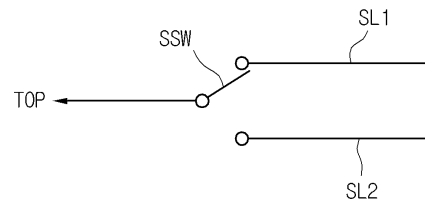
도면2



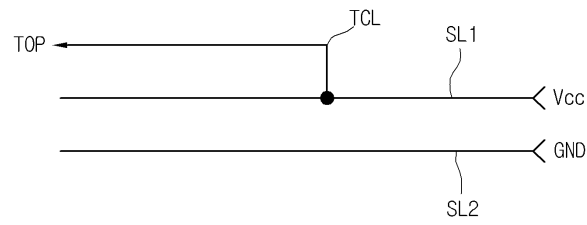
도면3



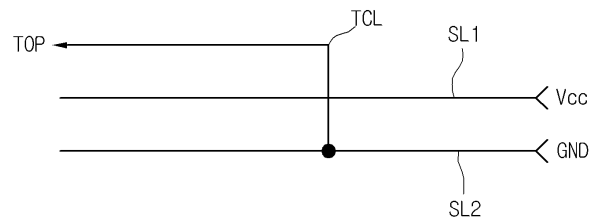
도면4



도면5a



도면5b



专利名称(译)	扫描驱动芯片和包括其的液晶显示模块		
公开(公告)号	KR1020080049371A	公开(公告)日	2008-06-04
申请号	KR1020060119844	申请日	2006-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG JAE HUN		
发明人	SONG, JAE HUN		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
其他公开文献	KR101296481B1		
外部链接	Espacenet		

摘要(译)

公开了一种扫描驱动器芯片，用于控制从信号输入引脚到信号传输引脚的驱动电压和控制信号的传输。扫描驱动器芯片包括：扫描电路单元，其顺序输出具有通过多个输出引脚移位的预定宽度的使能脉冲的多个扫描信号；信号输入引脚，用于外部输入扫描电路单元所需的驱动电压和控制信号；信号传输引脚，用于将来自信号输入引脚的驱动电压和控制信号以及来自扫描电路的信号传输到外部；用于切换驱动电压的控制开关，控制信号和扫描信号从扫描电路部分提供给信号输入引脚和信号传输引脚；并且传输选项引脚用于输入要提供给控制开关的控制端子的传输控制信号。

