

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0071339
G02F 1/133 (2006.01) (43) 공개일자 2006년06월26일

(21) 출원번호 10-2005-0126187
(22) 출원일자 2005년12월20일

(30) 우선권주장 JP-P-2004-00368708 2004년12월21일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 시게노부 다케시
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스
테크놀로지 지적재산권총괄부 내
히라키 미쯔루
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스
테크놀로지 지적재산권총괄부 내
호리구찌 마사시
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스
테크놀로지 지적재산권총괄부 내
오카도 가즈오
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스
테크놀로지 지적재산권총괄부 내
아끼바 다케사다
일본 홋카이도 캄 가메다궁 다나에쵸 나카지마 145반지가부시끼가이샤
르네사스 기따니혼 세미컨덕터 내

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) 액정 표시 구동용 반도체 집적 회로

요약

승압 회로를 갖는 전원 회로를 내장하고 TFT 액정 패널의 소스선과 게이트선을 구동하는 반도체 집적 회로화된 액정 구동 제어 장치에 있어서, 외장 용량 소자 및 외장 용량 소자를 접속하기 위한 외부 단자를 줄여 칩 및 이것을 탑재한 전자 기기의 소형화 및 저비용화를 도모한다. 이를 위해, 승압 회로를 갖는 전원 회로를 내장한 액정 구동 제어 장치 내의 TFT 액정 패널의 소스선을 구동하기 위한 전압을 생성하는 승압 회로(230)에는 외장 용량 소자를 갖는 승압 회로를 이용하는 한편, 게이트선을 구동하기 위한 전압을 생성하는 승압 회로(240)에는 내장(온 칩)의 용량 소자를 갖는 차지 펌프를 이용하도록 했다.

대표도

도 1

색인어

승압회로, 차지 펌프, TFT 액정 패널, 반도체 칩

명세서

도면의 간단한 설명

도 1은 승압형 전원 회로를 내장한 액정 컨트롤 드라이버와 이 드라이버에 의해 구동되는 TFT 액정 패널로 이루어지는 액정 표시 장치의 구성을 도시하는 블록도.

도 2는 본 발명을 적용한 액정 컨트롤 드라이버에 있어서의 게이트 드라이버용 승압 전원 회로의 실시예를 도시하는 블록도.

도 3a는 게이트 구동 파형의 플러스측의 승압 전압을 생성하는 차지 펌프의 일례를 도시하는 회로도.

도 3b는 마이너스측의 승압 전압을 생성하는 차지 펌프의 일례를 도시하는 회로도.

도 4는 게이트 구동 파형 및 소스 구동 파형을 나타내는 파형도.

도 5는 차지 펌프를 동작시키는 클럭의 파형을 나타내는 파형도.

도 6은 TFT 액정 패널의 화소 모델을 도시하는 등가 회로도.

도 7은 소스 구동용 승압 전원 회로의 실시예를 도시하는 회로도.

도 8a는 도 7의 전원 회로의 승압 회로의 충전 시의 스위치 상태 및 전류 경로를 나타내는 동작 설명도.

도 8b는 도 7의 전원 회로의 승압 회로의 전압 부스트 시의 스위치 상태 및 전류 경로를 도시하는 동작 설명도.

도 9는 실시예의 게이트 드라이버용 승압 전원 회로의 차지 펌프를 구성하는 용량 소자의 구성예를 도시하는 회로도.

도 10은 본 발명에 따른 게이트 드라이버용 승압 전원 회로의 제2 실시예를 도시하는 회로 구성도.

도 11a는 본 발명에 따른 게이트 드라이버용 승압 전원 회로의 제3 실시예를 도시하는 회로 구성도,

도 11b는 그 주요부의 구성예를 도시하는 회로도.

도 12는 본 발명에 따른 게이트 드라이버용 승압 전원 회로의 제4 실시예에 이용되는 차지 펌프의 구성을 도시하는 회로도.

도 13은 본 발명에 따른 게이트 드라이버용 승압 전원 회로의 제5 실시예에 이용되는 차지 펌프의 구성을 도시하는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

300 : TFT 액정 패널

200 : 액정 컨트롤 드라이버

- 210 : 소스 드라이버
- 220 : 게이트 드라이버
- 230 : 소스 드라이버용 승압 전원 회로
- 231 : 승압 회로
- 232 : 전압 반전 회로
- 240 : 게이트 드라이버용 승압 전원 회로
- 241 : 플러스측의 승압 전압 VGH를 생성하는 차지 펌프
- 242 : 마이너스측의 승압 전압 VGL을 생성하는 차지 펌프
- 243 : 발진 회로
- 244, 245 : 콤퍼레이터
- 250 : 표시용 RAM
- 260 : 제어부
- 270 : 타이밍 생성 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전원 전압을 승압한 전압을 발생하는 승압형 전원 회로를 내장한 액정 표시 구동용 반도체 집적 회로에 관한 것으로, 예를 들면 TFT(박막 트랜지스터)형 액정 표시 장치를 구동하는 액정 구동용 전원 회로를 내장한 액정 표시 제어용 LSI(대규모 반도체 집적 회로)에 이용하여 유효한 기술에 관한 것이다.

최근, 휴대 전화기나 PDA(Personal Digital Assistants) 등의 휴대용 전자 기기의 표시 장치로서는, 일반적으로 복수의 표시 화소가 예를 들면 매트릭스 형상으로 2차원 배열된 도트 매트릭스형 액정 패널이 이용되고 있고, 기기 내부에는 이 액정 패널의 표시 제어를 행하는 반도체 집적 회로화된 표시 제어 장치나 액정 패널을 구동하는 드라이버 회로 혹은 그와 같은 드라이버 회로를 내장한 표시 제어 장치가 탑재되어 있다. 이러한 반도체 집적 회로화된 표시 제어 장치는 5V 이하의 전압으로 동작 가능한 데 대하여, 액정 패널의 표시 구동에는 5~40V와 같은 구동 전압을 필요로 하기 때문에, 이 표시 제어 장치에는 전원 전압을 승압하여 액정 패널을 구동하는 전압을 발생하는 액정 구동용 전원 회로가 내장되어 있는 경우가 많다. 보다 구체적으로는, 6V 정도의 진폭을 갖는 소스선(세그먼트선) 구동 전압과, 그 수배의 진폭(약 40V)을 갖는 게이트선(커먼선) 구동 전압에 의해 액정 패널은 구동된다.

종래, 액정 구동용 전원 회로에는, 차지 펌프 등 스위칭 소자와 용량 소자를 조합한 승압 회로가 사용되고 있고, 용량 소자에는 외장 소자가 이용되는 경우가 많았다. 이러한 액정 구동용 전원 회로에 관한 발명으로서, 예를 들면 특허 문헌 1에 기재된 것이 있다.

발명이 이루고자 하는 기술적 과제

상기 선원 발명에 있어서의 전원 회로는, 세그먼트선 구동 전압을 생성하는 승압 회로(10)와 커먼선 구동 전압을 생성하는 승압 회로(20)에, 각각 외장 용량 소자를 갖는 일괄 부스트형의 승압 회로를 이용하고 있고, 각 승압 회로는 프리차지 후에

직렬 형태로 되는 승압용의 용량 소자를 각각 복수개 구비한다. 그 때문에, 외장 용량 소자와 이들을 접속하는 외부 단자의 수가 많아져, TFT형 액정 표시 장치(이하, TFT 액정 패널이라고 칭한다) 및 이것을 구동하는 액정 표시 제어용 반도체 집적 회로 및 이것을 탑재한 전자 기기의 소형화 및 저비용화를 곤란하게 한다고 하는 과제가 있다.

또한, 상기 선원 발명에 따른 특허 문헌 1의 공보에 있어서는, 복수의 용량 소자에 각각 전하를 프리차지한 후에, 이들의 용량 소자를 직렬 형태로 접속함으로써 한꺼번에 승압한 전압을 얻도록 한 승압 회로를 차지 펌프라고 칭하고 있지만, 본 명세서에 있어서는, 이러한 승압 방식의 회로를 스위치드 캐패시터형 승압 회로라고 칭하고, 병렬 형태로 설치된 복수의 용량 소자간에 정류 소자 또는 스위치 소자를 삽입하여 전하의 역전송을 방지한 상태에서 용량 소자의 반대측의 단자를 2상 클럭으로 교대로 두드려서 전하를 후단의 용량 소자로 차례차례로 전송함으로써 단계적인 승압을 행하는 승압 회로를 차지 펌프라고 칭하여, 상기 스위치드 캐패시터형 승압 회로와 구별한다.

본 발명의 목적은, 승압 회로를 갖는 전원 회로를 내장하고 TFT 액정 패널의 소스선과 게이트선을 구동하는 반도체 집적 회로화된 액정 구동 제어 장치에 있어서, 외장 용량 소자 및 외장 용량 소자를 접속하기 위한 외부 단자를 줄여 칩 및 이것을 탑재한 전자 기기의 소형화 및 저비용화를 도모하는 것에 있다.

본 발명의 다른 목적은, 승압 회로를 갖는 전원 회로를 내장하고 특히 TFT 액정 패널의 소스선과 게이트선을 구동하는 반도체 집적 회로화된 액정 구동 제어 장치에 있어서, 저 내압 프로세스를 채용 가능하게 하여 칩의 저비용화를 도모하는 것에 있다.

본 발명의 또 다른 목적은, 승압 회로를 갖는 전원 회로를 내장하고 반도체 집적 회로화된 액정 구동 제어 장치에 있어서, 승압 회로의 소비 전력을 저감할 뿐 아니라 출력 승압 전압을 안정화시키는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규인 특징에 대해서는, 본 명세서의 기술 및 첨부 도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 설명하면, 하기와 같다.

즉, 승압 회로를 갖는 전원 회로를 내장하고 특히 TFT 액정 패널의 소스선과 게이트선을 구동하는 반도체 집적 회로화된 액정 구동 제어 장치에 있어서, 소스선을 구동하기 위한 전압을 생성하는 승압 회로에는 외장 용량 소자를 갖는 승압 회로를 이용하는 한편, 게이트선을 구동하기 위한 전압을 생성하는 승압 회로에는 내장(온 칩)의 용량 소자를 갖는 차지 펌프를 이용하도록 한 것이다.

본 발명자가 검토한 바에 따르면, TFT 액정 패널의 소스선과 게이트선을 구동하는 액정 구동 제어 장치에 있어서는, 소스선을 구동하는 드라이버의 전류 능력에 비하여 게이트선을 구동하는 드라이버의 전류 능력 쪽이 훨씬 작게 된다. 그 때문에, 게이트선을 구동하는 드라이버에 공급하는 전원 전압을 생성하는 전원 회로를 구성하는 승압 회로에는 내장(온 칩)의 용량 소자를 이용하더라도 필요로 되는 전류를 공급할 수 있다. 상기한 수단에 따르면, 게이트선을 구동하기 위한 전압을 생성하는 승압 회로에는 내장(온 칩)의 용량 소자를 갖는 차지 펌프를 이용하도록 하고 있기 때문에, 필요한 전류 능력을 담보하면서 외장 용량 소자를 이용하는 승압 회로에 비하여 외장 소자 수 및 외부 단자 수를 줄일 수 있고, 그것에 의하여 칩의 소형화 및 저비용화, 나아가서는 이것을 탑재한 전자 기기의 소형화 및 저비용화를 달성할 수 있다.

또한, 바람직하게는, 상기 내장(온 칩)의 용량 소자는, 직렬 형태의 용량 소자를 이용하고 그 접속점에는 저항으로 분압한 전압을 인가하도록 구성한다. 이에 의해, 하나하나의 승압용의 용량 소자에 인가되는 전압을 작게 할 수 있어, 용량 소자의 내압을 낮출 수 있다. 또한, 콤퍼레이터나 오차 앰프를 구비하고 승압된 전압의 레벨을 조정할 수 있는 전압 조정 회로를 갖는 승압 회로에 있어서는, 승압 전압을 분압하는 가변 저항 회로를 출력 단자측이 아니라 전원 전압(정전위) 단자측에 설치한다. 가변 저항 회로를 출력 단자측에 설치한 쪽이 조정 정밀도는 높게(조정은 하기 쉽게) 되지만, 전원 전압 단자측에 설치함으로써 가변 저항 회로를 구성하는 스위치 소자의 내압을 낮출 수 있다.

또한, 바람직하게는, 게이트선을 구동하기 위한 전압을 생성하는 승압 회로를 차지 펌프로 구성하고, 이 차지 펌프의 단 수를 절환 가능하게 하여 예를 들면 표시 패널의 사양 또는 표시 모드 내지는 동작 모드에 따라서 차지 펌프의 단 수를 절환하도록 한다. 이에 의해, 차지 펌프의 소비 전력을 줄여 전력 효율을 향상시킬 수 있다.

<발명을 실시하기 위한 최량의 형태>

이하, 본 발명의 적합한 실시예를 도면에 기초하여 설명한다.

우선, 본 발명을 적용하여 유효한 승압형 전원 회로를 내장한 액정 표시 제어용 반도체 집적 회로(액정 컨트롤 드라이버)(200)를, 도 1을 이용하여 설명한다. 도 1은, 승압형 전원 회로를 내장한 액정 컨트롤 드라이버(200)와 이 드라이버에 의해 구동되는 TFT 액정 패널(300)로 이루어지는 액정 표시 장치의 구성을 도시하는 블록도이다.

도 1에 있어서, 200은 액티브 매트릭스 방식으로 액정 패널을 구동하여 표시를 행하는 액정 컨트롤 드라이버 LSI, 300은 이 액정 컨트롤 드라이버 LSI(200)에 의해 구동되는 TFT 액정 패널이다. 액정 컨트롤 드라이버 LSI(200)는, TFT 액정 패널(300)의 소스선(소스 전극)(SL)을 화상 신호에 따라서 구동하는 소스 드라이버(210), TFT 액정 패널(300)의 게이트선(게이트 전극)(GL)을 순서대로 주사 구동하는 게이트 드라이버(220), 소스 드라이버(210)에 필요로 되는 구동 전압을 발생하는 소스 드라이버용 승압 전원 회로(230), 게이트 드라이버(220)에 필요로 되는 구동 전압을 발생하는 게이트 드라이버용 승압 전원 회로(240), 액정 패널(300)에 표시해야 할 화상 데이터를 비트맵 방식으로 기억하는 표시용 RAM(250), 외부의 마이크로프로세서(이하, MPU 또는 CPU라고도 한다) 등으로부터의 명령에 기초하여 칩 내부 전체를 제어하는 제어부(260), 소스 드라이버(210)나 게이트 드라이버(220)의 동작 타이밍을 부여하는 클럭을 생성하는 타이밍 생성 회로(270) 등을 구비하고, 이들의 회로는 단결정 실리콘과 같은 1개의 반도체 칩 상에 구성되어 있다. 또한, LSI(200)는, 제1 전위와 같은 전원 전압 Vcc가 공급되는 외부 단자와 제2 전위와 같은 접지 전위가 공급되는 외부 단자를 갖는다.

상기 소스 드라이버용 승압 전원 회로(230)는, 승압용의 용량 소자(C1, C2……)와 출력 전압을 안정화시키는 평활 용량(Cs0)이 외장 소자로서 접속되고, 게이트 드라이버용 승압 전원 회로(240)는, 평활 용량(Cs1)이 외장 소자로서 접속되고, 승압용의 용량 소자는 내장(온 칩)의 소자로서 설치되어 있다. 도시하지 않지만, 이 액정 컨트롤 드라이버(200)에는, 표시용 RAM(250)에 대한 어드레스를 생성하는 어드레스 카운터나, 표시용 RAM(250)으로부터 판독된 데이터와 외부의 MPU 등으로부터 공급된 새로운 표시 데이터에 기초하여 워터마크 표시나 중첩 표시를 위한 논리 연산을 행하는 논리 연산 수단, 외부의 시스템 제어 장치로서의 MPU(마이크로프로세서)와의 사이의 신호의 교환을 행하는 인터페이스 회로 등이 설치되어 있다.

또한, 상기 제어부(260)의 제어 방식으로서, 외부의 MPU로부터 커맨드 코드를 받으면 이 커맨드를 디코드하여 제어 신호를 생성하는 방식이나 미리 제어부 내에 복수의 커맨드 코드와 실행할 커맨드를 지시하는 레지스터(인덱스 레지스터라고 칭한다)를 구비하고, MPU가 인덱스 레지스터에 기입을 행함으로써 실행하는 커맨드를 지정하여 제어 신호를 생성하는 방식 등 임의의 제어 방식을 취할 수 있다.

이와 같이 구성된 제어부(260)에 의한 제어에 의해서, 액정 컨트롤 드라이버(200)는, 외부의 MPU로부터의 명령 및 데이터에 기초하여 전술한 TFT 액정 패널(300)에 표시를 행할 때에, 표시 데이터를 표시용 RAM(250)에 순차적으로 기입해 가는 모화 처리를 행할 뿐 아니라, 표시용 RAM(250)으로부터 순차적으로 표시 데이터를 판독하는 판독 처리를 행하여 TFT 액정 패널(300)의 소스선(SL)에 인가하는 신호 및 게이트선(GL)에 인가하는 신호를 드라이버(210, 220)에 의해 출력시킴으로써 액정 표시가 행해진다.

도 2는, 본 발명을 적용한 액정 컨트롤 드라이버에 있어서의 게이트 드라이버용 승압 전원 회로(240)의 실시예를 나타낸다. 게이트 드라이버용 승압 전원 회로(240)는, 도 4에 도시하는 바와 같은 게이트 구동 파형 GDW의 플러스측의 승압 전압 VGH를 생성하는 차지 펌프(241), 마이너스측의 승압 전압 VGL을 생성하는 차지 펌프(242), 이들의 차지 펌프를 동작시키는 2상 클럭을 생성하는 공통의 발진 회로(243), 플러스측의 차지 펌프(241)에 의해 생성된 승압 전압 VGH의 레벨을 검출하는 콤퍼레이터(244), 마이너스측의 차지 펌프(242)에 의해 생성된 승압 전압 VGL의 레벨을 검출하는 콤퍼레이터(245) 등에 의해 구성되어 있다. 그리고, 이 전원 회로(240)의 전압 출력 단자(VO1, VO2)에는, 플러스측의 승압 전압 VGH를 안정화시키는 평활 용량(Cs1)과 마이너스측의 승압 전압 VGL을 안정화시키는 평활 용량(Cs2)이, 외장 소자로서 접속되어 있다.

차지 펌프(241)에는 발진 회로(243)로부터의 클럭 ϕ_1 , $/\phi_1$ 이 AND 게이트(247)를 통하여 공급되고, 콤퍼레이터(244)에는 플러스측의 승압 전압 VGH를 저항(R1, R2)으로 분압한 전압과 참조 전압 Vref가 입력되고, 승압 전압 VGH가 소정의 레벨 이상으로 되면 그 출력이 로우 레벨로 변화하여 AND 게이트(247)를 폐쇄하고 클럭의 공급을 차단하여 차지 펌프(241)의 동작을 정지시킨다. 또한, 차지 펌프(242)에는 발진 회로(243)로부터의 클럭 ϕ_2 , $/\phi_2$ 가 AND 게이트(248)를 통하여 공급되고, 콤퍼레이터(245)에는 마이너스측의 승압 전압 VGL과 정전압 Va의 전위차를 저항(R3, R4)으로 분압한 전압과 참조 전압 Vref가 입력되고, 승압 전압 VGL이 소정의 레벨 이하로 되면 그 출력이 로우 레벨로 변화하여 AND 게이트(248)를 폐쇄하고 클럭의 공급을 차단하여 차지 펌프(242)의 동작을 정지시킨다. 이에 의해, 원하는 레벨의 승압 전압을 발생시킬 수 있다.

또한, 콤퍼레이터(244와 245)의 출력은 OR 게이트(246)에 입력되고 있고, 모두 로우 레벨로 되면 발진 회로(243)의 동작을 정지시킨다. 이에 의해, 플러스측과 마이너스측의 양쪽의 차지 펌프의 출력이 필요 이상의 레벨로 된 경우에는, 클럭의 발생이 정지되어 쓸데없는 소비 전류가 흐르는 것을 방지할 수 있도록 되어 있다. 또한, 콤퍼레이터(244)의 참조 전압 V_{ref} 를 콤퍼레이터(245)의 참조 전압 V_{ref} 로 하여 동일한 정전압(예를 들면 2V)을 이용할 수 있도록, 저항(R_1, R_2)의 비와 (R_3, R_4)의 비와 정전압 V_a 의 레벨(예를 들면 3V)이 설정되어 있다. 차지 펌프(241)에는 도 3a에 도시하는 바와 같은 회로가, 또한 차지 펌프(242)에는 도 3b에 도시하는 바와 같은 회로가 이용된다.

이들의 차지 펌프는, 도 5에 도시하는 바와 같이 상호 하이 레벨 기간이 중첩되지 않도록 생성되는 대략 역상의 클럭 $\phi_1, /\phi_1$ ($\phi_2, /\phi_2$)에 의해서 직렬 형태로 접속된 MOS 트랜지스터(절연 게이트형 전계 효과 트랜지스터)(Q_{d1}, Q_{d2}, \dots)가 교대로 온, 오프 동작되고, 초단의 승압용 용량 소자(C_{b1})에 축적된 전하가 $C_{b2}, C_{b3}, \dots, C_{s1}(C_{s2})$ 로 차례차례로 전송되는 것에 의해 승압된 전압 $V_{GH}(V_{GL})$ 가 생성된다. MOS 트랜지스터(Q_{d1}, Q_{d2}, \dots)의 게이트 제어 전압을 생성하는 인버터(INV_1, INV_2, \dots)는, 각각 다음단과 이전단의 승압 전압을 전원 전압으로서 동작하도록 접속이 이루어지는 것에 의해, 저 내압의 소자로 구성할 수 있을 뿐 아니라, MOS 트랜지스터(Q_{d1}, Q_{d2}, \dots)가 온될 때의 저항을 비교적 작게 할 수 있어, 고효율인 차지 펌프를 실현할 수 있다.

또한, 도 3a, 도 3b에 도시되어 있는 차지 펌프는 일례이고, 본 발명에서 사용 가능한 차지 펌프는 이러한 구성의 것에 한정되는 것은 아니다. 예를 들면, 상기 인버터(INV_1, INV_2, \dots)의 전원 전압으로서 다음단의 승압 전압 대신에 차례차례단의 승압 전압을 전원 전압으로서 동작하도록 접속된 것을 이용해도 되고, 일본 특허공개 2002-025287호 공보의 도 8에 도시되어 있는 바와 같은 MOS 트랜지스터의 게이트 전압을 승압하는 부스트용의 용량을 이용한 차지 펌프를 사용해도 된다. 단, 그 경우, 부스트용의 용량도 승압용 용량 소자($C_{b1}, C_{b2}, C_{b3}, \dots$)와 마찬가지로, 온 칩의 소자를 이용하는 것이 바람직하다. 또한, MOS 트랜지스터(Q_{d1}, Q_{d2}, \dots)의 게이트를 구동하는 인버터도 부스트용의 용량도 설치하지 않고, MOS 트랜지스터(Q_{d1}, Q_{d2}, \dots)의 게이트와 드레인을 결합하여 다이오드로서 작용하도록 접속한 것, 혹은 MOS 트랜지스터 대신에 다이오드를 이용한 컨벤셔널한 차지 펌프 회로를 사용하도록 해도 된다.

도 7에는, 상기 소스 드라이버용 승압 전원 회로(230)의 구체적인 회로 구성예를 나타낸다. TFT 액정 패널의 소스선(SL)과 게이트선(GL)에 인가되는 전압의 파형을 도시하는 도 4를 참조하면 명확한 바와 같이, 소스선(SL)에 인가되는 소스 구동 전압 파형 SDW를 생성하기 위해서는, 액정 중심 전위 VMID를 중심으로 하여 대칭인 전압 VSH와 VSL이 필요하다.

본 실시예에 있어서는, 도 7에 도시되어 있는 바와 같이, 소스 드라이버용 승압 전원 회로(230)를, 플러스측의 전압 VSH를 발생하는 승압 회로(231)와, 이 승압 회로(231)의 출력 전압을 VMID 중심으로 반전하여 마이너스측의 전압 VSL을 생성하는 전압 반전 회로(232)로 구성하고 있다. 또한, TFT 액정 패널을 구동하기 위해서는 화소 전극에 대항하는 기관측의 전극에 인가하는 교류 파형을 생성하기 위한 전압 V_{comH}, V_{comL} 이 필요하지만, 이들의 전압은 상기 전압 VSH, VSL을 레벨 시프트함으로써 생성할 수 있으므로, 특히 승압 회로를 설치할 필요는 없으므로, 도시 및 설명을 생략한다.

또한, 이 실시예의 승압 회로(231) 및 전압 반전 회로(232)에는, 전원 회로의 기동 신호 ST에 의해서 클럭의 공급 제어가 이루어지는 AND 게이트 G_1, G_2 및 G_3, G_4 가 설치되어 있고, 기동 신호 ST가 로우 레벨인 동안에는 클럭 $\phi_0, /\phi_0$ 의 공급이 차단되어 승압 동작을 행하지 않고, 기동 신호 ST가 하이 레벨로 되면 클럭 $\phi_0, /\phi_0$ 이 공급되어 승압 동작을 개시하도록 구성되어 있다.

플러스의 소스 전압 VSH를 발생하는 상기 승압 회로(231)는, 클럭 신호 ϕ_0 에 의해 온, 오프 동작되는 스위치(SW1~SW4)와, 상기 클럭 신호 ϕ_0 과 하이 레벨의 기간이 중첩되지 않도록 형성된 클럭 신호 $/\phi_0$ 에 의해 온, 오프 동작되는 스위치(SW5~SW7)와, 스위치(SW5~SW7)에 의해 직렬 형태로 되는 승압 용량(C_1, C_2)과, 출력 단자(OUT1)에 접속된 출력의 평활 용량(C_{s0})으로 구성되어 있다.

상기 승압 용량(C_1)의 저전위측의 단자(C_1^-)는 스위치(SW4 또는 SW7)를 통하여 접지점 또는 제1 기준 전위 단자(T_1)에 접속 가능하게 되어 있을 뿐 아니라, 승압 용량(C_1)의 고전위측의 단자(C_1^+)는 스위치(SW3)를 통하여 제1 기준 전위 단자(T_1)에 접속 가능하게 되어 있다. 또한, 상기 승압 용량(C_2)의 저전위측의 단자(C_2^-)는 스위치(SW2)를 통하여 접지점에 접속 가능하게 되어 있을 뿐 아니라, 승압 용량(C_2)의 고전위측의 단자(C_2^+)는 스위치(SW1)를 통하여 제1 기준 전위 단자(T_1)에 접속 가능하게 되어 있다.

또한, 출력 단자(OUT1)와 상기 승압 용량(C_2)의 고전위측의 단자(C_2^+) 사이는 스위치(SW5)를 통하여 접속 가능하게 되어 있을 뿐 아니라, 승압 용량(C_2)의 저전위측의 단자(C_2^-)와 승압 용량(C_1)의 고전위측의 단자(C_1^+) 사이는 스위치(SW6)를 통하여 접속 가능하게 되어 있다. 그리고, 상기 제1 기준 전위 단자(T_1)에는 정전압 V_{c1} 이 인가되고 있다.

상기한 바와 같이 구성된 승압 회로(231)는, 클럭 신호 ϕ_0 이 하이 레벨로 되어 도 8a와 같이 스위치(SW1~SW4)가 온(이때 SW5~SW7은 오프)되어 있는 동안에 승압 용량(C1, C2)이 기준 전압 V_{c1} 의 레벨로 충전된다. 그리고, 다음으로, 스위치(SW1~SW4)가 오프되고 대신에 스위치(SW5~SW7)가 온 상태로 되어, 도 8b와 같이 승압 용량(C1, C2)이 직렬 형태로 될 뿐 아니라, 승압 용량(C1)의 기준단측 즉 저전위측의 단자(C1-)는 스위치(SW7)를 통하여 제1 기준 전위 단자(T1)에 접속된다. 이에 의해서, 출력 단자(OUT1)의 전압은 V_{c1} 의 3배의 레벨로 승압된다. 상기 충전 동작과 부스트 동작을 반복함으로써, 승압 용량(C2)에 충전된 전하가 출력 단자(OUT1)에 접속되어 있는 평활 용량(C_{s0})으로 전송되고, $3V_{c1}$ 의 승압 전압 VSH가 출력된다.

전압 반전 회로(232)는, 승압 회로(231)에서 발생된 플러스의 승압 전압 VSH가 인가되는 전압 단자(Ta)와, 액정 중심 전위 V_{MID} 가 인가되는 제2 기준 전압 단자(Tb)와, 전압 반전용 용량(C21)과, 이 용량(C21)의 한쪽의 단자와 상기 전압 단자(Ta)와의 사이 및 전압 단자(Tb)와의 사이에 각각 접속된 스위치(SW8, SW10)와, 전압 반전용 용량(C21)의 다른 쪽의 단자와 상기 전압 단자(Tb)와의 사이 및 출력 단자(OUT2)와의 사이에 각각 접속된 스위치(SW9, SW11)와, 출력 단자(OUT2)와 접지점 사이에 접속된 부전압용 평활 용량(C_{s10})으로 구성되어 있다.

이 실시예의 전압 반전 회로(232)는, 서로 하이 레벨 기간이 중첩되지 않도록된 클럭 ϕ_0 , $/\phi_0$ 에 의해 스위치(SW8 및 SW9)를 온, (SW10, SW11)을 오프시켜, 전압 반전용 용량(C21)에 플러스의 승압 전압 VSH와 액정 중심 전위 V_{MID} 와의 전위차에 상당하는 전압을 충전시킨 후, 스위치(SW8 및 SW9)를 오프, 또한 스위치(SW10과 SW11)를 온시킴으로써 액정 중심 전위 V_{MID} 를 중심으로 하여 상기 승압 전압 VSH와 극성이 반대인 부전압 VSL로, 출력 단자(OUT2)에 접속되어 있는 평활 용량(C_{s10})을 충전하도록 동작된다.

상기한 바와 같이 이 실시예의 액정 구동용 전원 회로에 있어서는, 게이트 드라이버용 전압 VGH, VGL을 발생하는 승압 회로(240)가 차지 펌프에 의해 구성되고, 그 승압 용량이 내장 소자로 구성되어 있기 때문에, 외장 용량 소자 수의 저감이 가능하게 된다. 한편, 소스 드라이버용 승압 전원 회로(230)는, 외장 승압 용량에 각각 전하를 프리차지한 후에, 이들의 용량 소자를 직렬 형태로 접속함으로써 일거에 승압한 전압을 얻는 스위치드 캐패시터형 승압 회로를 이용하고 있다.

외장 용량 소자 수의 저감을 위해서는, 소스 드라이버용 승압 전원 회로(230)도 내장 용량을 이용한 승압 회로로 구성하는 것이 바람직하지만, 예를 들면 외장 용량 소자를 사용한 스위치드 캐패시터형 승압 회로를 이용하고 있는 것은 소스 드라이버용 승압 전원 회로 쪽이 높은 전류 공급 능력을 필요로 하기 때문이다. 여기서, 소스 드라이버용 승압 전원 회로 쪽이 게이트 드라이버용 승압 전원 회로보다도 높은 전류 공급 능력을 필요로 하는 이유를, 도 6의 액정 화소 모델을 참조하여 설명한다.

TFT 액정 패널은 복수의 게이트선과 복수의 소스선이 교차하도록 배치되고, 게이트선과 소스선의 교점에 각각 화소가 설치되어 있다. 그리고, 각 화소는, 도 6에 도시하는 바와 같이, 화소 전극과 대향 전극 사이에 형성되는 화소 용량(C_{px})과, 용량 부족을 보충하여 리크에 의한 화소 전극의 전위 저하를 억제하기 위한 축적 용량(C_{st})과, 화소 용량(C_{px})의 한쪽의 단자에 드레인 단자가 접속될 뿐 아니라 게이트선(GL)에 게이트 단자가, 또한 소스선(SL)에 소스 단자가 접속된 TFT로 이루어지는 선택 스위치·트랜지스터(Q_s)로 구성된다. 이러한 화소에 있어서는, 게이트선(GL)에 TFT의 게이트 기생 용량(C_g)이, 또한 소스선(SL)에는 TFT의 소스 영역에 기생하는 PN 접합 용량(C_j)이 접속되게 된다. 따라서, 게이트 드라이버는 게이트선(GL) 외에 TFT의 게이트 기생 용량(C_g)을, 또한 소스 드라이버는 소스선(SL) 외에 화소 용량(C_{px})과 축적 용량(C_{st})과 TFT의 PN 접합 용량(C_j)을, 각각 구동할 필요가 있다.

일례로서, 액정 패널의 크기(가로×세로)가 화소 수로 $X \times Y$, 라인 교류 주파수가 f_a 인 경우를 고려한다. 이 때, 프레임 주기 T 는 $1/(2f_a)$ 로 나타내어진다. 게이트선(GL)에 인가되는 구동 전압의 진폭은 상기 설명으로부터 ($VGH-VGL$), 소스선(SL)에 인가되는 구동 전압의 진폭은 ($VSH-VSL$)인 것을 알 수 있다. 따라서, 게이트 드라이버의 평균의 전류 공급 능력 I_{g_ave} 와 소스 드라이버의 평균의 전류 공급 능력 I_{s_ave} 는, 각각 다음식

$$I_{g_ave} = X \cdot C_g \cdot (VGH - VGL) \cdot 2f_a \cdot Y$$

$$I_{s_ave} = X \cdot \{(C_{px} + C_{st}) + C_j \cdot Y\} \cdot (VSH - VSL) \cdot 2f_a \cdot Y$$

로 나타내어진다.

여기서, 패널 사이즈 X×Y가 720×270, 라인 교류 주파수 fa가 60Hz, 게이트 기생 용량(Cg)이 100fF, 화소 용량(Cpx)이 250fF, 축적 용량(Cst)이 650fF, 접합 용량(Cj)이 100fF, 게이트선 구동 전압의 진폭(VGH-VGL)이 25V, 소스선 구동 전압의 진폭(VSH-VSL)이 5V라고 하면, 상기 식으로부터 Ig_ave=0.068mA, Is_ave=3.8mA로, 소스 드라이버의 전류 공급 능력 Is_ave 쪽이 게이트 드라이버의 전류 공급 능력 Ig_ave보다도 2자릿수 클 필요가 있다는 것을 알 수 있다.

반대로 말하면, 게이트 드라이버의 전류 공급 능력은 소스 드라이버의 전류 공급 능력보다도 훨씬 작아도 된다. 이것은, 게이트선 구동 전압의 진폭은 소스선 구동 전압의 진폭보다도 크지만, 게이트 드라이버의 부하는 게이트선(GL)의 배선 용량과 TFT의 게이트 용량(게이트선(GL)을 TFT의 게이트 전극으로 하는 경우에는 게이트선(GL)의 배선 용량)뿐이고 또한 한 번에 구동되는 것은 Y개의 게이트선 중 1개인 데 대하여, 소스 드라이버의 부하는 소스선(SL)의 배선 용량 외에 TFT의 접합 용량(Cj)과 화소 용량(Cpx)과 축적 용량(Cst)이 포함되고 게다가 X개의 모든 소스선을 동시에 구동할 필요가 있기 때문이다.

그런데, 승압 회로의 출력 전압 Vout는 내부 손실에 의해 입력 전압 Vcc의 m배(m은 승압 배율)보다도 낮아지는 것이 알려져 있고, 그 전압 강하량은 출력 전류 Lave에 비례하고, 승압 회로의 동작 주파수 fb와 사용하는 승압 용량의 용량값 Cb에 반비례하며, 출력 전압 Vout는 다음식

$$Vout = m \cdot Vcc - n \cdot Lave / fb \cdot Cb$$

로 나타내어진다. 또한, 상기 식에 있어서 n은 상수이다.

여기서, 예를 들면 승압 회로가 동작 주파수 fb로서 10MHz, 용량값 Cb로서 100pF를 사용한다고 가정하여, 제2항의 출력 전류 Lave와 출력 임피던스항 1/fb·Cb와의 곱인 전압 강하량 Lave/fb·Cb의 오더를 어렵하면, 게이트 드라이버의 전류 공급 능력 Ig_ave=0.068mA이고, 소스 드라이버의 전류 공급 능력 Is_ave=3.8mA이기 때문에, 게이트 드라이버용 승압 회로의 Lave/fb·Cb는 0.68[V], 소스 드라이버용 승압 회로의 Lave/fb·Cb는 3.8[V]로 된다.

따라서, 상기한 바와 같은 조건의 경우, 게이트 드라이버용 승압 회로의 전압 강하량은 0.68[V]로 문제는 없지만, 소스 드라이버용 승압 회로의 전압 강하량은 지나치게 커서 실용적이지 않다. 이것을 해결하기 위해서는, 전압 강하량의 항 Lave/fb·Cb에 있어서의 Cb의 값을 크게 하는, 즉 승압 용량으로서 용량값이 큰 외장 소자를 사용하는 것이 유효한 대책이라는 것을 알 수 있다. 본 발명은, 이러한 검토 결과에 기초하여, 게이트 드라이버용 승압 전원 회로의 승압 용량을 온 칩의 소자로 구성하여 외장 소자 수 및 외부 단자 수를 줄이는 한편, 소스 드라이버용 승압 회로의 승압 용량은 외장 소자를 이용하는 것으로 한 것이다.

또한, 상기 검토 결과에 따르면, TFT 액정 패널의 컨트롤 드라이버 LSI의 외장 소자 수 및 칩 사이즈를 저감하기 위해서는, 게이트 드라이버용 승압 전원 회로(240)의 승압 용량으로서 온 칩의 소자를 사용하면 되고, 실시예와 같이 게이트 드라이버용 승압 전원 회로(240)를 차지 펌프로 구성하는 것은 필수 요건이 아니다. 한편, 소스 드라이버용 승압 전원 회로(230)는, 비교적 큰 전류 공급 능력이 필요로 되기 때문에 승압 용량으로서 외장 소자를 사용해야 하지만, 실시예와 같이 스위치드 캐패시터형의 승압 회로를 사용하는 것은 필수 요건이 아니고, 소스 드라이버용 승압 전원 회로(230)를 차지 펌프로 구성하고 승압 용량으로서 외장 소자를 이용하도록 해도 된다.

도 9에는, 승압 용량으로서 온 칩의 소자를 사용하는 상기 실시예의 게이트 드라이버용 승압 전원 회로(240)에 있어서의 온 칩의 용량 소자의 바람직한 형태가 도시되어 있다. 도 9a에 도시되어 있는 바와 같이, 게이트 드라이버용 승압 전원 회로(240)를 구성하는 온 칩의 용량 소자로서, 직렬 형태의 용량 소자(C11, C12)를 이용하고 그 접속점에는 저항(R11, R12)으로 분압한 전압을 인가하도록 구성한다. 이에 의해, 하나하나의 승압용의 용량 소자에 인가되는 전압을 작게 할 수 있어, 용량 소자의 내압을 낮추는 것 및 저 내압 프로세스를 채용하는 것이 가능하게 된다.

또한, 도 9a와 같은 직렬 형태의 용량 소자(C11, C12)를 이용하는 경우, (C11, C12) 각각의 소자의 용량값을, 도 3에 도시되어 있는 차지 펌프의 승압용 용량 소자(Cb1~Cbn)의 용량값 C의 2배의 값 2C로 함으로써, (C11, C12)의 합성 용량값을 도 3의 승압용 용량 소자 1개의 용량값 C와 동일하게 할 수 있으므로, 이미 용량값이 결정되어 있는 경우에는 설계가 용이해진다. 마찬가지로, 도 9b와 같이, 직렬 형태의 용량 소자(C11, C12)와 이들과 병렬 형태의 용량 소자(C13, C14)를 설치하고, 저항(R11, R12)으로 분압한 전압을 인가하도록 구성해도 된다. 이 경우, (C11~C14) 각각의 소자의 용량값을 도 3의 승압용 용량 소자의 용량값 C와 동일한 값으로 함으로써, (C11~C14)의 합성 용량값을 도 3의 승압용 용량 소자 1개의 용량값 C와 동일하게 할 수 있다.

다음으로, 본 발명의 제2 실시예를, 도 10을 이용하여 설명한다. 제2 실시예는, 도 2의 제1 실시예의 게이트 드라이버용 승압 전원 회로(240)에 있어서의 콤퍼레이터(244, 245) 대신에, 2개의 입력의 전위차에 따른 전압을 출력하는 오차 앰프 AMP1, AMP2를 설치할 뿐 아니라, 각 차지 펌프(241, 242)의 입력측에 입력 제어용의 MOS 트랜지스터(Q1, Q2)를 설치하고, 오차 앰프 AMP1, AMP2의 출력을 MOS 트랜지스터(Q1, Q2)의 게이트 단자로 피드백함으로써, 시리즈 레귤레이터와 마찬가지로 원리로 출력 전압의 레벨을 제어하도록 한 것이다.

즉, 이 실시예의 승압 회로에 있어서는, 저항(R1, R2와 R3, R4)에 의해 분압된 전압이 참조 전압 Vref와 일치하도록, 입력 제어용의 MOS 트랜지스터(Q1, Q2)에 피드백이 걸림으로써, 출력 전압이 소정의 값으로 유지된다. 또한, 입력 제어용의 MOS 트랜지스터(Q1, Q2)에서 제어된 전압 Vcc', Vcc"는, 플러스측의 차지 펌프(241)에서는 클럭 드라이버(인버터)의 전원 전압과 승압용 입력 전압으로서 공급되고, 마이너스측의 차지 펌프(242)에서는 클럭 드라이버(인버터)의 전원 전압으로서 공급된다.

도 11에는, 본 발명에 따른 승압 회로의 제3 실시예가 도시되어 있다.

이 실시예는, 도 11a와 같이, 도 2의 제1 실시예의 게이트 드라이버용 승압 전원 회로(240)에 있어서의 콤퍼레이터(244, 245)의 입력측의 저항(R1, R2 및 R3, R4)으로 이루어지는 저항 분압 회로의 한쪽에 가변 저항을 이용함으로써 출력 승압 전압 VGH, VGL의 레벨을 조정 가능하게 함과 함께, 저항 분압 회로를 구성하는 저항(R1, R2와 R3, R4) 중 VGH, VGL의 출력 노드와는 반대측의 저항(R2, R3)을 가변 저항으로 함으로써 저항 절환 스위치 소자로서 저 내압의 MOS 트랜지스터를 사용할 수 있게 한 것이다.

구체적으로는, 전압 조정 회로를, 도 11b와 같이, 복수의 직렬 저항(Rt1, Rt2……Rtn)과, 이들의 저항과 병렬로 설치된 스위치 소자(SWt1, SWt2 …… SWtn)로 구성함과 함께 제어용의 레지스터(REG1)를 설치하고, 스위치 소자(SWt1, SWt2 …… SWtn)를 레지스터(REG1)의 설정값에 의해 온/오프 제어하여 저항값을 변화시키고, 콤퍼레이터(244, 245)에 입력되는 전압을 조정하도록 구성되어 있다. 본 실시예에서는, 사용하는 액정 패널의 사양 혹은 표시 모드에 따라서 레지스터(REG1)에 설정할 값을 재기입함으로써 발생하는 승압 전압 VGH, VGL을 조정할 수 있다.

일반적으로, 가변 저항과 오피앰프를 이용한 전압 조정 회로에서는, 오피앰프의 출력 Vo가, 차지 펌프(241)측에서 고려하면, $V_o = (1 + R_1/R_2) \cdot V_{ref}$ 로 나타내어지는 것으로부터도 알 수 있는 바와 같이, 저항(R1)의 값을 변경하는 쪽이 출력을 리니어적으로 제어할 수 있기 때문에 전압 조정이 용이하다. 이에 대하여, 본 실시예에 있어서는, 전압 조정의 용이함보다도 스위치 소자(SWt1, SWt2……SWtn)로서 이용하는 MOS 트랜지스터의 저 내압화를 우선하는 것으로 했다. 이에 의해, 저 내압 프로세스를 사용할 수 있어, 고 내압 프로세스를 사용하는 경우에 비하여 제조 코스트를 낮출 수 있다.

도 12에는, 본 발명에 따른 승압 회로의 제4 실시예가 도시되어 있다.

이 실시예는, 게이트 드라이버용 승압 전원 회로(240)를 구성하는 차지 펌프(241, 242)의 승압 단수를 절환 가능하게 하고, 레지스터(REG2)의 설정값에 의해 절환하도록 한 것이다. 이 실시예는, 예를 들면 액정 패널의 사양이나 표시 모드나 동작 모드에 따라서 레지스터(REG2)의 설정값을 변경하고, 필요로 되는 승압 전압값에 따라서 차지 펌프의 승압 단수를 절환하는 것에 의해서, 차지 펌프의 쓸데없는 소비 전력을 줄일 수 있다.

차지 펌프의 승압 단수를 절환하기 위해서, 다이오드 접속된 복수의 MOS 트랜지스터가 직렬로 접속된 컨벤셔널한 차지 펌프를 사용하는 경우에는, 각 승압용의 용량에 클럭을 공급하거나 차단하거나 할 수 있는 게이트를 설치하여, 클럭을 차단하는 게이트의 수를 제어함으로써 동작하는 단 수를 임의의 수만큼 줄이도록 구성할 수 있다. 도 3에 도시되어 있는 차지 펌프에 있어서도, 각 승압용의 용량에 클럭을 공급하거나 차단하거나 할 수 있는 게이트를 별도로 설치하여 동작하는 단 수를 임의의 단 수로 절환하도록 구성할 수 있다.

도 13에는, 본 발명에 따른 승압 회로의 제5 실시예가 도시되어 있다.

이 실시예는, 게이트 드라이버용 승압 전원 회로(240)를 구성하는 차지 펌프(241, 242)의 승압 단수를 절환 가능하게 하고, 도 2의 제1 실시예의 승압 회로에 도시되어 있는 콤퍼레이터(244)(245) 혹은 도 10의 제2 실시예의 승압 회로에 도시되어 있는 오차 앰프(AMP1)(AMP2)로부터의 피드백 신호 FB에 의해 절환하도록 한 것이다.

보다 구체적으로는, 피드백 신호가 콤퍼레이터(244) 또는 (245)로부터의 것인 경우에는, 도 13과 같이 시프트 레지스터(SFT)와 클럭(OSC)을 계수하는 카운터 회로(CNT) 혹은 분주 회로를 설치하고, 예를 들면 승압 전압이 높아져 콤퍼레이

터로부터의 피드백 신호가 로우 레벨로 변화되었다면, 로우 레벨의 기간은 카운터(CNT)의 출력 타이밍에 따라서 시프트 레지스터(SFT)를 시프트 동작시켜 순차적으로 "1"을 설정해 가고, "1"로 설정되어 있는 비트에 대응한 승압단의 동작을 정지시키도록 구성된다.

한편, 피드백 신호가 오차 앰프(AMP1)((AMP2))로부터의 것인 경우에는, 상기 피드백 신호의 레벨을 판별하기 위한 복수의 콤퍼레이터를 설치하고, 그 복수의 콤퍼레이터의 출력을 시프트 레지스터의 출력을 대신하는 신호로서 사용함으로써 승압 단수를 절환하도록 구성된다. 상기한 바와 같은 구성에 의해서, 출력 승압 전압이 지나치게 높아졌을 때에는 차지 펌프의 승압 단수를 줄여, 출력 승압 전압을 거의 일정하게 유지하거나 쓸데없는 소비 전류를 줄이거나 할 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경가능한 것은 물론이다. 예를 들면, 상기 실시예에서는, 소스 드라이버용 승압 전원 회로(230)에는 승압 회로(231)에서 생성한 플러스의 전압 VSH를 V_{MID} 중심으로 반전함으로써 부전압 VSL을 발생시키는 전압 반전 회로(232)를 설치하고 있지만, 승압 회로(231)와 마찬가지로의 구성의 승압 회로에서 직접적으로 부전압을 발생하도록 구성해도 된다.

또한, 본 발명은, 낮은 쪽의 소스선 구동 전압 VSL을 접지 전위로 하는 액정 컨트롤 드라이버에 적용할 수 있다. 또한, 소스 드라이버용 승압 전원 회로(230)는 스위치드 캐패시터형의 승압 회로 대신에 승압용 용량 소자로서 외장 소자를 사용한 차지 펌프를 이용해도 된다.

발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 하기와 같다.

즉, 본 발명에 따르면, 승압 회로를 갖는 전원 회로를 내장하고 TFT 액정 패널의 소스선과 게이트선을 구동하는 반도체 집적 회로화된 액정 구동 제어 장치에 있어서, 외장 용량 소자 및 외장 용량 소자를 접속하기 위한 외부 단자를 줄여 칩 및 이것을 탑재한 전자 기기의 소형화 및 저비용화를 도모할 수 있다.

또한, 본 발명에 따르면, 저 내압 프로세스를 채용 가능하게 되어 칩의 저비용화를 도모할 수 있다. 또한, 승압 회로의 소비 전력을 저감할 뿐 아니라 출력 승압 전압을 안정화시킬 수 있다고 하는 효과가 있다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경으로 된 이용 분야인 3 단자의 스위치 소자인 박막 트랜지스터에 의해 화소 전극에 전하를 주입하는 TFT 액정 패널을 구동하는 액정 컨트롤 드라이버에 대하여 설명했지만, 본 발명은 그것에 한정되는 것은 아니고, 예를 들면, 2 단자의 스위치 소자에 의해 화소 전극에 전하를 주입하는 MIM 액정 패널을 구동하는 액정 컨트롤 드라이버에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

외부 전원 전압을 승압하여 해당 외부 전원 전압보다도 높은 전압을 발생하는 승압 전원 회로를 내장하고 액티브 매트릭스 방식으로 액정 패널을 구동하는 액정 표시 구동용 반도체 집적 회로로서,

상기 액정 패널의 선택 주사선에 인가하는 전압을 생성하는 제1 승압 전원 회로는 승압용의 용량 소자로서 반도체 칩 상에 형성된 내장 소자를 사용하여 전단의 용량 소자로부터 후단의 용량 소자로 정류 소자 또는 스위치 소자를 통하여 전하를 순차적으로 전송하여 승압을 행하도록 구성되고,

상기 액정 패널의 상기 선택 주사선과 교차하는 방향으로 배치된 신호선에 인가하는 전압을 생성하는 제2 승압 전원 회로는 승압용의 용량 소자로서 외장 소자를 사용하여 승압을 행하도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 2.

제1항에 있어서,

상기 제2 승압 전원 회로는, 병렬 상태의 복수의 승압용의 용량 소자에 전하를 축적한 후, 상기 복수의 승압용의 용량 소자를 직렬 형태로 접속하여 승압을 행하도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제1 승압 전원 회로는,

정극성의 승압 전압을 생성하는 제1 승압 회로와,

부극성의 전압을 생성하는 제2 승압 회로와,

이들의 승압 회로를 동작시키는 클럭 신호를 생성하는 발진 회로와,

상기 제1 승압 회로에 의해 생성된 전압의 레벨을 검출하는 제1 전압 검출 회로와,

상기 제2 승압 회로에 의해 생성된 전압의 레벨을 검출하는 제2 전압 검출 회로

를 포함하고,

상기 제1 전압 검출 회로 또는 상기 제2 전압 검출 회로 중 어느 하나의 승압 전압이 소정 레벨을 초과한 것을 검출했을 때, 대응하는 상기 제1 승압 회로 또는 제2 승압 회로의 동작을 정지시키도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 4.

제3항에 있어서,

상기 발진 회로는, 상기 제1 승압 회로와 상기 제2 승압 회로에 대하여 공통 회로로서 설치되고,

상기 제1 전압 검출 회로와 상기 제2 전압 검출 회로가 모두, 상기 제1 승압 회로 및 상기 제2 승압 회로의 승압 전압이 소정 레벨을 초과한 것을 검출했을 때, 상기 발진 회로의 동작을 정지시키도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 5.

제3항에 있어서,

상기 제1 승압 회로와 상기 제2 승압 회로는, 상기 스위치 소자로서 트랜지스터를 사용하고, 해당 트랜지스터의 제어 단자를 구동하는 신호를 부스팅시키는 부스트 회로를 포함하는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 6.

제3항에 있어서,

상기 제1 승압 전원 회로에 이용되는 칩 내장의 승압용 용량 소자는, 각각 직렬 형태의 복수의 용량 소자와 이들의 용량 소자의 접속 노드에 승압된 전압을 분압한 전위를 인가하는 저항 분압 회로에 의해 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 7.

제3항에 있어서,

상기 제1 전압 검출 회로 및 상기 제2 전압 검출 회로는,

승압된 전압을 저항 분할하는 분압 회로와,

해당 분압 회로에 의해 분압된 전압을 소정의 참조 전압과 비교하는 콤퍼레이터

를 포함하고,

상기 분압 회로는 직렬 형태로 접속된 복수의 저항 소자와 이들의 저항 소자와 각각 병렬로 설치된 스위치 소자로 이루어지는 가변 저항 회로를 포함하고,

해당 가변 저항 회로는 승압된 출력 노드로부터 먼 측에 접속되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 8.

제7항에 있어서,

상기 스위치 소자는, 저 내압의 MOS 트랜지스터로 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 9.

제3항에 있어서,

상기 제1 승압 회로와 상기 제2 승압 회로는, 승압용의 용량 소자로서 반도체 칩 상에 형성된 내장 소자를 외부 전원 전압의 진폭으로 구동하는 구동 회로를 포함하고,

해당 구동 회로는 상기 승압 회로의 승압 단수를 절환 가능하게 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 10.

제9항에 있어서,

상기 구동 회로는, 상기 제1 전압 검출 회로 또는 상기 제2 전압 검출 회로로부터의 검출 신호에 따라서 승압 단수가 절환되도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동용 반도체 집적 회로.

청구항 11.

복수의 주사선과 상기 복수의 주사선과 교차하는 방향으로 배치된 복수의 신호선을 갖는 액티브 매트릭스 방식의 표시 패널을 구동하는 반도체 칩에 형성된 반도체 집적 회로로서,

상기 주사선에 인가할 전위를 생성하는 제1 승압 회로와,

상기 신호선에 인가할 전위를 생성하는 제2 승압 회로

를 갖고,

상기 제1 승압 회로는, 승압용 용량 소자로서, 상기 반도체 칩 상에 형성된 반도체 소자를 사용하여, 전단의 용량 소자로부터 후단의 용량 소자로 스위치 소자를 통하여 전하를 순차적으로 전송하여 승압을 행하도록 구성되고,

상기 제2 승압 회로는, 승압용 용량 소자로서, 상기 반도체 칩에 외장될 용량 소자를 이용하여 승압을 행하는 것을 특징으로 하는 반도체 집적 회로.

청구항 12.

제11항에 있어서,

상기 제2 승압 회로는, 병렬 상태의 복수의 승압용 용량 소자에 전하를 축적한 후, 상기 복수의 승압용 용량 소자를 직렬 형태로 접속하여 승압을 행하도록 구성되어 있는 것을 특징으로 하는 반도체 집적 회로.

청구항 13.

제11항에 있어서,

상기 제1 승압 회로는,

정극성의 승압 전압을 생성하는 제1 회로와,

부극성의 전압을 생성하는 제2 회로와,

상기 제1 및 제2 회로를 동작시키는 클럭 신호를 생성하는 발진 회로와, 상기 제1 회로에 의해 생성된 전위 레벨을 검출하는 제1 검출 회로와,

상기 제2 회로에 의해 생성된 전위 레벨을 검출하는 제2 검출 회로

를 포함하고,

상기 제1 검출 회로 또는 상기 제2 검출 회로 중 어느 하나가, 승압 전위가 소정의 레벨을 초과한 것을 검출했을 때는 대응하는 승압 전원 회로의 동작을 정지시키도록 구성되어 있는 것을 특징으로 하는 반도체 집적 회로.

청구항 14.

제13항에 있어서,

상기 발진 회로는, 상기 제1 회로와 상기 제2 회로에 공통의 회로로서 설치되고,

상기 제1 검출 회로와 상기 제2 검출 회로가 모두, 승압 전위가 소정의 레벨을 초과한 것을 검출했을 때, 상기 발진 회로의 동작을 정지시키도록 구성되는 것을 특징으로 하는 반도체 집적 회로.

청구항 15.

제13항에 있어서,

상기 제1 회로 및 상기 제2 회로의 각각의 상기 스위치 소자는, MOS 트랜지스터로 되고,

상기 제1 회로 및 상기 제2 회로의 각각은, 상기 MOS 트랜지스터의 게이트 제어 단자를 구동하는 제어 신호의 전위를 승압하는 부스트 회로를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 16.

복수의 주사선과 상기 복수의 주사선과 교차하는 방향으로 배치된 복수의 신호선을 갖는 액티브 매트릭스 방식의 액정 표시 패널과,

반도체 칩에 형성되고, 상기 표시 패널의 상기 복수의 주사선 및 상기 복수의 신호선에 결합된 액정 표시 구동용 반도체 집적 회로를 갖는 표시 시스템으로서,

상기 액정 표시 구동용 반도체 집적 회로는,

상기 주사선에 인가할 전위를 생성하는 제1 승압 회로와,

상기 신호선에 인가할 전위를 생성하는 제2 승압 회로

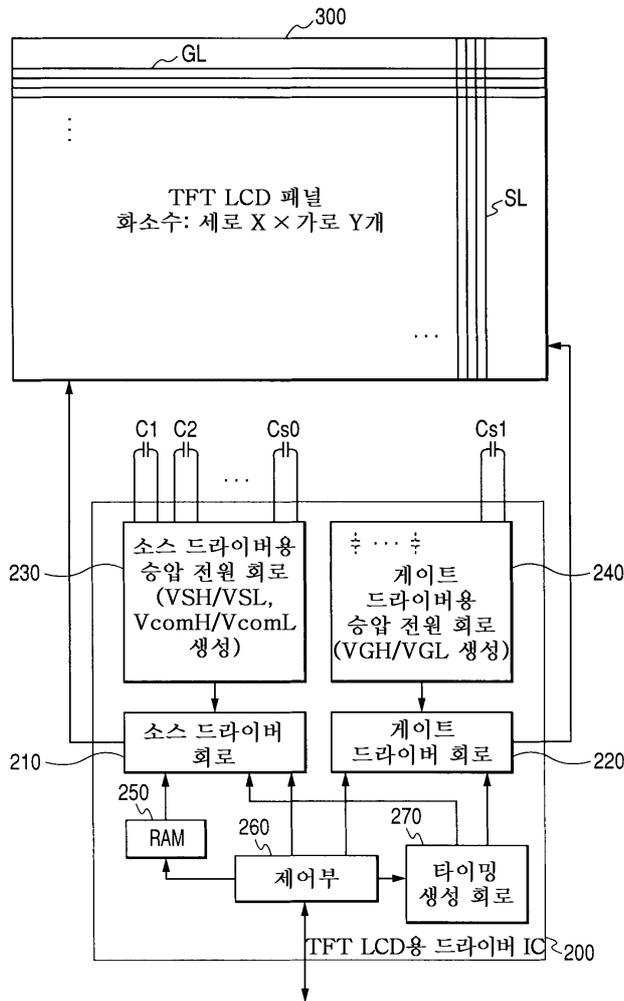
를 갖고,

상기 제1 승압 회로는, 승압용 용량 소자로서, 상기 반도체 칩 상에 형성된 반도체 소자를 사용하여, 전단의 용량 소자로부터 후단의 용량 소자로 스위치 소자를 통하여 전하를 순차적으로 전송하여 승압을 행하도록 구성되고,

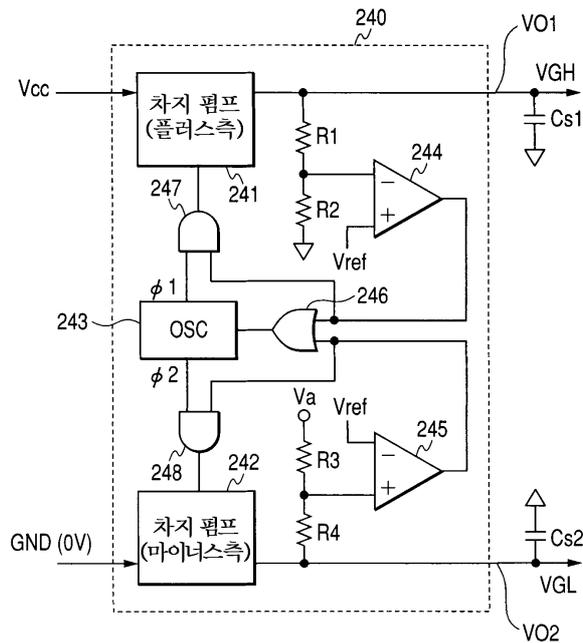
상기 제2 승압 회로는, 승압용 용량 소자로서, 상기 반도체 칩에 외장될 용량 소자를 이용하여 승압을 행하는 것을 특징으로 하는 표시 시스템.

도면

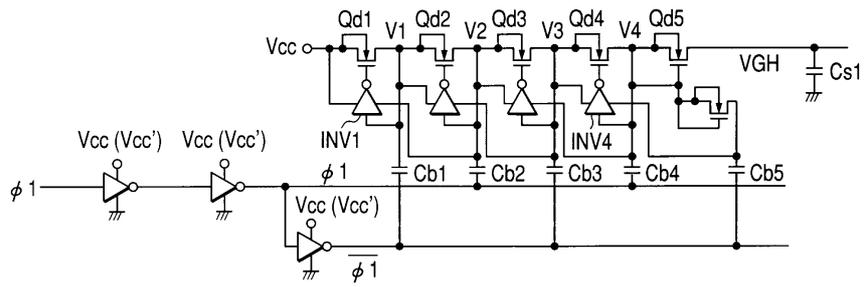
도면1



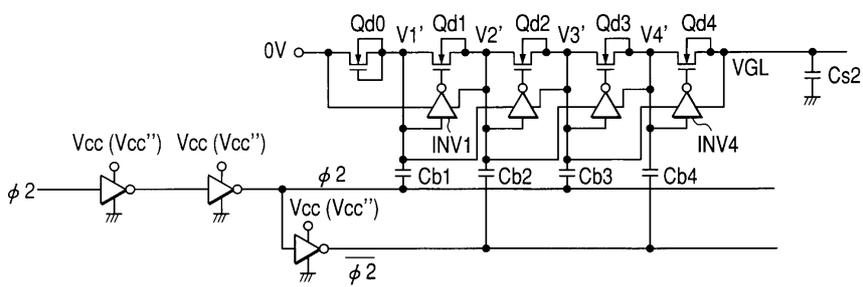
도면2



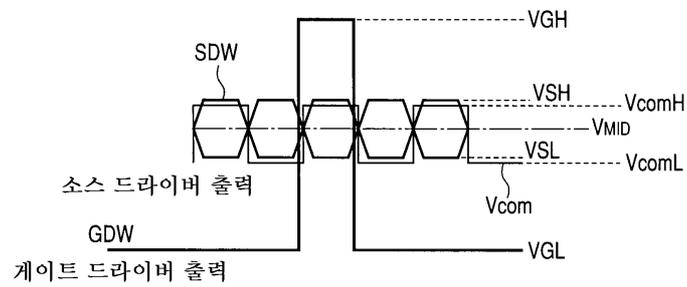
도면3a



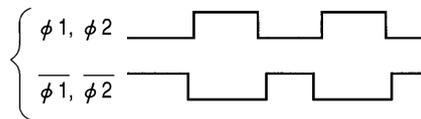
도면3b



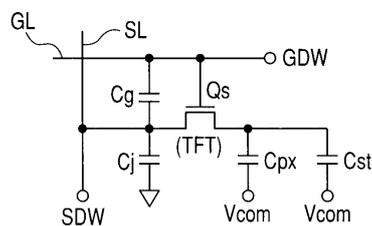
도면4



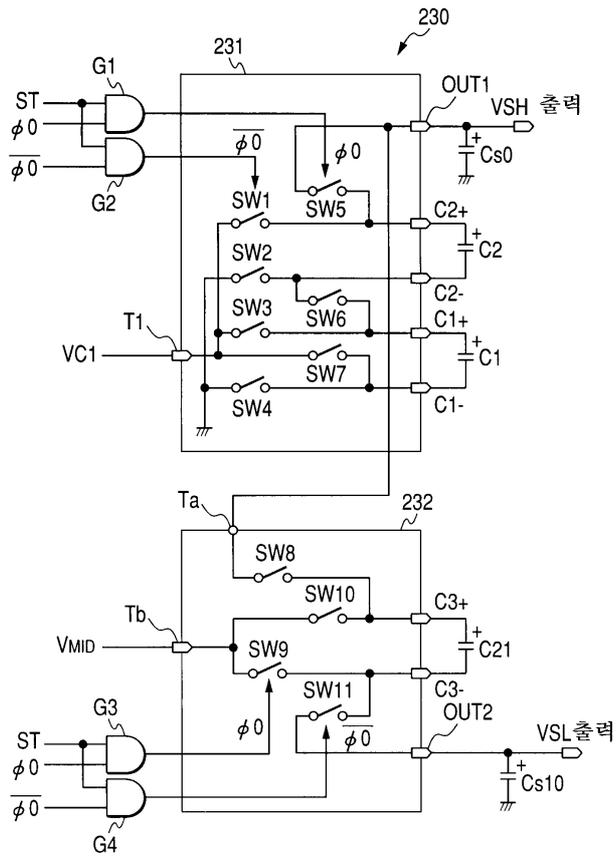
도면5



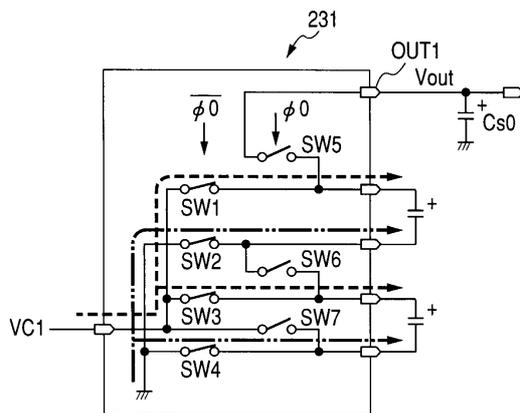
도면6



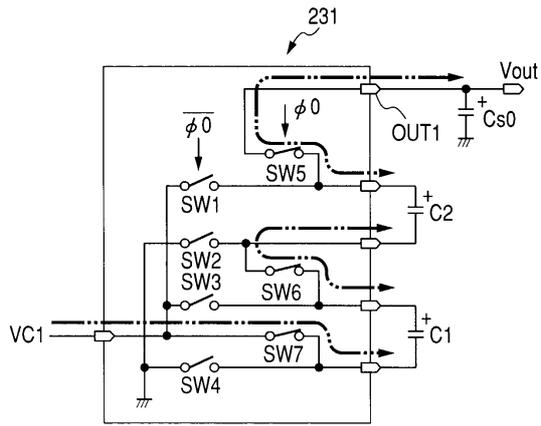
도면7



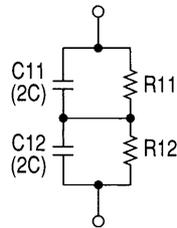
도면8a



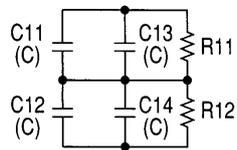
도면8b



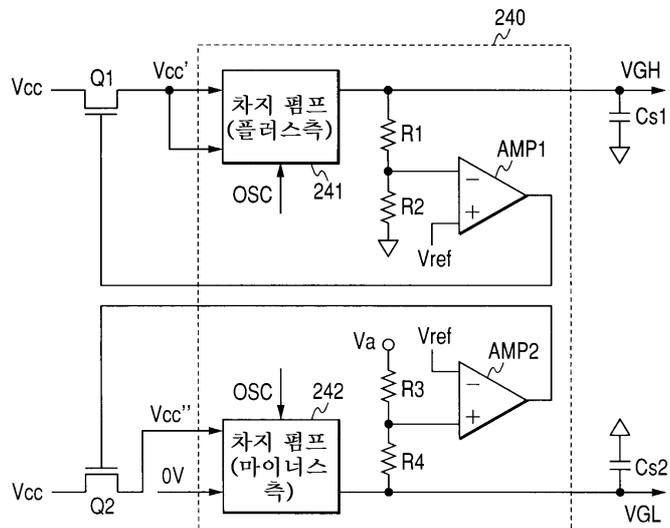
도면9a



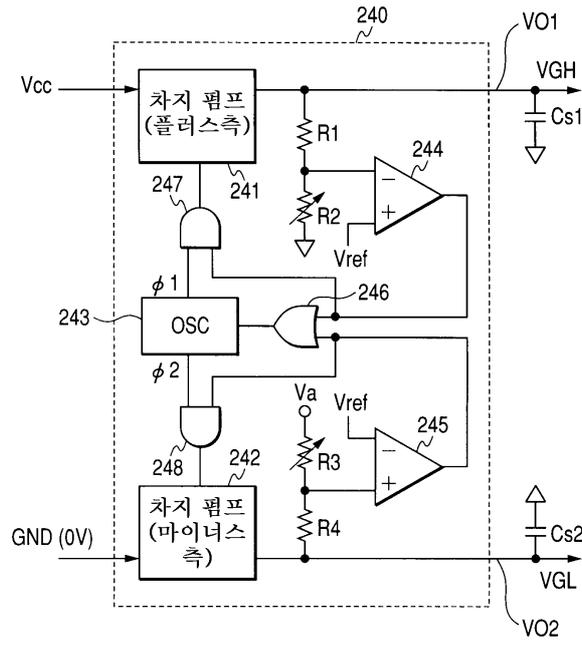
도면9b



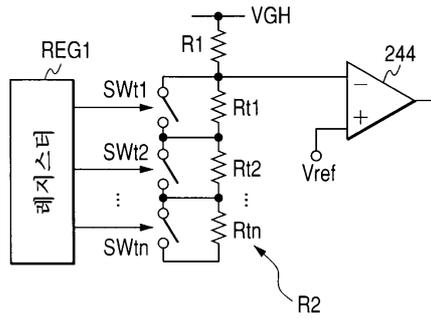
도면10



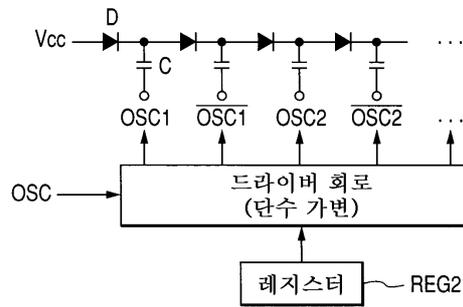
도면11a



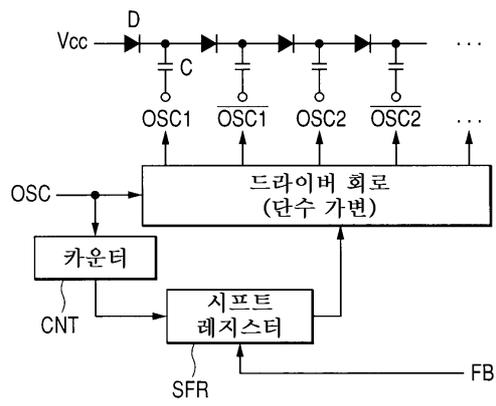
도면11b



도면12



도면13



专利名称(译)	用于液晶显示器驱动的半导体集成电路		
公开(公告)号	KR1020060071339A	公开(公告)日	2006-06-26
申请号	KR1020050126187	申请日	2005-12-20
[标]申请(专利权)人(译)	株式会社瑞萨科技 Sikki瑞萨科技有限公司		
申请(专利权)人(译)	Sikki瑞萨科技有限公司		
当前申请(专利权)人(译)	Sikki瑞萨科技有限公司		
[标]发明人	SHIGENOBU TAKESHI 시게노부다께시 HIRAKI MITSURU 히라끼미쯔루 HORIGUCHI MASASHI 호리구찌마사시 OOKADO KAZUO 오까도가즈오 AKIBA TAKESADA 아끼바다께사다		
发明人	시게노부다께시 히라끼미쯔루 호리구찌마사시 오까도가즈오 아끼바다께사다		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3674 G09G3/3685 G09G3/3696		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2004368708 2004-12-21 JP		
外部链接	Espacenet		

摘要(译)

具有升压电路的电源电路用于驱动TFT液晶面板的源极线和栅极线的半导体的小型化和低成本它具有包含芯片的电子器件，并且该外部电容元件和用于连接外部电容的外部端子关于成为集成电路的液晶驱动控制装置的计划，减少了元件。为此，具有升压电路的电源电路在电压升压电路(230)中具有外部电容元件的升压电路产生用于驱动液晶驱动控制装置内的TFT液晶面板的源极线的电压使用具有内置(片上)电容升压电路(240)的电容元件的泵，并使用并产生用于驱动栅极线的电压。升压电路，电荷泵，TFT液晶面板，半导体芯片。

