

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.⁸
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0001921
(43) 공개일자 2006년01월06일

(21) 출원번호	10-2005-0124343(분할)
(22) 출원일자	2005년12월16일
(62) 원출원	특허10-2001-0058204 원출원일자 : 2001년09월20일
	심사청구일자 2001년09월20일

(30) 우선권주장 JP-P-2000-00286046 2000년09월20일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 오께 류따로
일본 지바켄 모바라시 하야노 3550
나까요시 요시아끼
일본 지바켄 산부궁 오오아미시라사또마찌 미즈호다이 1초메36-20
오노 기꾸오
일본 지바켄 모바라시 모바라 716-1

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 액정 표시 장치

요약

본원 발명은 신호선의 배선 비저항의 저감을 목적으로 한다.

액정을 통해 대향 배치되는 각 기판 중 한쪽의 기판의 액정측의 화소 영역에, 게이트 신호선으로부터의 주사 신호의 공급에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극을 구비하고, 상기 게이트 신호선은 적어도 상기 기판면에 형성되는 ITO막과 이 ITO막의 상층에 형성되는 Mo층의 다층 구조로 이루어진다.

대표도

도 1

색인어

게이트 신호선, 화소 영역, 박막 트랜지스터, 액정, 게이트 절연막, 화소 전극

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치의 화소의 일 실시예를 나타내는 평면도.

도 2는 도 1의 2-2선에 있어서의 단면도.

도 3은 도 1의 3-3선에 있어서의 단면도.

도 4는 도 1의 4-4선에 있어서의 단면도.

도 5는 도 1의 5-5선에 있어서의 단면도.

도 6은 도 1의 6-6선에 있어서의 단면도.

도 7은 도 1에 도시한 게이트 신호선의 제조 방법의 일 실시예를 나타내는 공정도.

도 8은 도 1에 도시한 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도.

도 9는 도 1에 도시한 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도.

도 10은 도 1에 도시한 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 표.

도 11은 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 박막 트랜지스터의 단면을 나타내는 도면.

도 12는 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 드레인 신호선 및 그 근방의 단면을 나타내는 도면.

도 13은 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 게이트 단자부의 단면을 나타내는 도면.

도 14는 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 드레인 단자부의 단면을 나타내는 도면.

도 15는 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도.

도 16은 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정 도면.

도 17은 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 표.

도 18은 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 박막 트랜지스터의 단면을 나타내는 도면.

도 19는 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 드레인 신호선 및 그 근방의 단면을 나타내는 도면.

도 20은 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 게이트 단자부의 단면을 나타내는 도면.

도 21은 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 드레인 단자부의 단면을 나타내는 도면.

도 22는 본 발명에 따른 액정 표시 장치의 다른 실시예를 나타내는 도면으로서, 그 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도.

도 23은 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도.

도 24는 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 표.

도 25는 본 발명에 따른 액정 표시 장치의 화소의 일 실시예를 나타내는 평면도.

도 26은 도 25의 26-26선에 있어서의 단면도.

도 27은 도 25의 27-27선에 있어서의 단면도.

도 28은 본 발명에 따른 액정 표시 장치의 화소의 일 실시예를 나타내는 평면도.

도 29는 도 25의 29-29선에 있어서의 단면도.

도 30은 도 25의 30-30선에 있어서의 단면도.

도 31은 본 발명에 따른 액정 표시 장치의 화소의 일 실시예를 나타내는 평면도.

도 32는 도 25의 32-32선에 있어서의 단면도.

도 33은 도 25의 33-33선에 있어서의 단면도.

도 34는 도 25의 34-34선에 있어서의 단면도.

도 35는 도 25에 도시한 액정 표시 장치의 게이트 단자부의 일 실시예를 나타내는 단면도.

도 36은 도 25에 도시한 액정 표시 장치의 드레인 단자부의 일 실시예를 나타내는 단면도.

도 37은 도 25에 도시한 액정 표시 장치의 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도.

도 38은 도 25에 도시한 액정 표시 장치의 일 실시예를 나타내는 공정도.

도 39는 도 25에 도시한 액정 표시 장치의 일 실시예를 나타내는 표.

도 40은 본 발명에 따른 액정 표시 장치의 화소의 일 실시예를 나타내는 평면도.

도 41은 도 40의 41-41선에 있어서의 단면도.

도 42는 도 40의 42-42선에 있어서의 단면도.

도 43은 하프 노광 방식을 나타내는 설명도.

도 44는 도 40의 44-44선에 있어서의 단면도.

도 45는 도 40의 45-45선에 있어서의 단면도.

도 46은 도 40에 도시한 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도.

도 47은 도 40에 도시한 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도로서, 도 46에 이어지는 도면.

도 48은 도 40에 도시한 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도로서, 도 47에 이어지는 도면.

도 49는 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 나타내는 평면도.

도 50은 도 49의 50-50선에 있어서의 단면도.

도 51은 도 49의 51-51선에 있어서의 단면도.

도 52는 도 49에 도시한 드레인 단자부의 단면도.

도 53은 도 49에 도시한 박막 트랜지스터의 제조 방법의 일 실시예를 나타내는 공정도.

도 54는 본 발명에 따른 액정 표시 장치의 등가 회로의 일 실시예를 나타내는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

SUB : 투명 기판

GL : 게이트 신호선

DL : 드레인 신호선

TFT : 박막 트랜지스터

Cadd, Cstg : 용량 소자

PX : 화소 전극

CT : 대향전극

CL : 대향 전압 신호선

ITO : ITO막

AS : 반도체층

d_0 : 고농도층

d_1 : Mo층

BM : 블랙 매트릭스

GI : 절연층

SKD : 차광막

PSV : 보호막

ORI : 배향막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히, 액티브·매트릭스 방식의 액정 표시 장치에 관한 것이다.

액티브·매트릭스 방식의 액정 표시 장치는 액정을 통해 대향 배치되는 기판 중 한쪽의 기판의 액정측의 면에, x 방향으로 연장하고 y 방향으로 병설되는 게이트 신호선과 y 방향으로 연장하고 x 방향으로 병설되는 드레인 신호선으로 둘러싸인 영역을 화소 영역으로 하고 있다.

그리고, 각 화소 영역에는 한쪽의 게이트 신호선으로부터의 주사 신호의 공급에 의해 구동되는 스위칭 소자와, 이 스위칭 소자를 통해 한쪽의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극이 구비되어 있다.

또한, 이러한 액정 표시 장치로서는, 다른 쪽 기판의 액정측의 면에 각 화소 영역에 공통인 대향 전극이 형성되고, 상기 화소 전극 사이에 그 기판과 거의 수직인 방향으로 전계를 발생시켜 이 전계에 의해 액정의 광 투과율을 제어시키는 소위 종 전계 방식의 것과, 화소 전극이 형성된 기판측에 각 화소 영역마다 화소 전극과 인접시켜 대향 전극이 형성되고, 이들 전극 사이에 그 기판과 거의 평행한 방향으로 전계를 발생시켜 이 전계에 의해 액정의 광 투과율을 제어시키는 소위 횡전계 방식의 것이 알려져 있다.

발명이 이루고자 하는 기술적 과제

그러나, 이러한 액정 표시 장치는 최근의 패널의 대형화에 수반하여 게이트 신호선 혹은 드레인 신호선의 배선 비저항을 작게 하는 것이 요구되고 있다.

즉, 이들 신호선의 배선 비저항을 작게 함으로써 신호의 지연을 억제할 수가 있어 패널의 대형화를 달성할 수 있게 된다.

또한, 신호선의 배선 비저항을 작게 할 수 있었다고 하여도, 제조 공정이 증대되는 것을 회피하지 않으면 안된다. 수율이 저하하기 때문이다.

또한, 이 수율의 향상을 고려한 경우, 기판의 액정측의 면에서 도전층, 반도체층 및 절연층을 소정의 패턴으로 적층시켜 가는 경우, 이들이 가파른 단차를 매우 완만하게 하는 것이 요구된다. 그 단차 부분에서 피막의 타고 넘기 장해가 발생하기 때문이다.

본 발명은 이러한 사정에 기초하여 이루어진 것으로, 그 목적은 신호선의 배선 비저항이 작은 액정 표시 장치를 제공하는 것이다.

또한, 본 발명의 다른 목적은 기판의 액정측의 면에서 가파른 단차가 적은 액정 표시 장치를 제공하는 것이다.

또한, 본 발명의 다른 목적은 제조 공정의 저감을 도모한 액정 표시 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중, 대표적이지만 개요를 간단히 설명하면, 이하와 같다.

본 발명에 따른 액정 표시 장치는, 예를 들면, 액정을 통해 대향 배치되는 각 기판 중 한쪽의 기판의 액정측의 화소 영역에, 게이트 신호선으로부터의 주사 신호의 공급에 의해 구동되는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극을 구비하고, 상기 게이트 신호선은 상기 기판면에 형성되는 예를 들면 ITO 막과 이 ITO막의 상층에 형성되는 예를 들면 Mo층의 다층 구조를 포함하는 것을 특징으로 하는 것이다.

이와 같이 구성된 액정 표시 장치는, 비 저항이 작은 Mo 등을 이용함으로써, 게이트 신호선의 배선 비저항을 작게 한 것이다.

이 경우, Mo 등의 단층으로서 형성하는 경우, 기판과의 밀착성이 양호하지 않기 때문에, 예를 들면 ITO막 등을 그 사이에 개재시키고 있다.

또한, 이러한 다층 구조로 이루어지는 게이트 신호선은, 그것을 선택 예정으로 형성한 경우에, 그 측벽이 기판측에 점차로 끝 쪽이 넓어져가는 완만한 테이퍼면이 형성되게 되어 가파른 단차를 감소시킬 수 있다.

또한, 본 발명에 따른 액정 표시 장치의 제조 방법은 예를 들면, 기판 상에, 투명 도전막과 금속층과의 순차 적층체를 포함하는 게이트 신호선을 형성하는 공정과, 상기 게이트 신호선도 피착하여 절연막을 형성하는 공정과, 상기 절연막 상에 반도체층, 고농도층, 도전층의 순차 적층체를 형성하는 공정과, 레지스트 리플로우 방식을 이용하여 상기 도전층 및 고농도층을 선택 에칭하여 박막 트랜지스터의 드레인 전극 및 소스 전극, 드레인 신호선을 형성함과 함께 상기 반도체층을 선택 에칭하는 공정과, 상기 박막 트랜지스터의 소스 전극과 일부가 직접 중첩된 투명 도전막을 포함하는 화소 전극을 형성하는 공정과, 보호막을 형성하고, 이 보호막에 화소 전극을 노출시키기 위한 구멍을 형성하는 공정을 포함하는 것을 특징으로 하는 것이다.

이와 같이 구성된 액정 표시 장치의 제조 방법은, 반도체층의 형성과 드레인 전극 및 소스 전극의 형성을 각각의 포토 공정에서 행하고 있었지만, 레지스트 리플로우 방식을 이용함으로써 1회의 포토 공정으로 끝마칠 수 있어 전체적으로 제조 공정을 저감시킬 수 있다.

또한, 보호막의 구멍 형성 시에 게이트 단자부 및 드레인 단자부의 구멍 형성을 동시에 행함으로써 제조 공정의 저감을 도모할 수 있다.

이하, 본 발명에 따른 액정 표시 장치의 실시예를 도면을 이용하여 설명을 한다.

(제1 실시예)

《등가 회로》

도 54는 본 발명에 따른 액정 표시 장치의 일 실시예를 나타내는 등가 회로도이다. 도 54는 회로도이지만, 실제의 기하학적 배치에 대응하여 도시되어 있다.

도 54에 있어서, 투명 기판 SUB1이 있으며, 이 투명 기판 SUB1은 액정을 통해 다른 투명 기판 SUB2와 대향하여 배치되어 있다.

상기 투명 기판 SUB1의 액정측의 면에는 도면 중 x 방향으로 연장하고 y 방향으로 병설되는 게이트 신호선 GL과, 이 게이트 신호선 GL과 절연되고 y 방향으로 연장하고 x 방향으로 병설되는 드레인 신호선 DL이 형성되고, 이들 각 신호선으로 둘러싸인 구형의 영역이 화소 영역으로 되어, 이들 각 화소 영역의 집합에 의해 표시부 AR을 구성하도록 되어 있다.

각 화소 영역에는 한쪽의 게이트 신호선 GL에서의 주사 신호(전압)의 공급에 의해 구동되는 박막 트랜지스터 TFT와, 이 박막 트랜지스터 TFT를 통해 한쪽의 드레인 신호선 DL로부터의 영상 신호(전압)가 공급되는 화소 전극 PX가 형성되어 있다.

또한, 화소 전극 PX와 상기 한쪽의 게이트 신호선 GL과 인접하는 다른 쪽의 투명 기판 SUB2의 액정측의 면에서 각 화소 영역에 공통으로 형성된 대향 전극 CT (도시하지 않음) 과의 사이에 전계를 발생시키도록 되어 있으며, 이에 따라 각 전극 사이의 액정의 광 투과율을 제어하도록 되어 있다.

각 게이트 신호선 GL의 일단은 투명 기판의 일변측(도면 중 좌측)에 표시부 AR을 넘어 연장되고, 그 연장부(후에 게이트 단자부 GTM이라 함)는 그 투명 기판 SUB1에 탑재되는 수직 주사 회로(반도체 집적 회로) V의 범프와 접속되도록 되어 있다.

또한, 각 드레인 신호선 DL의 일단도 투명 기판 SUB1의 일변측(도면 중 상측)으로 표시부 AR을 넘어 연장되고, 그 연장부(후에 드레인 단자부 DTM이라 함)는 그 투명 기판 SUB1에 탑재되는 영상 신호 구동 회로(반도체 집적 회로) He의 범프와 접속되도록 되어 있다.

상기 투명 기판 SUB2는 투명 기판 SUB1 중 수직 주사 회로 V 및 영상 신호 구동 회로 He가 탑재되는 부분을 회피한 영역 (표시부 AR)에 대향 배치되어 있다.

투명 기판 SUB1에 대한 투명 기판 SUB2의 고정은 그 투명 기판 SUB2의 주변에 형성된 시일재 SL에 의해 이루어지고, 이 시일재 SL은 투명 기판 SUB1, SUB2 사이의 액정을 밀봉하는 기능도 겸하고 있다.

《화소의 구성》

도 1은 투명 기판 SUB1의 액정측의 화소(도 54의 점선 프레임 A에 상당함)의 구성 및 이 화소에 주사 신호 및 영상 신호를 공급하기 위한 단자부의 구성을 나타내고 있다. 또, 도 1의 2-2선에 있어서의 단면도를 도 2에, 3-3선에 있어서의 단면도를 도 3에, 4-4선에 있어서의 단면도를 도 4에, 5-5선에 있어서의 단면도를 도 5에, 6-6선에 있어서의 단면도를 도 6에 나타내고 있다.

투명 기판 SUB1의 액정측의 면에, 우선, 도면 중 x 방향으로 연장되어 y 방향에 병설되는 게이트 신호선 GL이 형성되어 있다. 이 게이트 신호선 GL은 2층 구조로 이루어지며, ITO(Indium-Tin-Oxide)막을 하층으로 하고 몰리브덴(Mo)막을 상층으로 하고 있다.

또한, 이 게이트 신호선 GL은 그 일단(도면 중 좌측)이 표시부 AR 밖으로까지 연장되고, 그 연장부에서 비교적 면적이 크게 형성된 게이트 단자부 GTM이 형성되어 있다.

게이트 신호선 GL은 후술의 드레인 신호선 DL과 함께 구형의 영역을 둘러싸도록 되어 있으며, 이 영역을 화소 영역으로서 구성하도록 되어 있다.

또한, 게이트 신호선 GL은 그 일부에서 화소 영역측에 돌출한 연장부를 갖고, 이 연장부는 후술의 박막 트랜지스터 TFT의 게이트 전극으로서의 기능을 갖게 되어 있다.

또한, 게이트 신호선 GL은 다른 부분에서 상기 화소 영역과 (-) y 방향으로 인접하는 다른 화소 영역측으로 돌출한 연장부를 갖고, 이 연장부는 후술의 용량 소자 Cadd의 한쪽의 전극(다른 쪽의 전극은 화소 전극 PX)으로서의 기능을 갖게 되어 있다.

또한, 화소 영역 내에는 후술의 드레인 신호 DL에 인접하고 또한 병행하여 주행하는 차광막 SKD가 형성되어 있다. 이 차광막 SKD는 게이트 신호선 GL과 병행하여 형성됨으로써 ITO막을 하층으로 하고 Mo막을 상층으로 하는 2층 구조로 되어 있다.

이 차광막 SKD는 후술하는 투명 기판 SUB2 측의 블랙 매트릭스 BM과 함께 화소 전극 PX의 주변(특히 도면 중 y 방향으로 평행한 변)에 있어서의 액정의 배향의 혼란을 신뢰성 있게 차광할 수 있도록 되어 있다.

이와 같이 게이트 신호선 GL 및 차광막 SKD가 형성된 투명 기판 SUB1의 표면에는 절연막 GI(도 2 내지 도 6 참조)가 형성되어 있다. 이 절연막 GI는 후술의 드레인 신호선 DL에 대해서는 게이트 신호선 GL과의 충간 절연막으로서의 기능을, 후술의 박막 트랜지스터 TFT에 대해서는 그 게이트 절연막으로서의 기능을, 후술의 용량 소자 Cadd에 대해서는 그 유전체막으로서의 기능을 갖는다.

이 절연막 GI의 상면에는, 상기 게이트 신호선 GL의 화소 영역측으로의 돌출부를 가로지르도록 하여 예를 들면 비정질 Si (a-Si)으로 이루어지는 반도체층 AS가 형성되어 있다.

이 반도체층 AS는 박막 트랜지스터 TFT의 반도체층이 됨으로써, 이 상면에 드레인 전극 SD1 및 소스 전극 SD2를 형성함으로써 상기 게이트 신호선 GL의 돌출부를 게이트 전극으로 하는 역 스태거 구조의 MIS형 트랜지스터가 구성된다.

또, 이 반도체층 AS는 그 박막 트랜지스터 TFT의 형성 영역뿐만 아니라 후술하는 드레인 신호선 DL의 형성 영역으로까지 이르러 일체적으로 형성되어 있다. 드레인 신호선 DL의 게이트 신호선 GL에 대한 충간 절연을 보다 강화하기 위해서이다.

반도체층 AS 상의 드레인 전극 SD1 및 소스 전극 SD2는 드레인 신호선 DL의 형성과 동시에 형성되도록 되어 있다.

즉, 상기 절연막 GI의 상면에는 도면 중 y 방향으로 연장하고 x 방향으로 병설되는 드레인 신호선 DL(그 하층에는 반도체층 AS가 존재함)이 형성되고, 그 일부가 박막 트랜지스터 TFT의 반도체층 AS의 상면으로까지 연장되어 드레인 전극 SD1이 형성되어 있다.

또, 이 드레인 신호선 DL은 그 일단(도면 중 상측)이 표시부 AR 밖으로까지 연장되고, 그 연장부에는 비교적 면적이 크게 형성된 드레인 단자부 DTM이 형성되어 있다.

또한, 이 드레인 전극 SD1에 대하여 박막 트랜지스터 TFT의 채널 길이에 상당하는 간격만큼 이격되어 소스 전극 SD2가 형성되어 있다.

이 소스 전극 SD2는 박막 트랜지스터 TFT의 반도체층 AS 상으로부터 화소 영역측으로 연장하여 형성되고, 이 연장부는 후술의 화소 전극 PX의 접속부로서 형성된다.

여기서, 드레인 신호선 DL, 드레인 전극 SD1 및 소스 전극 SD2는 예를 들면, 몰리브덴(Mo)에 의해 구성되어 있다.

또, 상기 반도체층 AS의 표면 중 드레인 전극 SD1 및 소스 전극 SD2가 형성된 계면에는 불순물이 도핑된 고농도층 d_0 이 형성되어 있다 (도 2 참조). 이 경우의 고농도층 d_0 은 박막 트랜지스터 TFT의 컨택트층으로서의 기능을 갖는다.

이와 함께, 드레인 신호선 DL의 하층에 형성되는 반도체층 AS의 계면에서도 고농도층 d_0 이 형성되어 있다 (도 4 참조).

그리고, 화소 영역 내의 절연막 GI 상에는 그 주변부의 약간을 제외한 중앙부에 예를 들면 ITO(Indium-Tin-Oxide)막으로 이루어지는 화소 전극 PX가 형성되어 있다.

이 화소 전극 PX는 그 박막 트랜지스터 TFT측의 변에 있어서, 그 박막 트랜지스터 TFT의 형성 영역을 회피하여 소스 전극 SD2의 연장부에 접속되도록 중첩되어 형성되어 있다.

또한, 이 화소 전극 PX는 드레인 신호선 DL에 근접하는 측의 변에 있어서, 그 변의 윤곽이 상기 차광막 SKD의 중심축(거의 중심축)에 중첩되어 형성되어 있다.

이 차광막 SKD는 주로, 드레인 신호선 DL과 화소 전극 PX 사이에 생기는 전계에 의한 광 누설 및 화소 전극 PX의 주변의 그 드레인 신호선 DL로부터의 전계에 의한 액정의 배향 혼란을 차광하도록 되어 있다.

또한, 이 화소 전극 PX는 상기 박막 트랜지스터 TFT를 구동시키는 게이트 신호선 GL과 상기 화소 전극 PX를 사이로 하여 인접하는 다른 게이트 신호선 GL(도면 중 상측의 게이트 신호선 GL)에 약간 중첩되어 형성되어 있다.

상기 다른 게이트 신호선 GL은 상술된 바와 같이 화소 영역측으로 돌출하는 연장부가 형성되어 있으며, 화소 전극 PX는 상기 절연막 GI를 통해 이 밖의 게이트 신호선 GL과 비교적 큰 면적을 갖고 중첩되게 된다.

화소 전극 PX와 다른 게이트 신호선 GL과의 중첩부는 상기 절연막 GI를 유전체막으로 하는 용량 소자 Cadd가 형성되고, 이 용량 소자 Cadd에 의해 예를 들면 박막 트랜지스터 TFT가 오프한 경우에도 화소 전극 PX에 공급된 영상 신호는 비교적 긴 시간 축적되는 등의 효과를 발휘한다.

이와 같이 형성된 투명 기판 SUB1의 표면에는 예를 들면 SiN으로 이루어지는 보호막 PSV가 형성되어 있다.

이 보호막 PSV는 박막 트랜지스터 TFT의 액정과의 직접적인 접촉을 회피시키기 위한 이유 등으로 설치되고, 상기 화소 전극 PX의 형성 영역에 구멍이 형성되어 있다.

다시 말하면, 보호막 PSV는 상기 화소 전극 PX 중 적어도 주변을 제외한 중앙부를 노출시켜 형성되어 있다(도 2 참조). 이에 따라 화소 영역 중 광이 투과하는 부분에서 그 보호막 PSV가 존재하지 않기 때문에 광의 그 보호막 PSV에 의한 흡수를 회피할 수 있다.

이와 같이 형성된 투명 기판 SUB1의 표면에는 그 표시부 AR의 전역도 피착하여 배향막 ORI가 형성되며(도 4), 이 배향막 ORI에 직접 접촉하는 액정 LC의 초기 배향 방향을 결정하도록 되어 있다.

투명 기판 SUB2의 액정 LC측의 면은 도 4에 도시한 바와 같이, 각 화소 영역을 인접하는 다른 화소 영역과 구획하도록 하여 블랙 매트릭스 BM이 형성되어, 이 블랙 매트릭스 BM의 각 화소 영역에 형성된다. 개구부에는 각 화소에 대응한 색의 컬러 필터 FIL이 형성되어 있다.

그리고, 이와 같이 형성된 투명 기판 SUB2의 표면에는 그 표시부 AR의 전역을 피착하여 배향막 ORI가 형성되고, 이 배향막 ORI에 직접 접촉하는 액정 LC의 초기 배향 방향을 결정하도록 되어 있다.

《게이트 신호선 GL》

게이트 신호선 GL은 예를 들면 도 2 혹은 도 3에 도시한 바와 같이, 2층 구조로 이루어지며, 그 하층은 ITO(Indium-Tin-Oxide)막 g1로 구성되고 상층은 Mo층 g2로 구성되어 있다.

게이트 신호선 GL은 최근에서의 액정 표시 패널의 대형화의 경향으로부터 그 비저항을 작게 하는 것이 기대되며, 그 주요 재료로서 Mo층 g2가 선정되어 있다. 그러나, 그것을 단층에서 이용하는 것은 기초 기판인 투명 기판 SUB1과의 밀착성이 양호하지 않기 때문에 ITO막 g1을 개재층으로서 이용하고 있다.

2층 구조로 이루어지는 게이트 신호선 GL은 각층의 에칭 속도를 고려한 선택 에칭(후술함)을 행함으로써 그 측벽에 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어져가는 완만한 테이퍼면을 형성할 수 있고, 드레인 신호선 DL의 게이트 신호선 GL의 소위 타고 넘기 단선을 회피할 수 있으며, 또한, 보호막 PSV의 소위 타고 넘기 장해를 회피할 수 있다.

또한, 게이트 신호선 GL의 게이트 단자부 GTM의 형성 시에 보호막 PSV 및 절연막 GI를 드라이 에칭하여 컨택트홀을 형성하는 경우에, 상기 Mo층 g2와의 선택성이 얻어지지 않는 문제점이 있지만, 상기 ITO막(g1)이 소위 스토퍼로서 잔존하여 게이트 단자부 GTM을 신뢰성 있게 형성할 수 있다.

도 7의 (a) 내지 (c)는 상기 게이트 신호선 GL의 형성 방법의 일 실시예를 나타내는 공정도이다.

우선, 도 7의 (a)에 도시한 바와 같이, 투명 기판 SUB1의 주 표면에 ITO막 g1을 형성하고, 또한, 그 상면에 Mo층 g2를 형성한다. 그리고, Mo층 g2의 표면에 포토레지스트막 PRES를 형성하고, 이 포토레지스트막 PRES에 도시하지 않은 포토마스크를 이용하여 선택 노광을 한다. 그 후, 포토레지스트막 PRES를 현상함으로써 게이트 신호선 GL의 형성 영역에 그 포토레지스트막 PRES를 잔존시킨다.

다음에, 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출한 Mo층 g2를 선택 에칭한다. 이 때의 에칭액으로서는, 예를 들면 인산과 질산을 포함하는 혼합산, 또는 질산셀룰과 질산의 혼합액이 선정된다. 이와 같이 한 경우, 잔존하는 Mo층 g2의 측면에는 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어지는 완만한 테이퍼면이 형성된다.

또한, 상기 포토레지스트막 PRES를 그대로 마스크로 하여, 이 마스크로부터 노출한 ITO막 g1을 선택 에칭한다. 이 때의 에칭액으로서는, 예를 들면 왕수(염산과 질산과의 혼합액)가 선정된다. 이와 같이 한 경우, 잔존하는 ITO층 g1의 측면에도 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어져가는 완만한 테이퍼면이 형성된다.

그 후에는, 상기 포토레지스트막 PRES를 제거함으로써 투명 기판 SUB1 상에 게이트 신호선 GL이 형성된다. 이 게이트 신호선 GL은 그 측벽이 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어져가는 완만한 테이퍼면을 갖게 되어, 그 후의 공정에서의 적층체에 대하여 끊어짐 등의 장해를 충분히 회피할 수 있게 된다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 4에서 명료하게 나타나 있다. 이 드레인 신호선 DL은 후술하는 레지스트 리플로우 방식에 의해 형성되는 박막 트랜지스터 TFT와 병행하여 형성되고 a-Si으로 이루어지는 반도체층 AS, 그 표면에 형성된 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 구성되어 있다.

이 때문에, 도 4에 도시한 바와 같이, 드레인 신호선 DL의 측벽에 있어서 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어지는 형태로 되는 테이퍼가 형성되도록 되지만, 이 테이퍼면의 도중에서 상세하게는 고농도층 d_0 의 하층의 반도체층 AS의 부분에서 단차가 형성되도록 된다.

따라서, 보호막 PSV 및 배향막 ORI 등에 대한 드레인 신호선 DL의 소위 타고 넘기 장해를 신뢰성 있게 회피할 수 있다.

이 경우의 타고 넘기 장해로서는, 드레인 신호선 DL의 측벽의 근방에서 보호막 PSV에 균열 등이 발생하고, 이 균열을 통해 그 드레인 신호선 DL의 재료가 이온화되어 액정으로 용출하여 액정의 비저항을 변화시키는 등의 문제점을 발생한다.

《박막 트랜지스터 TFT》

도 2는 박막 트랜지스터 TFT의 단면을 나타내는 도면이다. 이 박막 트랜지스터 TFT는 후에 상술하는 소위 레지스트 리플로우 방식을 이용하여 형성한 것이다.

박막 트랜지스터 TFT의 게이트 전극의 일부가 되는 게이트 신호선 GL은 그 측벽이 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태로 되는 테이퍼형으로 되어 있기 때문에, 그 부분에 적층되는 절연막 GI, 드레인 전극 SD1 및 소스 전극 SD2에 단차에 의한 장해를 회피할 수 있도록 되어 있다.

박막 트랜지스터 TFT의 소스 전극 SD2에 전기적으로 접속되는 화소 전극 PX는 그 소스 전극 SD2에 직접 적층되어 형성되어 있다. 이 때문에, 박막 트랜지스터 TFT의 액정 LC에 대한 직접의 접촉을 방지하는 보호막 PSV는 상기 화소 전극 PX의 상층에 형성된 구조으로 되어 있다.

즉, 화소 전극 PX는 보호막 PSV의 하층으로서 포지셔닝되고, 이에 따라 박막 트랜지스터 TFT의 소스 전극 SD2와 화소 전극 PX와의 전기적 접속에 대하여 보호막 PSV로의 컨택트홀의 형성을 회피시키고 있다.

또한, 레지스트 리플로우 방식으로 이루어지는 박막 트랜지스터 TFT는 그 반도체층 AS, 고농도층 d_0 , 드레인 전극 SD1 혹은 소스 전극 SD2의 순차 적층체의 측벽에 있어서, 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어지는 형태로 되는 테이퍼가 형성되도록 되지만, 이 테이퍼면의 도중에서 상세하게는 고농도층 d_0 의 하층의 반도체층 AS의 부분에서 단차가 형성되도록 된다.

이 때문에, 보호막 PSV 및 배향막 ORI 등에 대한 드레인 신호선 DL의 소위 타고 넘기 장해를 신뢰성 있게 회피할 수 있다.

특히, 화소 전극 PX는 단차 타고 넘기로 비교적 장해를 일으키기 쉬운 재료로 구성되며, 또한, 상기 적층체를 타고 넘어 그 상층의 소스 전극 SD2에 중첩되어 형성해야만 한 구조으로 되어 있는 데 대하여, 그 적층체의 측벽의 테이퍼면에 단차가 형성되어 있음으로써 화소 전극의 단차 타고 넘기 장해를 충분히 회피할 수 있는 구조로 된다.

도 8의 (a) 내지 (f)는 상기 박막 트랜지스터 TFT의 형성 방법의 일 실시예를 나타낸 공정도이다.

우선, 도 8의 (a)에 도시한 바와 같이, 게이트 신호선 GL, 게이트 절연막 GI의 형성 후, 이 게이트 절연막 GI의 표면에 반도체층 AS, 이 반도체층 AS의 표면에 고농도층 d_0 를 형성하고, 또한 Mo층 d_1 을 형성한다. 이 경우, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 은 동일한 챔버에서 연속하여 성막한다.

도 8의 (b)에 도시한 바와 같이, Mo층 d_1 의 표면에 포토레지스트막 PRES를 형성하고, 포토마스크를 이용한 선택 노광을 거쳐 드레인 신호선 DL, 드레인 전극 SD1 및 소스 전극의 형성 영역에 상당하는 부분의 상기 포토레지스트막 PRES를 잔존시킨다.

도 8의 (c)에 도시한 바와 같이, 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 Mo층 d_1 을 선택 에칭하고(예를 들면 인산과 질산을 포함한 혼합산, 또는 질산셀룰과 질산의 혼합액이 선정됨), 또한 고농도층 d_0 을 드라이 에칭한다. 이 경우, 반도체층 AS의 표면을 약간 깎을 수 있게 된다.

또, 고농도층 d_0 의 에칭은 이러한 방법에 한정되는 것이 아니라, 예를 들면 Mo층 d_1 의 선택 에칭 후에 이 Mo층 d_1 을 마스크로 하여 에칭하도록 하여도 좋다.

도 8의 (d)에 도시한 바와 같이, 포토레지스트막 PRES를 리플로우시킨다. 이에 따라 포토레지스트막 PRES는 그 주변이 늘어져서, 그 늘어진 부분도 마스크로 하여 기능하도록 된다. 포토레지스트막 PRES의 리플로우로서는, 예를 들면, 베이킹, 유기 용매 분위기 중에서의 용해, 혹은 물에 침지 하는 등의 방법이 있다.

여기서, 포토레지스트막 PRES의 늘어짐은 드레인 전극 SD1과 소스 전극 S D2 사이(채널 영역)가 완전하게 덮어지는 것이 필요하게 된다. 이 때문에, 도 8의 (b)에 있어서는, 이 부분의 포토레지스트막 PRES의 패턴 폭은 될 수 있는 한 좁게 하도록 해 두는 것이 필요해진다.

또한, 이 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 반도체층 AS를 선택 에칭한다.

그리고, 그 포토레지스트막 PRES를 제거한다. 이 포토레지스트막 PRES는, 그 리플로우의 시에 베이킹을 행한 경우 박리되기 어렵게 되기 때문에 애성을 행한 후에 소위 MEA 박리를 행하면 좋다.

도 8의 (e)에 도시한 바와 같이, ITO막 ITO1을 형성하고, 화소 전극 PX의 형성 영역(및 드레인 단자부 DYM)에 상당하는 부분에 포토레지스트막 PRES를 형성한다. 이 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 ITO막 ITO1을 제거한다. 그 후, 그 포토레지스트막 PRES를 제거한다.

도 8의 (f)에 도시한 바와 같이, 보호막 PSV를 형성하고, 화소 영역의 주변부(박막 트랜지스터 TFT의 형성 영역을 포함함)를 제외한 중앙부에 개구가 이루어진 포토레지스트막 PRES를 형성한다.

이 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 보호막 PSV를 제거한다. 또, 이 보호막 PSV의 구멍 형성 시에는 게이트 단자부 GTM 및 드레인 단자부 DTM에서의 구멍 형성도 동시에 행한다. 그 후, 그 포토레지스트막 PRES를 제거한다.

《용량 소자 Cadd》

용량 소자 Cadd의 단면은 도 3에 도시되어 있다. 게이트 신호선 GL의 일부의 상층에 절연막 GI를 통해 화소 전극 PX의 일부가 중첩되어 형성되고, 그 유전체막은 상기 절연막 GI로 되어 있다.

상술한 바와 같이, 화소 전극 PX는 보호막 PSV의 하층에 포지셔닝하여 형성하고 있기 때문에, 용량 소자 Cadd의 유전체 막은 그 보호막 PSV와 절연막 GI의 2층 구조로는 되지 않고 그 절연막 GI만으로 된다.

이 때문에 용량 소자 Cadd의 용량값은 절연막 GI의 막 두께와 게이트 신호선 GL과 화소 전극과의 중첩 면적에 의해 설정 할 수 있으며, 그 설정을 용이하게 할 수 있게 된다.

유전체막이 절연막 GI만이기 때문에 그 표면에는 게이트 신호선 GL의 단자가 뚜렷해지기 쉽지만, 게이트 신호선 GL은 그 하층이 ITO막 g1에서 상층이 Mo층 g2의 2층 구조이며, 그 측벽에서 완만한 테이퍼가 형성되어 있기 때문에 그 게이트 신호선 GL에 화소 전극 PX의 일부를 중첩시키는 경우에 있어서 상기 화소 전극 PX의 단자 타고 넘기에 의한 장해를 충분히 회피시킬 수 있다.

《블랙 매트릭스 BM》

블랙 매트릭스 BM의 단면은 도 4에 도시되어 있다. 도 4에서는, 블랙 매트릭스 BM은 드레인 신호선 DL을 덮도록 하여 형성되어 있는 것 밖에 나타나 있지 않지만, 게이트 신호선 GL 및 박막 트랜지스터 TFT를 덮도록 하여 형성되어 있다.

이에 따라, 콘트라스트의 향상, 및 박막 트랜지스터 TFT의 외래 광의 조사에 의한 특성 변화의 회피를 도모하고 있다.

드레인 신호선 DL의 양편에는 게이트 신호선 GL과 동시에 형성되는 차광막 SKD가 형성되어 있고, 그 드레인 신호선 DL을 덮는 블랙 매트릭스 BM은 그 폭 방향의 양단이 각각 상기 차광막 SKD 상에 포시셔닝되도록 하여 형성되어 있다.

《게이트 단자부 GTM》

게이트 단자부 GTM의 단면은 도 5에 도시되어 있다. 게이트 단자부 GTM은 게이트 신호선 GL의 연장단을 보호막 PSV 및 절연막 GI의 순차 구멍 형성(드라이 에칭에 의한 선택 에칭)에 의해 노출시킴으로써 형성된다. 이 구멍 형성은 화소 영역에서의 보호막 PSV의 구멍 형성과 동시에 행해진다.

도 4에서 분명한 바와 같이, 하층을 ITO막 g1, 상층을 Mo층 g2로서 형성되는 게이트 신호선 GL은 그 게이트 단자부 GTM에서 상층의 Mo층 g2가 제거된 상태에서 형성되어 있다. 보호막 PSV 및 절연막 GI의 드라이 에칭에 의한 구멍 형성 시에, 선택비가 얻어지지 않는 Mo층 g2가 에칭되기 때문이다.

그러나, 하층의 ITO막 g1은 그 에칭의 스토퍼로서의 기능을 갖고 잔존하며, 이 ITO막 g1에 의해 충분히 게이트 단자부 GTM으로서의 기능을 갖게 된다. 또한, 이 ITO막 g1은 산화되기 어려운 재료로 이루어지기 때문에, 예를 들면 전기 부식에 대하여 신뢰성이 있는 게이트 단자부 GTM을 형성할 수 있다.

《드레인 단자부 DTM》

드레인 단자부 DTM의 단면은 도 6에 도시되어 있다. 드레인 단자부 DTM은 드레인 신호선 DL의 연장단을 보호막 PSV의 구멍 형성(선택 에칭)에 의해 노출시킴으로써 형성된다. 이 구멍 형성은 화소 영역에서의 보호막 PSV의 구멍 형성과 동시에 행해진다.

여기서, 드레인 단자부 DTM에서의 드레인 신호선 DL 상에는 ITO막 ITO1이 피복되어 형성되어 있다. 이 ITO막 ITO1은 화소 전극 PX를 형성할 때 동시에 형성됨으로써 드레인 단자부 DTM에서 전기 부식이 생기는 것을 회피하기 위해 형성된다.

상술한 바와 같이, 드레인 신호선 DL은 레지스트 리플로우 방식으로 형성되는 박막 트랜지스터 TFT와 병행하여 형성되기 때문에 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 형성되며, 그 측벽은 완만한 테이퍼 형상으로 되어 있다.

이 때문에, 드레인 단자부 DTM에서 그 드레인 신호선 DL 상에서 ITO막 ITO1을 피복시키는 경우, 이 ITO막 ITO1의 끊어짐 등의 문제점을 해소할 수 있게 된다.

《제조 방법》

도 9의 (a) 내지 (h)는 상술한 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도이다.

도 9는 도 8의 공정도에, 또한 게이트 단자부 GTN의 부분의 공정도를 함께 나타낸 도면으로 되어 있다.

도 9의 (a)는 도 8의 (a)에 대응하고, 도 9의 (b)는 도 8의 (d)에 대응하며, 도 9의 (e)는 도 8의 (e)에 대응하고, 도 9 (g)는 도 8 (f)에 대응하고 있다.

일련의 공정은 도 10의 표에 나타낸 바와 같이 되어 있으며, 이 표로부터 알 수 있듯이, 포토 공정은 게이트 신호선 GL의 패터닝, 드레인 신호선 DL(드레인 전극, 소스 전극)의 패터닝, 화소 전극 PX의 패터닝, 보호막 PSV의 패터닝의 4회로 끝나게 된다.

(제2 실시예)

상술한 제1 실시예는 박막 트랜지스터 TFT를 레지스트 리플로우 방식을 이용하여 형성한 액정 표시 장치를 나타낸 것이다. 그러나, 소위 하프 노광 방식을 이용하여 박막 트랜지스터 TFT를 형성하는 액정 표시 장치에도 적용할 수 있다.

이하에 나타내는 구성 이외에는 제1 실시예의 경우와 마찬가지이다.

《박막 트랜지스터 TFT》

도 11은 소위 하프 노광 방식을 이용하여 형성된 박막 트랜지스터 TFT의 단면을 나타내는 도면이다.

이 박막 트랜지스터 TFT는 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체에 있어서의 측벽이 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태가 되는 완만한 테이퍼면이 형성되도록 된다.

도 15의 (a) 내지 (e)는 상기 박막 트랜지스터 TFT의 형성 방법의 일 실시예를 나타낸 공정도이다.

우선, 도 8의 (a)에 도시한 바와 같이, 게이트 신호선 GL, 게이트 절연막 GI의 형성 후, 이 게이트 절연막 GI의 표면에 반도체층 AS, 이 반도체층 AS의 표면에 고농도층 d_0 을 형성하고, 또한 Mo층 d_1 을 형성한다. 이 경우, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 은 동일한 챔버에서 연속하여 성막한다.

도 8의 (b)에 도시한 바와 같이, Mo층 d_1 의 표면에 포토레지스트막 PRES를 형성하고, 포토마스크를 이용한 선택 노광을 행한다. 이 경우의 포토마스크로서는, 격자 구조의 마스크, 혹은 MoSi과 같은 반투과형 막의 막 두께를 제어하여 제작된 마스크를 이용하여 드레인 신호선 DL, 드레인 전극 SD1, 소스 전극의 형성 영역 및 드레인 전극 SD1과 소스 전극 사이의 영역(채널부)에 상당하는 부분의 상기 포토레지스트막 PRES를 잔존시키도록 한다. 이 경우, 채널부 상의 포토레지스트막 PRES의 막 두께는 그 이외의 영역 상의 포토레지스트막 PRES의 막 두께보다도 얇아지도록 한다.

즉, 채널부에서, 포토레지스트, Mo층 d_1 , 고농도층 d_0 의 예칭 종료 시간이 Mo층 d_1 , 고농도층 d_0 , 반도체층 AS의 예칭 종료 시간과 동일(거의 동일)하게 되도록 레지스트 조건을 제어한다.

도 8의 (c)에 도시한 바와 같이, 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 Mo층 d_1 을 선택 예칭하고 (예를 들면 인산과 질산을 포함하는 혼합산, 또는 질산셀룰과 질산의 혼합액이 선정됨), 또한 고농도층 d_0 , 반도체층 AS를 드라이 예칭한다. 이 때, 채널부는 Mo층 d_1 , 고농도층 d_0 , 또한 반도체층 AS에도 예칭이 이루어지지만 그 표면이 약간 깎일 때까지에서 멈춘다.

또, 고농도층 d_0 의 예칭은 이러한 방법에 한정되는 것이 아니라, 예를 들면 Mo층 d_1 의 선택 예칭 후에 이 Mo층 d_1 을 마스크로 하여 예칭하도록 하여도 좋다.

그 후, 상기 포토레지스트막 PRES를 제거한다.

도 8의 (d)에 도시한 바와 같이, ITO막 ITO1을 형성하고, 화소 전극 PX의 형성 영역(및 드레인 단자부 DYM)에 상당하는 부분에 포토레지스트막 PRES를 형성한다. 이 포토레지스트막 PRES를 마스크로 하고, 이 마스크로부터 노출된 ITO막 ITO1을 제거한다. 그 후, 그 포토레지스트막 PRES를 제거한다.

도 8의 (e)에 도시한 바와 같이, 보호막 PSV를 형성하고, 화소 영역의 주변부(박막 트랜지스터 TFT의 형성 영역을 포함함)를 제외하는 중앙부에 개구가 이루어진 포토레지스트막 PRES를 형성한다.

이 포토레지스트막 PRES를 마스크로 하고, 이 마스크로부터 노출된 보호막 PSV를 제거한다. 또, 이 보호막 PSV의 구멍 형성 시에는 게이트 단자부 GTM 및 드레인 단자부 DTM에서의 구멍 형성도 동시에 행한다. 그 후, 그 포토레지스트막 PRES를 제거한다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 12에 나타내고 있다. 드레인 신호선 DL은 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 구성되며, 하프 노광 방식으로 형성하는 상기 박막 트랜지스터 TFT의 형성과 병행하여 형성하기 때문에, 그 측벽은 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태가 되는 완만한 테이퍼면이 형성되도록 된다.

《게이트 단자부 GTM》

게이트 단자부 GTM의 단면은 도 13에 도시되어 있다. 이 게이트 단자부 GTM은 제1 실시예와 마찬가지로 구성된다.

《드레인 단자부 DTM》

드레인 단자부 DTM의 단면은 도 14에 도시되어 있다. 드레인 신호선 DL은 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 구성되며, 그 측벽은 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태로 되는 완만한 테이퍼면이 형성되도록 된다.

그리고, 드레인 신호선 DL은 그 드레인 단자부 DTM에서 ITO막 ITO1이 그 측벽으로까지 이르러 형성되어 있다. 이 ITO막 ITO1은 화소 전극 PX의 형성 시에 동시에 형성된다. 전기 부식을 방지하기 위해서이다.

드레인 단자부 DTM은 보호막 PSV에 구멍 형성하고, 상기 ITO막 ITO1을 노출시킴으로써 형성할 수 있다.

《제조 방법》

도 16의 (a) 내지 (g)는 상술한 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도이다.

도 16은 도 15의 공정도에, 또한 게이트 단자부 GTN의 부분의 공정도를 함께 나타낸 도면으로 되어 있다.

도 16의 (a)는 도 15의 (b)에 대응하고, 도 16의 (c)는 도 15의 (c)에 대응하며, 도 16의 (d)는 도 15의 (d)에 대응하고, 도 9의 (f)는 도 15의 (e)에 대응하고 있다.

일련의 공정은 도 17의 표에 도시한 바와 같이 되어 있으며, 이 표로부터 알 수 있듯이, 포토 공정은 게이트 신호선 GL의 패터닝, 드레인 신호선 DL(드레인 전극, 소스 전극)의 패터닝, 화소 전극 PX의 패터닝, 보호막 PSV의 패터닝의 4회로 끝나게 된다.

(제3 실시예)

또한, 본 발명에 따른 액정 표시 장치는 그 박막 트랜지스터 TFT를 소위 ITO 마스크 방식을 이용하여 형성한 경우에도 적용할 수 있다.

이하에 나타내는 구성 이외에는 제1 실시예의 경우와 마찬가지이다.

《박막 트랜지스터 TFT》

도 18은 ITO 마스크 방식을 이용하여 형성한 박막 트랜지스터 TFT의 단면을 나타내는 도면이다.

이 박막 트랜지스터 TFT는 그 소스 전극 SD2의 표면의 전역에 걸쳐 화소 전극 PX의 ITO막 ITO1이 직접 중첩되어 있는 것 뿐만 아니라, 드레인 신호선 DL(및 드레인 전극 SD1)의 표면에도 ITO막 ITO1이 직접 중첩되어 있다.

또한, 다른 실시예와 마찬가지로, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체의 측벽은 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어지게 되는 완만한 테이퍼면이 형성되어 있다.

도 22의 (a) 내지 (g)는 상기 박막 트랜지스터 TFT의 형성 방법의 일 실시예를 나타낸 공정도이다.

우선, 도 22의 (a)에 도시한 바와 같이, 게이트 신호선 GL, 게이트 절연막 GI의 형성 후, 이 게이트 절연막 GI의 표면에 반도체층 AS, 고농도층 d_0 을 형성하고, 또한 Mo층 d_1 을 형성한다. 이 경우, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 은 동일한 캠버에서 연속하여 성막한다.

도 22의 (b)에 도시한 바와 같이, Mo층 d_1 의 표면에 포토레지스트막 PRES를 형성하고, 포토마스크를 이용한 선택 노광을 거쳐 드레인 신호선 DL, 드레인 전극 SD1, 소스 전극 SD2의 형성 영역 및 이들 각 전극 사이의 영역(채널부)에 상당하는 부분의 상기 포토레지스트막 PRES를 잔존시킨다.

그리고, 이 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 Mo층 d_1 , 고농도층 d_0 , 반도체층 AS를 순차 선택 예칭한다. 그 후, 그 포토레지스트막 PRES를 제거한다.

도 22의 (c)에 도시한 바와 같이, ITO막 ITO를 형성하고, 이 ITO막 ITO의 상면에 포토레지스트막 PRES를 형성하며, 드레인 신호선 DL, 드레인 전극 SD1, 화소 전극 PX의 형성 영역에 상당하는 부분의 상기 포토레지스트막 PRES를 잔존시킨다.

도 8의 (d)에 도시한 바와 같이, 상기 포토레지스트막 PRES를 마스크로 하고, 이 마스크로부터 노출된 ITO막을 선택 예칭한다. 그 후, 포토레지스트막 PRES를 제거한다.

도 8의 (e)에 도시한 바와 같이, 상기 ITO막 ITO를 마스크로 하여 이 마스크로부터 노출된 Mo층 d_1 을 선택 예칭하고, 또한 고농도층 d_0 도 선택 예칭하여 반도체층 AS의 표면을 노출시킨다.

도 8의 (f)에 도시한 바와 같이, 보호막 PSV를 형성하고, 화소 영역의 주변부(박막 트랜지스터 TFT의 형성 영역을 포함함)를 제외한 중앙부에 개구가 이루어진 포토레지스트막 PRES를 형성한다.

이 포토레지스트막 PRES를 마스크로 하고, 이 마스크로부터 노출된 보호막 PSV를 제거한다. 또, 이 보호막 PSV의 구멍 형성 시에는 게이트 단자부 GTM 및 드레인 단자부 DTM에서의 구멍 형성도 동시에 행한다. 그 후, 도 8의 (g)에 도시한 바와 같이, 그 포토레지스트막 PRES를 제거한다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 19에 도시되어 있다. 이 드레인 신호선 DL은 반도체층 AS, 고농도층 d_0 , Mo층 d_1 , ITO층 ITO1의 순차 적층체로 구성되어 있다.

《게이트 단자부》

게이트 단자부 GTM의 단면은 도 20에 도시되어 있다. 이 게이트 단자부 GTM은 제1 실시예 및 제2 실시예에 있어서의 게이트 단자부 GTM과 마찬가지의 구성으로 되어 있다.

《드레인 단자부》

드레인 단자부 DTM의 단면은 도 21에 도시되어 있다. 이 드레인 단자부 DTM은 드레인 신호선 DL이 상술한 적층체로 구성되어 있기 때문에, 보호막 PSV의 개구의 표면에서 ITO막 ITO1이 노출되고, 전기 부식에 대하여 신뢰성 있는 구성으로 된다.

《제조 방법》

도 23의 (a) 내지 (g)는 상술한 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도이다.

도 23은 도 22의 공정도에, 또한 게이트 단자부 GTN의 부분의 공정도를 함께 나타낸 도면으로 되어 있다.

도 23의 (a)는 도 22의 (b)에 대응하고, 도 23의 (c)는 도 22의 (c)에 대응하며, 도 23의 (d)는 도 22의 (d)에 대응하고, 도 23의 (e)는 도 22의 (e)에 대응하며, 도 23의 (f)는 도 22의 (f)에 대응하고, 도 23의 (g)는 도 22의 (g)에 대응하고 있다.

일련의 공정은 도 24의 표에 도시한 바와 같이 되어 있으며, 이 표로부터 알 수 있듯이, 포토 공정은 게이트 신호선 GL의 패터닝, 화소 전극 PX(드레인 신호선 DL)의 패터닝, 드레인 전극 및 소스 전극의 패터닝, 보호막 PSV의 패터닝의 4회로 끝나게 된다.

(제4 실시예)

상술한 각 실시예는, 투명 기판 SUB1 측의 각 화소 영역에 각각 화소 전극이 형성되고 투명 기판 SUB2 측의 각 화소 영역에 공통의 대향 전극이 형성되고, 이들 각 전극 사이에 발생하는 그 각 기판에 대하여 거의 수직 전계에 의해 액정의 광 투과율을 제어시키는 소위 종전계 방식의 액정 표시 장치에 대하여 설명한 것이다.

그러나, 이러한 횡전계 방식의 액정 표시 장치에 한정되지 않고, 투명 기판 SUB1의 각 화소 영역에 화소 전극과 대향 전극이 형성되며, 이들 각 전극 사이에 발생하는 그 투명 기판 SUB1과 거의 평행한 전계 성분에 의해 액정의 광 투과율을 제어시키는 소위 횡전계 방식의 액정 표시 장치에 대해서도 적용시킬 수 있다.

도 25는 이러한 횡전계 방식의 액정 표시 장치의 화소의 구성을 나타내는 평면도로, 도 1과 대응한 도면으로 되어 있다. 또, 도 25에 있어서 26-26선에 있어서의 단면을 도 26에, 27-27선에 있어서의 단면을 도 27에 나타내고 있다.

도 1의 구성과 비교하여 다른 구성은 다음과 같다.

도 25에 있어서, 우선, 화소 전극 PX 및 대향 전극 CT가 각각 드레인 신호선 DL과 평행하게 연장된 스트라이프 형상을 이루는 복수개로 이루어지며, 이들이 교대로 배치되어 형성되어 있다.

본 실시예에서는, 화소 전극 PX가 2개, 대향 전극 CT이 3개로 이루어지며, 이들이 교대로 배치되는 결과, 각 대향 전극 CT 중 2개가 양편에, 다시 말하면 드레인 신호선 DL에 인접되어 형성되도록 되어 있다.

이 양편에 배치되는 대향 전극 CT는 드레인 신호선 DL에서의 전계가 화소 전극 PX에 영향을 주지 않도록 실드 기능을 갖게 하고 있으며, 다른 전극보다도 폭이 넓게 형성되어 있다.

또한, 대향 전극 CT은 게이트 신호선 GL과 동시에 형성되고, 그 게이트 신호선 GL과 동일한 재료로 형성되어 있다. 따라서, 2층 구조로 이루어지며, 그 하층은 ITO막으로 상층은 Mo층으로 형성되어 있다.

3개의 각 대향 전극 CT는 화소 영역의 중앙에 게이트 신호선 GL과 평행하게 형성되는 대향 전압 신호선 CL와 일체적으로 형성됨으로써 공통 접속되고, 이 대향 전압 신호선 CL을 통해 대향 전압 신호가 공급된다. 따라서, 이 대향 전압 신호선 CL도 2층 구조로 이루어지며, 그 하층은 ITO막으로 상층은 Mo층으로 형성되어 있다.

이 대향 전압 신호선 CL은 도면 중 x 방향으로 병설되는 화소군에 공통으로 형성되며, 도면 중 y 방향으로 배치되는 각 화소군의 다른 대향 전압 신호선 CL과 공통 접속되며, 표시부 밖으로까지 연장된 공통 접속선에 형성된 공통 단자부 CTM으로부터 대향 전압 신호가 공급된다.

화소 전극 PX는 대향 전극 CT(대향 전압 신호선 CL)에 대하여 절연막 GI를 통해 다른 층으로서 형성되어 있다.

2개의 각 화소 전극 PX는 대향 전압 신호선 CL 상에서 상호 접속된 패턴으로서 형성되고, 이 접속부에서 그 대향 전압 신호선 CL과의 사이에 상기 절연막 GI를 유전체로 하는 용량 소자 Cstg가 형성되어 있다.

2개의 각 화소 전극 중 박막 트랜지스터 TFT에 근접하는 화소 전극 PX는 그 단부가 그 박막 트랜지스터 TFT의 반도체층 AS의 상면으로까지 연장되어 그 박막 트랜지스터 TFT의 소스 전극을 구성하고 있다.

그리고, 이 박막 트랜지스터 TFT는 예를 들면 제1 실시예에서 나타낸 레지스트 리플로우 방식에 의해 형성된 것으로 되어 있다.

《용량 소자 Cstg》

도 26은 용량 소자 Cstg의 단면을 나타내는 도면이다. 대향 전압 신호선 CL의 일부의 상층에 절연막 GI를 통해 화소 전극 PX의 일부가 중첩되어 구성되며, 그 유전체막은 상기 절연막 GI로 되어 있다.

화소 전극 PX는 보호막 PSV의 하층에 포지셔닝하여 형성되어 있기 때문에, 용량 소자 Cstg의 유전체막은 그 보호막 PSV와 절연막 GI의 2층 구조로는 되지 않고 그 절연막 GI만으로 된다.

이 때문에 용량 소자 Cstg의 용량값은 절연막 GI의 막 두께와 대향 전압 신호선 CL과 화소 전극 PX와의 중첩 면적에 의해 설정할 수 있어, 그 설정을 용이하게 할 수 있다.

《대향 전극 CT》

대향 전극 CT의 단면은 도 27에 도시되어 있다.

2층 구조로 이루어지는 대향 전극 CT는 각층의 에칭 속도를 고려한 선택 에칭에 의해 그 측벽에 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태로 되는 테이퍼면을 형성할 수 있다. 이에 따라, 절연막 GI의 타고 넘는 부분에서의 크랙 등의 장해를 회피할 수 있으며, 화소 전극 PX 사이의 전계의 분포 등을 안정화할 수 있다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 27에 도시되어 있다.

드레인 신호선 DL은 레지스트 리플로우 방식으로 이루어지는 박막 트랜지스터 TFT와 병행하여 형성되고, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 구성되며, 그 측벽에서, 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태로 되는 테이퍼가 형성되도록 되고, 또한, 이 테이퍼면의 도중에서 상세하게는 고농도층 d_0 의 하층의 반도체층 AS의 부분에서 단차가 형성되도록 된다. 또, 박막 트랜지스터 TFT의 형성에는 레지스트 리플로우 방식 대신에 상술의 하프 노광을 행하여도 좋다.

이 때문에, 이 드레인 신호선 DL의 상층에 형성되는 보호막 PSV 및 배향막 ORI의 타고 넘기 장해를 충분히 회피할 수 있다.

《게이트 단자부 GTM, 공통 단자부 CTM》

제1 실시예에 나타낸 게이트 단자부 GTM(도 5)과 마찬가지의 구성으로 되어 있다. 또한, 공통 단자부 CTM에서도 그 대향 전압 신호선 CL이 게이트 신호선 GL과 동층이며 동일 재료로 이루어지는 2층 구조이기 때문에 그 게이트 단자부 GTM과 마찬가지의 구성으로 되어 있다.

《드레인 단자부 DTM》

제1 실시예에 나타낸 드레인 단자부 DTM(도 6)과 마찬가지의 구성으로 되어 있다.

《박막 트랜지스터 TFT》

제1 실시예에 나타낸 박막 트랜지스터 TFT(도 2)와 마찬가지의 구성으로 되어 있다.

(제5 실시예)

도 28은 횡전계 방식의 액정 표시 장치의 화소의 다른 실시예를 나타내는 평면도이다.

도 28은 화소 전극 PX 및 대향 전극 CT을 함께 예를 들면 ITO막 등과 같은 투명 도전층으로 형성함과 함께 예를 들면 대향 전극 CT은 화소 전극 PX와 중첩되고 화소 영역의 거의 전역에 형성되어 있다.

즉, 대향 전극 CT는 투명 기판 SUB1 면에서 화소 영역의 약간의 주변을 제외한 중앙부의 전역에 형성되어 있다.

이 대향 전극 CT에는 화소 영역 중앙에서 도면 중 x 방향으로 주행하여 형성되는 대향 전압 신호선 CL을 통해 대향 전압 신호가 공급되도록 되어 있다.

이 대향 전압 신호선 CL은 대향 전극 CT 상에 직접 형성됨으로써 게이트 신호선 GL의 형성 시에 동시에 형성되도록 되어 있다. 이 때문에, 대향 전압 신호선 CL은 2층 구조로 되어 있으며, 그 하층은 ITO막으로 상층은 Mo층으로 구성되어 있다.

또한, 화소 전극 PX는 대향 전극 CT(대향 전압 신호선 CL)를 덮는 절연막 GI 상에 형성되며, 예를 들면 드레인 신호선 DL과 평행하게 연장된 스트라이프형의 패턴을 이루고, 그 드레인 신호선 DL과 직교하는 방향으로 병설된 복수의 전극으로 이루어진다.

이들 각 화소 전극 PX는 박막 트랜지스터 TFT측의 단부에서 공통 접속됨과 함께 박막 트랜지스터 TFT의 반도체층 AS면으로까지 연장되어 그 박막 트랜지스터 TFT의 소스 전극 SD2를 구성한다.

이 박막 트랜지스터 TFT는 제1 실시예와 마찬가지로 레지스트 리플로우 방식에 의해 형성되어 있다.

《대향 전압 신호선 CL》

대향 전압 신호선 CL의 단면은 도 30에 도시되어 있다.

2층 구조로 이루어지는 대향 전압 신호선 CL은 각층의 에칭 속도를 고려한 선택 에칭에 의해 그 측벽에 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어지는 형태로 되는 테이퍼면을 형성할 수 있다. 이에 따라, 절연막 GI의 타고 넘기 장해를 회피 할 수 있다.

또한, 대향 전압 신호선 CL은 ITO막으로 이루어지는 대향 전극 CT의 상면에 형성되고, 그 하층은 ITO막으로 구성되어 있기 때문에 그 대향 전극 CT와의 밀착성을 확보할 수 있다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 29에 도시되어 있다. 드레인 신호선 DL은 레지스트 리플로우 방식으로 이루어지는 박막 트랜지스터 TFT와 병행하여 형성되고, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 구성되며, 그 측벽에서, 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 형태로 되는 테이퍼가 형성되도록 되고, 또한, 이 테이퍼면의 도중에서, 상세하게는 고농도층 d_0 의 하층의 반도체층 AS의 부분에서 단차가 형성되도록 된다. 또, 박막 트랜지스터 TFT의 형성 시에는 레지스트 리플로우 방식 대신에 상술의 하프 노광을 이용하여도 좋다.

이 때문에, 이 드레인 신호선 DL의 상층에 형성되는 보호막 PSV 및 배향막 ORI의 타고 넘기 장해를 충분히 회피할 수 있다.

《게이트 단자부 GTM, 공통 단자부 CTM》

제1 실시예에 나타낸 게이트 단자부 GTM(도 5)과 마찬가지의 구성으로 되어 있다.

《드레인 단자부 DTM》

제1 실시예에 나타낸 드레인 단자부 DTM(도 6)과 마찬가지의 구성으로 되어 있다.

《박막 트랜지스터 TFT》

제1 실시예에 나타낸 박막 트랜지스터 TFT(도 2)와 마찬가지의 구성으로 되어 있다.

(제6 실시예)

도 31은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 나타내는 평면도로서, 도 25와 대응한 도면으로 되어 있다.

도 31은 하프 노광 방식을 거쳐 형성된 화소의 구성을 나타낸다. 여기서, 게이트 신호선 GL은 상술한 실시예와 마찬가지로 ITO막과 Mo층의 2층 구조로 되어 있지만 이 구성을 도시되어 있지 않다.

《용량 소자 Cstg》

용량 소자 Cstg의 단면은 도 32에 도시되어 있다.

용량 소자 Cstg는 대향 전압 신호선 CL의 상면에 절연막 GI를 통해 화소 전극을 PX를 중첩시켜 구성되어 있다.

대향 전압 신호선 CL은 게이트 신호선 GL과 마찬가지로 하층이 ITO막 g₁에서 상층이 Mo층 g₂의 2층 구조로 이루어져며, 화소 전극 PX는 반도체층 AS, 고농도층 d₀, Mo층 d₁, ITO막 ITO1의 순차 적층체로 이루어지고 있다.

《화소 전극 PX》

화소 전극 PX의 단면은 도 33에 있어서 명확하게 나타나 있다.

상술한 바와 같이, 화소 전극 PX는 반도체층 AS, 고농도층 d₀, Mo층 d₁, ITO막의 순차 적층체로 이루어져 있다.

이 경우, 화소 전극 PX에 의한 단차의 문제점이 생각되지만, 그 측벽은 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 완만한 테이퍼면이 형성되기 때문에 이 상면에 형성되는 보호막 PSV 및 배향막 ORI의 타고 넘기 장해를 충분히 완화시킬 수 있다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 33에 도시되어 있다.

드레인 신호선 DL도 화소 전극 PX와 마찬가지로, 반도체층 AS, 고농도층 d₀, Mo층 d₁, ITO막의 순차 적층체로 이루어져 있다.

이 때문에, 드레인 신호선 DL에 의한 단차의 문제점이 생각되지만, 그 측벽은 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어져가는 완만한 테이퍼면이 형성되기 때문에, 이 상면에 형성되는 보호막 PSV 및 배향막 ORI의 타고 넘기 장해를 충분히 완화시킬 수 있다.

《게이트 단자부 GTM》

게이트 단자부 GTM의 단면은 도 35에 도시되어 있다.

게이트 단자부 GTM은 게이트 신호선 GL의 연장단을 보호막 PSV 및 절연막 GI의 순차 구멍 형성(드라이 에칭에 의한 선택 에칭)에 의해 노출시킴으로써 형성된다.

도 33으로부터 분명한 바와 같이, 하층을 ITO막 g₁, 상층을 Mo층 g₂로서 형성되는 게이트 신호선 GL은 그 게이트 단자부 GTM에서 상층의 Mo층이 제거된 상태로서 형성되어 있다. 보호막 PSV 및 절연막 GI의 드라이 에칭에 의한 구멍 형성 시에 선택비가 얻어지지 않는 Mo층이 에칭되기 때문이다.

그러나, 하층의 ITO막 g₁은 그 에칭의 스토퍼로서의 기능을 갖고 잔존하며, 이 ITO막 g₁에 의해 충분히 게이트 단자부 GTM으로서의 기능을 갖게 된다. 또한, 이 ITO막 g₁은 산화되기 어려운 재료로 이루어지기 때문에, 예를 들면 전기 부식에 대하여 신뢰성이 있는 게이트 단자부를 구성할 수 있다.

《드레인 단자부 DTM》

드레인 단자부 DTM의 단면은 도 36에 도시되어 있다.

드레인 신호선 DL은 반도체층 AS, 고농도층 d₀, Mo층 d₁, ITO막 ITO1의 순차 적층체로 구성되어 있기 때문에, 보호막 PSV에 구멍 형성을 행함으로써 드레인 단자부 DTM이 형성된다.

보호막 PSV의 구멍 형성에 의해 드레인 신호선 DL의 표면의 ITO막이 노출되기 때문에, 전기 부식 방지를 위한 ITO막 형성을 특별히 행할 필요는 없게 된다.

《박막 트랜지스터 TFT》

본 실시예에서는, 박막 트랜지스터 TFT는 하프 노광 방식으로 형성된 것으로 되어 있다.

도 37의 (a) 내지 (f)는 상기 박막 트랜지스터 TFT의 형성 방법의 일 실시예를 나타낸 공정도이다.

우선, 도 37의 (a)에 도시한 바와 같이, 게이트 신호선 GL, 게이트 절연막 GI의 형성 후, 이 게이트 절연막 GI의 표면에 반도체층 AS, 이 반도체층 AS의 표면에 고농도층 d_0 , Mo층 d_1 을 형성하고, 또한 ITO막 ITO1을 형성한다. 이 경우, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 , ITO막 ITO1은 동일한 챔버에서 연속하여 성막한다.

도 37의 (b)에 도시한 바와 같이, ITO막의 표면에 포토레지스트막 PRES를 형성하고, 포토마스크를 이용한 선택 노광을 행한다. 이 경우의 포토마스크로서는, 격자 구조의 마스크, 혹은 MoSi과 같은 반투과형막의 막 두께를 제어하여 제작된 마스크를 이용하여 드레인 신호선 DL, 드레인 전극 SD1 및 소스 전극의 형성 영역, 이들 각 전극 사이의 영역(채널부)에 상당하는 부분의 상기 포토레지스트막 PRES를 잔존시키도록 한다. 이 경우, 채널부 상의 포토레지스트막 PRES의 막 두께는 그것 이외의 영역 상의 포토레지스트막 PRES의 막 두께보다도 얇아져도록 한다.

즉, 채널부에서 포토레지스트, Mo층 d_1 , 고농도층 d_0 의 에칭 종료 시간이 Mo층 d_1 , 고농도층 d_0 , 반도체층 AS의 에칭 종료 시간과 동일(거의 동일)하게 되도록 레지스트 조건을 제어한다.

도 37의 (c)에 도시한 바와 같이, 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 ITO층, Mo층 d_1 , 고농도층 d_0 , 반도체층 AS를 선택 에칭한다(예를 들면 반도체층 AS 및 고농도층 d_0 의 선택 에칭용 가스로서 SF₆, CF₄ 등의 불소계 가스가 선정된다).

이에 따라, 박막 트랜지스터 TFT를 구성하는 반도체층 AS는 섬 형상으로 에칭되게 되지만, 그 채널부는 적어도 고농도층 d_0 을 에칭하는 것에서 멎춘다. 그 후 상기 포토레지스트막 PRES를 제거한다.

도 37의 (d)에 도시한 바와 같이, 보호막 PSV를 형성한다.

도 37의 (e)에 도시한 바와 같이, 보호막 PSV의 표면에 화소 영역의 주변부(박막 트랜지스터 TFT의 형성 영역을 포함함)를 제외한 중앙부에 개구가 이루어진 포토레지스트막 PRES를 형성한다.

도 37의 (f)에 도시한 바와 같이, 이 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 보호막 PSV를 제거한다. 또, 이 보호막 PSV의 구멍 형성 시에는 게이트 단자부 GTM 및 드레인 단자부 DTM에서의 구멍 형성도 동시에 행한다. 그 후, 그 포토레지스트막 PRES를 제거한다.

《제조 방법》

도 38의 (a) 내지 (e)는 상술한 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도이다.

도 38은 도 37의 공정도에, 또한 게이트 단자부 GTN의 부분의 공정도를 함께 나타낸 도면으로 되어 있다.

도 38의 (a)는 도 37의 (b)에 대응하고, 도 38의 (c)는 도 37의 (c)에 대응하며, 도 38의 (d)는 도 37의 (e)에 대응하고, 도 38의 (e)는 도 37의 (f)에 대응하고 있다.

일련의 공정은 도 39의 표에 나타낸 바와 같이 되어 있으며, 이 표로부터 알 수 있듯이, 포토 공정은 게이트 신호선 GL의 패터닝, 드레인 신호선 DL(드레인 전극, 소스 전극)의 패터닝, 보호막 PSV의 패터닝의 3회로 끝나게 된다.

(제7 실시예)

도 40은 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 나타내는 평면도로서, 도 28과 대응한 도면으로 되어 있다. 즉, 예를 들면 ITO막으로 이루어지는 대향 전극 CT가 화소 영역의 대부분에 형성되고, 예를 들면 ITO막으로 이루어지는 스트라이프형의 화소 전극 PX가 복수 명설되어 있다. 이 실시예의 경우, 대향 전극 CT와 화소 전극 PX 사이에 개재되는 절연막은 절연막 GI와 보호막 PSV의 2층 구조로 되어 있다. 그리고, 박막 트랜지스터 TFT는 레지스트 리플로우 방식에 의해 형성되어 있다.

또, 도 40의 41-41선의 단면도를 도 41에, 42-42선의 단면도를 도 42에, 44-44선의 단면도를 도 44에, 45-45선의 단면도를 도 45에 나타내고 있다.

《드레인 신호선 DL》

드레인 신호선 DL은 도 41에 도시되어 있다. 드레인 신호선 DL은 절연막 GI 상에 형성되고, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 의 순차 적층체로 구성되어 있다.

그리고, 레지스트 리플로우 방식으로 형성되는 박막 트랜지스터 TFT와 병행하여 형성되기 때문에, 드레인 신호선 DL의 측벽은 그 반도체층 AS면에 단차를 갖는 완만한 테이퍼면(투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어짐)이 형성되어 있다.

《게이트 신호선 GL》

게이트 신호선 GL의 단면이 도 42에 도시되어 있다. 게이트 신호선 GL은 투명 기판 SUB1 상에 형성되고, ITO막 g1과 Mo막 g2의 순차 2층막으로 구성되어 있다. 그 측벽은 투명 기판 SUB1 측으로 점차 끝 쪽이 넓어지는 완만한 테이퍼면이 형성되어 있다.

《대향 전압 신호선 CL》

대향 전압 신호선 CL의 단면은 도 42에 도시되어 있다. 대향 전압 신호선 CL은 게이트 신호선 GL과 마찬가지로 ITO막 g1과 Mo막 g2의 순차 2층막으로 구성되어 있지만, 이 중 ITO막 g1은 Mo막 g2에 대하여 폭 넓게 형성되어 대향 전극 CT의 기능을 갖게 하도록 하고 있다.

이와 같이, 대향 전극 CT은 1층 구조로 되어 있는데도 불구하고, 대향 전압 신호선 CL은 그 대향 전극 CT를 구성하는 층의 위에 또 다른 재료의 층이 형성된 2층 구조로 되어 있지만, 이 대향 전압 신호선 CL과 대향 전극 CT과의 형성은 하프 노광 방식의 채용에 의해 1회의 포토 공정으로 형성할 수 있다.

도 43의 (a) 내지 (d)는 이러한 경우의 공정을 나타내는 도면이다.

우선, 도 43의 (a)에 도시한 바와 같이, 투명 기판 SUB1의 표면에 예를 들면 ITO막 g1과 Mo층 g2의 순차 적층체가 형성되어 있다.

그리고, 이 적층체의 표면에 선택적으로 포토레지스트막 PRES가 형성되어 있지만, 도 43의 (b)에 도시한 바와 같이, 이들은 다른 영역에서 각각 두께가 다르다. 이와 같이 두께가 다른 포토레지스트막의 형성은 격자 구조의 포토마스크, 혹은 MoSi 등과 같은 반투과형 막의 막 두께를 제어하여 제작된 포토마스크를 이용하고, 소위 하프 노광을 함으로써 달성할 수 있다.

그 후, 도 43의 (c)에 도시한 바와 같이, 그 포토레지스트막 PRES를 마스크로 하여 에칭함으로써 상층의 Mo막 g2를 선택 에칭할 수 있다. 이 경우, 막 두께가 두꺼운 포토레지스트막은 그 막 두께가 얇아져서 잔존하지만, 막 두께가 얇은 포토레지스트막은 소실하게 된다.

그리고, 도 43의 (d)에 도시한 바와 같이, 잔존된 포토레지스트막 PRES를 마스크로 하여 에칭함으로써 하층의 ITO막 g1을 선택 에칭할 수 있다. 이 경우, 포토레지스트막이 소실된 층의 Mo층 g2는 이 때 에칭되게 된다.

《게이트 단자부 GTM》

게이트 단자부 GTM의 단면은 도 44에 도시되어 있다. 게이트 신호선 GL을 덮는 절연막 GI, 보호막 PSV에 구멍을 형성함으로써 게이트 단자부 GTM이 형성된다.

이 경우, 그 구멍 형성에 의해 게이트 신호선 GL의 상층의 Mo막 g2가 제거되고, 또한 그 구멍 및 그 주변에 형성된 ITO막에 의해 게이트 단자부 GTM의 전기 부식 회피를 더욱 효과적으로 하고 있다.

또, 상기 ITO막은 화소 전극 PX의 형성과 동시에 형성되도록 되어 있다.

《드레인 단자부 DTM》

드레인 단자부 DTM의 단면은 도 45에 도시되어 있다. 드레인 신호선 DL을 덮는 보호막 PSV에 구멍을 형성함으로써 드레인 단자부 GTM이 형성된다.

이 경우, 그 구멍 및 그 주변에 형성된 ITO막에 의해 게이트 단자부 GTM의 전기 부식 회피를 도모하고 있다.

이 ITO막도 화소 전극 PX의 형성과 동시에 형성되도록 되어 있다.

《제조 방법》

도 46의 (a) 내지 (d), 도 47의 (a) 내지 (d), 도 48은 상기 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도로서, 박막 트랜지스터 TFT와 대향 전극 CT의 부분을 나타내고 있다.

우선, 도 46의 (a)에 도시한 바와 같이, 게이트 신호선 GL, 게이트 절연막 GI의 형성 후, 이 게이트 절연막 GI의 표면에 반도체층 AS, 고농도층 d_0 , Mo층 d_1 을 형성한다. 이 경우, 반도체층 AS, 고농도층 d_0 , Mo층 d_1 은 동일한 챔버에서 연속하여 성막한다.

도 46의 (b)에 도시한 바와 같이, ITO막의 표면에 포토레지스트막 PRES를 형성하고, 포토마스크를 이용한 선택 노광을 행한다. 이 경우의 포토마스크로서는, 격자 구조의 마스크, 혹은 MoSi과 같은 반투과형 막의 막 두께를 제어하여 제작된 마스크를 이용하여 드레인 신호선 DL, 드레인 전극 SD1 및 소스 전극의 형성 영역, 이들 각 전극 사이의 영역(채널부)에 상당하는 부분의 상기 포토레지스트막 PRES를 잔존시키도록 한다. 이 경우, 상기 채널부 상의 포토레지스트막 PRES의 막 두께는 그 이외의 영역 상의 포토레지스트막 PRES의 막 두께보다도 얇아지도록 한다.

즉, 채널부에서, 포토레지스트, Mo층 d_1 , 고농도층 d_0 의 예칭 종료 시간이, Mo층 d_1 , 고농도층 d_0 , 반도체층 AS의 예칭 종료 시간과 동일(거의 동일)하게 되도록 레지스트 조건을 제어한다.

도 46의 (c)에 도시한 바와 같이, 포토레지스트막 PRES를 마스크로 하여 이 마스크로부터 노출된 Mo층 d_1 , 고농도층 d_0 , 반도체층 AS를 선택 예칭한다(예를 들면 반도체층 AS 및 고농도층 d_0 의 선택 예칭용 가스로서 SF_6 , CF_4 등의 불소계 가스가 선정된다).

이에 따라, 박막 트랜지스터 TFT를 구성하는 영역 이외의 영역에서 반도체층 AS가 노출되고, 포토레지스트막 PRES는 그 전역에 걸쳐 막 두께가 얇아진다. 그리고, 채널부에서는 그 포토레지스트막 PRES로부터 Mo층 d_1 이 노출하도록 된다.

도 46의 (d)에 도시한 바와 같이, 잔존된 포토레지스트막 PRES를 마스크로 하여 예칭한다.

이에 따라, 박막 트랜지스터 TFT를 구성하는 영역 이외의 영역에서 반도체층 AS가 예칭되어 절연막 GI가 노출하도록 된다.

또한, 채널부에서 Mo층 d_1 , 고농도층 d_0 이 예칭되어 반도체층 AS가 노출하도록 된다.

도 47의 (a)에 도시한 바와 같이, 보호막 PSV를 형성한다.

도 47의 (b)에 도시한 바와 같이, 보호막 PSV의 상면에 박막 트랜지스터 TFT의 소스 전극 SD2의 컨택트홀 형성 부분에 구멍 형성된 포토레지스트막 PRES를 형성한다. 그리고, 이 포토레지스트막 PRES를 마스크로 하여 보호막 PSV를 에칭한다. 또, 이 보호막 PSV의 구멍 형성 시에 게이트 단자부 GTM 및 드레인 단자부 DTM에서의 구멍 형성도 동시에 행한다. 그 후 그 포토레지스트막 PRES를 제거한다.

도 47의 (c)에 도시한 바와 같이, 보호막 PSV에 컨택트홀이 형성되고, 이 컨택트홀로부터는 박막 트랜지스터 TFT의 소스 전극 SD2의 일부가 노출된다.

도 47의 (d)에 도시한 바와 같이, 보호막 PSV 상에 ITO막을 형성하고, 이 ITO막 상에 화소 전극 PX 및 박막 트랜지스터 TFT의 소스 전극 SD2와 접속되는 화소 전극 PX의 연장부를 형성하는 영역 상에 포토레지스트막 PRES를 형성한다.

도 48에 도시한 바와 같이, 상기 포토레지스트막 PRES를 마스크로 하여 ITO막을 에칭하고, 그 후, 그 포토레지스트막 PRES를 제거한다.

(제8 실시예)

도 49는 본 발명에 따른 액정 표시 장치의 화소의 다른 실시예를 나타내는 평면도로서, 도 40과 대응한 도면으로 되어 있다.

도 40의 경우와 다른 부분은 레지스트 리플로우 방식을 채용하고 있음과 함께 보호막 PSV에 컨택트홀이 형성되어 있지 않은 구조로 되어 있다.

또, 도 49의 50-50의 단면을 도 50에, 51-51의 단면을 도 51에 도시하고 있다.

《드레인 신호선 DL》

드레인 신호선 DL의 단면은 도 50에 도시되어 있다. 이 드레인 신호선 DL은 반도체층 AS, 고농도층 d_0 , Mo층 d_1 , ITO층 ITO1의 순차 적층체로 구성되어 있다. 여기서, ITO층 ITO1은 적층체의 측벽으로까지 이르러 형성되며, 다시 말하면, 드레인 신호선 DL 전체를 덮도록 하여 형성되어 있다.

《게이트 신호선 GL》

게이트 신호선 GL의 단면은 도 51에 도시되어 있다. 게이트 신호선 GL은 투명 기판 SUB1 상에 형성되고, ITO막 g1과 Mo막 g2의 순차 2층막으로 구성되어 있다. 그 측벽에는 투명 기판 SUB1 측으로 점차로 끝 쪽이 넓어져가는 완만한 테이퍼면이 형성되어 있다.

《대향 전압 신호선 CL》

대향 전압 신호선 CL의 단면은 도 51에 도시되어 있다. 대향 전압 신호선 CL은 게이트 신호선 GL과 마찬가지로 ITO막 g1과 Mo막 g2의 순차 2층막으로 구성되어 있지만, 이 중 ITO막 g1은 Mo막 g2에 대하여 폭 넓게 형성되어 대향 전극 CT의 기능을 갖게 하도록 되어 있다.

《드레인 단자부 DTM》

드레인 단자부 DTM의 단면은 도 52에 도시되어 있다. 드레인 신호선 DL은 반도체층 AS, 고농도층 d_0 , Mo층 d_1 , ITO층 ITO1의 순차 적층체로 이루어지고, 그 ITO막 ITO1은 적층체의 측벽으로까지 이르러 형성되어 있다.

이 드레인 신호선 DL을 덮는 보호막 PSV에 구멍을 형성하고, 상기 ITO막의 표면을 노출시킴으로써 드레인 단자부 DTM이 형성되어 있다.

《제조 방법》

도 53의 (a) 내지 (d)는 상기 액정 표시 장치의 제조 방법의 일 실시예를 나타내는 공정으로서, 박막 트랜지스터 TFT와 대향 전극 CT의 부분을 나타내고 있다.

우선, 도 53의 (a)에 도시한 바와 같이, 투명 기판 SUB1의 표면에 게이트 신호선 GL, 대향 전극 CT, 대향 전압 신호선 CL을 형성한 후, 이들을 피착하여 게이트 절연막 GI를 형성한다.

절연막 GI의 상면에 반도체층 AS, 고농도층 d_0 , Mo층 d_1 을 순차 적층시키고, 상술한 레지스트 리플로우 방식에 의해 박막 트랜지스터 TFT 및 드레인 신호선 DL을 형성한다.

이와 같이 형성된 투명 기판 SUB1의 표면의 전역에 ITO막 ITO1을 형성하고, 그 표면에 화소 전극 PX의 형성 영역에 상당하는 부분에 포토레지스트막 PRES를 형성한다.

다음에, 이 포토레지스트막 PRES를 마스크로 하여 ITO막 ITO1을 에칭하고, 도 53의 (b)에 도시한 바와 같이 화소 전극 PX를 형성한다.

도 53의 (c)에 도시한 바와 같이, 보호막 PSV를 형성한다.

그리고, 도 53의 (d)에 도시한 바와 같이, 도시하지 않은 포토 공정을 거침으로써 보호막 PSV에 구멍 형성을 행하고, 화소 영역의 주변을 제외한 중앙부에 보호막 PSV가 형성되어 있지 않은 구조으로 한다.

또, 이 보호막 PSV의 구멍 형성 시에는 게이트 단자부 GTM 및 드레인 단자부 DTM의 부분의 구멍 형성을 동시에 행한다.

또, 상술의 실시예에서는 드레인 신호선 DL, 드레인 전극 SD1, 소스 전극 SD2를 구성하는 도전층 d_1 을 몰리브텐(Mo)으로 형성하였지만, 이 재료 대신에 다른 고융점 금속, 예를 들면 텅스텐(W), 크롬(Cr), 티타늄(Ti), 탄탈(Ta)이어도 마찬가지의 효과를 발휘한다.

또한, 상술한 각 ITO막 대신에 예를 들면 IZO(Indium-Zinc-Oxide)막을 이용하여도 좋다.

발명의 효과

이상 설명한 점으로부터 분명한 바와 같이, 본 발명의 액정 표시 장치에 따르면, 신호선의 배선 비저항이 작은 것이 얻어진다.

또한, 본 발명의 액정 표시 장치에 따르면, 기판의 액정측의 면에서 가파른 단자가 적은 것이 얻어진다.

또한, 본 발명의 액정 표시 장치의 제조 방법에 따르면, 그 공정의 저감을 도모할 수 있다.

(57) 청구의 범위

청구항 1.

액정을 개재하여 대향 배치되는 각 기판 중 한 쪽 기판의 액정측의 화소 영역에, 게이트 절연막과, 상기 게이트 절연막 상에 형성된 반도체층과, 상기 반도체층 상에 적층된 금속층을 구비하는 액정 표시 장치로서,

상기 반도체층은 상기 금속층보다 폭이 넓은 상기 금속층의 양측으로 비어져 나와 존재하고, ITO막 혹은 IZO막이, 상기 금속층과 상기 금속층의 양측으로 비어져 나온 반도체층을 덮는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 금속층의 측벽은 테이퍼면을 가지며, 상기 반도체층은 단차를 가지고 상기 금속층의 양측으로 비어져 나와 있는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제2항에 있어서,

상기 게이트 절연막보다 하층에 ITO막 혹은 IZO막의 대향 전극을 가지며, 상기 게이트 절연막보다 상층에 ITO막 혹은 IZO막의 화소 전극을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제3항에 있어서,

상기 대향 전극이 상기 화소 영역의 대부분에 형성되고, 상기 화소 전극이 복수개 병렬로 설치된 스트라이프 형상인 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제2항에 있어서,

액정을 개재하여 대향 배치되는 각 기판 중 다른쪽의 기판의 액정측의 화소 영역에 블랙 매트릭스가 배치되며, 상기 블랙 매트릭스가 상기 금속층으로부터 비어져 나온 반도체층의 부분에 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

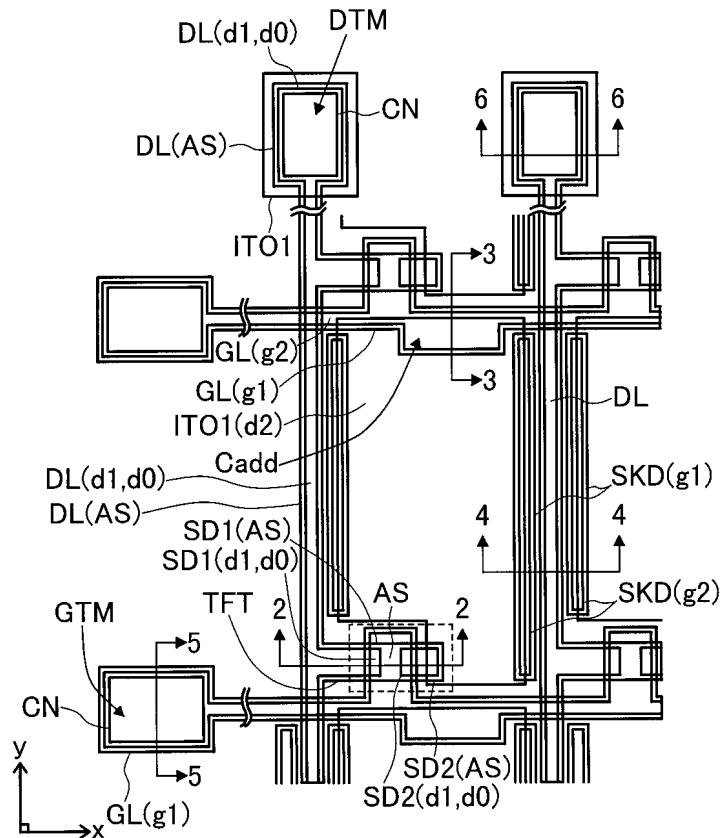
청구항 6.

제4항에 있어서,

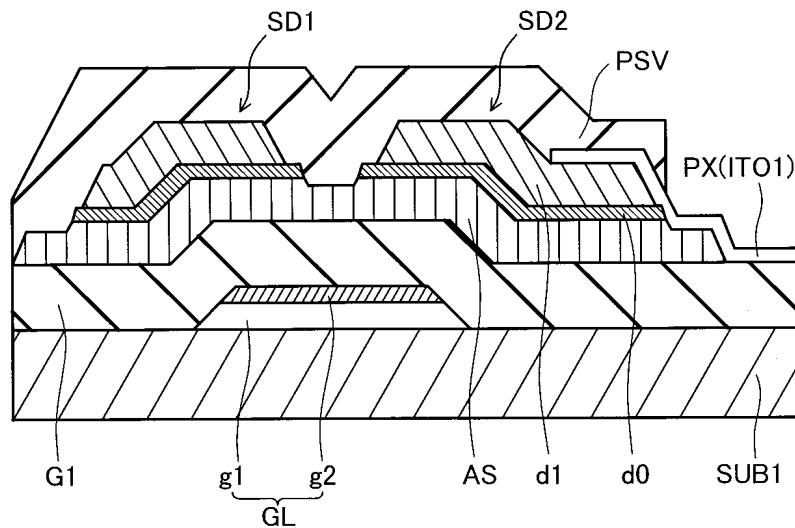
액정을 개재하여 대향 배치되는 각 기판 중 다른쪽의 기판의 액정측의 화소 영역에 블랙 매트릭스가 배치되고, 상기 블랙 매트릭스가 상기 금속층으로부터 비어져 나온 반도체층의 부분에 배치되며, 그 단부가 상기 대향 전극과 중첩되는 것을 특징으로 하는 액정 표시 장치.

도면

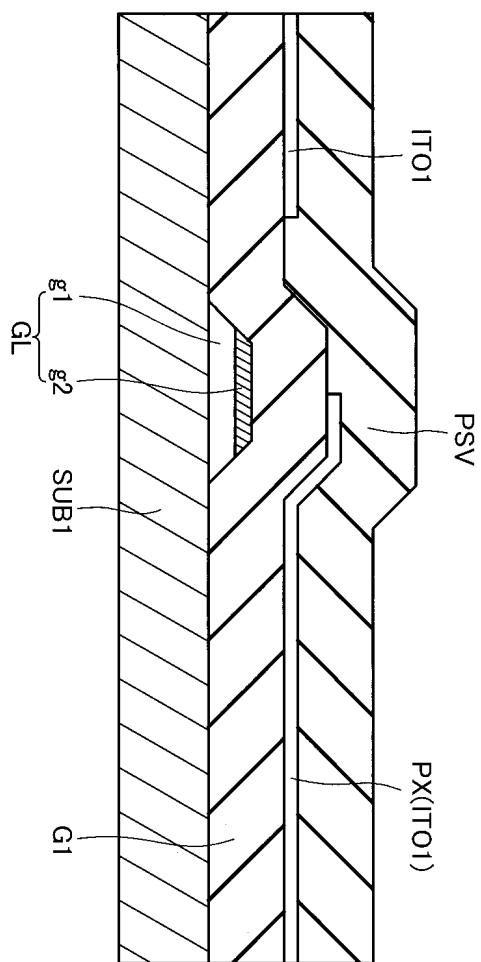
도면1



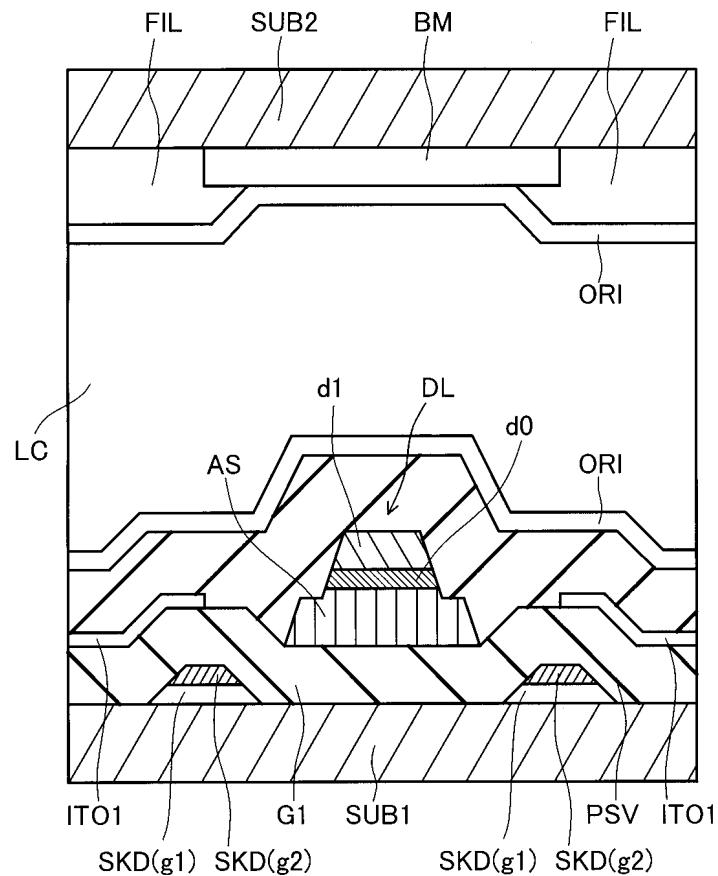
도면2



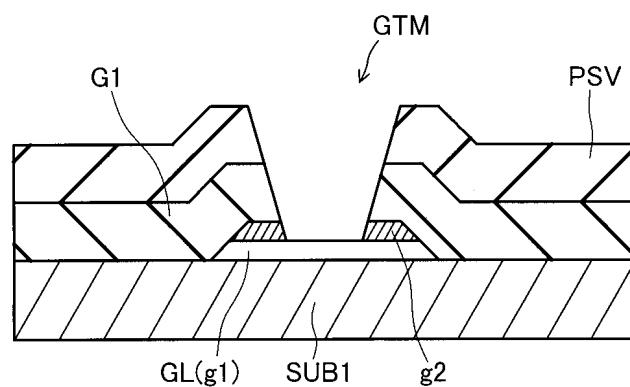
도면3



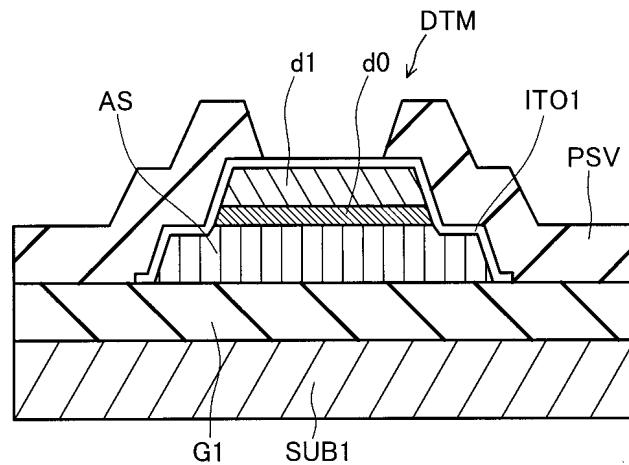
도면4



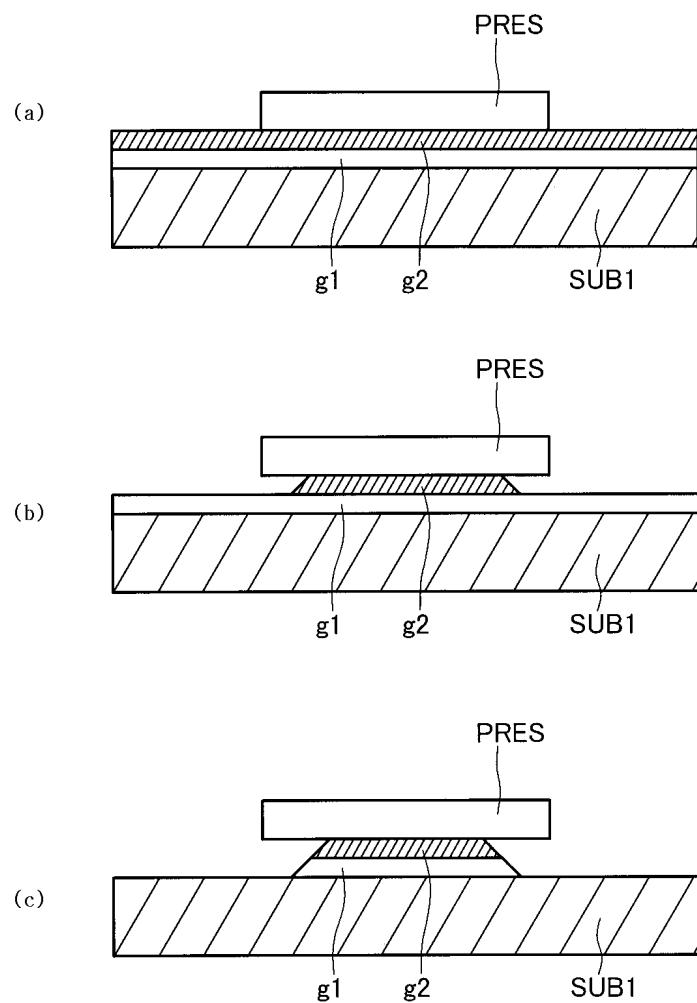
도면5



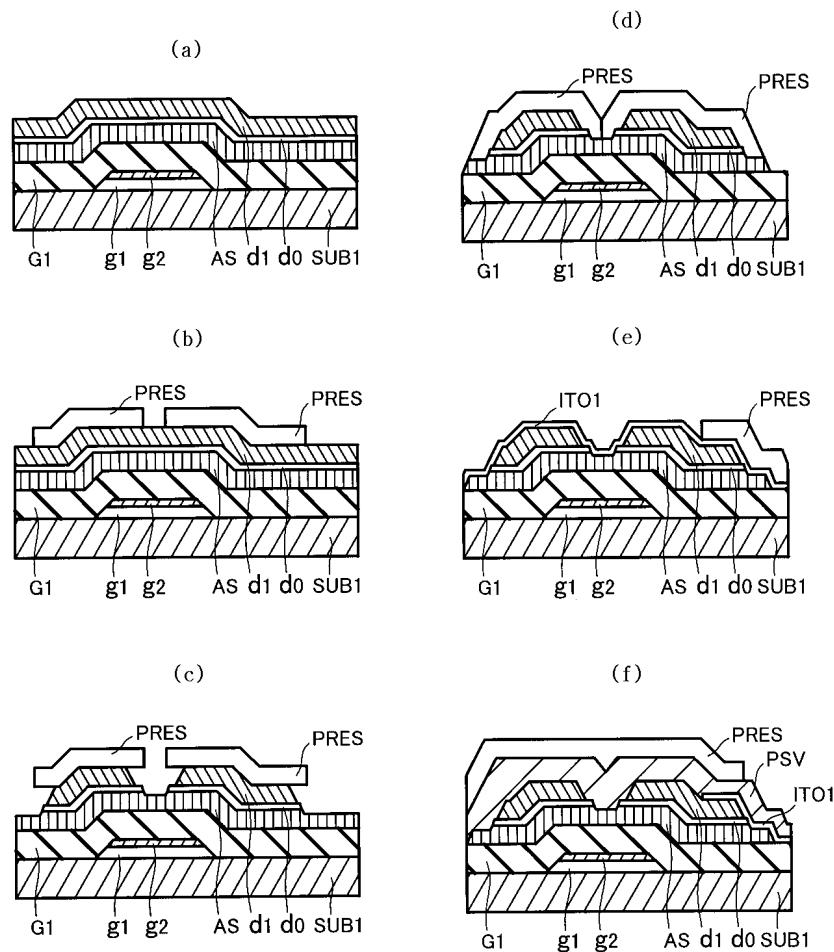
도면6



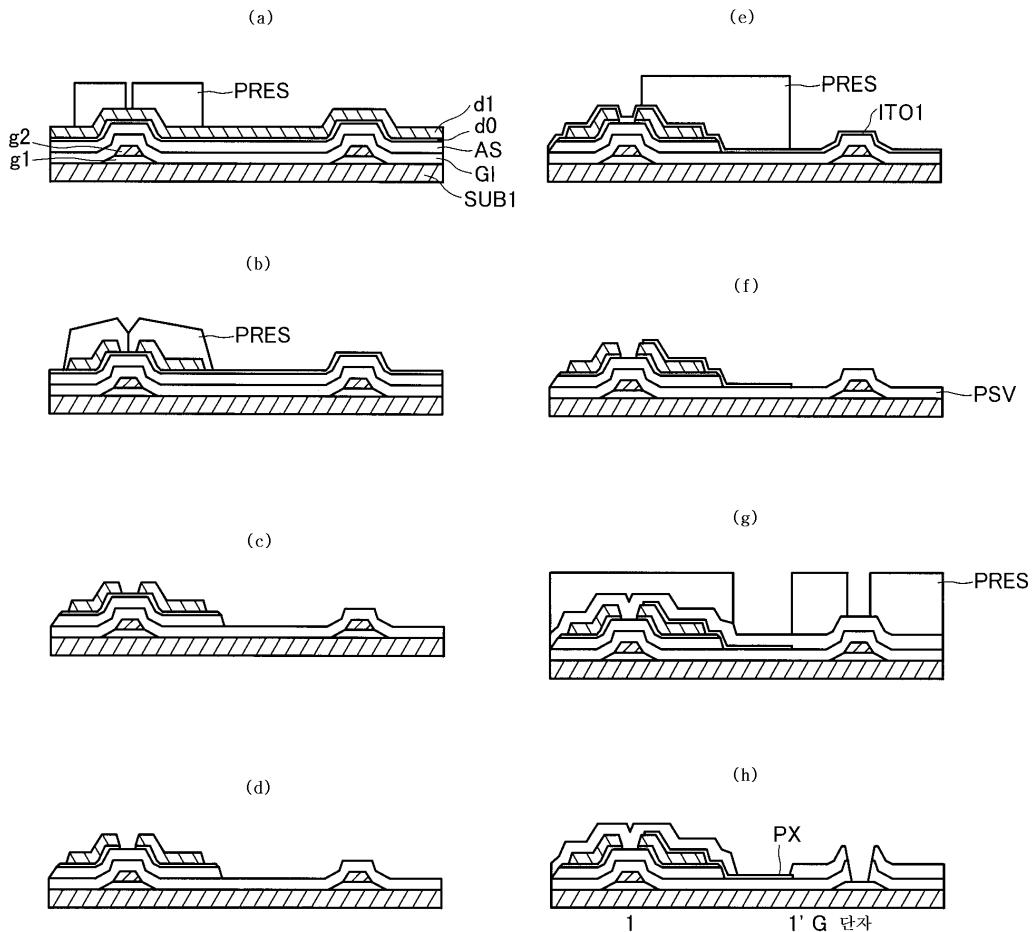
도면7



도면8



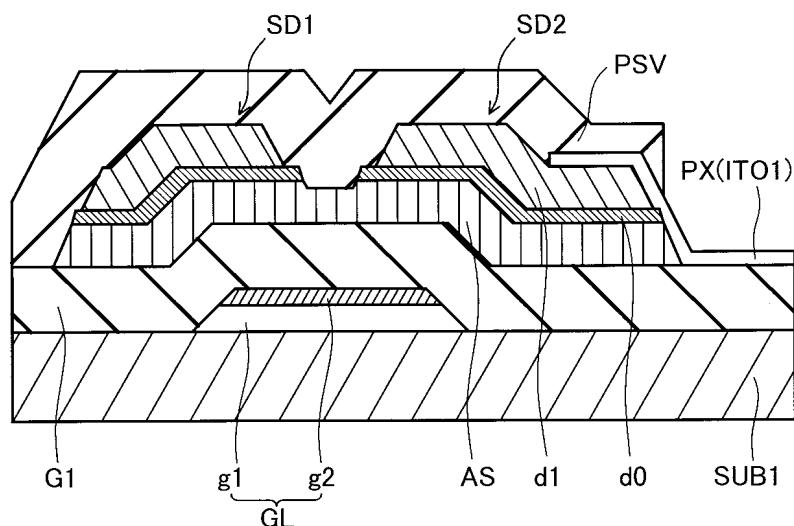
도면9



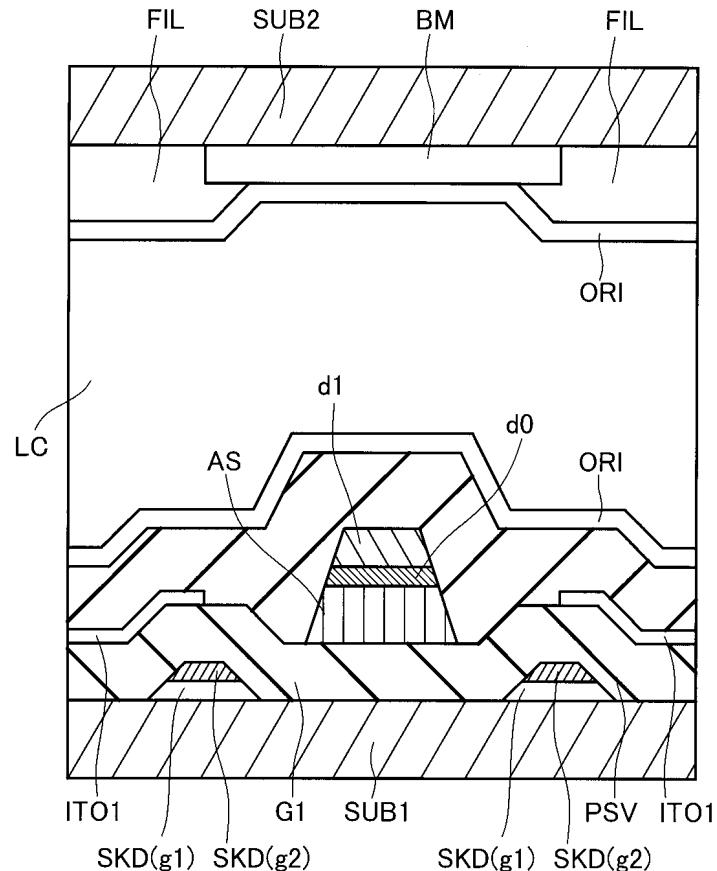
도면10

1	케이트 Mo/ITO 성막
2	포토 ① 케이트 패터닝
3	레지스트 박리
4	CVD 3층+SD 금속 연속 성막
5	포토 ② SD 금속화 n+ 가공
6	레지스트 리플로우
7	a-Si층 가공
8	레지스트 박리
9	화소 ITO 성막
10	포토 ③ 화소 ITO 가공
11	레지스트 박리
12	PAS 성막
13	포토 ④ 화소 형성
14	레지스트를 박리

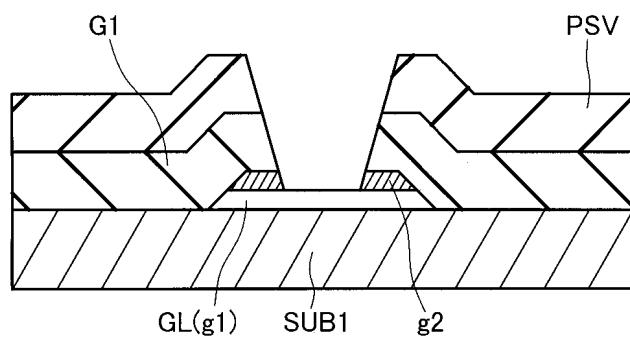
도면11



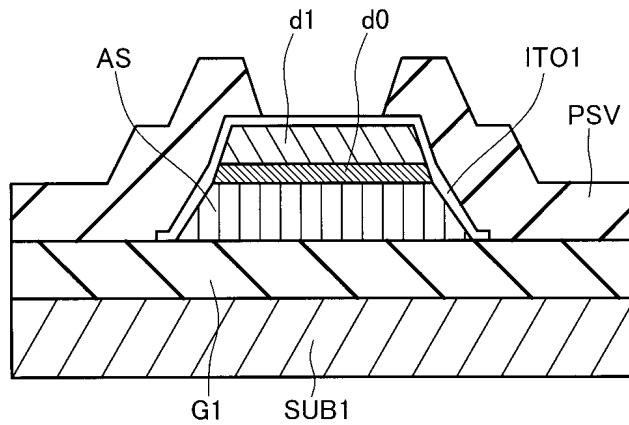
도면12



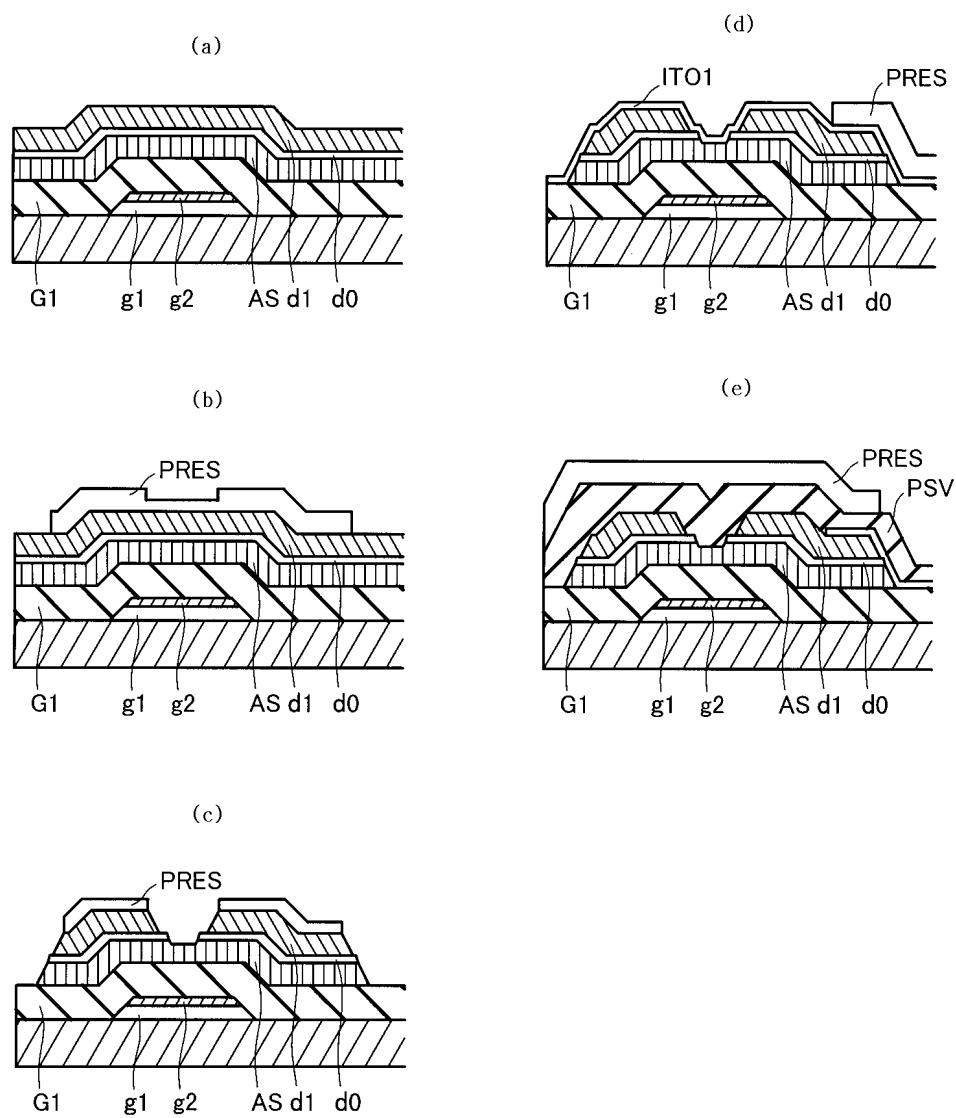
도면13



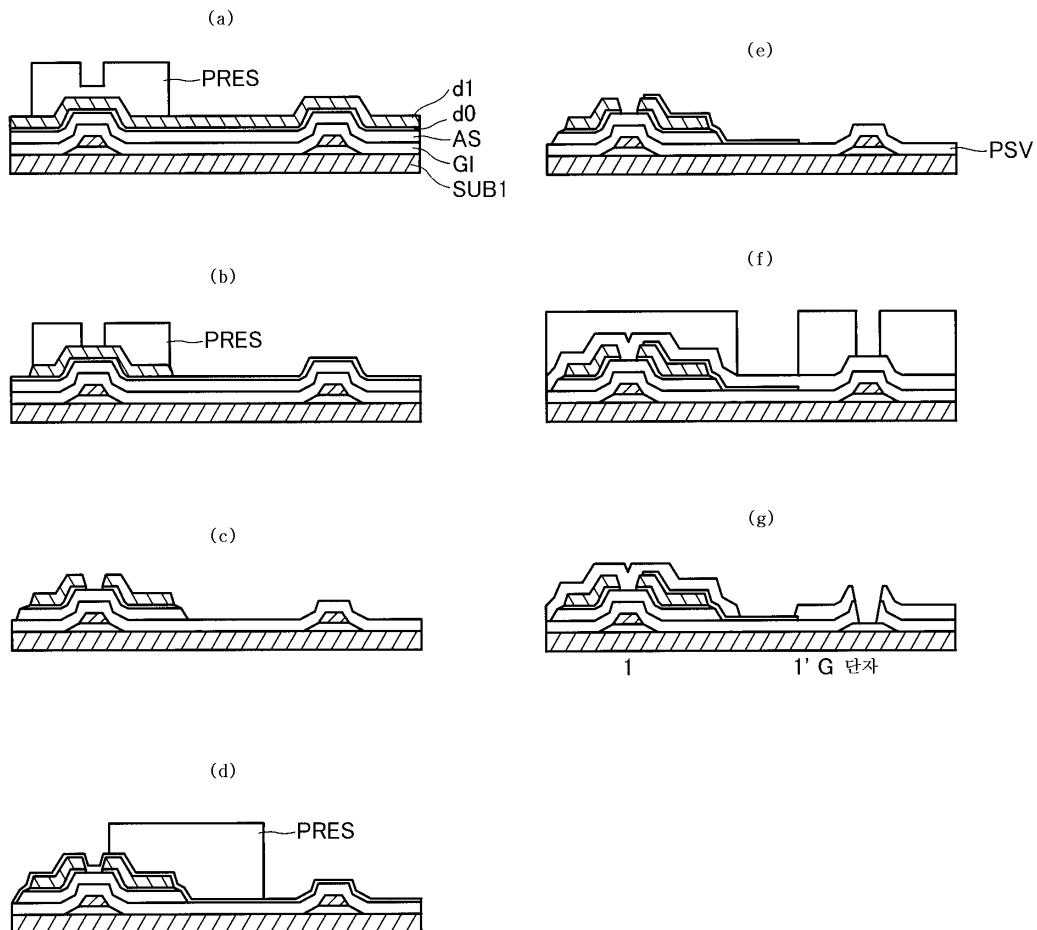
도면14



도면15



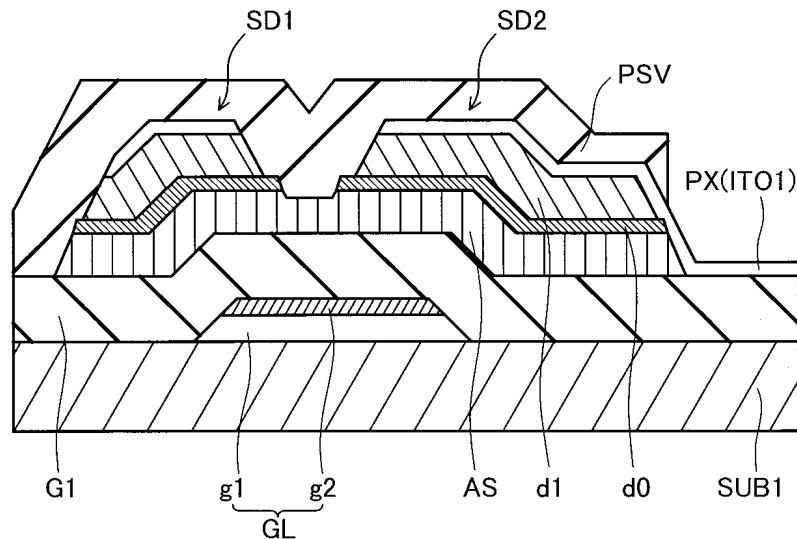
도면16



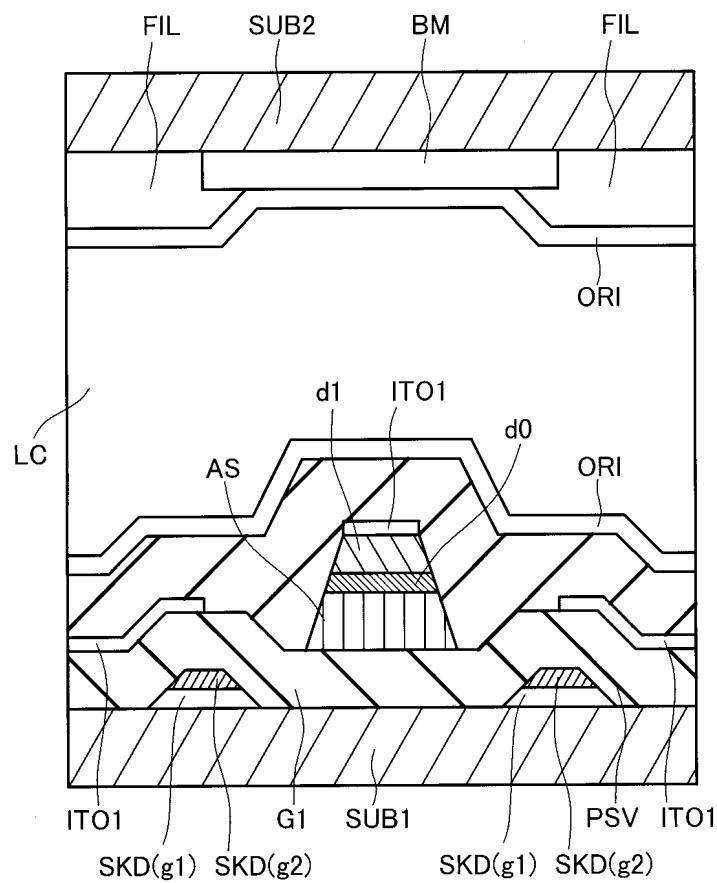
도면17

1	게이트 Mo/ITO 성막
2	포토① 게이트 패터닝
3	레지스트 박리
4	CVD 3층+SD 금속 연속 성막
5	포토② 하프 노광 기술
6	채널부와 a-Si 에칭
7	레지스트 박리
8	화소 ITO 성막
9	포토③ 화소 ITO 가공
10	레지스트 박리
11	PAS 성막
12	포토④ 화소 형성
13	레지스트를 박리

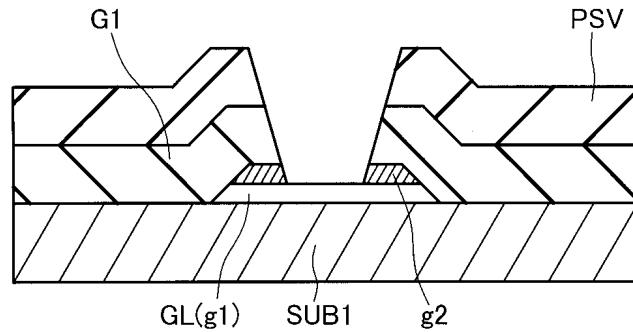
도면18



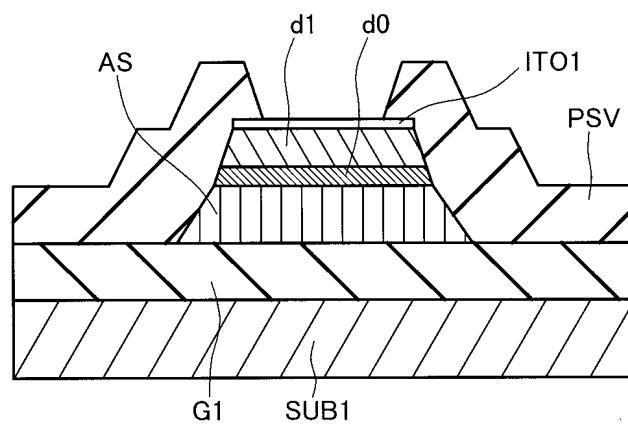
도면19



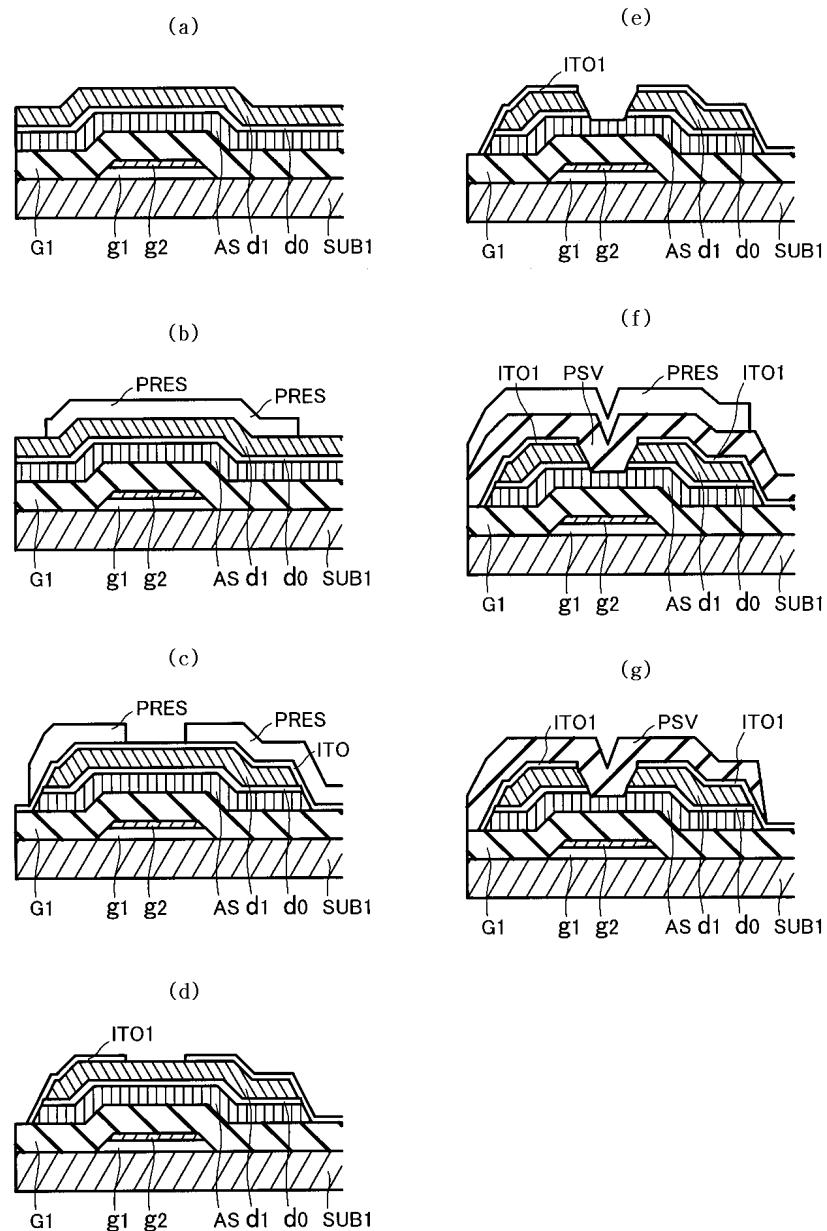
도면20



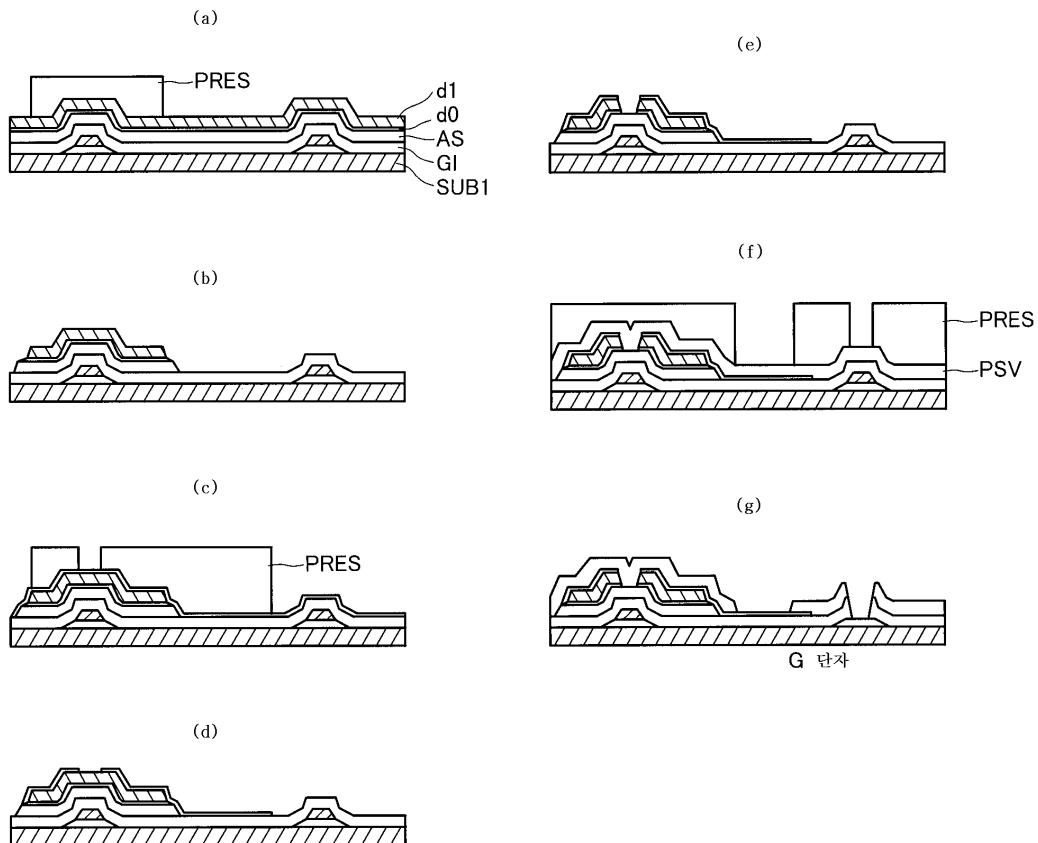
도면21



도면22



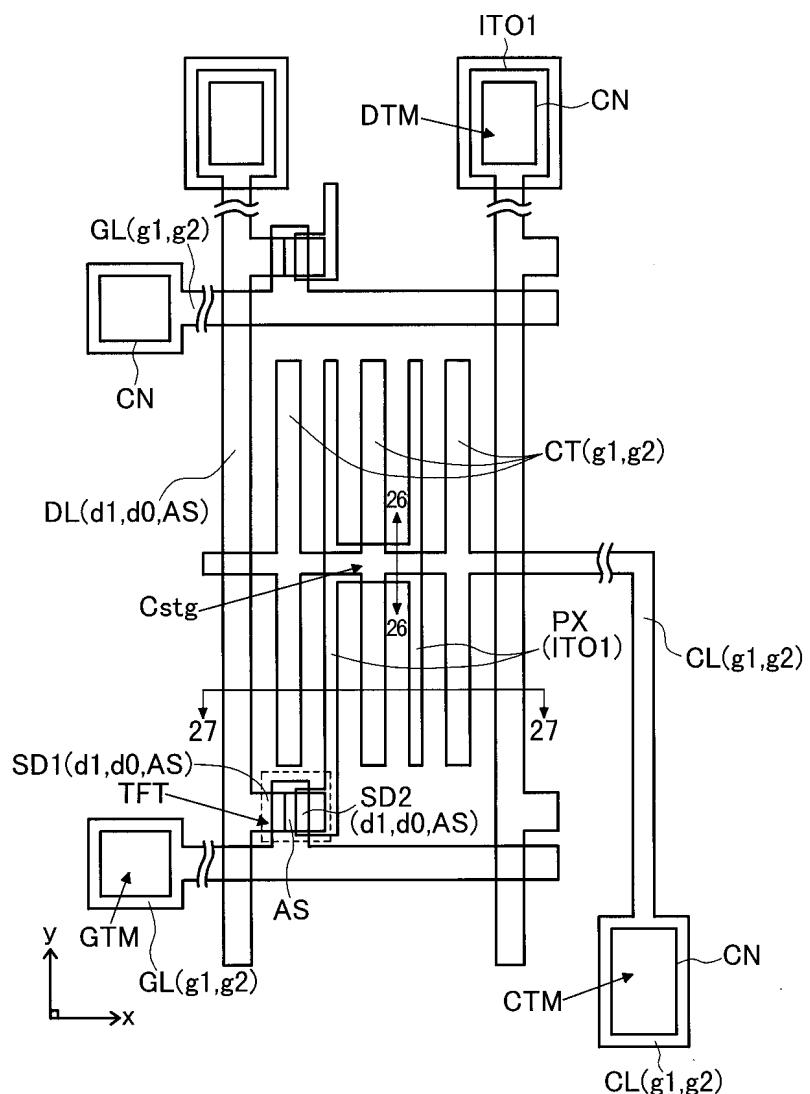
도면23



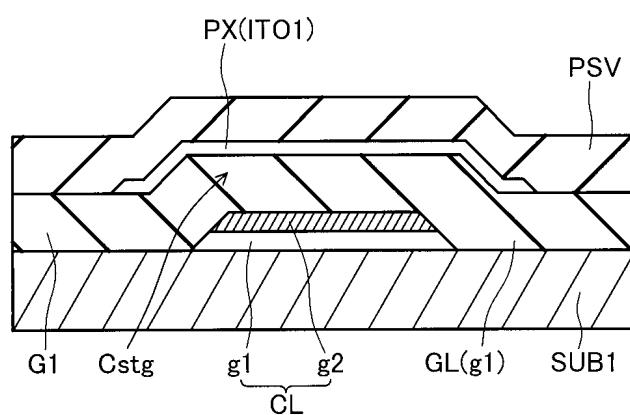
도면24

1	케이트 Mo/ITO 성막
2	포토 ① 케이트 패터닝
3	레지스트 박리
4	CVD 3층+SD 금속 연속 성막
5	포토 ② a-Si 패터닝
6	a-Si 에칭
7	레지스트 박리
8	화소 ITO 성막
9	포토 ③ 채널 패터닝
10	채널 ITO 에칭
11	레지스트 박리
12	채널 에칭(ITO 마스크)
13	PAS 성막
14	포토 ④ 화소 형성
15	레지스트를 박리

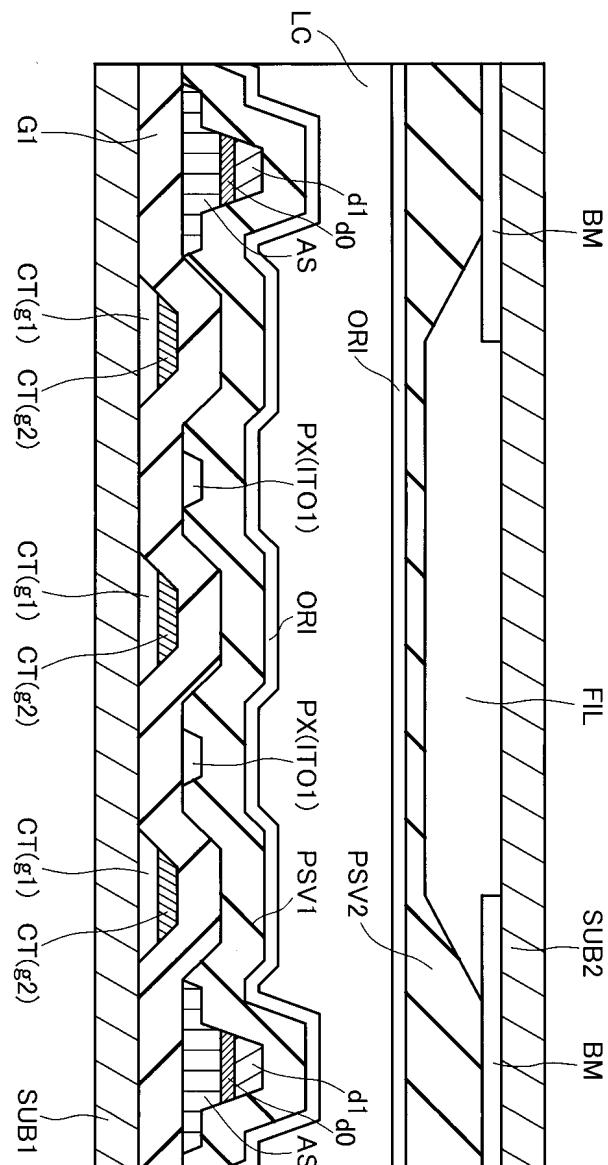
도면25



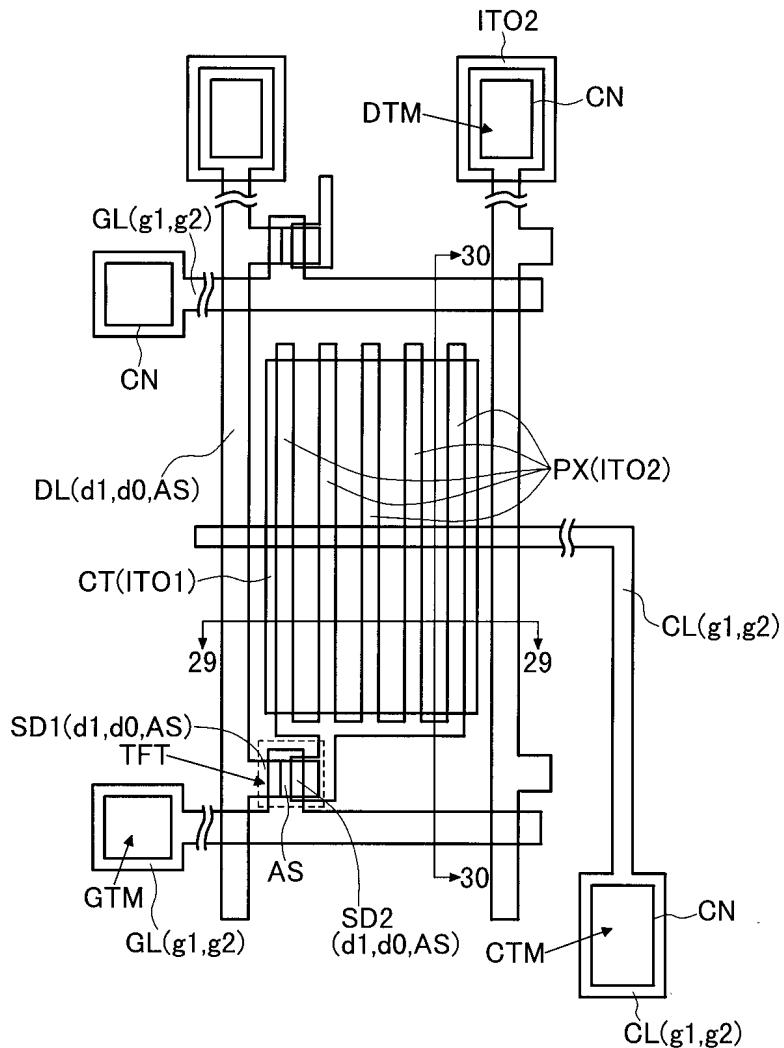
도면26



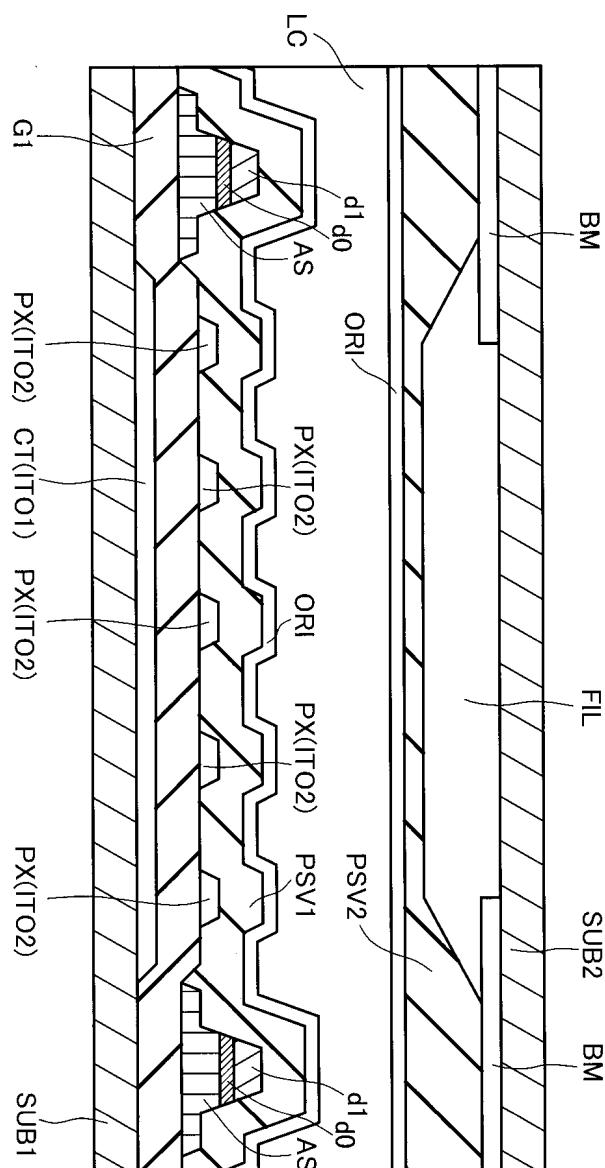
도면27



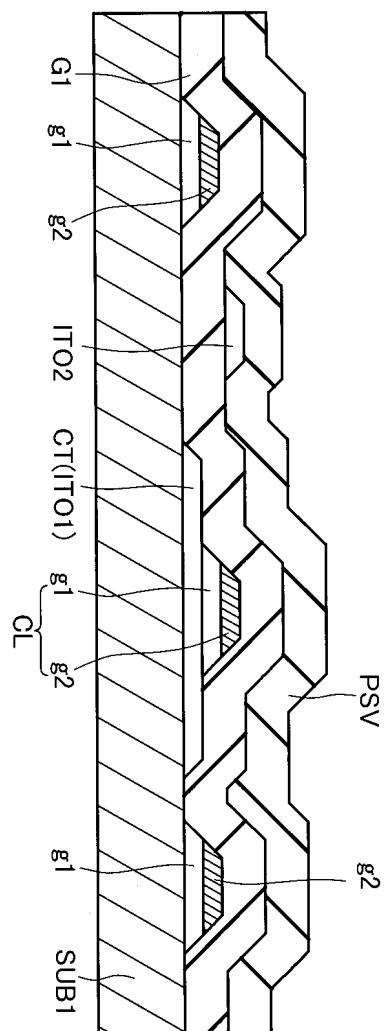
도면28



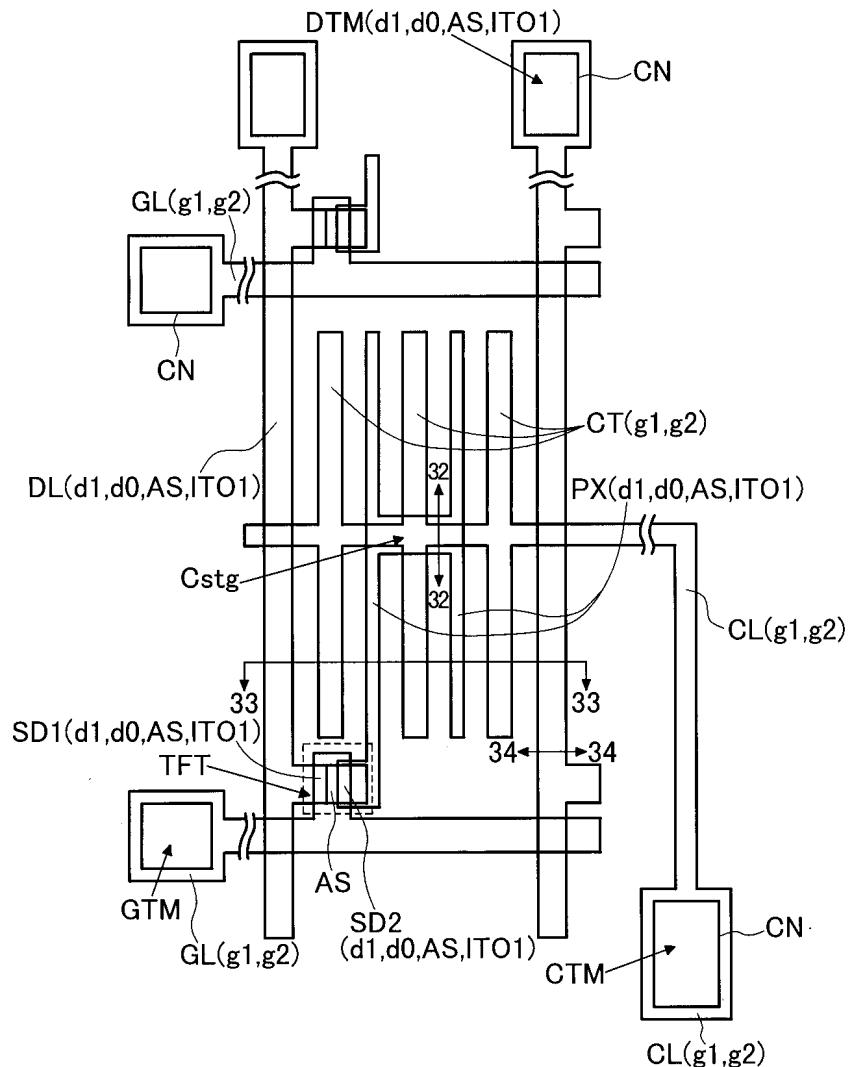
도면29



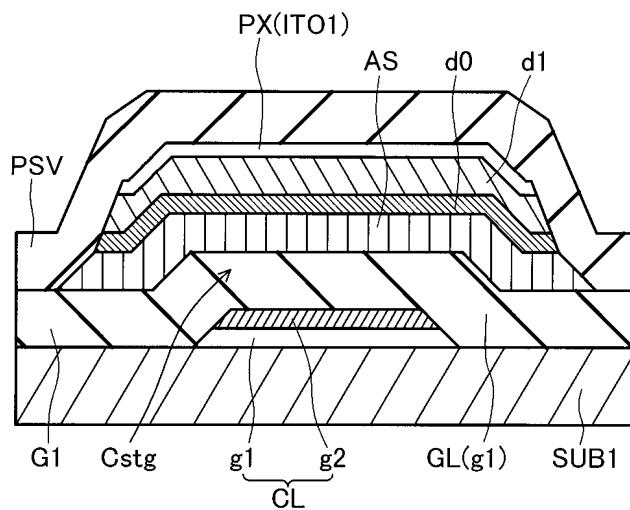
도면30



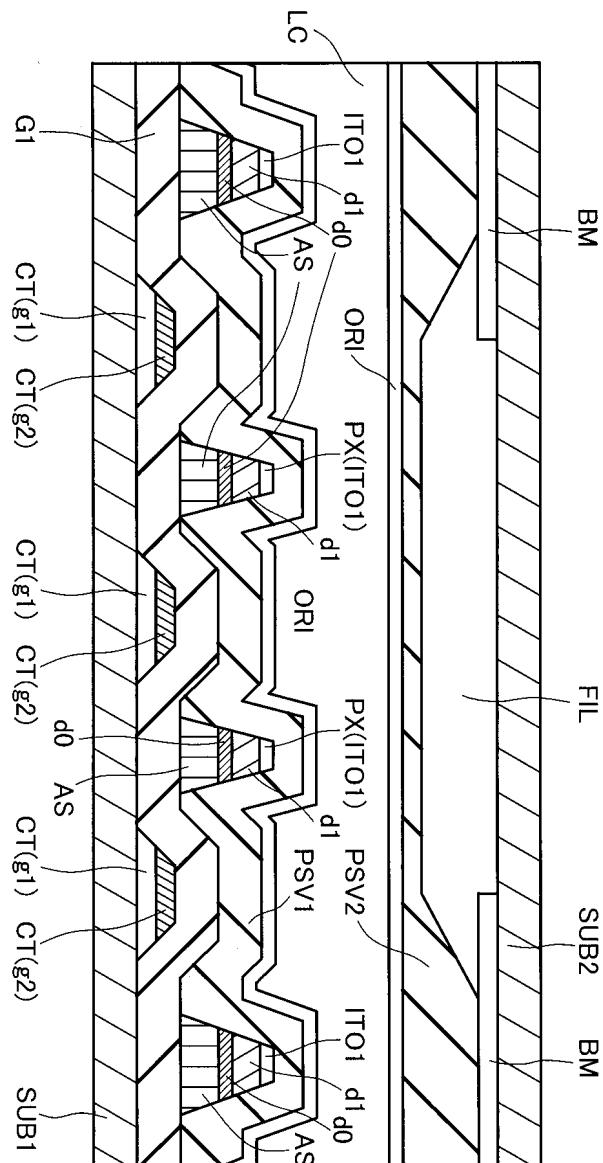
도면31



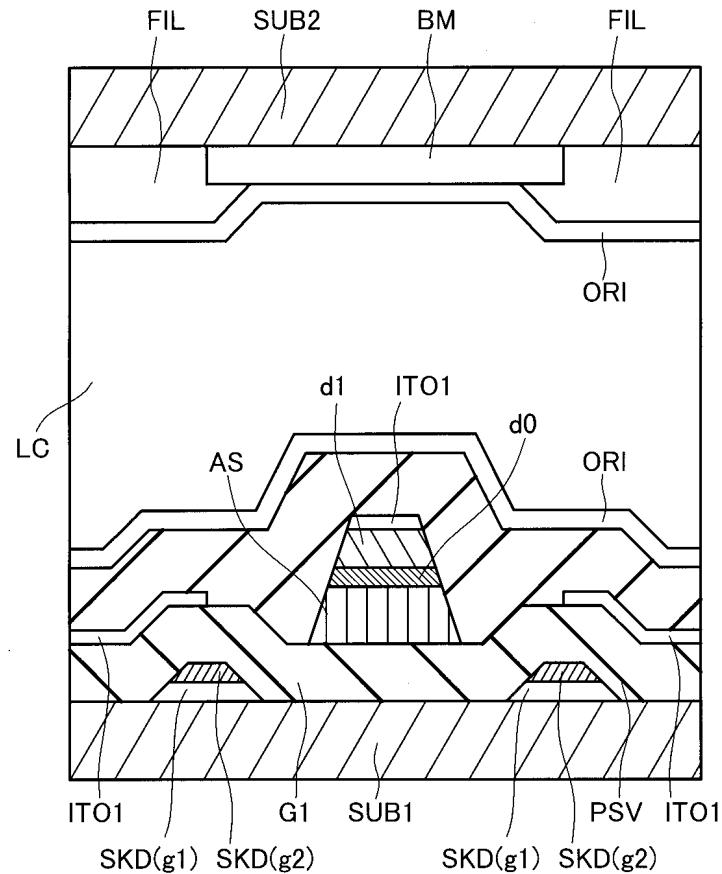
도면32



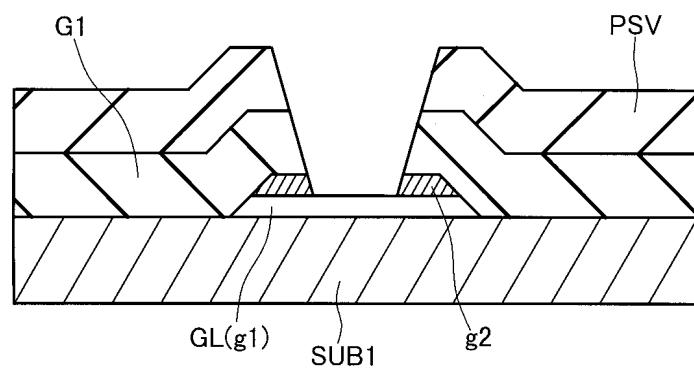
도면33



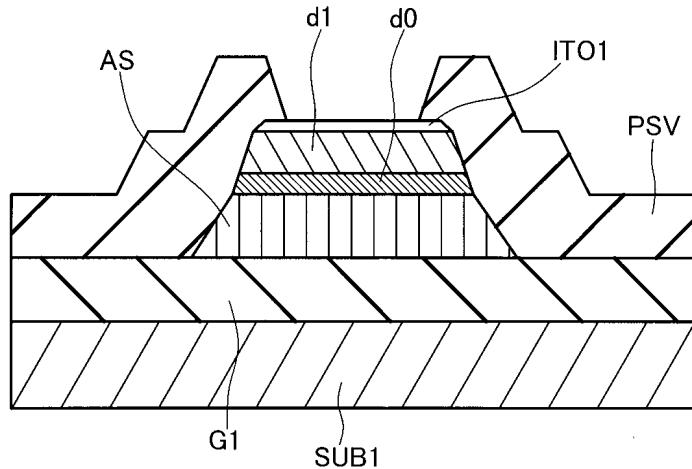
도면34



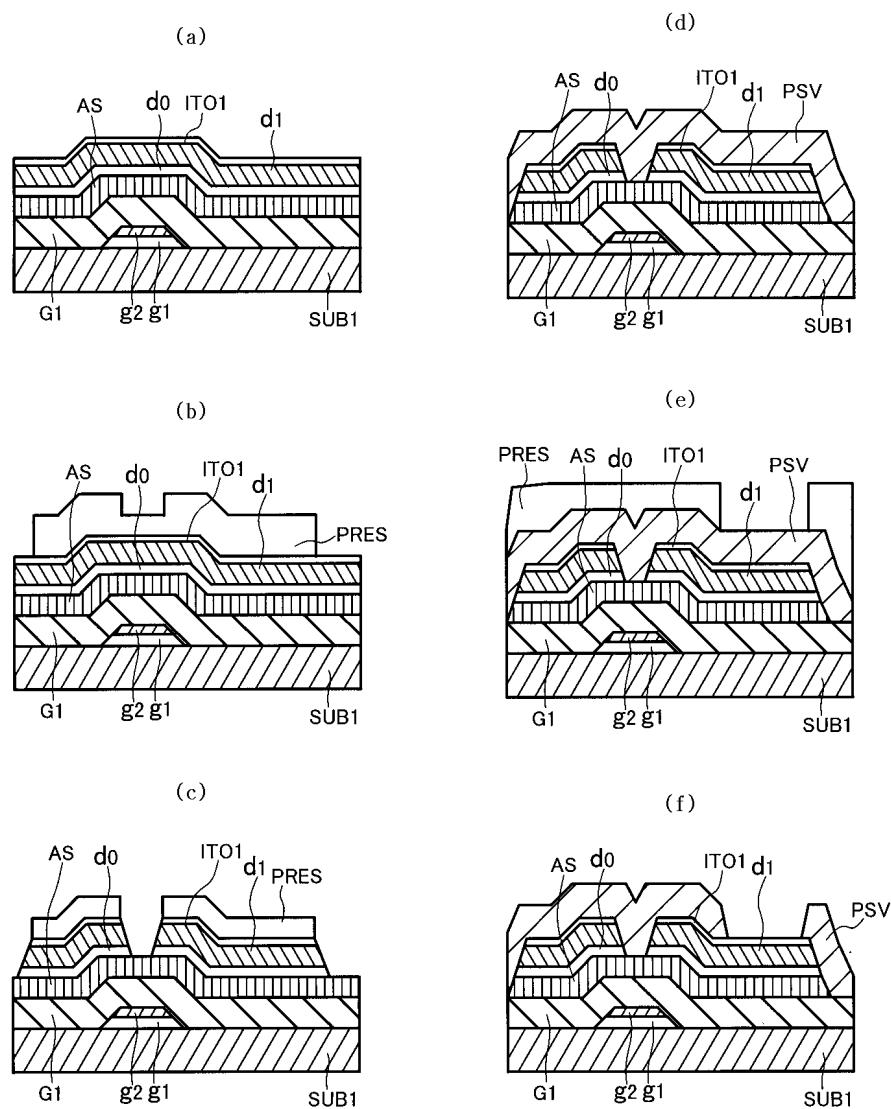
도면35



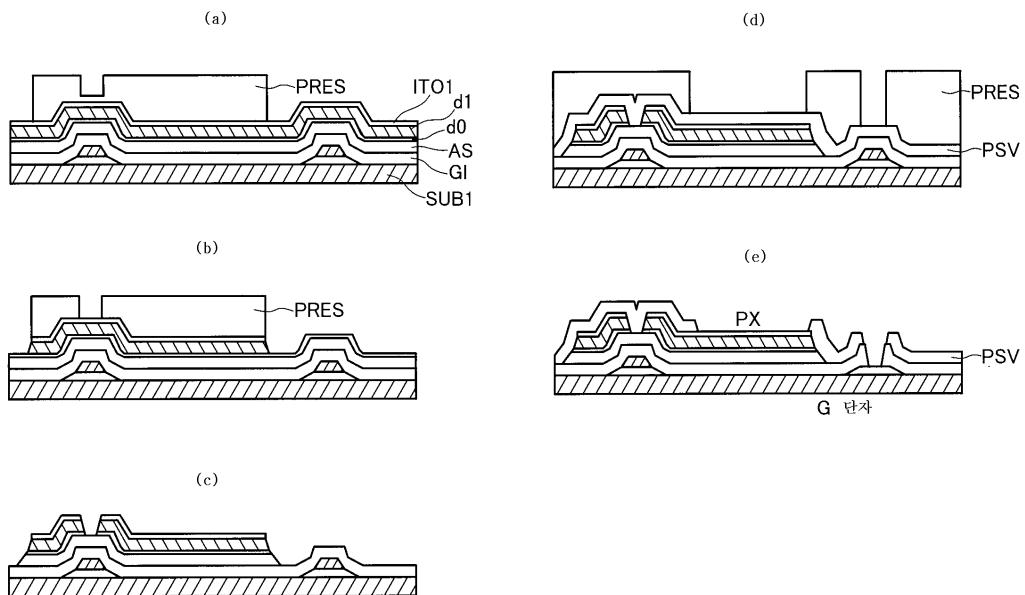
도면36



도면37



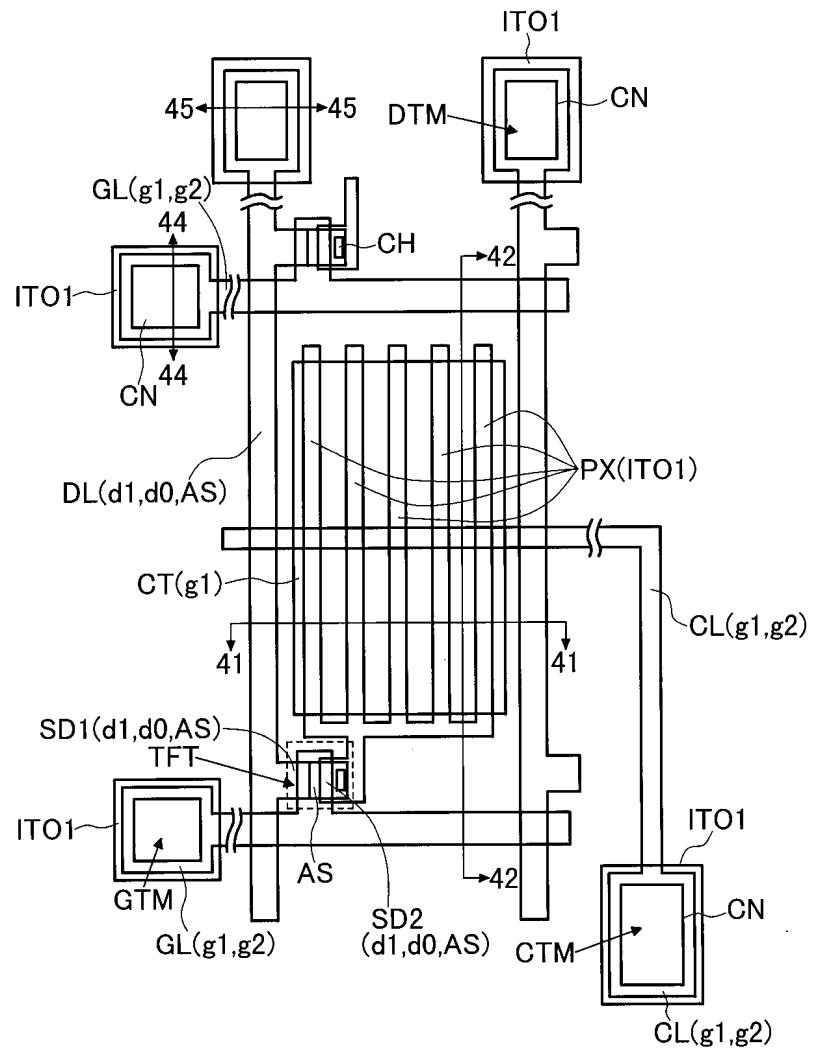
도면38



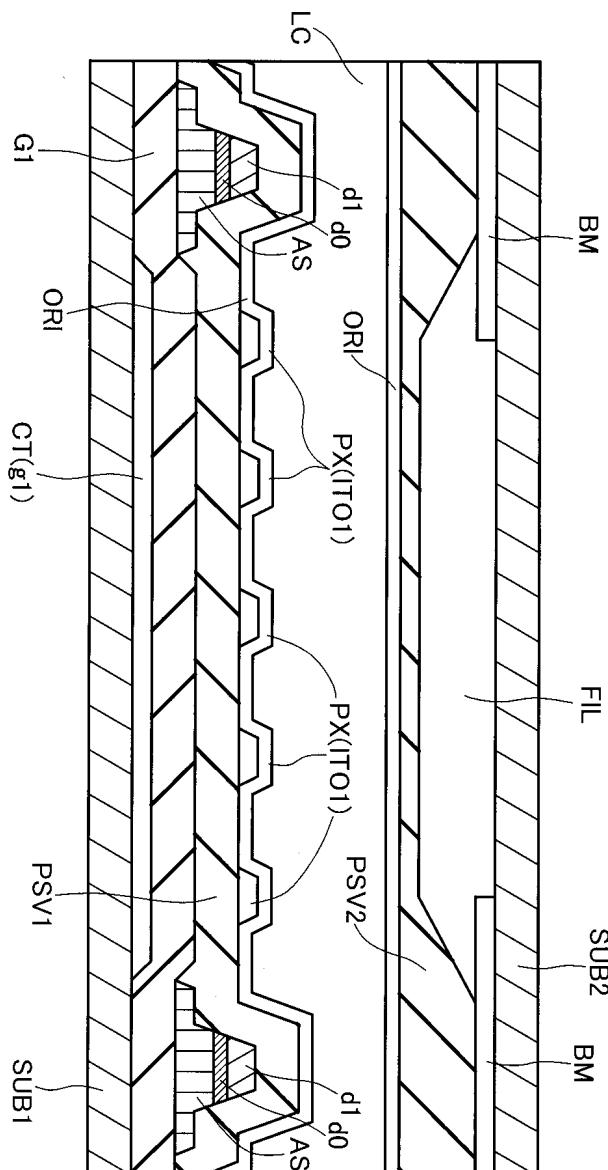
도면39

1	게이트 Mo/ITO 성막
2	포토① 게이트 패터닝
3	레지스트 박리
4	CVD 3층+SD 금속+ITO 연속 성막
5	포토② 하프 노광 기술
6	채널부와 a-Si과 화소부 예칭
7	레지스트 박리
8	PAS 성막
9	포토③ 화소 형성
10	레지스트 박리

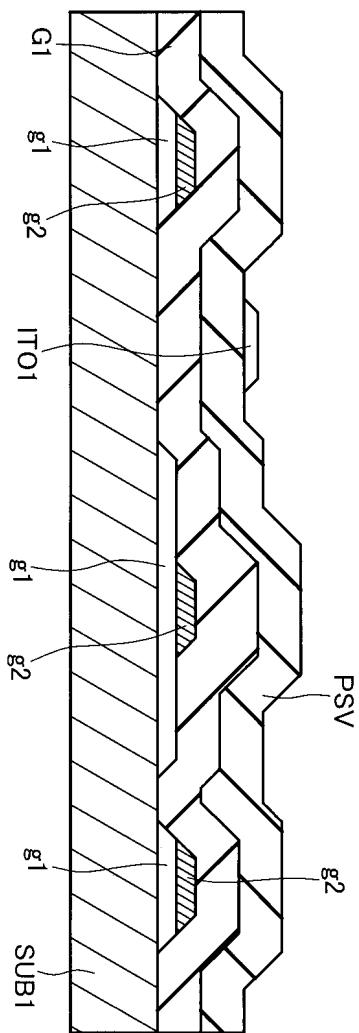
도면40



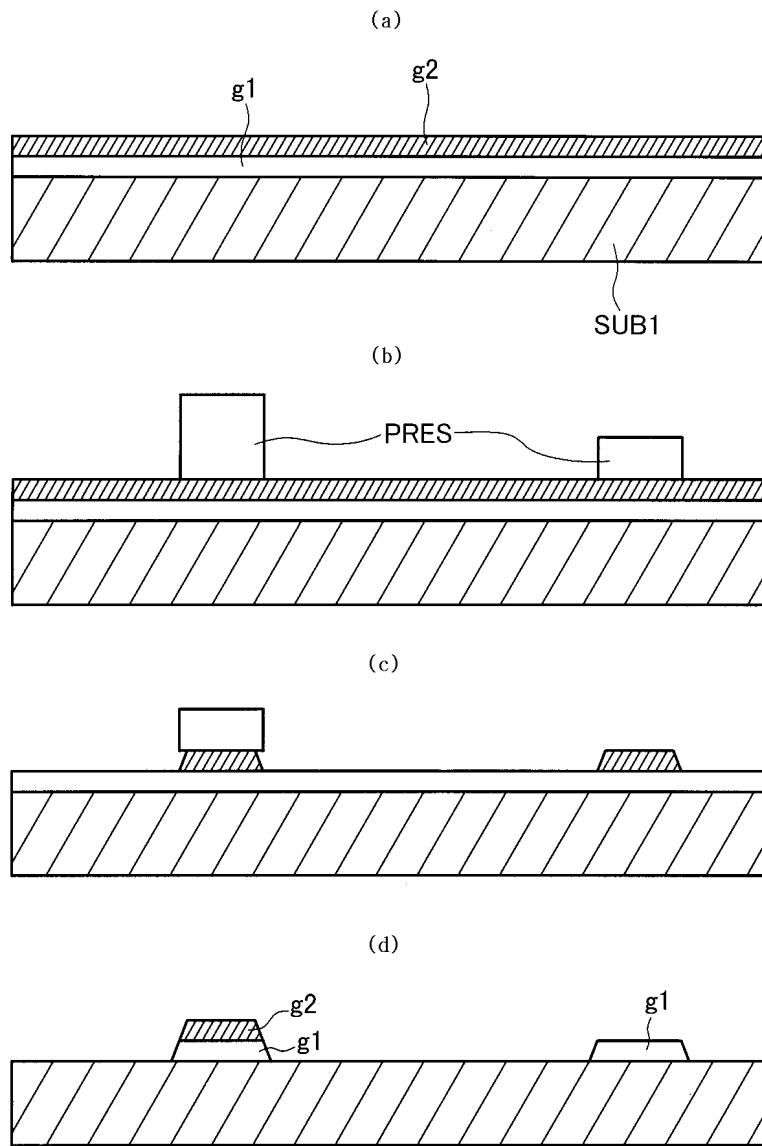
도면41



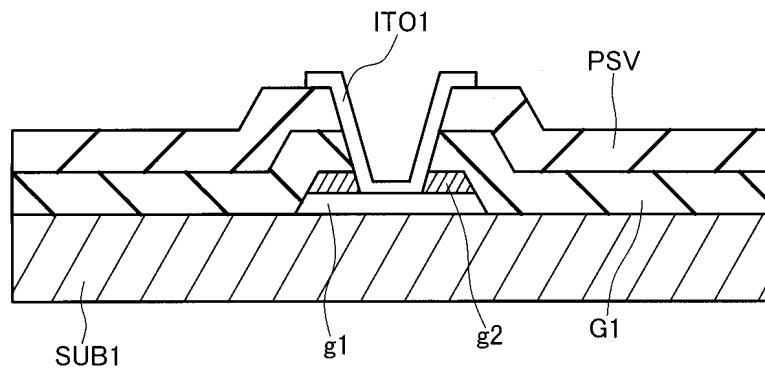
도면42



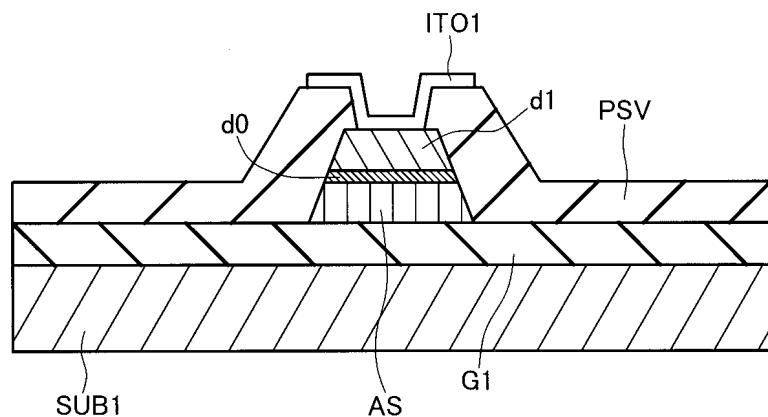
도면43



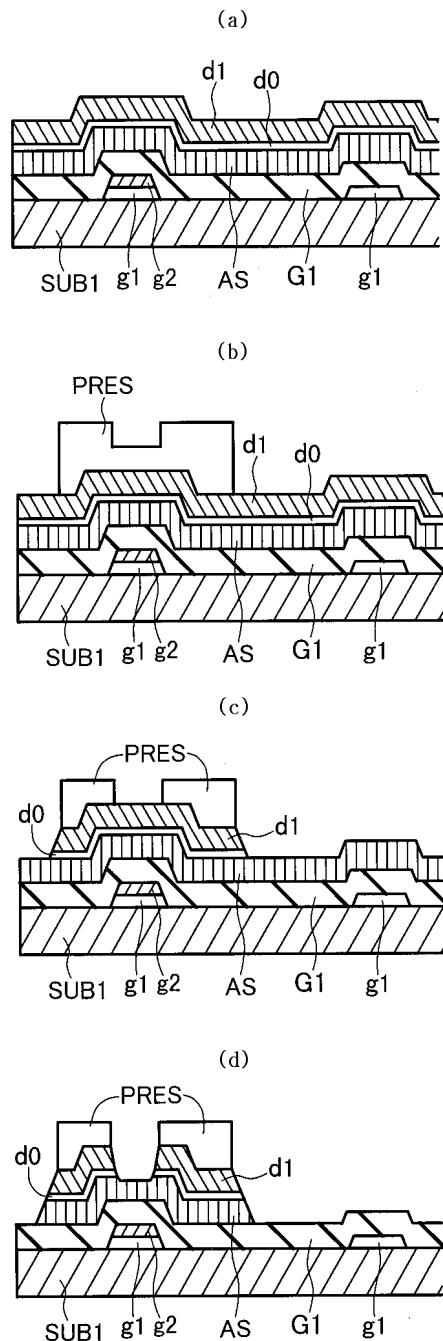
도면44



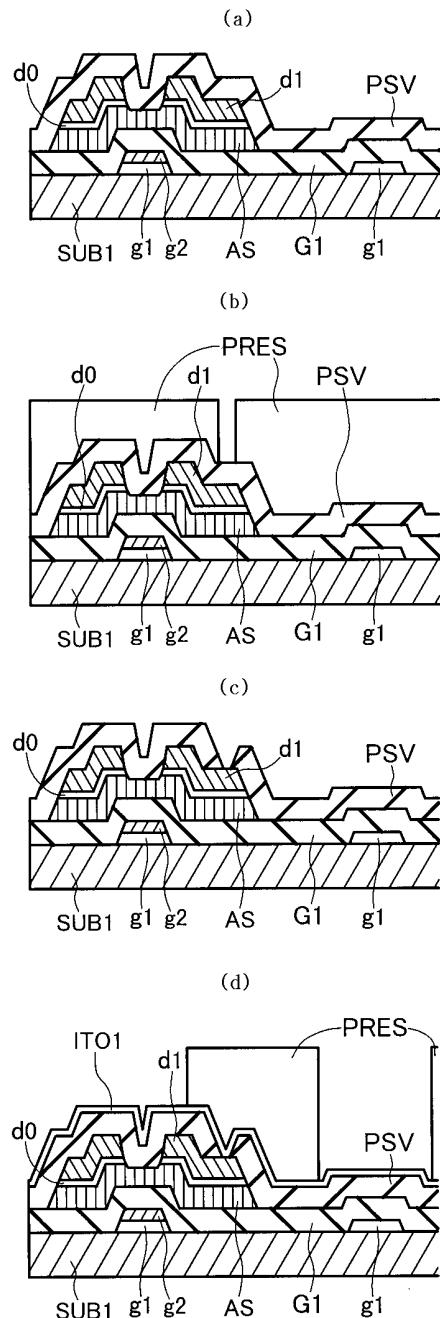
도면45



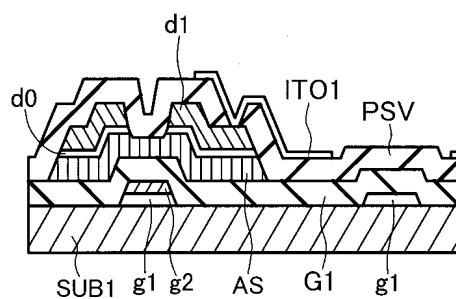
도면46



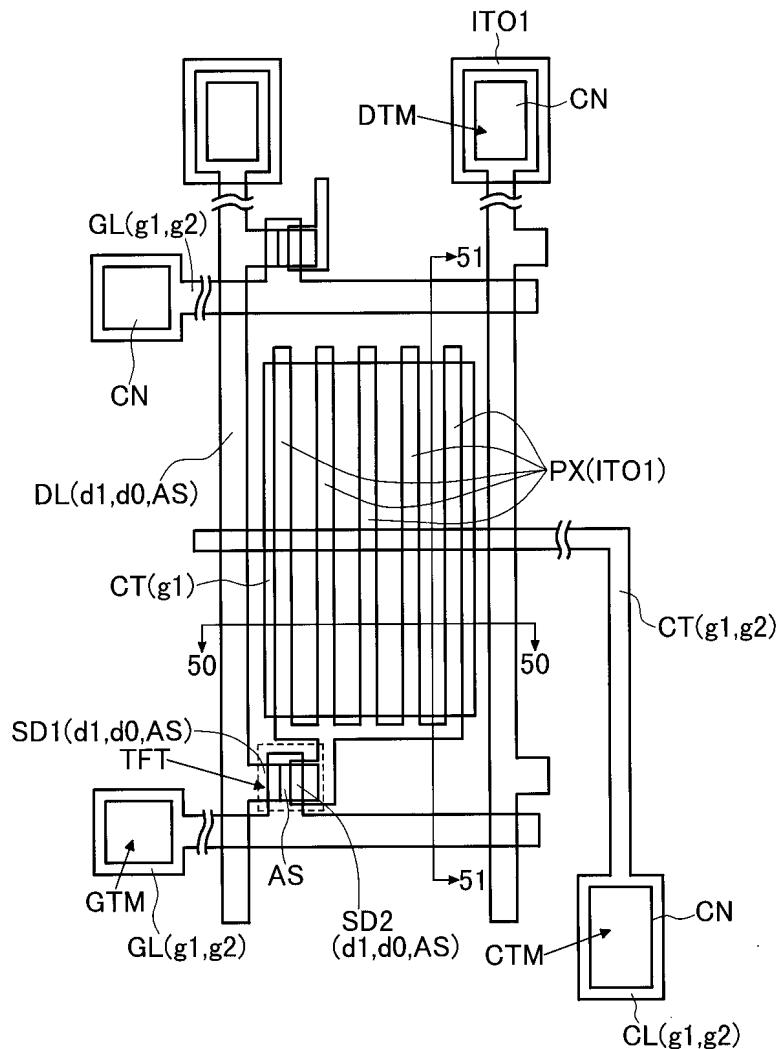
도면47



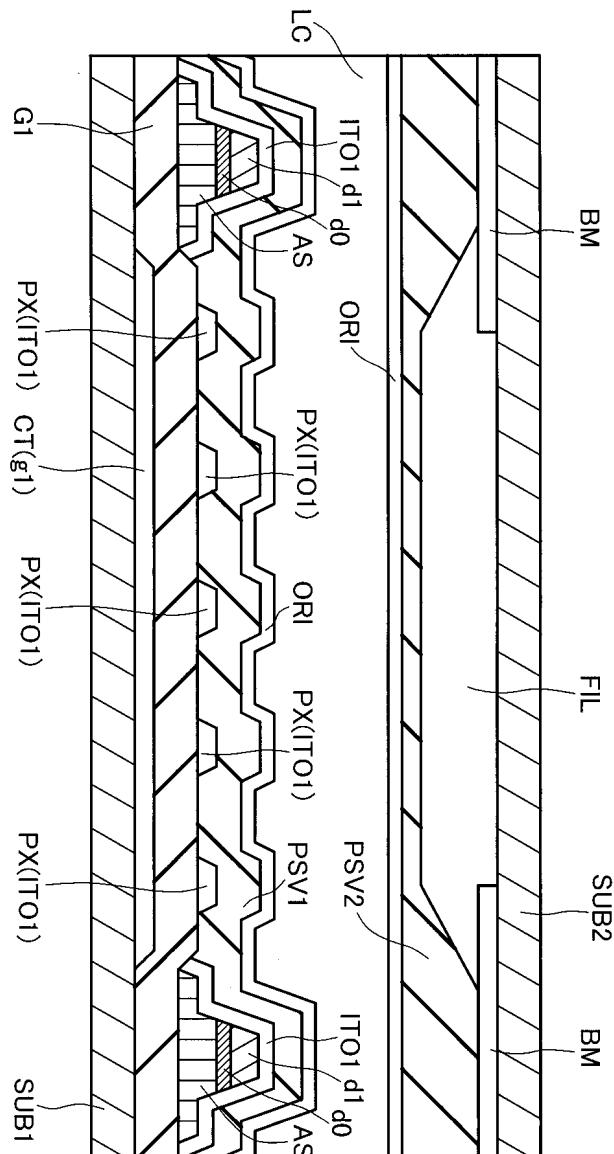
도면48



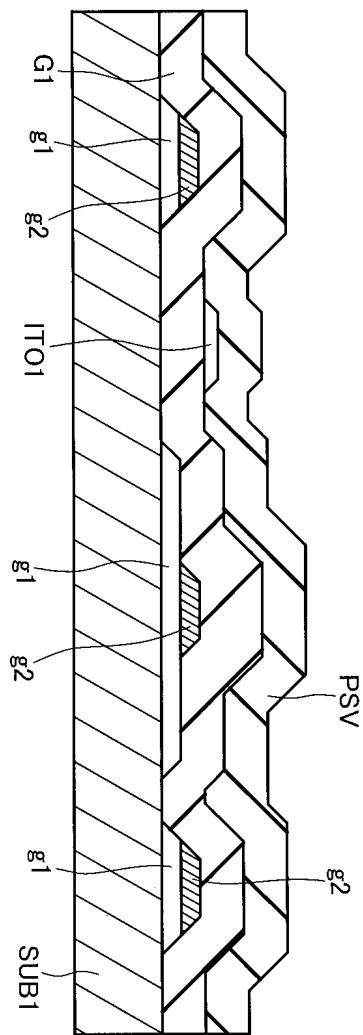
도면49



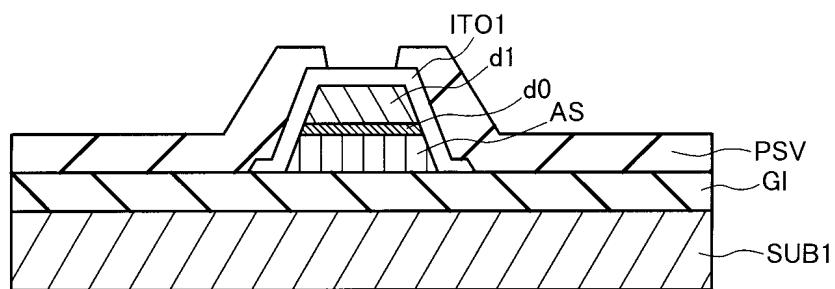
도면50



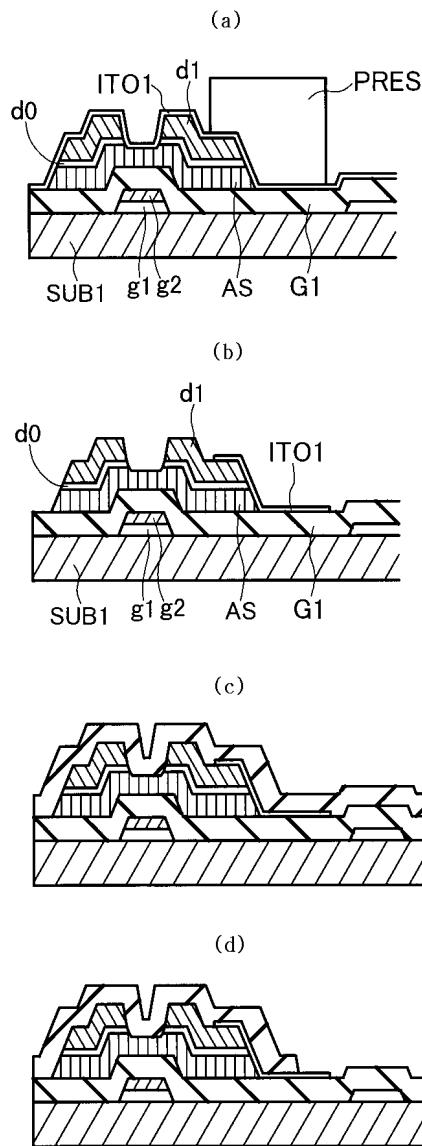
도면51



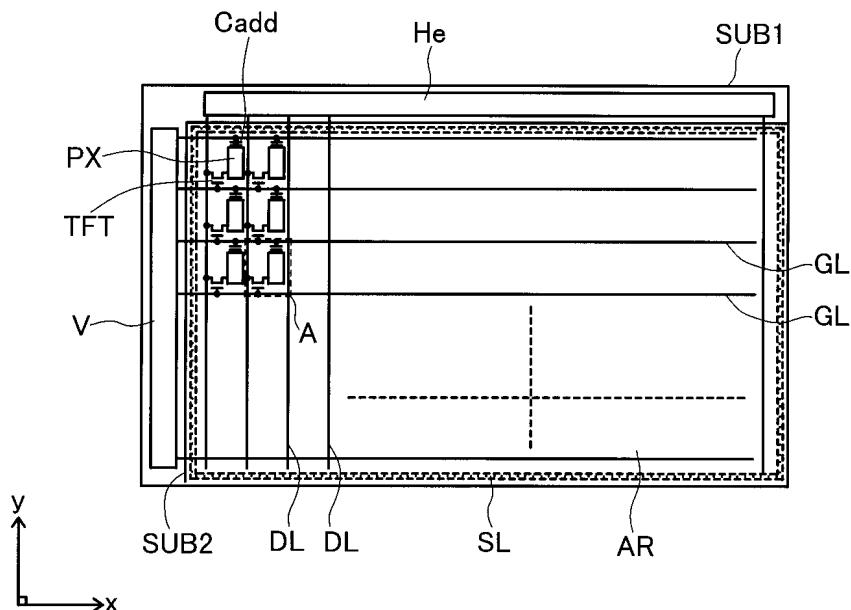
도면52



도면53



도면54



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060001921A	公开(公告)日	2006-01-06
申请号	KR1020050124343	申请日	2005-12-16
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	OKE RYUTAROU 오께류따로 NAKAYOSHI YOSHIAKI 나까요시요시아끼 ONO KIKUO 오노기꾸오		
发明人	오께류따로 나까요시요시아끼 오노기꾸오		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1362 G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
CPC分类号	G02F1/136286 G02F2001/13629		
代理人(译)	CHANG, SOO KIL		
优先权	2000286046 2000-09-20 JP		
其他公开文献	KR100695362B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD装置以减少信号线的布线电阻，并减少基板液晶侧表面的陡峭台阶。

