

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/133(11) 공개번호 10-2005-0058178
(43) 공개일자 2005년06월16일(21) 출원번호 10-2004-0029612
(22) 출원일자 2004년04월28일

(30) 우선권주장 1020030090301 2003년12월11일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 강신호
경기도 수원시 팔달구 인계동 384번지 주공아파트 112-105
홍진철
경상북도 구미시 오태동 대동 3차 아파트 102동 1105호
송홍성
경상북도 구미시 구평동 474-7 부영아파트 803동 706호

(74) 대리인 김영호

심사청구 : 있음

(54) 액정표시장치

요약

본 발명은 작업성의 향상 및 제조비용을 절감할 수 있도록 한 액정표시장치에 관한 것이다.

본 발명에 의한 액정표시장치는 샘플링신호를 발생하기 위한 N(단, N은 양의 정수)개의 쉬프트 레지스터들로 구성된 쉬프트 레지스터부를 포함하고 다수의 데이터라인들에 화소 데이터를 공급하기 위한 데이터 집적회로와, 상기 데이터 라인들에 화소 데이터를 공급하는 제 1 및 제 2 출력채널군을 포함함과 아울러 상기 제 1 및 제 2 출력채널군 사이에 더미 출력채널군을 가지는 출력채널부와, 상기 더미 출력채널군의 출력채널을 선택하기 위한 채널 선택부를 구비하며, 상기 채널 선택부는 상기 더미 출력채널군의 일부에 접속된 제 1 군의 쉬프트 레지스터로부터의 출력신호를 선택하기 위한 제 1 선택부와, 상기 제 1 선택부로부터의 출력신호를 상기 더미 출력채널군의 나머지에 접속된 제 2 군의 쉬프트 레지스터들에 공급하기 위한 제 2 선택부를 구비하는 것을 특징으로 한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면.

도 2a는 종래의 게이트 드라이버에 포함되어 있는 게이트 집적회로를 나타내는 도면.

도 2b는 종래의 데이터 드라이버에 포함되어 있는 데이터 집적회로를 나타내는 도면.

도 3은 도 2b에 도시된 데이터 집적회로의 내부 구조를 상세히 나타내는 도면.

도 4는 본 발명의 제 1 실시 예에 의한 액정표시장치를 나타내는 도면.

도 5는 도 4에 도시된 제 1 및 제 2 채널 선택신호에 따라 600개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 6은 도 4에 도시된 제 1 및 제 2 채널 선택신호에 따라 618개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 7은 도 4에 도시된 제 1 및 제 2 채널 선택신호에 따라 630개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 8은 도 4에 도시된 제 1 및 제 2 채널 선택신호에 따라 642개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 9는 도 4에 도시된 데이터 집적회로의 내부 구조를 상세히 나타내는 도면.

도 10은 본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 집적회로를 나타내는 블록도.

도 11은 도 10에 도시된 제 1 및 제 2 채널 선택신호에 따라 600개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 12는 도 10에 도시된 제 1 및 제 2 채널 선택신호에 따라 618개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 13은 도 10에 도시된 제 1 및 제 2 채널 선택신호에 따라 630개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 14는 도 10에 도시된 제 1 및 제 2 채널 선택신호에 따라 642개의 출력채널을 가지도록 설정된 데이터 집적회로를 나타내는 도면.

도 15는 도 10에 도시된 데이터 집적회로의 채널 선택부 및 쉬프트 레지스터부를 나타내는 블록도.

도 16은 도 10에 도시된 제 1 및 제 2 채널 선택신호를 발생하기 위한 스위칭 소자들을 나타내는 도면.

도 17은 도 10에 도시된 제 1 및 제 2 채널 선택신호를 발생하기 위한 딥 스위치를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

2,102 : 액정패널 4,104 : 데이터 드라이버

6,106 : 게이트 드라이버 7 : 액정셀

8,108 : 타이밍 제어부 10 : 게이트 IC

16,116,216 : 데이터 IC 20,120 : 신호 제어부

32,132 : 감마 전압부 34,134,184,334 : 쉬프트 레지스터부

36,136 : 래치부 38,138 : 디지털-아날로그 변환부

40,140 : P디코딩부 42,142 : N디코딩부

44,144 : 멀티플렉서 110 : 데이터 TCP

112 : TCP 패드 114 : 데이터 패드

118 : 링크부 130, 318 : 채널 선택부

250 : 딥 스위치 260 : 제 1 데이터 출력채널군

262 : 제 2 데이터 출력채널군 264 : 더미 출력채널군

319 : 제 2 선택부 350,354,356,358 : 멀티플렉서

352 : 디멀티플렉서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 작업성의 향상 및 제조비용을 절감할 수 있도록 한 액정표시장치에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다.

이를 위하여, 액정표시장치는 도 1에 도시된 바와 같이 액정셀들이 매트릭스 형태로 배열된 액정패널(2)과, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)와, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 게이트 드라이버(6)와 데이터 드라이버(4)를 제어하기 위한 타이밍 제어부(8)를 구비한다.

액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속된 액정셀(7)을 구비한다. 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔신호, 즉 게이트 하이전압(VGH)이 공급되는 경우 턴-온되어 데이터라인(DL)으로부터의 화소신호를 액정셀(7)에 공급한다. 그리고, 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터 게이트 로우전압(VGL)이 공급되는 경우 턴-오프되어 액정셀(7)에 충전된 화소신호가 유지되게 한다.

액정셀(7)은 등가적으로 액정용량 커패시터로 표현되며, 액정을 사이에 두고 대면하는 공통전극과 박막 트랜지스터(TFT)에 접속된 화소전극을 포함한다. 그리고, 액정셀(7)은 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 커패시터를 더 구비한다. 이 스토리지 커패시터는 화소전극과 이전단 게이트 라인 사이에 형성된다. 이러한 액정셀(7)은 박막 트랜지스터(TFT)를 통해 충전되는 화소 신호에 따라 유전 이방성을 가지는 액정의 배열 상태가 가변하여 광투과율을 조절함으로써 계조를 구현하게 된다.

타이밍 제어부(8)는 도시되지 않은 비디오 카드로부터 공급되는 동기신호(V, H)를 이용하여 게이트 제어신호들(GSP, GSC, GOE) 및 데이터 제어신호들(SSP, SSC, SOE, POL)을 발생한다. 게이트 제어신호들(GSP, GSC, GOE)은 게이트 드라이버(6)로 공급되어 게이트 드라이버를 제어하게 되고, 데이터 제어신호들(SSP, SSC, SOE, POL)은 데이터 드라이버(4)로 공급되어 데이터 드라이버를 제어하게 된다. 아울러, 타이밍 제어부(8)는 적색(R), 녹색(G) 및 청색(B)의 화소 데이터(VD)를 정렬하여 데이터 드라이버(4)로 공급한다.

게이트 드라이버(6)는 게이트라인들(GL1 내지 GLn)을 순차적으로 구동시킨다. 이를 위해, 게이트 드라이버(6)는 도 2a와 같이 다수의 게이트 집적회로(Integrated Circuit : 이하, "IC"라 함)(10)를 구비한다. 게이트 IC(10)들은 자신에게 접속된 게이트라인들(GL1 내지 GLn)을 타이밍 제어부(8)로부터의 제어에 의하여 순차적으로 구동시킨다. 다시 말하여, 게이트 IC(10)들은 타이밍 제어부(8)로부터 공급되는 게이트 제어 신호들(GSP, GSC, GOE)에 응답하여 게이트라인들(GL1 내지 GLn)에 순차적으로 게이트 하이전압(VGH)을 순차적으로 공급한다.

구체적으로, 게이트 드라이버(6)는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시켜 쉬프트펄스를 발생한다. 그리고, 게이트 드라이버(6)는 쉬프트 펄스에 응답하여 수평기간마다 해당 게이트라인(GL)에 게이트 하이전압(VGH)을 공급하게 된다. 다시 말하여, 쉬프트펄스는 수평기간마다 한 라인씩 쉬프트되고, 게이트 IC들(10) 중 어느 하나는 쉬프트펄스에 대응되어 해당 게이트라인(GL)에 게이트 하이전압(VGH)을 공급한다. 이 경우, 게이트 IC들(10)은 게이트 라인들(GL1 내지 GLn)에 게이트 하이전압(VGH)이 공급되지 않는 나머지 기간에서는 게이트 로우전압(VGL)을 공급한다.

데이터 드라이버(4)는 수평기간마다 1라인분씩의 화소신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이를 위해, 데이터 드라이버(4)는 도 2b와 같이 다수의 데이터 IC(16)들을 구비한다. 데이터 IC(16)들은 타이밍 제어부(8)로부터 공급되는 데이터 제어 신호들(SSP, SSC, SOE, POL)에 응답하여 데이터라인들(DL1 내지 DLm)에 화소신호를 공급한다. 이때, 데이터 IC(16)들은 타이밍 제어부(8)로부터의 화소 데이터(VD)를 감마전압 발생부(도시되지 않음)로부터의 감마전압을 이용하여 아날로그 화소신호로 변환하여 출력한다.

구체적으로, 데이터 IC(16)들은 소스 스타트 펄스(SSP)를 소스 쉬프트 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 이어서, 데이터 IC(16)들은 샘플링 신호에 응답하여 화소 데이터(VD)를 일정 단위씩 순차적으로 래치한다. 이후, 래치된 1라인분의 화소 데이터(VD)를 아날로그 화소신호로 변환하여 소스 출력 인에이블 신호(SOE)의 인에이블 기간에 데이터라인들(DL1 내지 DLm)에 공급하게 된다. 이 경우, 데이터 IC(16)들은 화소 데이터(VD)를 극성 제어 신호(POL)에 응답하여 정극성 또는 부극성의 화소신호로 변환하게 된다.

이를 위하여, 데이터 IC들(16) 각각은 도 3에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(34)와, 샘플링신호에 응답하여 화소 데이터(VD)를 순차적으로 래치하여 동시에 출력하는 래치부(36)와, 래치부(36)로부터의 화소 데이터(VD)를 화소전압신호로 변환하는 디지털-아날로그 변환부(이하, "DAC부"라 함)(38)와, DAC(38)로부터의 화소전압신호를 완충하여 출력하는 출력 버퍼부(46)를 구비한다. 또한, 데이터 IC(16)는 타이밍 제어부(8)로부터 공급되는 각종 제어신호들(SSP, SSC, SOE, REV, POL 등)과 화소 데이터(VD)를 중계하는 신호 제어부(20)와, DAC부(38)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(32)를 추가로 구비한다.

신호제어부(20)는 타이밍 제어부(도시하지 않음)로부터의 각종 제어신호들(SSP, SSC, SOE, REV, POL 등)과 화소 데이터(VD)가 해당 구성요소들로 출력되도록 제어한다.

감마전압부(32)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

쉬프트 레지스터부(34)에 포함된 쉬프트 레지스터들은 신호제어부(20)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다.

래치부(36)는 쉬프트 레지스터부(34)로부터의 샘플링신호에 응답하여 신호 제어부(20)로부터의 화소 데이터(VD)를 일정한위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부(36)는 i (i 는 자연수)개의 화소 데이터(VD)를 래치하기 위해 i 개의 래치들로 구성되고, 래치들 각각은 화소 데이터(VD)의 비트수에 대응하는 크기를 갖는다. 특히, 타이밍 제어부(8)는 전송주파수를 줄이기 위하여 화소 데이터(VD)를 이븐 화소 데이터(VDeven)와 오드 화소 데이터(VDodd)로 나누어 각각의 전송라인을 통해 동시에 출력하게 된다. 여기서 이븐 화소 데이터(VDeven)와 오드 화소 데이터(VDodd) 각각은 적(R), 녹(G), 청(B) 화소 데이터를 포함한다. 이에 따라 래치부(36)는 샘플링신호마다 신호 제어부(20)를 경유하여 공급되는 이븐 화소 데이터(VDeven)와 오드 화소 데이터(VDodd)를 동시에 래치하게 된다. 이어서, 래치부(36)는 신호 제어부(20)로부터의 소스 출력 이네이블신호(SOE)에 응답하여 래치된 i 개의 화소 데이터들(VD)을 동시에 출력한다. 이 경우, 래치부(36)는 데이터반전 선택신호(REV)에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 화소 데이터(VD)들을 복원시켜 출력하게 된다. 이는 타이밍 제어부(8)에서 데이터전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 화소 데이터(VD)들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다.

DAC부(38)는 래치부(36)로부터의 화소 데이터(VD)를 동시에 정극성 및 부극성 화소전압신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(38)는 래치부(36)에 공통 접속된 P(Positive) 디코딩부(40) 및 N(Negative) 디코딩부(42)와, P 디코딩부(40) 및 N 디코딩부(42)의 출력신호를 선택하기 위한 멀티플렉서(MUX; 44)를 구비한다.

P 디코딩부(40)에 포함되는 n 개의 P 디코더들은 래치부(36)로부터 동시에 입력되는 n 개의 화소 데이터들을 감마전압부(32)로부터의 정극성 감마전압들을 이용하여 정극성 화소전압신호로 변환하게 된다. N 디코딩부(42)에 포함되는 i 개의 N 디코더들은 래치부(36)로부터 동시에 입력되는 i 개의 화소 데이터들을 감마 전압부(32)로부터의 부극성 감마전압들을 이용하여 부극성 화소전압신호로 변환하게 된다. 멀티플렉서부(44)에 포함되는 i 개의 멀티플렉서들은 신호제어부(20)로부터의 극성제어신호(POL)에 응답하여 P 디코더(40)로부터의 정극성 화소전압신호 또는 N 디코더(42)로부터의 부극성 화소전압신호를 선택하여 출력하게 된다.

출력버퍼부(46)에 포함되는 i 개의 출력버퍼들은 i 개의 데이터라인들(D1 내지 Di)들에 직렬로 각각 접속되어진 전압추종기(Voltage follower) 등으로 구성된다. 이러한 출력버퍼들은 DAC부(38)로부터의 화소전압신호들을 신호완충하여 데이터라인들(DL1 내지 DLi)에 공급하게 된다.

이와 같은 종래의 액정표시장치는 액정패널(2)의 해상도에 따라 데이터 드라이버(4)가 구비하는 데이터 IC(16)의 출력채널이 달라지게 된다. 이는, 액정패널(2)의 해상도별로 데이터라인(DL)에 접속될 수 있는 일정 채널을 갖는 데이터 IC(16)들이 달라지기 때문이다. 이에 따라, 액정패널(2)의 해상도 별로 서로 다른 출력채널을 갖는 서로 다른 수의 데이터 IC(16)들을 사용함으로써 작업성의 저하 및 제조비용이 낭비되는 단점이 있다.

이를 상세히 설명하면, 액정패널(2)의 해상도가 XGA(eXtended Graphics Array)급(1024×3)인 액정표시장치는 3072개의 데이터라인(DL) 수를 가지므로 768개의 출력채널을 갖는 4개의 데이터 IC(16)가 필요하게 된다. 또한, 액정패널(2)의 해상도가 SXGA+(Super eXtended Graphics Adapter+)급(1400×3)인 액정표시장치는 4200개의 데이터라인(DL) 수를 가지므로 702개의 출력채널을 갖는 6개의 데이터 IC(16)가 필요하게 된다. 이때, 남은 12개의 출력채널은 더미라인으로 처리된다. 또한, 액정패널(2)의 해상도가 WXGA(Wide aspect eXtended Graphics Array)급(1280×3)인 액정표시장치는 3840개의 데이터라인(DL) 수를 가지므로 642개의 출력채널을 갖는 6개의 데이터 IC(16)가 필요하게 된다. 이때, 남은 12개의 출력채널은 더미라인으로 처리된다. 이와 같이, 액정패널(2)의 해상도별로 서로 다른 출력채널을 갖는 서로 다른 수의 데이터 IC(16)들을 사용해야 한다. 이에 따라, 종래의 액정표시장치에서는 작업성의 저하 및 제조비용이 낭비되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 작업성의 향상 및 제조비용을 절감할 수 있도록 한 액정표시장치를 제공하는 것이다.

또한, 본 발명의 다른 목적은 액정패널의 해상도에 따라 데이터 집적회로의 출력채널을 제어할 수 있도록 한 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 의한 액정표시장치는 샘플링신호를 발생하기 위한 N(단, N은 양의 정수)개의 쉬프트 레지스터들로 구성된 쉬프트 레지스터부를 포함하고 다수의 데이터라인들에 화소 데이터를 공급하기 위한 데이터 집적회로와, 상기 데이터 라인들에 화소 데이터를 공급하는 제 1 및 제 2 출력채널군을 포함함과 아울러 상기 제 1 및 제 2 출력채널군 사이에 더미 출력채널군을 가지는 출력채널부와, 상기 더미 출력채널군의 출력채널을 선택하기 위한 채널 선택부를 구비하며, 상기 채널 선택부는 상기 더미 출력채널군의 일부에 접속된 제 1 군의 쉬프트 레지스터로부터의 출력신호를 선택하기 위한 제 1 선택부와, 상기 제 1 선택부로부터의 출력신호를 상기 더미 출력채널군의 나머지에 접속된 제 2 군의 쉬프트 레지스터들에 공급하기 위한 제 2 선택부를 구비하는 것을 특징으로 한다.

상기 액정표시장치는 상기 데이터라인들의 수에 따라 상기 더미 출력채널군의 출력채널을 선택하기 위한 채널 선택신호를 발생하는 선택신호 발생부와, 상기 데이터 집적회로를 제어함과 아울러 상기 데이터 집적회로에 데이터를 공급하는 타이밍 제어부를 더 구비하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 선택신호 발생부는 상기 데이터라인들의 수, 상기 데이터 집적회로의 개수, 상기 데이터 집적회로가 실장되는 테이프 캐리어 패키지의 폭, 상기 타이밍 제어부와 상기 데이터 집적회로간의 데이터 전송라인 수 중 적어도 하나의 조건에 따라 상기 채널 선택신호를 발생하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 선택신호 발생부는 전압원 및 기저전압원에 접속되어 상기 채널 선택신호를 발생하는 선택 단자를 구비하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 선택신호 발생부는 상기 선택단자에 접속되는 스위칭 소자를 구비하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 선택신호 발생부는 상기 선택단자에 접속되는 댑 스위치를 구비하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 제 1 및 제 2 데이터 출력채널군은 동일한 출력채널을 가지는 것을 특징으로 한다.

상기 액정표시장치에서 상기 제 1 선택부는 상기 채널 선택신호에 따라 상기 N개의 쉬프트 레지스터의 제 I1(단, I1은 1보다 큰 양의 정수)번째, I2(단, I2는 I1보다 큰 양의 정수)번째 및 I3(단, I3은 I2보다 크고 N보다 작은 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하는 제 1 멀티플렉서를 구비하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 제 2 선택부는 상기 채널 선택신호에 따라 제 1 멀티플렉서로부터의 출력신호를 출력하는 디멀티플렉서와, 상기 채널 선택신호에 따라 상기 디멀티플렉서로부터의 출력신호와 상기 N개의 쉬프트 레지스터의 제 J1-1(단, J1은 I3보다 큰 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하여 제 J1번째 쉬프트 레지스터에 공급하는 제 2 멀티플렉서와, 상기 채널 선택신호에 따라 상기 디멀티플렉서로부터의 출력신호와 상기 N개의 쉬프트 레지스터의 제 J2-1(단, J2는 J1보다 큰 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하여 제 J2번째 쉬프트 레지스터에 공급하는 제 3 멀티플렉서와, 상기 채널 선택신호에 따라 상기 디멀티플렉서로부터의 출력신호와 상기 N개의 쉬프트 레지스터의 제 J3-1(단, J3은 J2보다 크고 N보다 작은 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하여 제 J3번째 쉬프트 레지스터에 공급하는 제 4 멀티플렉서를 구비하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 제 1 군의 쉬프트 레지스터들은 상기 제 I1 내지 I3번째 쉬프트 레지스터들이고, 상기 제 2 군의 쉬프트 레지스터들은 상기 J1 내지 J3번째 쉬프트 레지스터들이고, 상기 제 1 선택부로부터의 출력신호를 상기 J1, J2 및 J3번째 쉬프트 레지스터 중 어느 하나에 공급하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 제 1 선택부는 상기 I1, I2 및 I3번째 쉬프트 레지스터 각각으로부터의 출력신호를 공급받고, 상기 제 2 선택부는 상기 채널 선택신호에 응답하여 상기 제 1 선택부로부터의 출력신호를 상기 J1, J2 및 J3번째 쉬프트 레지스터 중 어느 하나에 공급하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 채널 선택부는 상기 채널 선택신호에 응답하여 제 1 내지 제 I1번째, 제 1 내지 I2번째 및 제 1 내지 I3번째 쉬프트 레지스터들에 접속된 상기 출력채널을 상기 제 1 출력채널군으로 선택하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 채널 선택부는 상기 채널 선택신호에 응답하여 제 J1 내지 제 N번째, 제 J2 내지 N번째 및 제 J3 내지 N번째 쉬프트 레지스터들에 접속된 상기 출력채널을 상기 제 2 출력채널군으로 선택하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 데이터 집적회로의 제 I1 내지 제 J3번째, 제 I2 내지 J2번째 및 제 I3 내지 J1번째 쉬프트 레지스터에 접속된 상기 데이터 출력채널은 더미 데이터 출력채널인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 17을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 제 1 실시 예에 의한 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정패널(102)과, 액정패널(102)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(106)와, 액정패널(102)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(104)와, 게이트 드라이버(106)와 데이터 드라이버(104)를 제어하기 위한 타이밍 제어부(108)를 구비한다.

액정패널(102)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속된 액정셀(도시하지 않음)을 구비한다. 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔신호, 즉 게이트 하이전압(VGH)이 공급되는 경우 턴-온되어 데이터라인(DL)으로부터의 화소신호를 액정셀에 공급한다. 그리고, 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터 게이트 로우전압(VGL)이 공급되는 경우 턴-오프되어 액정셀에 충전된 화소신호가 유지되게 한다.

액정셀은 등가적으로 액정용량 커패시터로 표현되며, 액정을 사이에 두고 대면하는 공통전극과 박막 트랜지스터(TFT)에 접속된 화소전극을 포함한다. 그리고, 액정셀은 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 커패시터를 더 구비한다. 이 스토리지 커패시터는 화소전극과 이전단 게이트 라인 사이에 형성된다. 이러한 액정셀은 박막 트랜지스터(TFT)를 통해 충전되는 화소 신호에 따라 유전 이방성을 가지는 액정의 배열 상태가 가변하여 광투과율을 조절함으로써 계조를 구현하게 된다.

타이밍 제어부(108)는 도시되지 않은 비디오 카드로부터 공급되는 동기신호(V, H)를 이용하여 게이트 제어신호들(GSP, GSC, GOE) 및 데이터 제어신호들(SSP, SSC, SOE, POL)을 발생한다. 게이트 제어신호들(GSP, GSC, GOE)은 게이트 드

라이버(106)로 공급되어 게이트 드라이버를 제어하게 되고, 데이터 제어신호들(SSP, SSC, SOE, POL)은 데이터 드라이버(104)로 공급되어 데이터 드라이버를 제어하게 된다. 아울러, 타이밍 제어부(108)는 화소 데이터(VD)를 정렬하여 데이터 드라이버(104)로 공급한다.

게이트 드라이버(106)는 게이트라인들(GL1 내지 GLn)을 순차적으로 구동시킨다. 이를 위해, 게이트 드라이버(106)는 다수의 게이트 IC(도시하지 않음)를 구비한다. 게이트 IC들은 자신에게 접속된 게이트라인들(GL1 내지 GLn)을 타이밍 제어부(108)로부터의 제어에 의하여 순차적으로 구동시킨다. 다시 말하여, 게이트 IC들은 타이밍 제어부(108)로부터 공급되는 게이트 제어 신호들(GSP, GSC, GOE)에 응답하여 게이트라인들(GL1 내지 GLn)에 순차적으로 게이트 하이전압(VGH)을 순차적으로 공급한다.

구체적으로, 게이트 드라이버(106)는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시켜 쉬프트 펄스를 발생한다. 그리고, 게이트 드라이버(106)는 쉬프트 펄스에 응답하여 수평기간마다 해당 게이트라인(GL)에 게이트 하이전압(VGH)을 공급하게 된다. 다시 말하여, 쉬프트펄스는 수평기간마다 한 라인씩 쉬프트되고, 게이트 IC들 중 어느 하나는 쉬프트펄스에 대응되어 해당 게이트라인(GL)에 게이트 하이전압(VGH)을 공급한다. 이 경우, 게이트 IC들은 게이트 라인들(GL1 내지 GLn)에 게이트 하이전압(VGH)이 공급되지 않는 나머지 기간에서는 게이트 로우전압(VGL)을 공급한다.

데이터 드라이버(104)는 수평기간마다 1라인분씩의 화소신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이를 위해, 데이터 드라이버(104)는 다수의 데이터 IC(116)들을 구비한다. 데이터 IC(116)들 각각은 테이프 캐리어 패키지(Tape Carrier Package : 이하, "TCP"라 함)(110) 상에 실장된다. 이러한, 데이터 IC(116)들은 TCP 패드(112), 데이터 패드(114) 및 링크부(118)를 경유하여 데이터라인들(DL1 내지 DLm)과 전기적으로 접속된다. 그리고, 데이터 IC(116)들은 타이밍 제어부(108)로부터 공급되는 데이터 제어 신호들(SSP, SSC, SOE, POL)에 응답하여 데이터라인들(DL1 내지 DLm)에 화소신호를 공급한다. 이 때, 데이터 IC(116)들은 타이밍 제어부(108)로부터의 화소 데이터(VD)를 감마전압 발생부(도시되지 않음)로부터의 감마전압을 이용하여 아날로그 화소신호로 변환하여 출력한다.

구체적으로, 데이터 IC(116)들은 소스 스타트 펄스(SSP)를 소스 쉬프트 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 이어서, 데이터 IC(116)들은 샘플링 신호에 응답하여 화소 데이터(VD)를 일정 단위씩 순차적으로 래치한다. 이후, 래치된 1라인분의 화소 데이터(VD)를 아날로그 화소신호로 변환하여 소스 출력 인에이블 신호(SOE)의 인에이블 기간에 데이터라인들(DL1 내지 DLm)에 공급하게 된다. 이 경우, 데이터 IC(116)들은 화소 데이터(VD)를 극성 제어 신호(POL)에 응답하여 정극성 또는 부극성의 화소신호로 변환하게 된다.

한편, 본 발명의 제 1 실시 예에 다른 액정표시장치의 데이터 IC들(116) 각각은 외부로부터 입력되는 제 1 및 제 2 채널 선택신호(P1, P2)에 응답하여 데이터라인들(DL1 내지 DLm)에 화소신호를 공급하기 위한 출력채널을 변경하게 된다. 이를 위해, 데이터 IC들(116) 각각은 제 1 및 제 2 채널 선택신호(P1, P2)가 공급되는 제 1 및 제 2 옵션핀(OP1, OP2)을 구비한다.

제 1 및 제 2 옵션핀(OP1, OP2) 각각은 전압원(VCC) 및 기저전압원(GND)에 선택적으로 접속되어 2비트 2진 논리값을 가지게 된다. 이에 따라, 제 1 및 제 2 옵션핀(OP1, OP2)을 통해 데이터 IC(116)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)는 "00", "01", "10" 및 "11"의 값을 가지게 된다.

이에 따라, 데이터 IC(116) 각각은 제 1 및 제 2 옵션핀(OP1, OP2)을 통해 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 액정패널(102)의 해상도에 따라 미리 설정되어진 출력채널을 가지게 된다.

이러한 액정패널(102)의 해상도에 따라 데이터 IC(116)의 출력채널에 따른 데이터 IC(116)의 개수를 표 1에 나타내었다.

표 1.

| 해상도 | 픽셀 수 | | 데이터 IC 출력채널에 따른 데이터 IC 개수 | | | |
|--------|-------|-------|---------------------------|-------|-------|-------|
| | 데이터라인 | 게이트라인 | 600CH | 618CH | 630CH | 642CH |
| XGA | 3072 | 768 | 5.12 | 4.97 | 4.88 | 4.79 |
| SXGA+ | 4200 | 1050 | 7.00 | 6.80 | 6.67 | 6.54 |
| UXGA | 4800 | 1200 | 8.00 | 7.77 | 7.62 | 7.48 |
| WXGA | 3840 | 800 | 6.40 | 6.21 | 6.10 | 5.98 |
| WSXGA- | 4320 | 900 | 7.20 | 6.99 | 6.86 | 6.73 |
| WSXGA | 5040 | 1050 | 8.40 | 8.16 | 8.00 | 7.85 |
| WUXGA | 5760 | 1200 | 9.60 | 9.32 | 9.14 | 8.97 |

표 1을 참조하면, 4가지 채널로 모든 해상도를 표현할 수 있음을 알 수 있다. 즉, XGA(eXtended Graphics Array) 급의 해상도를 가지는 액정패널(102)에서는 618개의 출력채널을 갖는 5개의 데이터 IC(116)가 필요하게 된다. 이때, 남은 18개의 출력채널은 더미라인으로 처리한다. 또한, SXGA+(Super eXtended Graphics Adapter+) 급의 해상도를 가지는 액정패널(102)에서는 600개의 출력채널을 갖는 7개의 데이터 IC(116)가 필요하게 된다. 또한, UXGA(Ultra eXtended Graphics Adapter) 급의 해상도를 가지는 액정패널(102)에서는 600개의 출력채널을 갖는 8개의 데이터 IC(116)가 필요하게 된다. 그리고, WXGA(Wide aspect eXtended Graphics Array) 급의 해상도를 가지는 액정패널(102)에서는 642개의 출력채널을 갖는 6개의 데이터 IC(116)가 필요하게 된다. 또한, WSXGA-(Wide aspect Super eXtended Graphics Adapter-) 급의 해상도를 가지는 액정패널(102)에서는 618개의 출력채널을 갖는 7개의 데이터 IC(116)가 필요하게 된다.

다. 또한, WSXGA(Wide aspect Super eXtended Graphics Adapter) 급의 해상도를 가지는 액정패널(102)에서는 630개의 출력채널을 갖는 8개의 데이터 IC(116)가 필요하게 된다. 또한, WUXGA(Wide aspect Ultra eXtended Graphics Adapter) 급의 해상도를 가지는 액정패널(102)에서는 642개의 출력채널을 갖는 9개의 데이터 IC(116)가 필요하게 된다.

이에 따라, 본 발명의 제 1 실시 예에 따른 액정표시장치는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 데이터 IC(116)의 출력채널을 600 채널, 618 채널, 630 채널 및 642 채널 중 어느 하나로 설정함으로써 액정패널(102)의 모든 해상도를 표현할 수 있다. 다시 말하여, 본 발명의 제 1 실시 예에 따른 액정표시장치의 데이터 IC(116)는 642개의 출력채널을 가지도록 제조하고, 제 1 및 제 2 옵션핀(OP1, OP2)으로부터의 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 데이터 IC(116)의 출력채널을 설정함으로써 액정패널(102)의 모든 해상도에 공용으로 사용할 수 있다.

이를 상세히 설명하면, 본 발명의 제 1 실시 예에 따른 액정표시장치의 데이터 IC(116)는 642개의 출력채널을 가지도록 제조된다.

제 1 및 제 2 옵션핀(OP1, OP2) 각각이 기저전압원(GND)에 접속되어 데이터 IC(116)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "00"일 경우에 데이터 IC(116)는 도 5에 도시된 바와 같이 642개의 출력채널 중 제 1 내지 제 600 출력채널을 통해 화소 전압신호를 출력하게 된다. 이때, 제 601 내지 제 642 출력채널은 더미 출력채널이 된다. 또한, 제 1 옵션핀(OP1)이 기저전압원(GND)에 접속됨과 아울러 제 2 옵션핀(OP2)이 전압원(VCC)에 접속되어 데이터 IC(116)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "01"일 경우에 데이터 IC(116)는 도 6에 도시된 바와 같이 642개의 출력채널 중 제 1 내지 제 618 출력채널을 통해 화소 전압신호를 출력하게 된다. 이때, 제 619 내지 제 642 출력채널은 더미 출력채널이 된다. 그리고, 제 1 옵션핀(OP1)이 전압원(VCC)에 접속됨과 아울러 제 2 옵션핀(OP2)이 기저전압원(GND)에 접속되어 데이터 IC(116)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "10"일 경우에 데이터 IC(116)는 도 7에 도시된 바와 같이 642개의 출력채널 중 제 1 내지 제 630 출력채널을 통해 화소 전압신호를 출력하게 된다. 이때, 제 631 내지 제 642 출력채널은 더미 출력채널이 된다. 마지막으로, 제 1 및 제 2 옵션핀(OP1, OP2) 각각이 전압원(VCC)에 접속되어 데이터 IC(116)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "11"일 경우에 데이터 IC(116)는 도 8에 도시된 바와 같이 제 1 내지 제 642 출력채널을 통해 화소 전압신호를 출력하게 된다.

이에 따라, 본 발명의 제 1 실시 예에 따른 액정표시장치의 데이터 IC(116)는 도 9에 도시된 바와 같이 제 1 및 제 2 옵션핀(OP1, OP2)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 데이터 IC(116)의 출력채널을 설정하기 위한 채널 선택부(130)와, 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(134)와, 샘플링신호에 응답하여 화소 데이터(VD)를 순차적으로 래치하여 동시에 출력하는 래치부(136)와, 래치부(136)로부터의 화소 데이터(VD)를 화소전압신호로 변환하는 디지털-아날로그 변환부(이하, DAC부라 함)(138)와, DAC(138)로부터의 화소전압신호를 완충하여 출력하는 출력 버퍼부(146)를 구비한다.

또한, 데이터 IC(116)는 타이밍 제어부(108)로부터 공급되는 각종 제어신호들과 화소 데이터(VD)를 중계하는 신호 제어부(120)와, DAC부(138)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(132)를 추가로 구비한다.

신호제어부(120)는 타이밍 제어부(108)로부터의 각종 제어신호들(SSP, SSC, SOE, REV, POL 등)과 화소 데이터(VD)가 해당 구성요소들로 출력되게 제어한다.

감마전압부(132)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

채널 선택부(130)는 제 1 및 제 2 옵션핀(OP1, OP2)을 통해 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 제 1 내지 제 4 채널 제어신호(CS1 내지 CS4)를 쉬프트 레지스터부(134)에 공급하게 된다. 즉, 채널 선택부(130)는 "00"의 값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)에 대응되는 제 1 채널 제어신호(CS1)와, "01"의 값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)에 대응되는 제 2 채널 제어신호(CS2)와, "10"의 값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)에 대응되는 제 3 채널 제어신호(CS3)와, "11"의 값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)에 대응되는 제 4 채널 제어신호(CS4)를 발생한다.

쉬프트 레지스터부(134)에 포함된 쉬프트 레지스터들은 신호제어부(120)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다. 이때, 쉬프트 레지스터부(134)는 642개의 쉬프트 레지스터들(SR1 내지 SR642)로 구성된다.

이러한, 쉬프트 레지스터부(134)는 채널 선택부(130)로부터의 제 1 내지 제 4 채널 제어신호(CS1 내지 CS4)에 따라 제 600, 제 618, 제 630 및 제 642 쉬프트 레지스터(SR600, SR628, SR630, SR642) 각각의 출력신호를 다음 단 데이터 IC(116)에 공급하게 된다.

구체적으로, 채널 선택부(130)로부터 제 1 출력 제어신호(CS1)에 공급되는 경우 쉬프트 레지스터부(134)는 제 1 내지 제 600 번째 쉬프트 레지스터들(SR1 내지 SR600)을 이용하여 신호제어부(120)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 600 번째 쉬프트 레지스터(SR600)의 출력신호(캐리신호)를 다음 단의 데이터 IC(116)의 첫번째 쉬프트 레지스터(SR1)로 공급하게 된다. 이에 따라, 제 601 내지 제 642 쉬프트 레지스터들(SR601 내지 SR642)은 샘플링신호를 출력하지 않게 된다. 여기서, 쉬프트 레지스터가 양 방향으로 구동될 경우 중간 42개 채널을 사용하지 않고 더미처리하여 구조상 더 유리하게 사용할 수 있다.

한편, 채널 선택부(130)로부터 제 2 출력 제어신호(CS2)에 공급되는 경우 쉬프트 레지스터부(134)는 제 1 내지 제 618 번째 쉬프트 레지스터들(SR1 내지 SR618)을 이용하여 신호제어부(120)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 618 번째 쉬프트 레지스터(SR600)의 출력신호(캐리신호)를 다음 단의 데이터 IC(116)의 첫번째 쉬프트 레지스터(SR1)로 공급하게 된다. 이에 따라, 제 619 내지 제 642 쉬프트 레지스터들(SR619 내지 SR642)은 샘플링신호를 출력하지 않게 된다. 여기서, 쉬프트 레지스터가 양 방향으로 구동될 경우 중간 24개 채널을 사용하지 않고 더미처리하여 구조상 더 유리하게 사용할 수 있다.

한편, 채널 선택부(130)로부터 제 3 출력 제어신호(CS3)에 공급되는 경우 쉬프트 레지스터부(134)는 제 1 내지 제 630 번째 쉬프트 레지스터들(SR1 내지 SR630)을 이용하여 신호제어부(120)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 630 번째 쉬프트 레지스터(SR600)의 출력신호(캐리신호)를 다음 단의 데이터 IC(116)의 첫번째 쉬프트 레지스터(SR1)로 공급하게 된다. 이에 따라, 제 631 내지 제 642 쉬프트 레지스터들(SR631 내지 SR642)은 샘플링신호를 출력하지 않게 된다. 여기서, 쉬프트 레지스터가 양 방향으로 구동될 경우中间的 12개 채널을 사용하지 않고 더미처리하여 구조상 더 유리하게 사용할 수 있다.

한편, 채널 선택부(130)로부터 제 4 출력 제어신호(CS4)에 공급되는 경우 쉬프트 레지스터부(134)는 제 1 내지 제 642 번째 쉬프트 레지스터들(SR1 내지 SR642)을 이용하여 신호제어부(120)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 642 번째 쉬프트 레지스터(SR600)의 출력신호(캐리신호)를 다음 단의 데이터 IC(116)의 첫번째 쉬프트 레지스터(SR1)로 공급하게 된다.

래치부(136)는 쉬프트 레지스터부(134)로부터의 샘플링신호에 응답하여 신호 제어부(120)로부터의 화소 데이터(VD)를 일정한위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부(136)는 642개의 화소 데이터(VD)를 래치하기 위해 최대 642 개의 래치들로 구성되고, 그 래치들 각각은 화소 데이터(VD)의 비트수에 대응하는 크기를 갖는다. 특히, 타이밍 제어부(108)는 전송주파수를 줄이기 위하여 화소 데이터(VD)를 이븐 화소 데이터(VDeven)와 오드 화소 데이터(VDodd)로 나누어 각각의 전송라인을 통해 동시에 출력하게 된다. 여기서 이븐 화소 데이터(VDeven)와 오드 화소 데이터(VDodd) 각각은 적(R), 녹(G), 청(B) 화소 데이터를 포함한다.

이에 따라 래치부(136)는 샘플링신호마다 신호 제어부(120)를 경유하여 공급되는 이븐 화소 데이터(VDeven)와 오드 화소 데이터(VDodd)를 동시에 래치하게 된다. 이어서, 래치부(136)는 신호 제어부(120)로부터의 소스 출력 이네이블신호(SOE)에 응답하여 래치된 630개, 618개, 630개 및 642개 중 어느 한 개의 출력채널을 통해 화소 데이터들(VD)을 동시에 출력한다. 이 경우, 래치부(136)는 데이터반전 선택신호(REV)에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 화소 데이터(VD)들을 복원시켜 출력하게 된다. 이는 타이밍 제어부(108)에서 데이터전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 화소 데이터(VD)들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다.

DAC부(138)는 래치부(136)로부터의 화소 데이터(VD)를 동시에 정극성 및 부극성 화소전압신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(138)는 래치부(136)에 공통 접속된 P(Positive) 디코딩부(140) 및 N(Negative) 디코딩부(142)와, P 디코딩부(140) 및 N 디코딩부(142)의 출력신호를 선택하기 위한 멀티플렉서(MUX; 144)를 구비한다.

P 디코딩부(140)에 포함되는 n개의 P 디코더들은 래치부(136)로부터 동시에 입력되는 n개의 화소 데이터들을 감마전압부(132)로부터의 정극성 감마전압들을 이용하여 정극성 화소전압신호로 변환하게 된다. N 디코딩부(142)에 포함되는 n개의 N 디코더들은 래치부(136)로부터 동시에 입력되는 n개의 화소 데이터들을 감마 전압부(132)로부터의 부극성 감마전압들을 이용하여 부극성 화소전압신호로 변환하게 된다. 멀티플렉서부(144)에 포함되는 최대 642개의 멀티플렉서들은 신호 제어부(120)로부터의 극성제어신호(POL)에 응답하여 P 디코더(140)로부터의 정극성 화소전압신호 또는 N 디코더(142)로부터의 부극성 화소전압신호를 선택하여 출력하게 된다.

출력버퍼부(146)에 포함되는 최대 642개의 출력버퍼들은 최대 642개의 데이터라인들(DL1 내지 DL642)들에 직렬로 각각 접속되어진 전압추종기(Voltage follower) 등으로 구성된다. 이러한 출력버퍼들은 DAC부(138)로부터의 화소전압신호들을 신호완충하여 데이터라인들(DL1 내지 DL642)에 공급하게 된다.

이러한, 본 발명의 제 1 실시 예에 따른 액정표시장치에서 600개의 출력채널을 가지는 데이터 IC(116)는 표 1에 나타낸 바와 같이 SXGA+ 급 및 UXGA급의 해상도를 가지는 액정패널(102)에 사용되고, 618개의 출력채널을 가지는 데이터 IC(116)는 XGA급과 WSXGA-급의 해상도를 가지는 액정패널(102)에 사용되고, 630개의 출력채널을 가지는 데이터 IC(116)는 WSXGA급의 해상도를 가지는 액정패널(102)에 사용되고, 642개의 출력채널을 가지는 데이터 IC(116)는 WXGA급과 WUXGA급의 해상도를 가지는 액정패널(102)에 사용된다.

한편, 본 발명의 제 1 실시 예에 따른 액정표시장치는 상술한 바와 같이 제 1 및 제 2 출력 선택신호(P1, P2)에 따라 변경되는 데이터 IC(116)의 출력채널에 대응되도록 TCP 패드(112), 액정패널(102)의 데이터 패드(114) 및 텅크부(118)를 설계하게 된다.

이와 같은, 본 발명의 제 1 실시 예에 따른 액정표시장치의 데이터 IC(116)는 제 1 및 제 2 옵션핀(OP1, OP2)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 표 1에 나타낸 바와 같이 액정패널(102)의 해상도에 따라 데이터 IC(116)의 출력채널을 설정함으로써 한 종류의 데이터 IC(116)만으로도 모든 해상도를 표현할 수 있게 된다. 이에 따라, 본 발명의 제 1 실시 예에 따른 액정표시장치는 작업성의 향상 및 제조비용을 감소시킬 수 있다.

도 10은 본 발명의 제 2 실시 예에 따른 액정표시장치에서 데이터 IC를 나타내는 블록도이다.

도 10을 참조하면, 본 발명의 제 2 실시 예에 따른 액정표시장치는 데이터 IC(216)를 제외하고는 모든 구성요소는 본 발명의 제 1 실시 예에 따른 액정표시장치와 동일하게 된다. 이에 따라, 본 발명의 제 2 실시 예에 따른 액정표시장치에서는 도 10을 도 4와 결부하여 데이터 IC(216)만을 설명하기로 하고, 다른 구성요소들에 대한 설명은 생략하기로 한다. 이때, 도 4에 도시된 데이터 IC의 도면부호 "116"은 도 10에 도시된 "216"으로 대신하기로 한다.

본 발명의 제 2 실시 예에 따른 액정표시장치에서 데이터 IC(216)는 데이터 라인들(DL1 내지 LDm)에 항상 데이터를 공급하는 제 1 출력채널군(260) 및 제 2 출력채널군(262)과, 제 1 및 제 2 출력채널군(260, 262) 사이의 더미 출력채널군(264)을 구비한다.

이러한, 데이터 IC(216)는 데이터 라인들(DL1 내지 LDm)의 수에 따라 더미 출력채널군(264)을 통해 데이터 라인들(DL1 내지 LDm)에 공급되는 화소 데이터의 출력여부를 결정하기 위한 제 1 및 제 2 채널 선택신호(P1, P2)가 공급되는 제 1 및 제 2 옵션핀(OP1, OP2)을 구비한다.

제 1 및 제 2 옵션핀(OP1, OP2) 각각은 전압원(VCC) 및 기저전압원(GND)에 선택적으로 접속되어 2비트 2진 논리값을 가지게 된다. 이에 따라, 제 1 및 제 2 옵션핀(OP1, OP2)을 통해 데이터 IC(216)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)는 "00", "01", "10" 및 "11"의 값을 가지게 된다.

이에 따라, 데이터 IC(216) 각각은 제 1 및 제 2 옵션핀(OP1, OP2)을 통해 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 액정패널(102)의 해상도에 따라 미리 설정되어진 출력채널을 가지게 된다.

이러한 액정패널(102)의 해상도에 따라 데이터 IC(216)의 출력채널에 따른 데이터 IC(216)의 개수는 표 1과 같다.

이에 따라, 본 발명의 제 2 실시 예에 따른 액정표시장치는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 데이터 IC(216)의 출력채널을 600 채널, 618 채널, 630 채널 및 642 채널 중 어느 하나로 설정함으로써 액정패널(102)의 모든 해상도를 표현할 수 있다. 다시 말하여, 본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 IC(216)는 642개의 출력채널을 가지도록 제조하고, 제 1 및 제 2 옵션핀(OP1, OP2)으로부터의 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 데이터 IC(216)의 출력채널을 설정함으로써 액정패널(102)의 모든 해상도에 공용으로 사용할 수 있다. 또한, 본 발명의 제 2 실시 예에 따른 액정표시장치는 출력채널의 결정에 따른 데이터 IC(216)의 더미 출력채널군(264)을 데이터 IC(216)의 출력채널들 중 중간 부분에 배치하게 된다. 즉, 데이터 IC(216)의 제 1 및 제 2 출력채널군(260, 262)은 더미 출력채널군(264)을 사이에 두고 동일한 출력채널을 가지게 된다. 이에 따라, 본 발명의 제 2 실시 예에 따른 액정표시장치는 데이터 IC(216)의 제 1 및 제 2 출력채널군(260, 262) 각각의 출력채널을 동일하게 함으로써 화소 데이터의 출력시 전자기적 간섭을 감소시킬 수 있다.

이를 상세히 설명하면, 본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 IC(216)는 642개의 출력채널을 가지도록 제조된다.

제 1 및 제 2 옵션핀(OP1, OP2) 각각이 기저전압원(GND)에 접속되어 데이터 IC(216)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "00"일 경우에 데이터 IC(216)는 도 11에 도시된 바와 같이 642개의 출력채널 중 제 1 내지 제 300 출력채널을 가지는 제 1 출력채널군(260) 및 제 343 내지 제 642 출력채널을 가지는 제 2 출력채널군(262)을 통해 화소 데이터를 출력하게 된다. 이때, 더미 출력채널군(264)은 제 301 내지 제 342 출력채널을 가지며 더미라인으로 처리되어 화소 데이터가 출력되거나 출력되지 않는다. 또한, 제 1 옵션핀(OP1)이 기저전압원(GND)에 접속됨과 아울러 제 2 옵션핀(OP2)이 전압원(VCC)에 접속되어 데이터 IC(216)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "01"일 경우에 데이터 IC(216)는 도 12에 도시된 바와 같이 642개의 출력채널 중 제 1 내지 제 309 출력채널을 가지는 제 1 출력채널군(260) 및 제 334 내지 제 642 출력채널을 가지는 제 2 출력채널군(262)을 통해 화소 데이터를 출력하게 된다. 이때, 더미 출력채널군(264)은 제 310 내지 제 333 출력채널을 가지며 더미라인으로 처리되어 화소 데이터가 출력되거나 출력되지 않는다. 그리고, 제 1 옵션핀(OP1)이 전압원(VCC)에 접속됨과 아울러 제 2 옵션핀(OP2)이 기저전압원(GND)에 접속되어 데이터 IC(216)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "10"일 경우에 데이터 IC(216)는 도 13에 도시된 바와 같이 642개의 출력채널 중 제 1 내지 제 315 출력채널을 가지는 제 1 출력채널군(260) 및 제 328 내지 제 642 출력채널을 가지는 제 2 출력채널군(262)을 통해 화소 데이터를 출력하게 된다. 이때, 더미 출력채널군(264)은 제 316 내지 제 327 출력채널을 가지며 더미라인으로 처리되어 화소 데이터가 출력되거나 출력되지 않는다. 마지막으로, 제 1 및 제 2 옵션핀(OP1, OP2) 각각이 전압원(VCC)에 접속되어 데이터 IC(216)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)의 값이 "00"일 경우에 데이터 IC(216)는 도 14에 도시된 바와 같이 제 1 출력채널군(260), 더미 출력채널군(264) 및 제 2 출력채널군(262), 즉 제 1 내지 제 642 출력채널을 통해 화소 데이터를 출력하게 된다.

이를 위해, 본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 IC(216)는 도 15에 도시된 바와 같이 제 1 및 제 2 옵션핀(OP1, OP2)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 데이터 IC(216)의 출력채널을 설정하기 위한 채널 선택부(318)와, 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(334)와, 샘플링신호에 응답하여 화소 데이터(VD)를 순차적으로 래치하여 동시에 출력하는 도시하지 않은 래치부와, 래치부로부터의 화소 데이터(VD)를 화소전압신호로 변환하는 도시하지 않은 디지털-아날로그 변환부(이하, DAC부라 함)와, DAC로부터의 화소전압신호를 완충하여 출력하는 도시하지 않은 출력 버퍼부를 구비한다.

또한, 데이터 IC(216)는 타이밍 제어부(108)로부터 공급되는 각종 제어신호들과 화소 데이터(VD)를 중계하는 도시하지 않은 신호 제어부와, DAC부에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 도시하지 않은 감마 전압부를 추가로 구비한다.

이러한, 채널 선택부(318), 쉬프트 레지스터부(334)를 제외한 래치부, DAC부, 출력 버퍼부, 신호 제어부 및 감마 전압부를 포함하는 데이터 IC(216)는 상술한 본 발명의 제 1 실시 예에 따른 액정표시장치의 데이터 IC와 동일하기 때문에 상술한 설명으로 대신하기로 한다.

본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 IC(216)에서 데이터 IC(216)의 쉬프트 레지스터부(334)는 N개의 쉬프트 레지스터들(SR1 내지 SRn)로 구성된다. 쉬프트 레지스터부(334)에 포함된 쉬프트 레지스터들은 신호제어부로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다. 이러한, 쉬프트 레지스터부(334)의 제 N번째 쉬프트 레지스터(SRn)의 출력신호(Carry)는 다음 단 데이터 IC(216)의 첫 번째 쉬프트 레지스터(SR1)에 공급하게 된다. 이때, 쉬프트 레지스터부(334)는 일례로 642개의 쉬프트 레지스터들(SR1 내지 SR642)로 구성된 것으로 가정하여 설명하기로 한다.

채널 선택부(318)는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 제 I1(단, I1은 1보다 큰 양의 정수)번째 쉬프트 레지스터(SRI1)의 출력신호, 제 I2(단, I2는 I1보다 큰 양의 정수)번째 쉬프트 레지스터(SRI2)의 출력신호 및 제 I3(단, I3은 I2보다 크고 N보다 작은 양의 정수)번째 쉬프트 레지스터(SRI3)의 출력신호 중 어느 하나를 선택하여 출력하는 제 1 멀티플렉

서(350)와, 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 제 1 멀티플렉서(350)의 출력신호를 제 J1(단, J1은 I3보다 큰 양의 정수)번째 쉬프트 레지스터(SRJ1), 제 J2(단, J2는 J1보다 큰 양의 정수)번째 쉬프트 레지스터(SRJ2) 및 제 J3(단, J3은 J2보다 크고 N보다 작은 양의 정수)번째 쉬프트 레지스터(SRJ3) 중 어느 하나로 공급하는 디멀티플렉서(352)와, 제 2 채널 선택신호(P2)에 따라 제 J1-1번째 쉬프트 레지스터(SRJ1-1)의 출력신호 및 디멀티플렉서(352)의 출력신호 중 어느 하나를 J1번째 쉬프트 레지스터(SRJ1)로 공급하는 제 2 멀티플렉서(354)와, 제 1 채널 선택신호(P1)에 따라 제 J2-1번째 쉬프트 레지스터(SRJ2-1)의 출력신호 및 디멀티플렉서(352)의 출력신호 중 어느 하나를 제 J2번째 쉬프트 레지스터(SRJ2)로 공급하는 제 3 멀티플렉서(356)와, 제 2 채널 선택신호(P2)에 따라 제 J3-1번째 쉬프트 레지스터(SRJ3-1)의 출력신호 및 디멀티플렉서(352)의 출력신호 중 어느 하나를 제 J3번째 쉬프트 레지스터(SRJ3)로 공급하는 제 4 멀티플렉서(358)를 구비한다. 여기서, 이하 I1은 제 300번째 쉬프트 레지스터(SR300)라 하고, I2는 제 309번째 쉬프트 레지스터(SR309)라 하고, I3은 제 315번째 쉬프트 레지스터(SR315)라 한다. 또한, J1은 제 328번째 쉬프트 레지스터(SR328)라 하고, J2는 제 334번째 쉬프트 레지스터(SR334)라 하고, J3은 제 343번째 쉬프트 레지스터(SR343)라 한다. 여기서, 제 1 멀티플렉서(350)는 제 1 선택부가 되고, 디멀티플렉서(352), 제 2 내지 제 4 멀티플렉서(354, 356, 358)는 제 2 선택부(319)가 된다.

이러한, 제 1 멀티플렉서(350)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "00"일 경우에 제 300번째 쉬프트 레지스터(SR300)로부터 공급되는 출력신호를 선택하여 디멀티플렉서(352)에 공급한다. 또한, 제 1 멀티플렉서(350)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "01"일 경우에 제 309번째 쉬프트 레지스터(SR309)로부터 공급되는 출력신호를 선택하여 디멀티플렉서(352)에 공급한다. 그리고, 제 1 멀티플렉서(350)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "10"일 경우에 제 315번째 쉬프트 레지스터(SR315)로부터 공급되는 출력신호를 선택하여 디멀티플렉서(352)에 공급한다. 반면에, 제 1 멀티플렉서(350)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "11"일 경우에 무정의 조건(Don't Care Conditions)이 된다.

디멀티플렉서(352)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "00"일 경우에 제 1 멀티플렉서(350)로부터 공급되는 출력신호를 제 4 멀티플렉서(358)에 공급한다. 또한, 디멀티플렉서(352)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "01"일 경우에 제 1 멀티플렉서(350)로부터 공급되는 출력신호를 제 3 멀티플렉서(356)에 공급한다. 그리고, 디멀티플렉서(352)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "10"일 경우에 제 1 멀티플렉서(350)로부터 공급되는 출력신호를 제 2 멀티플렉서(354)에 공급한다. 반면에, 디멀티플렉서(352)는 제 1 및 제 2 채널 선택신호(P1, P2)의 논리값이 "11"일 경우에 무정의 조건이 된다.

제 2 멀티플렉서(354)는 제 2 채널 선택신호(P2)의 논리값이 "0"일 경우에 디멀티플렉서(352)로부터의 출력신호를 제 328번째 쉬프트 레지스터(SR328)에 공급한다. 또한, 제 2 멀티플렉서(354)는 제 2 채널 선택신호(P2)의 논리값이 "1"일 경우에 제 327번째 쉬프트 레지스터(SR327)로부터의 출력신호를 제 328번째 쉬프트 레지스터(SR328)에 공급한다.

제 3 멀티플렉서(356)는 제 1 채널 선택신호(P1)의 논리값이 "0"일 경우에 디멀티플렉서(352)로부터의 출력신호를 제 334번째 쉬프트 레지스터(SR334)에 공급한다. 또한, 제 3 멀티플렉서(356)는 제 1 채널 선택신호(P1)의 논리값이 "1"일 경우에 제 333번째 쉬프트 레지스터(SR333)로부터의 출력신호를 제 334번째 쉬프트 레지스터(SR334)에 공급한다.

제 4 멀티플렉서(358)는 제 2 채널 선택신호(P2)의 논리값이 "0"일 경우에 디멀티플렉서(352)로부터의 출력신호를 제 343번째 쉬프트 레지스터(SR343)에 공급한다. 또한, 제 4 멀티플렉서(358)는 제 2 채널 선택신호(P2)의 논리값이 "1"일 경우에 제 342번째 쉬프트 레지스터(SR342)로부터의 출력신호를 제 343번째 쉬프트 레지스터(SR343)에 공급한다.

이와 같은, 제 1 및 제 2 채널 선택신호(P1, P2)에 따른 채널 선택부(318) 및 쉬프트 레지스터부(334)의 동작을 설명하면 다음과 같다.

우선, 도 11에 도시된 바와 같이 데이터 IC(216)의 출력채널들 중 제 1 내지 300번째 출력채널들을 제 1 출력채널군(260)으로 선택하고, 제 301 내지 제 342번째 출력채널들을 더미 출력채널군(264)으로 선택하고, 제 343 내지 제 642번째 출력채널들을 제 2 출력채널군(262)으로 선택할 경우에, 데이터 IC(216)의 채널 선택부(318)에는 "00"의 논리값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)가 공급된다. 이에 따라, 쉬프트 레지스터부(334)는 제 1 내지 제 600 번째 쉬프트 레지스터들(SR1 내지 SR600)을 이용하여 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 300 번째 쉬프트 레지스터(SR300)의 출력신호는 제 1 멀티플렉서(350), 디멀티플렉서(352) 및 제 4 멀티플렉서(358)를 경유하여 제 343번째 쉬프트 레지스터(SR343)에 공급된다. 여기서, 제 642번째 쉬프트 레지스터(SR642)의 출력신호는 다음 단 데이터 IC(216)의 제 1 쉬프트 레지스터(SR1)에 공급된다. 이에 따라, 제 1 내지 제 300 번째 쉬프트 레지스터들(SR1 내지 SR300)과 제 343번째 내지 제 642번째 쉬프트 레지스터들(SR343 내지 SR642)은 샘플링신호를 래치부에 공급한다. 이때, 실질적으로 제 301번째 내지 제 342번째 쉬프트 레지스터들(SR301 내지 SR342) 역시 샘플링신호를 래치부에 공급하게 된다.

한편, 도 12에 도시된 바와 같이 데이터 IC(216)의 출력채널들 중 제 1 내지 제 309번째 출력채널들을 제 1 출력채널군(260)으로 선택하고, 제 310 내지 제 333번째 출력채널들을 더미 출력채널군(264)으로 선택하고, 제 334 내지 제 642번째 출력채널들을 제 2 출력채널군(262)으로 선택할 경우에, 데이터 IC(216)의 채널 선택부(318)에는 "01"의 논리값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)가 공급된다. 이에 따라, 쉬프트 레지스터부(334)는 제 1 내지 제 600 번째 쉬프트 레지스터들(SR1 내지 SR600)을 이용하여 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 309 번째 쉬프트 레지스터(SR309)의 출력신호는 제 1 멀티플렉서(350), 디멀티플렉서(352) 및 제 3 멀티플렉서(356)를 경유하여 제 334번째 쉬프트 레지스터(SR334)에 공급된다. 여기서, 제 642번째 쉬프트 레지스터(SR642)의 출력신호는 다음 단 데이터 IC(216)의 제 1 쉬프트 레지스터(SR1)에 공급된다. 이에 따라, 제 1 내지 제 309 번째 쉬프트 레지스터들(SR1 내지 SR309)과 제 334번째 내지 제 642번째 쉬프트 레지스터들(SR334 내지 SR642)은 샘플링신호를 래치부에 공급한다. 이때, 실질적으로 제 310번째 내지 제 333번째 쉬프트 레지스터들(SR310 내지 SR333) 역시 샘플링신호를 래치부에 공급하게 된다.

다른 한편, 도 13에 도시된 바와 같이 데이터 IC(216)의 출력채널들 중 제 1 내지 315번째 출력채널들을 제 1 출력채널군(260)으로 선택하고, 제 316 내지 제 327번째 출력채널들을 더미 출력채널군(264)으로 선택하고, 제 328 내지 제 642번째 출력채널들을 제 2 출력채널군(262)으로 선택할 경우에, 데이터 IC(216)의 채널 선택부(318)에는 "10"의 논리값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)가 공급된다. 이에 따라, 쉬프트 레지스터부(334)는 제 1 내지 제 600 번째 쉬프트 레지스터들(SR1 내지 SR600)을 이용하여 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 315 번째 쉬프트 레지스터(SR315)의 출력신호는 제 1 멀티플렉서(350), 디멀티플렉서(352) 및 제 2 멀티플렉서(354)를 경유하여 제 328번째 쉬프트 레지스터(SR328)에 공급된다. 여기서, 제 642번째 쉬프트 레지스터(SR642)의 출력신호는 다음 단 데이터 IC(216)의 제 1 쉬프트 레지스터(SR1)에 공급된다. 이에 따라, 제 1 내지 제 315 번째 쉬프트 레지스터들(SR1 내지 SR315)과 제 328번째 내지 제 642번째 쉬프트 레지스터들(SR328 내지 SR642)은 샘플링신호를 래치부에 공급한다. 이때, 실질적으로 제 316번째 내지 제 327번째 쉬프트 레지스터들(SR316 내지 SR327) 역시 샘플링신호를 래치부에 공급하게 된다.

프트 레지스터들(SR1 내지 SR600)을 이용하여 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 315 번째 쉬프트 레지스터(SR315)의 출력신호는 제 1 멀티플렉서(350), 디멀스플렉서(352) 및 제 2 멀티플렉서(354)를 경유하여 제 328번째 쉬프트 레지스터(SR328)에 공급된다. 여기서, 제 642번째 쉬프트 레지스터(SR642)의 출력신호(Carry)는 다음 단 데이터 IC(216)의 제 1 쉬프트 레지스터(SR1)에 공급된다. 이에 따라, 제 1 내지 제 315 번째 쉬프트 레지스터들(SR1 내지 SR315)과 제 328번째 내지 제 642번째 쉬프트 레지스터들(SR328 내지 SR642)은 샘플링신호를 래치부에 공급한다. 이때, 실질적으로 제 316번째 내지 제 327번째 쉬프트 레지스터들(SR316 내지 SR327) 역시 샘플링신호를 래치부에 공급하게 된다.

또 다른 한편으로, 도 14에 도시된 바와 같이 데이터 IC(216)의 출력채널들 중 제 1 내지 321번째 출력채널들을 제 1 출력채널군(260)으로 선택하고, 제 322 내지 제 642번째 출력채널들을 제 2 출력채널군(262)으로 선택할 경우에, 데이터 IC(216)의 채널 선택부(318)에는 "11"의 논리값을 가지는 제 1 및 제 2 채널 선택신호(P1, P2)가 공급된다. 이에 따라, 쉬프트 레지스터부(334)는 제 1 내지 제 642 번째 쉬프트 레지스터들(SR1 내지 SR642)을 이용하여 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력하게 된다. 이때, 제 1 멀티플렉서(350) 및 디멀스플렉서(352) 각각은 무정의 조건이 된다. 그리고, 제 327번째 쉬프트 레지스터(SR327)의 출력신호는 제 2 멀티플렉서(354)를 경유하여 제 328번째 쉬프트 레지스터(SR328)에 공급되고, 제 333번째 쉬프트 레지스터(SR333)의 출력신호는 제 3 멀티플렉서(356)를 경유하여 제 334번째 쉬프트 레지스터(SR334)에 공급되고, 제 342번째 쉬프트 레지스터(SR342)의 출력신호는 제 4 멀티플렉서(358)를 경유하여 제 343번째 쉬프트 레지스터(SR343)에 공급된다. 이에 따라, 쉬프트 레지스터부(334)의 제 1 내지 제 642번째 쉬프트 레지스터(SR1 내지 SR642) 각각은 샘플링신호를 래치부에 공급하게 된다. 여기서, 제 642번째 쉬프트 레지스터(SR642)의 출력신호는 다음 단 데이터 IC(216)의 제 1 쉬프트 레지스터(SR1)에 공급된다.

이러한, 본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 IC(216)는 상술한 본 발명의 제 1 실시 예에 따른 액정표시장치의 데이터 IC(216)의 동작에 따라 쉬프트 레지스터부(334)로부터 출력되는 샘플링신호를 이용하여 타이밍 제어부(108)로부터 공급되는 데이터(VD)를 화소 데이터로 변환하여 제 1 및 제 2 출력채널군(260, 262) 및 더미 출력채널군(264)의 일부를 통해 액정패널(102)의 데이터 라인들(DL)에 공급한다.

이와 같은, 본 발명의 제 2 실시 예에 따른 액정표시장치의 데이터 IC(216)는 제 1 및 제 2 옵션핀(OP1, OP2)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 표 1에 나타난 바와 같이 액정패널(102)의 해상도에 따라 데이터 IC(216)의 출력채널을 설정함으로써 한 종류의 데이터 IC(216)만으로도 모든 해상도를 표현할 수 있게 된다. 이에 따라, 본 발명의 제 2 실시 예에 따른 액정표시장치는 작업성의 향상 및 제조비용을 감소시킬 수 있다.

한편, 본 발명의 제 1 및 제 2 실시 예에 따른 액정표시장치에서 데이터 IC(116, 216)의 제 1 및 제 2 옵션핀(OP1, OP2)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)는 도 16에 도시된 바와 같이 제 1 및 제 2 스위치(Q1, Q2)의 선택적인 스위칭에 의해 발생할 수 있다.

제 1 스위치(Q1)는 전압원(VCC)과 제 1 옵션핀(OP1) 사이에 접속되고, 제 2 스위치(Q2)는 전압원(VCC)과 제 2 옵션핀(OP2) 사이에 접속된다. 이러한, 제 1 및 제 2 스위치(Q1, Q2) 각각은 타이밍 제어부(108)로부터의 스위칭 신호(S1, S2)에 의해 스위칭되거나 액정패널(102)의 해상도에 따라 설정되어진 스위칭 신호(S1, S2)에 의해 스위칭된다.

다른 한편으로, 본 발명의 제 1 및 제 2 실시 예에 따른 액정표시장치에서 데이터 IC(116, 216)의 제 1 및 제 2 옵션핀(OP1, OP2)에 공급되는 제 1 및 제 2 채널 선택신호(P1, P2)는 도 17에 도시된 바와 같이 전압원(VCC)에 접속됨과 아울러 제 1 및 제 2 옵션핀(OP1, OP2) 각각에 접속된 딥 스위치(250)의 스위칭 조작에 의해 발생할 수 있다.

딥 스위치(250)는 액정패널(102)의 해상도에 따라 시스템 엔지니어에 의해 스위치 각각의 위치가 설정됨으로써 제 1 및 제 2 채널 선택신호(P1, P2)를 발생하여 제 1 및 제 2 옵션핀(OP1, OP2) 각각에 공급한다.

상술한 바와 같은, 본 발명의 제 1 및 제 2 실시 예에 따른 액정표시장치에서는 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 642개의 출력채널을 가지는 데이터 IC(116, 216)의 출력채널을 변경하는 것에 대해서만 한정되는 것이 아니라 642개 이하 및 이상의 출력채널을 가지는 데이터 IC(116, 216)에 동일하게 적용될 수 있다.

또한, 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 설정되는 데이터 IC(116, 216)의 출력채널은 600, 618, 630 및 642개의 출력채널에만 한정되는 것이 아니라 어떠한 경우에도 적용될 수 있다.

다시 말하여, 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 설정되는 데이터 IC(116, 216)의 출력채널은 액정패널(102)의 해상도, TCP의 개수, TCP의 폭, 타이밍 제어부(108)로부터 데이터 IC(116, 216)에 화소 데이터(VD)를 전송하기 위한 타이밍 제어부(108)와 데이터 IC(116, 216)간의 데이터 전송라인 수 중 적어도 어느 하나의 조건에 따라 설정된다. 이에 따라, 제 1 및 제 2 채널 선택신호(P1, P2)에 따라 설정되는 데이터 IC(116)의 출력채널은 600, 618, 624, 630, 642, 645, 684, 696, 702, 720 등이 될 수 있다.

그리고, 데이터 IC(116, 216)의 출력채널을 설정하기 위한 채널 선택신호(P1, P2) 역시 2비트의 2진 논리값에 한정되는 것이 아니라 2비트 이상의 2진 논리값을 가질 수 있다.

또 다른 한편으로, 본 발명의 제 1 및 제 2 실시 예에 따른 데이터 IC는 상술한 액정표시장치를 포함하는 평판표시장치에 사용될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치는 채널 선택신호를 이용하여 액정패널의 해상도에 따라 데이터 집적회로의 채널을 변경함으로써 한 종류의 데이터 집적회로를 이용하여 액정패널의 모든 해상도를 구동시킬 수 있게 된다.

또한, 본 발명은 데이터 라인들에 항상 데이터를 공급하는 제1 출력채널군과 제2 출력채널군 사이에 더미 출력채널군이 형성된 데이터 집적회로를 구비하고, 채널 선택신호를 이용하여 액정패널의 해상도에 따라 데이터 집적회로의 채널을 변경함으로써 한 종류의 데이터 집적회로를 이용하여 액정패널의 모든 해상도를 구동시킬 수 있게 된다.

따라서, 본 발명은 액정패널의 해상도에 상관없이 데이터 집적회로를 공용으로 사용할 수 있으므로 데이터 집적회로의 개수를 감소시킬 수 있다. 결과적으로, 본 발명의 실시 예에 따른 액정표시장치는 작업성의 향상 및 제조비용을 절감할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

샘플링신호를 발생하기 위한 N(단, N은 양의 정수)개의 쉬프트 레지스터들로 구성된 쉬프트 레지스터부를 포함하고 다수의 데이터라인들에 화소 데이터를 공급하기 위한 데이터 집적회로와,

상기 데이터 라인들에 화소 데이터를 공급하는 제1 및 제2 출력채널군을 포함함과 아울러 상기 제1 및 제2 출력채널군 사이에 더미 출력채널군을 가지는 출력채널부와,

상기 더미 출력채널군의 출력채널을 선택하기 위한 채널 선택부를 구비하며,

상기 채널 선택부는 상기 더미 출력채널군의 일부에 접속된 제1 군의 쉬프트 레지스터로부터의 출력신호를 선택하기 위한 제1 선택부와, 상기 제1 선택부로부터의 출력신호를 상기 더미 출력채널군의 나머지에 접속된 제2 군의 쉬프트 레지스터들에 공급하기 위한 제2 선택부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서,

상기 데이터라인들의 수에 따라 상기 더미 출력채널군의 출력채널을 선택하기 위한 채널 선택신호를 발생하는 선택신호 발생부와,

상기 데이터 집적회로를 제어함과 아울러 상기 데이터 집적회로에 데이터를 공급하는 타이밍 제어부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제2항에 있어서,

상기 선택신호 발생부는 상기 데이터라인들의 수, 상기 데이터 집적회로의 개수, 상기 데이터 집적회로가 실장되는 테이프 캐리어 패키지의 폭, 상기 타이밍 제어부와 상기 데이터 집적회로간의 데이터 전송라인 수 중 적어도 하나의 조건에 따라 상기 채널 선택신호를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제3항에 있어서,

상기 선택신호 발생부는 전압원 및 기저전압원에 접속되어 상기 채널 선택신호를 발생하는 선택단자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 3 항에 있어서,

상기 선택신호 발생부는 상기 선택단자에 접속되는 스위칭 소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 3 항에 있어서,

상기 선택신호 발생부는 상기 선택단자에 접속되는 딥 스위치를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 및 제 2 데이터 출력채널군은 동일한 출력채널을 가지는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 2 항에 있어서,

상기 제 1 선택부는,

상기 채널 선택신호에 따라 상기 N개의 쉬프트 레지스터의 제 I1(단, I1은 1보다 큰 양의 정수)번째, I2(단, I2는 I1보다 큰 양의 정수)번째 및 I3(단, I3은 I2보다 크고 N보다 작은 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하는 제 1 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 8 항에 있어서,

상기 제 2 선택부는,

상기 채널 선택신호에 따라 제 1 멀티플렉서로부터의 출력신호를 출력하는 디멀티플렉서와,

상기 채널 선택신호에 따라 상기 디멀티플렉서로부터의 출력신호와 상기 N개의 쉬프트 레지스터의 제 J1-1(단, J1은 I3보다 큰 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하여 제 J1번째 쉬프트 레지스터에 공급하는 제 2 멀티플렉서와,

상기 채널 선택신호에 따라 상기 디멀티플렉서로부터의 출력신호와 상기 N개의 쉬프트 레지스터의 제 J2-1(단, J2는 J1보다 큰 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하여 제 J2번째 쉬프트 레지스터에 공급하는 제 3 멀티플렉서와,

상기 채널 선택신호에 따라 상기 디멀티플렉서로부터의 출력신호와 상기 N개의 쉬프트 레지스터의 제 J3-1(단, J3은 J2보다 크고 N보다 작은 양의 정수)번째 쉬프트 레지스터의 출력신호 중 어느 하나를 선택하여 제 J3번째 쉬프트 레지스터에 공급하는 제 4 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 9 항에 있어서,

상기 제 1 군의 쉬프트 레지스터들은 상기 제 I1 내지 I3번째 쉬프트 레지스터들이고,

상기 제 2 군의 쉬프트 레지스터들은 상기 J1 내지 J3번째 쉬프트 레지스터들이나 것을 특징으로 하는 액정표시장치.

청구항 11.

제 10 항에 있어서,

상기 제 1 선택부는 상기 I1, I2 및 I3번째 쉬프트 레지스터 각각으로부터의 출력신호를 공급받고,

상기 제 2 선택부는 상기 채널 선택신호에 응답하여 상기 제 1 선택부로부터의 출력신호를 상기 J1, J2 및 J3번째 쉬프트 레지스터 중 어느 하나에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 9 항에 있어서,

상기 채널 선택부는 상기 채널 선택신호에 응답하여 제 1 내지 제 I1번째, 제 1 내지 I2번째 및 제 1 내지 I3번째 쉬프트 레지스터들에 접속된 상기 출력채널을 상기 제 1 출력채널군으로 선택하는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 9 항에 있어서,

상기 채널 선택부는 상기 채널 선택신호에 응답하여 제 J1 내지 제 N번째, 제 J2 내지 N번째 및 제 J3 내지 N번째 쉬프트 레지스터들에 접속된 상기 출력채널을 상기 제 2 출력채널군으로 선택하는 것을 특징으로 하는 액정표시장치.

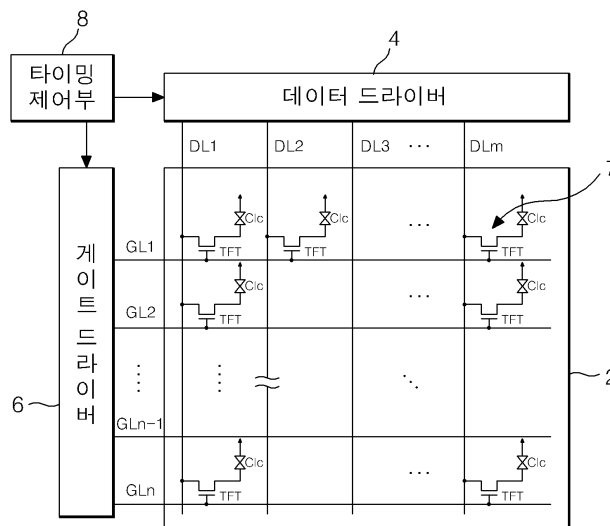
청구항 14.

제 9 항에 있어서,

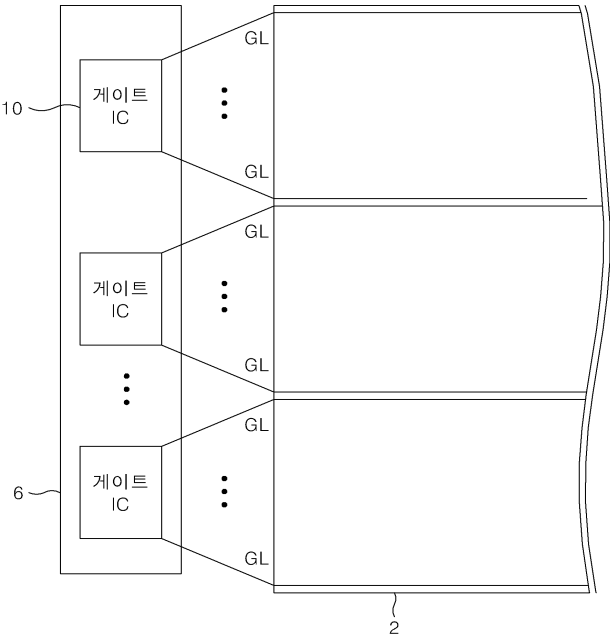
상기 데이터 집적회로의 제 I1 내지 제 J3번째, 제 I2 내지 J2번째 및 제 I3 내지 J1번째 쉬프트 레지스터에 접속된 상기 데이터 출력채널은 더미 데이터 출력채널인 것을 특징으로 하는 액정표시장치.

도면

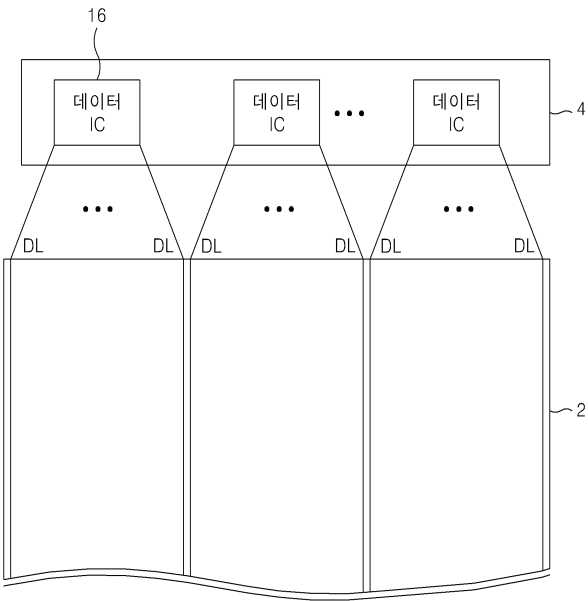
도면1



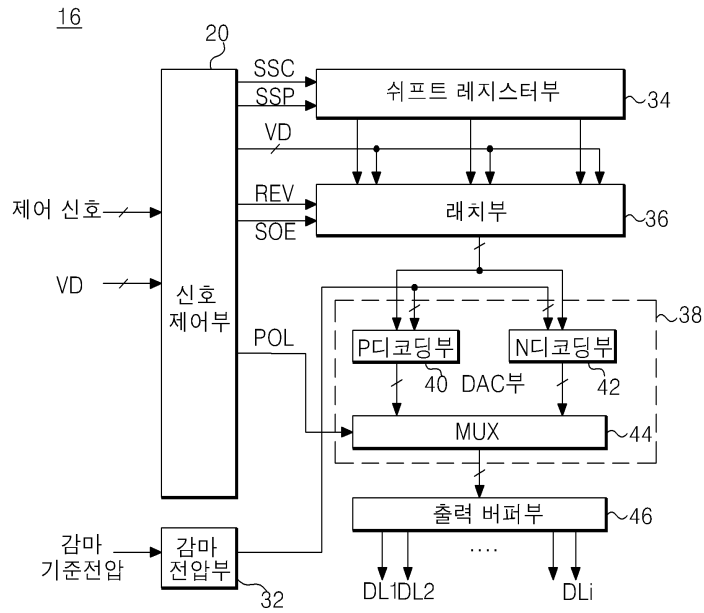
도면2a



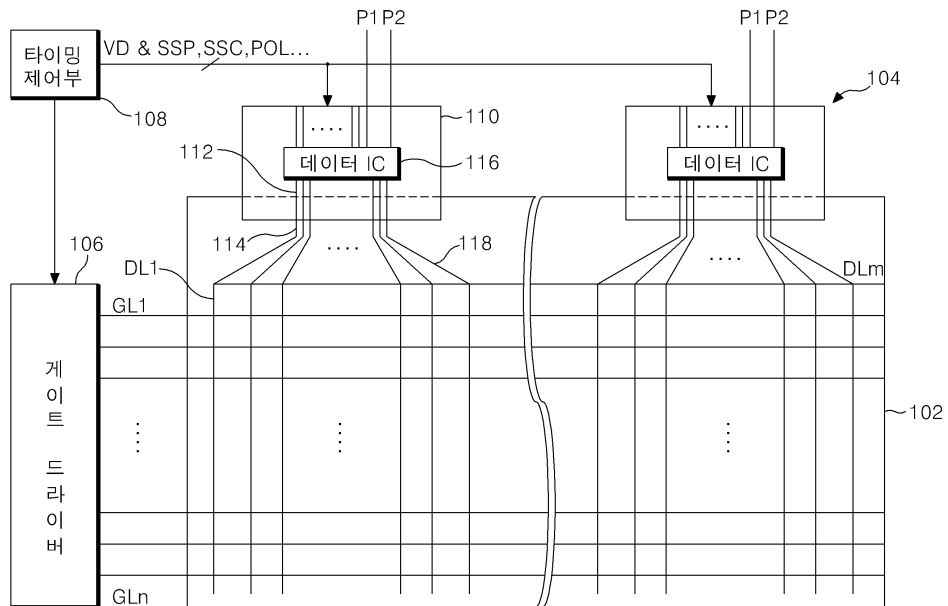
도면2b



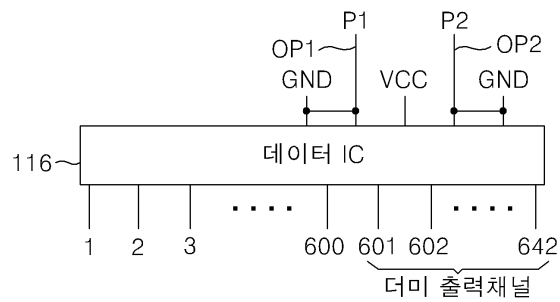
도면3



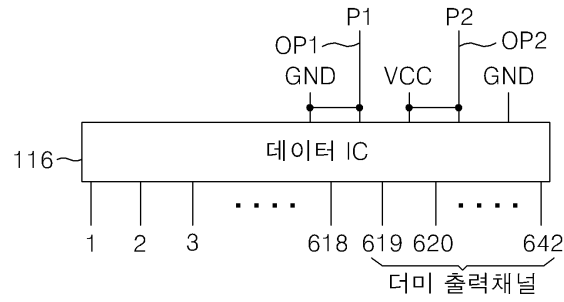
도면4



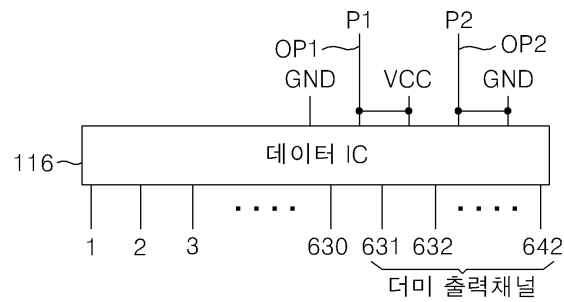
도면5



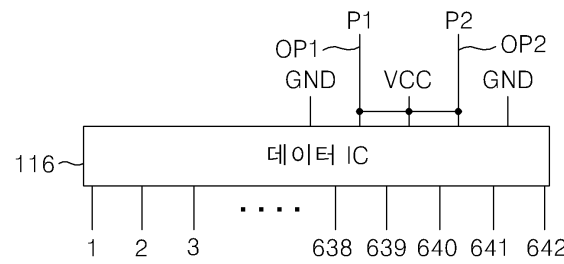
도면6



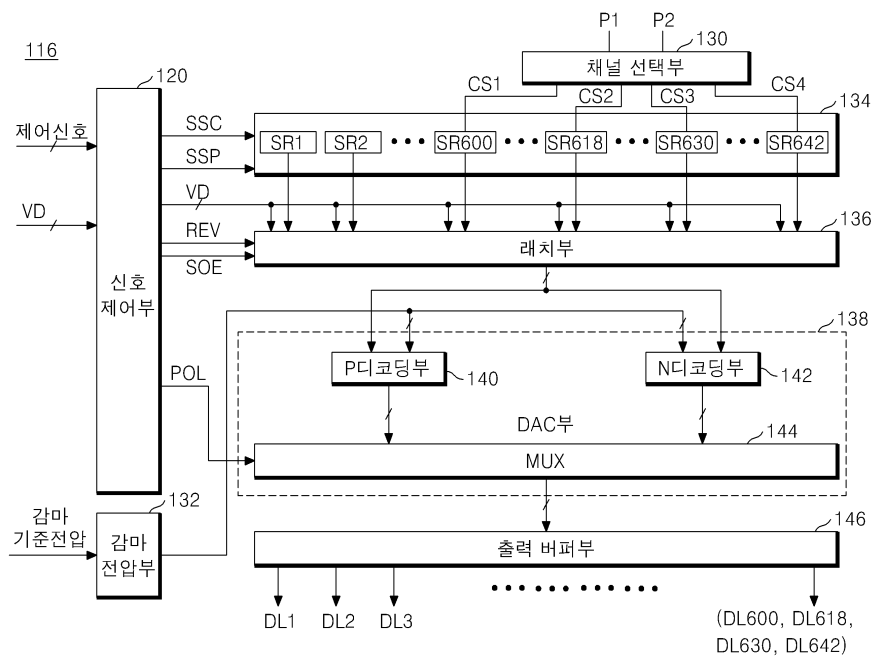
도면7



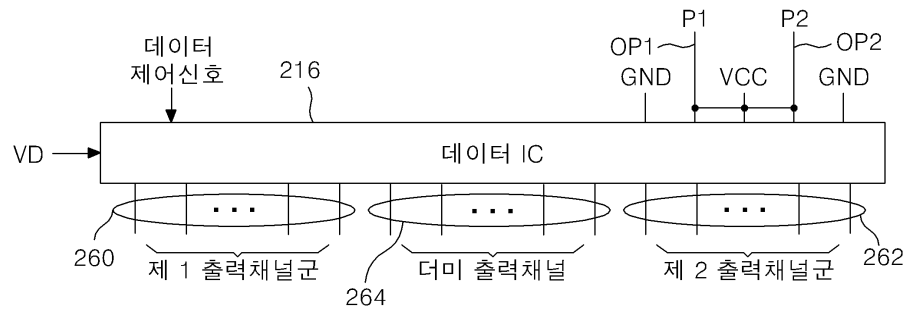
도면8



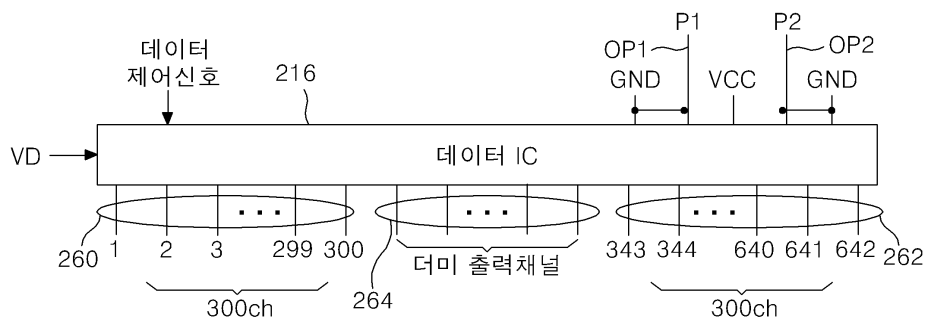
도면9



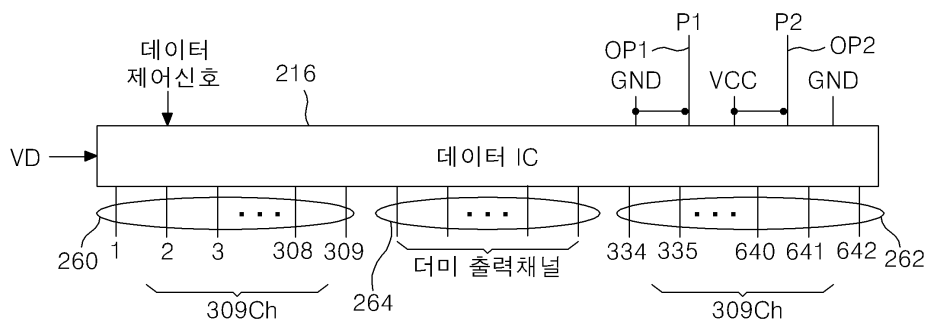
도면10



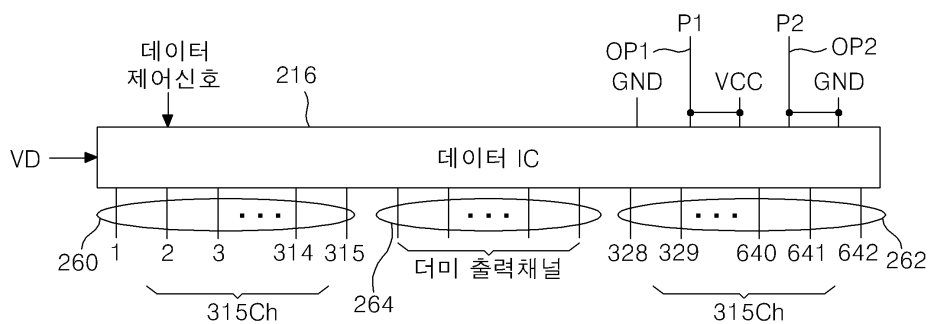
도면11



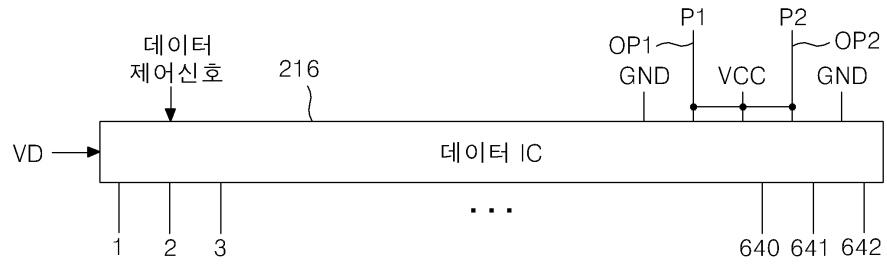
도면12



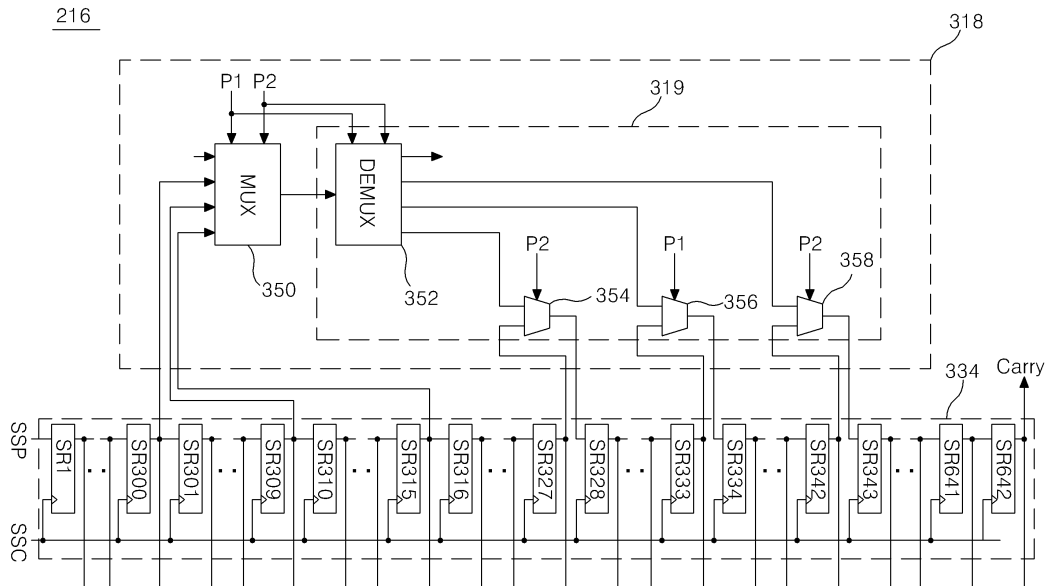
도면13



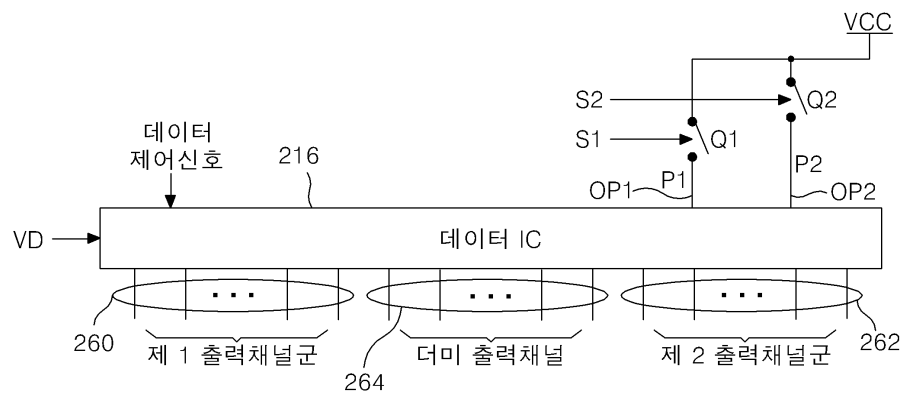
도면14



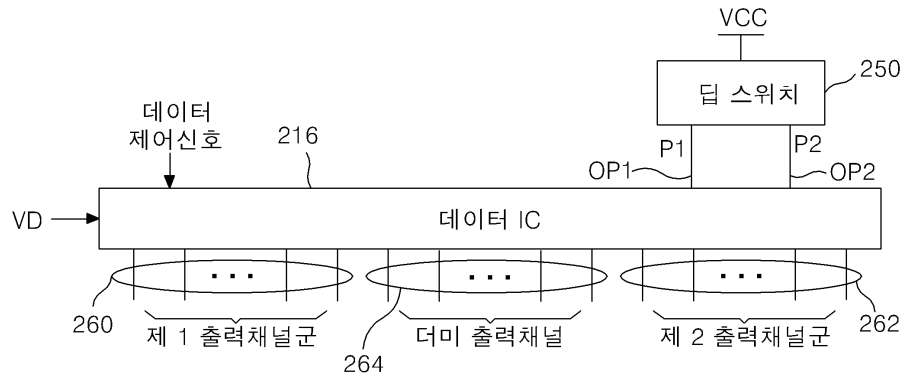
도면15



도면16



도면17



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020050058178A | 公开(公告)日 | 2005-06-16 |
| 申请号 | KR1020040029612 | 申请日 | 2004-04-28 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | KANG SIN HO 강신호 HONG JIN CHEOL 홍진철 SONG HONG SUNG 송홍성 | | |
| 发明人 | 강신호 홍진철 송홍성 | | |
| IPC分类号 | G09F9/35 G09G3/32 G09G3/20 G02F1/136 G02F1/133 G09G3/36 | | |
| CPC分类号 | G09G2310/027 G09G3/3688 G09G3/20 G09G2340/0421 G09G2300/0426 G02F1/136 G09G3/32 A47J17/02 B26D3/02 B26D3/283 B26D2003/285 B26D2003/288 | | |
| 代理人(译) | KIM , YOUNG HO | | |
| 优先权 | 1020030090301 2003-12-11 KR | | |
| 其他公开文献 | KR100598740B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及液晶显示器，降低了可加工性的改进和制造成本。液晶显示器包括移位晶体管部分，该移位晶体管部分包括用于产生采样信号的N（移位，N是正整数）的移位寄存器，以及具有第一和第二输出中的虚设输出通道组的输出通道部分的通道选择器通道组它意味着用于向数据集成电路提供像素数据的第一和第二输出通道组，用于在多条数据线中提供像素数据和数据线，并且包括通道选择器包括第一线标签部分，它是它选择的来自第一组移位寄存器的输出信号连接到虚拟输出通道组的部分，第二选择单元用于将来自第一线标签部分的输出信号提供给连接到其余部分的第二组的移位寄存器虚拟输出通道组。通道选择器用于选择虚拟输出通道组的输出通道。

