

(19)
(12)(KR)
(A)(51) 。 Int. Cl. ⁷
G02F 1/133(11)
(43)2002 - 0080243
2002 10 23(21) 10 - 2002 - 0015731
(22) 2002 03 22

(30) JP - P - 2001 - 00096101 2001 03 29 (JP)

(71) 가 가
가 가 가 가 4 1 - 1(72) 가 가 가 가 가 4 - 1 - 1 가 가
가 가 가 가 가 4 - 1 - 1 가 가
가 가 가 가 가 4 - 1 - 1 가 가
가 가 가 가 가 4 - 1 - 1 가 가
가 가 가 가 가 4 - 1 - 1 가 가

(74)

:

(54)

(12)가

가

3

1

2

3

(12)

4

5

6

7

6

(現)

nFi 가

nFo

8

6

nFi 가

nFo

9

6

nFi 가

nFo

10

(30)

11

(30)

12

CR

13

14

(擬似)

15

16

*

10 :

12 :

20 :

42 : 1 ,

44 : 2 (補間) ,

32 : 2 ,

34 : 1 ,

가 , , 가 .

, .

가 , , 가 .

, , 16ms 1 , , 1 60 가 . 1 가 , 1 가 (,) (zero) 25% , .

25% , 가 , 1 , 25% ,

. , 가

, (前)

, 1 가 .

, 50% , 50% ,

가 가 SRAM 가 ,

$$\begin{bmatrix} 1 & & \end{bmatrix}$$

1, TFT (10)

, Vd (16), Fi가 (18)

DCLK, (12)가 Fi

Fo (14), Fo, 1

Fo가 (16), 가

, (16) 가, Fo

, Vd

, (12)가

ROM(22), (24), (20)

2, 2a, Fi, 2b, Fo(64)

T(64), x, Fi, Fo(64)

2, Fi, 0F, =0, 1F, =32, 2F, =63, 3F, =0, 4F, =32, 1F, Fi, Fi=32, Fo, =0

Fi, o, 가, T=32, 1F, 가, 가, 가, =0

2F, Fi=63, 2a, 1F, Fo, T, 2F

「63」, p, T, p, T

Fo, 3F, Fi=0, =0, 3F, p

4F, Fi=32, Fo, (

Fi, T=0, T=32, 4F, 1F, T=16, T=32

가, 4F, o, 1F, o

Fi, Fi, Fo가, o가

Fi, 가, Fi

가 1

Fi (T) Fp Fi Fp

Fi , Fo가 ,

Fp , Fo (12)

(12) , 1 (12)

ROM(22) 2

(24)

가 ,

3 (12) (n)

nFi, nFo, nFp , (n - 1)

(n - 1)Fi, (n - 1)Fo, (n - 1)Fp (12) , (42, 32) ,

(42) (32)

nFi (n - 1)Fp

4 (n - 1)Fp nFi o가

(n - 1)Fp nFi 64

(6)

(n - 1)Fp가 0/63(63 0)

nFi가 8/63(63 8) , o=11 , nFi o 가

nFo=19/63 nFi가 32/63 , o=

20 nFo=nFi+ o=32+20=52/63

(n - 1)Fp가 63/63 o

nFo nFi o

(n - 1)Fp가 32/63 nFi가 32/63

o , 32/63

Fi가 0/63 63/63 , 가 ,

nFo nFi

5 (n - 1)Fp

nFi p가

(n - 1)Fp nFi 64 (6)

5 nFi가 0/63 , (n - 1)

Fp 2a 2F 3F p가 ,

nFi가 63/63 ,

(n - 1)Fp p가 ,

.

6 , nFi , 9 (n - 1)Fp o

7 9 6 nFi 가 nFo
 , 7 9 nFi ,
 nFo 7a , 0/63 , nFi
 , (12) , nFo가
 , o , 9i , 63/63
 nFi , nFo가 .

3 (12) (12) ,
 nFi CCLK , (32, 42)
 S1 (30) ,
 (12) , (42) (32) , o
 p (34, 44) ,
 nFi o p 가 o p (36, 46) , DRAM (38)
 2 (20A, 20B) (40) 2
 (20A, 20B)

(20A, 20B) (n - 1)Fp ,
 nFp (38) ,
 (n - 1)Fp가 , (30)
 , (36) nFp가 .

3 (42) (32) SRAM ,
 S1 (n - 1)Fp nFi
 , (n - 1)Fp nFi가 6 (64) ,
 o가 , 4 (42) 8 × 8 = 64
 , 64 (32) 5 8 × 8 = 64 p가
 = 4096) , (n - 1)Fp nFi (= 64 × 64
 (32, 42) SRAM 1/64 .

(42, 32) , o
 p 가 (12) , (n - 1)F
 nFi , (44)
 (34) (34, 44) , (30)
 (n - 1)Fp nFi 3 S2가 , (32, 42)

(44, 34) o p nFi 가
 (46) , (36) (46)
 nFo , (36)
 nFp , (40)
 20B) nFp , (n+1)
 (30) , (n+1)

(20B) nFp ,
 (32, 42) S1 (34, 44) nFi
 S2 (34, 44)

(n - 1)F 가 T=0/63 1F
 nFi가 20/63 (12)

(20A) 6 (n - 1)Fp=0/63
 nFi=20/63 . DRAM (38) 1 (20A)
 (n - 1)Fp=0/63 (40)
 (30) nFi
 (n - 1)Fp (32, 42) S1
 4 , nFi=20/63 (n - 1)Fp=0/63
 가 , 4
 가 , nFi=20/63 (n - 1)Fp=0/63 (30)
 S1 , (n - 1)Fp & nFi = (00,16), (00,24), (08,16), (08,24)
 64 3 (8)

S1 (42) (32)
 o p가

o: (00,16)=22, (00,24)=23, (08,16)=12, (08,24)=16

p: (00,16) = - 4, (00,24) = - 3, (08,16) = - 1, (08,24)=0

(44, 34) , 4 nFi=20/63 (n - 1)Fp=0/63
 (30) , nFi=20/63 (n
 - 1)Fp=0/63 S2 (44, 34)
 S2 , (n - 1)Fp & nFi = (0,4) (44)

$$o = [(22 \times (8 - 4) + 23 \times 4/8) \times (8 - 0) + [12 \times (8 - 4) + 16 \times 4/8] \times 0] \div 8 = 22.5 \quad 23$$

$$p = [((-4) \times (8 - 4) + (-3) \times 4/8) \times (8 - 0) + [(-1) \times (8 - 4) + 0 \times 4/8] \times 0] \div 8 = -3.5 \quad -4$$

, (46) , $o=23/63$, $nFi=20/63$ 가 ,
 $nFo=43/63$, (36) , $p=-4/63$
 $nFi=20/63$ 가 , (n - 1)Fp=16/63 , nFo
 1 (14) , (16) ,
 $(n-1)Fp$ 2 (20B) .
 , (44) , (42)
 ,
 , (42) , 4 ,
 , SRAM ,
 (42) (가)
 (46) SRAM (42)
 ,
 ,
 가 , 가 ,
 (32) , (34) , (32)
 , (32)
 nFp , (36)
 (32) ,
 (36) .
 (12) , ASIC , (42, 32) S
 RAM , SRAM , SRAM
 10 (30) (30) ((302)가 , (302) , nFi , (n - 1)Fp)
 (42) $S1((n-1)Fp \& nFi)$.
 11 (30) , (304)가 6
 nFi 6 (n - 1)Fp 8 (256) , 256
 $S1-0$ $S1-255$ o p
 (306) , 가 , 가
 ,

[2]

set) , , CR , CR (Charge and Re (zero) 가 , 가 50% , CR 가 16ms , 8ms ,

2 , CR 가 20ms (中速) , C R ,

12 CR 12a CR () , 5 0F 가 0 , 1F, 2F, 3F 가 3, 5, 3 1F 「3」 가 가 , () 2F 3F ,

12b CR 0F, 1F, 2F, 3F 가 0, 3, 5, 3 1F , B1 B2가 B3 가 B4 2F , 「5」 , 「3」 , CR , 1 가

12c () 1F 가 「3」 「4」 (C1). , 가 (C2), 3F (C4) , 4F 가 「3」 ,

5). (C

2 , CR , 3 (12) .
 (12) , CR (42), (44), (46)
 1 . 2 (32) 가
 가 . , (34) 가 가
 . Fp .

2 , (36) , (34)
 ()가 (20A, 20B) ,

12 , CR , 「3」
 , 1F 3F 가 , 13
 12
 c 1F , 3F .
 , , 가 , ,

14 14a 4 3
 6 13 (a) 6 13 (b)
 2 .

14b , ,
 , , 가 (加減) .

15 15a , 15b ,
 15c , 16
 . 15 16
 (50) (12) , Fi
 , (52) (12)
 , Fo Fi
 , Fo 가 .

15b, Fi (54, 56), (58), 가 S58 (60, 62), S59 가 S58, Fi 가 (64).

16a, 가 「10」 「20」 「10」 (58) E1 E2, (58) S59, 가 S58 「0」, 「1」 (60, 62), 가 (64).

가 (64), 「20」 「5」 가, 「10」 「5」 Fie, E2, (58) 가 S58 「1」, 「0」, 가 (64), 「20」 「5」 가, 「10」 「5」 Fie.

15c, 16b, Fie (74, 76), 「0」 「1」 (toggle) T (80), DCLK (80) S80 가 가 S82 (80), Hsync (82), (78) S78 가 S82 Fo 가 가 (84).

16b, 가 (84)가 「1」 가, 「10」, 가 (78)가 S82가 Fod, 가 (84) 「1」 가, 14b.

1, (24), (24), ROM (12), ROM, SRAM, n, Fo, 가, 가, 가, 가, 가, 가, ROM (12), Vsync SRAM f, f가, f가, ROM, SRAM, f가, f가.

- (1) , .
- (1) , , 가 , , , .
- (2) 1 , , .
- (3) , , 1 가 , , , 2 , 1 가 , , .
- (4) 3 , 1 , , 1 2 .
- (5) 3 , 1 , .
- (6) 1 3 , , 1 / 2 , .
- (7) 1 3 , , .

(8) 가 ,
가 CR (Charge and Reset) ,
, ,
1 가 , 1

(9) 가 CR , , 1 , 2 가 , 1 , 2 가 .

(10) 8 9 , , 가

(11) 8 9 , , 가
 , 가 , 가
 .

(12) 8 9 , 1 , ,

$$(\quad 13) \quad 8 \quad 9 \quad , \quad , \quad 1 / \quad 2$$

(14) 8 9 ,

,

.

(15) 1, 3, 8 9

(57)

1.

,

,

가 ,

,

,

,

.

2.

,

,

1 가 ,

,

,

2 ,

, 2

1 가 ,

,

.

3.

2 ,

1

,

.

4.

가 ,
가 CR (Charge and Reset) ,

,

1 가 ,

1 ,
.

5.

가 CR 가 ,
,
,

1 , 2 가 ,

2 1 가 ,
.

6.

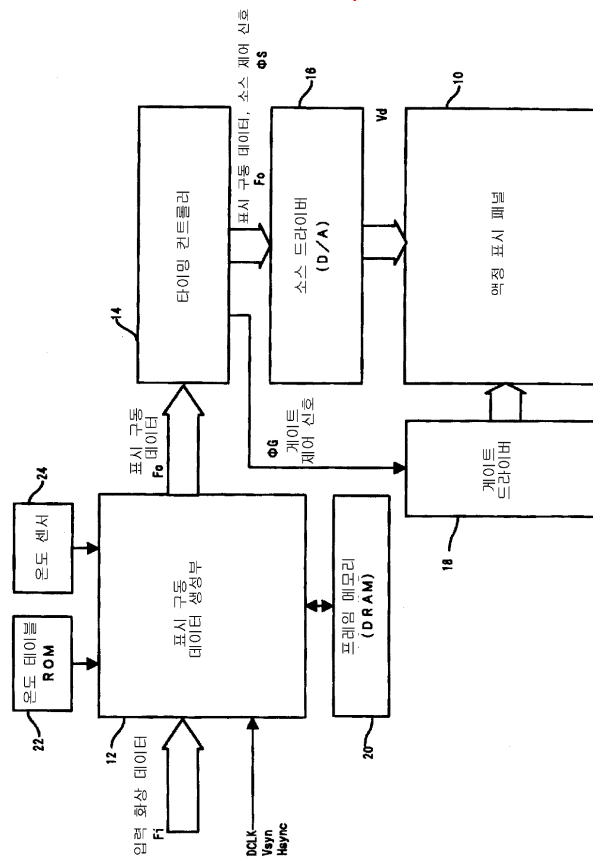
4 5 ,
가 ,
.

7.

4 5 ,
가 , 가 (edge)
(全段) .

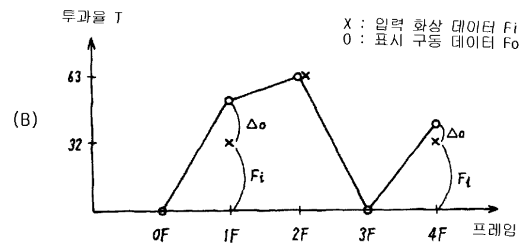
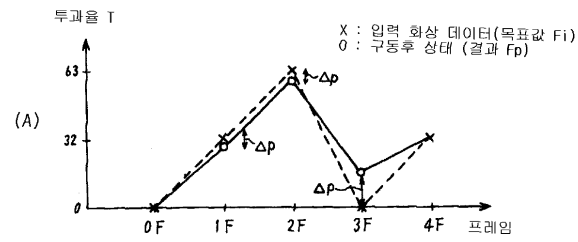
8.

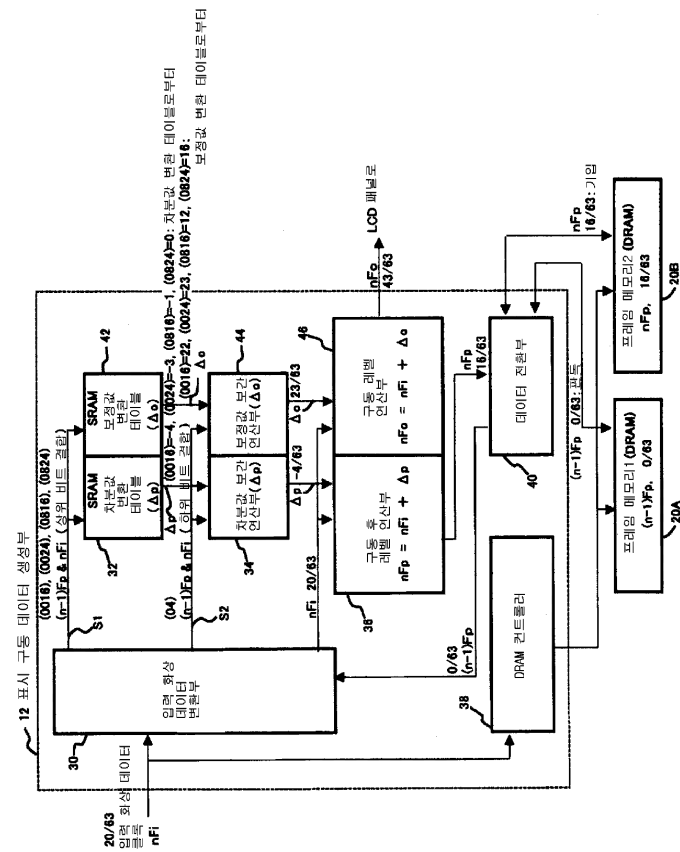
1, 2, 4 5 ,
.



1

2





4

보정값 변환 테이블 (표시 구동 데이터 nFp <= 입력 화상 데이터 nFi + 보정값 Δo)

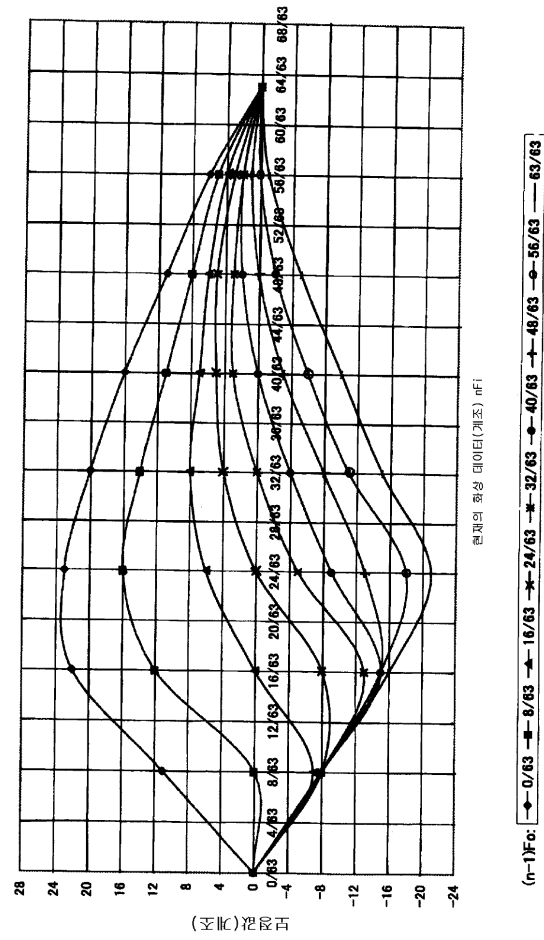
(n-1)Fp	nFi															
	0/63	8/63	16/63	24/63	32/63	40/63	48/63	56/63	63/63							
0/63	-	11	22	23	20	16	11	6	0							
8/63	0	-	12	16	14	11	8	5	0							
16/63	0	-7	-	6	8	7	6	4	0							
24/63	0	-8	-8	-	4	5	5	3	0							
32/63	0	-8	-13	-5	-	3	3	2	0							
40/63	0	-8	-15	-9	-4	-	2	2	0							
48/63	0	-8	-15	-13	-8	-3	-	1	0							
56/63	0	-8	-15	-18	-11	-6	-2	-	0							
63/63	0	-8	-16	-21	-15	-10	-5	-1	-							

5

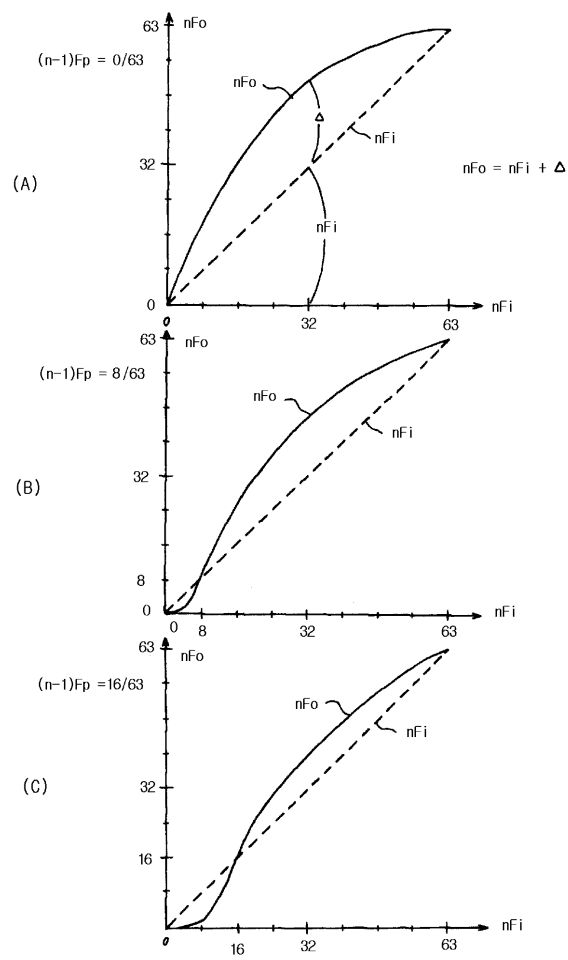
차분값 변환 테이블 (구동 후 데이터 nFp <= 입력 화상 데이터 nFi + 차분값 Δp)

(n-1)Fp	nFi 화상 프레임의 화상 데이터															
	0/63	8/63	16/63	24/63	32/63	40/63	48/63	56/63	63/63							
0/63	-	0	-4	-3	-1	-1	0	0	-7							
8/63	0	-	-1	0	0	0	0	0	-3							
16/63	0	0	-	0	0	0	0	0	-2							
24/63	2	0	0	-	0	0	0	0	-1							
32/63	4	0	0	0	-	0	0	0	-1							
40/63	8	0	0	0	0	-	0	0	-1							
48/63	11	4	0	0	0	0	-	0	0							
56/63	14	6	0	0	0	0	0	0	-							
63/63	16	8	0	0	0	0	0	0	0							

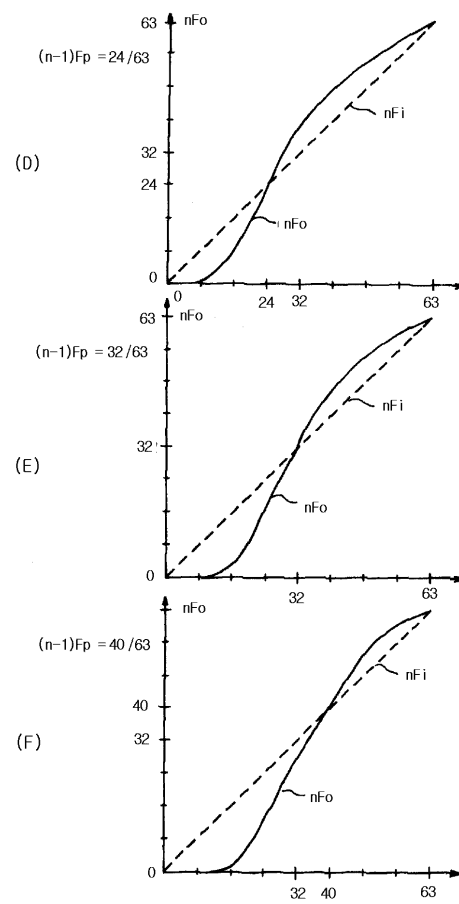
6



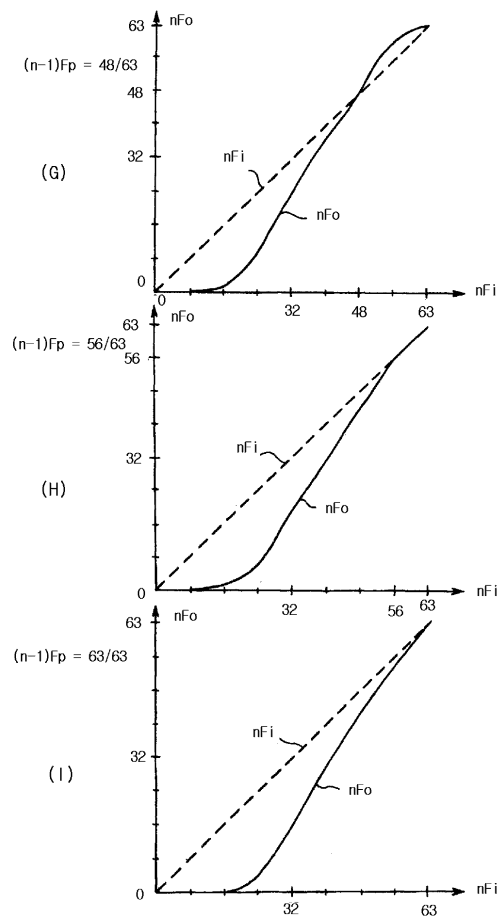
7



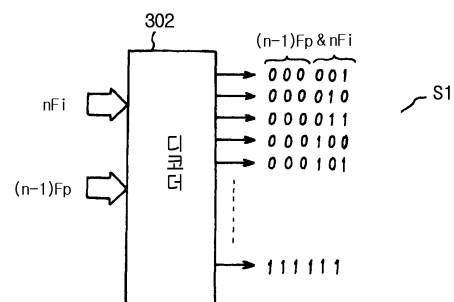
8



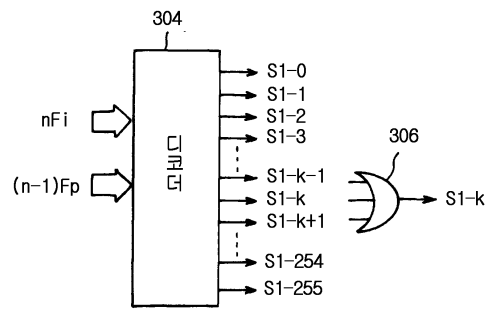
9



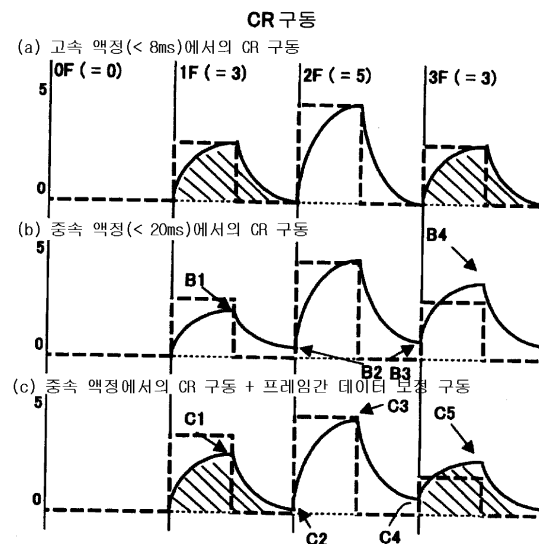
10



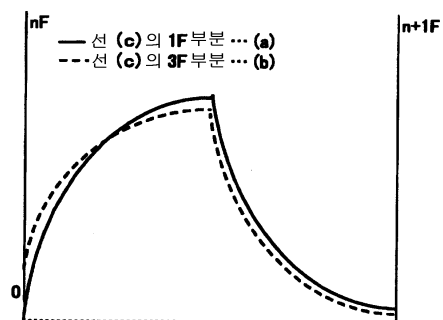
11



12



13



14

화소 처리

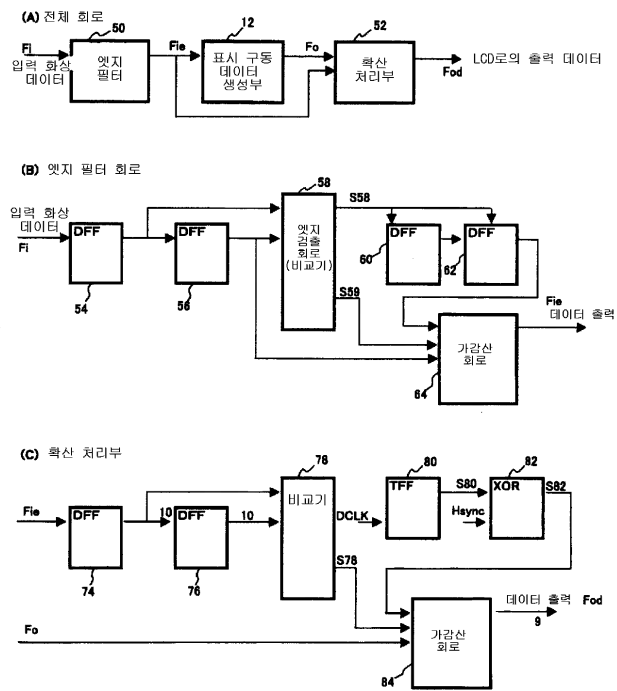
(A) 미처리

a	a	a
a	a	a
b	b	b
b	b	b

(B) 확산 처리

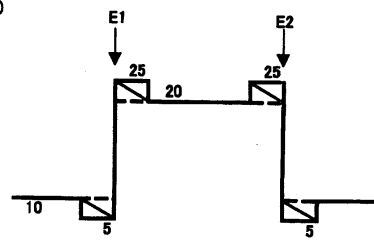
a	b	a
b	a	b
a	b	a
b	a	b

15

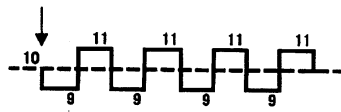


16

(A)



(B)



专利名称(译)	一种液晶显示装置的控制电路，其执行高速驱动补偿		
公开(公告)号	KR1020020080243A	公开(公告)日	2002-10-23
申请号	KR1020020015731	申请日	2002-03-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SUZUKI TOSHIAKI 스즈키도시아키 YONEMURA KOSYU 요네무라고슈 HIRAKI KATSUYOSHI 히라키가츠요시 YAMAZAKI HIROSHI 야마자키히로시 TANAKA KATSUNORI 다나카가츠노리		
发明人	스즈키도시아키 요네무라고슈 히라키가츠요시 야마자키히로시 다나카가츠노리		
IPC分类号	G09G3/36 G09G5/00 G09G3/20 G02F1/133		
CPC分类号	G09G2340/16 G09G2320/0252 G09G2320/041 G09G3/3611 G09G2320/0285		
代理人(译)	MOON, KI桑		
优先权	2001096101 2001-03-29 JP		
其他公开文献	KR100707774B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是通过简化的控制电路改善液晶显示装置的响应特性并改善运动图像显示中的图像质量。在液晶显示装置的控制电路中，显示驱动数据生成部分（12）具有转换表，用于根据当前帧的图像数据和前一帧驱动之后的状态数据参考当前帧的显示驱动数据。该转换表存储显示驱动数据或对应于当前帧图像数据的高位和前一帧图像数据的高位的组合的校正值。因此，高速存储电路的容量可以做小。由于随着转换表的容量变小，显示驱动数据的精度或其校正值降低，因此提供了内插电路，产生用于显示的驱动数据或由改善精度的校正值，并相应地校正输入图像数据以获得显示驱动数据。3 指数方面 液晶显示器，控制电路，内插电路，转换表，高速存储电路

