



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월30일
(11) 등록번호 10-1428713
(24) 등록일자 2014년08월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G11C 19/00 (2006.01)
(21) 출원번호 10-2006-0125333
(22) 출원일자 2006년12월11일
심사청구일자 2011년12월09일
(65) 공개번호 10-2008-0053597
(43) 공개일자 2008년06월16일
(56) 선행기술조사문헌
KR1020050046173 A*
KR1020060127316 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
백승수
서울특별시 관악구 승방6길 12, 302호 (남현동)
이용순
충청남도 천안시 동남구 목천읍 신계5길 47, 신
도브래뉴 1차 102-803
(74) 대리인
(뒷면에 계속)
권혁수, 오세준, 송윤희

전체 청구항 수 : 총 17 항

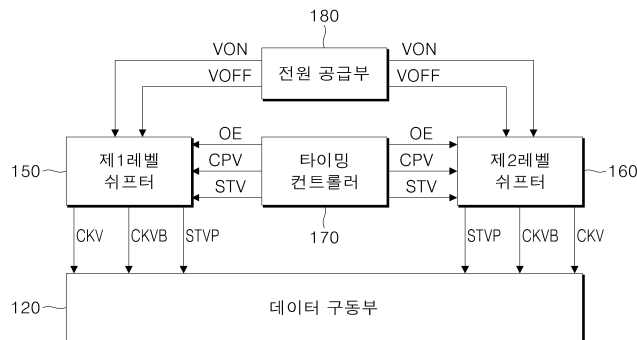
심사관 : 안지현

(54) 발명의 명칭 게이트 구동 회로 및 그것을 사용하는 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명의 액정 표시 장치는 타이밍 컨트롤러, 레벨 쉬프터 및 제1 및 제2 게이트 구동 회로를 포함한다. 타이밍 컨트롤러는 외부 입력신호에 응답하여 출력 인에이블 신호, 게이트 클럭 및 하나의 개시 신호를 생성한다. 레벨 쉬프터는 출력 인에이블 신호와 게이트 클럭에 응답하여 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하고 상기 개시 신호에 응답하여 하나의 개시 펄스를 생성한다. 제1 및 제2 게이트 구동 회로는 개시 펄스에 응답하여 게이트 클럭 펄스 또는 게이트 클럭바 펄스를 복수의 게이트 라인에 제공할 게이트 구동 신호로 출력한다.

대표도 - 도2



(72) 발명자

이민철

서울특별시 동작구 만양로 19, 703동 1713호 (노량진동, 신동아리버파크)

김용범

경기 용인시 기흥구 신갈동 한신이매진아파트
102-1603

특허청구의 범위

청구항 1

하나의 개시 펄스에 응답하여 제1 및 제2 게이트 클럭 펄스 또는 제1 및 제2 게이트 클럭바 펄스를 복수의 게이트 라인에 제공할 게이트 구동 신호로 출력하기 위하여, 서로 종속적으로 연결된 복수의 스테이지들을 포함하며 상기 복수의 스테이지들은 출력 단자가 복수의 게이트 라인에 각각 대응하여 연결되는 회로부; 및

외부로부터 상기 개시 펄스를 수신하는 개시 펄스 배선이 형성된 배선부를 포함하고,

상기 스테이지들 중 홀수 번째 스테이지들은 서로 종속적으로 연결되고, 상기 스테이지들 중 짝수 번째 스테이지들은 서로 종속적으로 연결되고, 상기 개시 펄스는 상기 개시 펄스 배선을 통해 상기 홀수 번째 스테이지들 중 첫 번째 스테이지와 상기 짝수 번째 스테이지들 중 첫 번째 스테이지의 입력 단자에 제공되고,

상기 홀수 번째 스테이지들 중의 홀수 스테이지들은 상기 제1 게이트 클럭 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 홀수 번째 스테이지들 중의 짝수 스테이지들은 제1 게이트 클럭 바 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 짝수 번째 스테이지들 중의 홀수 스테이지들은 상기 제2 게이트 클럭 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 짝수 번째 스테이지들 중의 짝수 스테이지들은 상기 제2 게이트 클럭바 펄스를 상기 게이트 구동 신호로서 출력하고,

서로 인접한 게이트 라인에 제공되는 게이트 구동 신호는 서로 중첩되는 게이트 구동 회로.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 홀수 번째 스테이지들은,

각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,

각 제어 단자는 다음 스테이지의 캐리 단자에 연결되며,

상기 짝수 번째 스테이지들은,

각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,

각 제어 단자는 다음 스테이지의 캐리 단자에 연결되는 게이트 구동 회로.

청구항 4

제 3 항에 있어서,

상기 홀수 번째 스테이지들은, 캐리 단자가 마지막 홀수 번째 스테이지의 제어 단자에 연결되는 제1 더미 스테이지를 포함하고,

상기 짝수 번째 스테이지들은 캐리 단자가 마지막 짝수 번째 스테이지의 제어 단자에 연결되는 제2 더미 스테이지를 포함하는 게이트 구동 회로.

청구항 5

제 4 항에 있어서, 상기 배선부는

상기 제1 더미 스테이지의 출력 단자를 상기 제1 더미 스테이지의 리셋 단자와 상기 홀수 번째 스테이지들 각각의 리셋 단자에 연결하는 제1 리셋 배선; 및

상기 제2 더미 스테이지의 출력 단자를 상기 제2 더미 스테이지의 리셋 단자와 상기 짝수 번째 스테이지들 각각의 리셋 단자에 연결하는 제2 리셋 배선을 더 포함하는 게이트 구동 회로.

청구항 6

외부 입력신호에 응답하여 출력 인에이블 신호, 게이트 클럭 및 하나의 개시 신호를 생성하는 타이밍 컨트롤

러;

상기 출력 인에이블 신호와 상기 게이트 클럭에 응답하여 제1 및 제2 게이트 클럭 펄스와 제1 및 제2 게이트 클럭바 펄스를 생성하고 상기 개시 신호에 응답하여 하나의 개시 펄스를 생성하는 레벨 쉬프터; 및

상기 하나의 개시 펄스에 응답하여 상기 제1 및 제2 게이트 클럭 펄스 또는 상기 제1 및 제2 게이트 클럭바 펄스를 복수의 게이트 라인에 제공할 게이트 구동 신호로 출력하는 제1 및 제2 게이트 구동 회로를 포함하고,

상기 제1 및 제2 게이트 구동회로들은 각각 출력 단자가 대응하는 게이트 라인에 연결된 복수의 스테이지들을 포함하고, 상기 스테이지들 중 홀수번째 스테이지들은 서로 종속적으로 연결되고, 상기 스테이지들 중 짝수 번째 스테이지들은 서로 종속적으로 연결되며, 상기 개시 신호는 상기 홀수 번째 스테이지들 중 첫 번째 스테이지와 상기 짝수 번째 스테이지들 중 첫 번째 스테이지의 입력 단자에 제공되고,

상기 홀수 번째 스테이지들 중의 홀수 스테이지들은 상기 제1 게이트 클럭 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 홀수 번째 스테이지들 중의 짝수 스테이지들은 상기 제1 게이트 클럭 바 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 짝수 번째 스테이지들 중의 홀수 스테이지들은 상기 제2 게이트 클럭 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 짝수 번째 스테이지들 중의 짝수 스테이지들은 상기 제2 게이트 클럭 바 펄스를 상기 게이트 구동 신호로서 출력하고,

서로 인접한 게이트 라인에 제공되는 게이트 구동 신호는 서로 중첩되는 액정 표시 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 홀수 번째 스테이지들은,

각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,

각 제어 단자는 다음 스테이지의 캐리 단자에 연결되며,

상기 짝수 번째 스테이지들은,

각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,

각 제어 단자는 다음 스테이지의 캐리 단자에 연결되는 액정 표시 장치.

청구항 10

제 9 항에 있어서,

상기 홀수 번째 스테이지들은, 캐리 단자가 마지막 홀수 번째 스테이지의 제어 단자에 연결되는 제1 더미 스테이지를 포함하고,

상기 짝수 번째 스테이지들은 캐리 단자가 마지막 짝수 번째 스테이지의 제어 단자에 연결되는 제2 더미 스테이지를 포함하며,

상기 제1 더미 스테이지의 출력 단자는 상기 제1 더미 스테이지의 리셋 단자와 상기 홀수 번째 스테이지들 각각의 리셋 단자에 연결되고,

상기 제2 더미 스테이지의 출력 단자는 상기 제2 더미 스테이지의 리셋 단자와 상기 짝수 번째 스테이지들 각각의 리셋 단자에 연결되는 액정 표시 장치.

청구항 11

제 6 항에 있어서,

상기 레벨 쉬프터에 게이트 온 전압과 게이트 오프 전압을 공급하는 전원 공급부를 더 포함하고,

상기 레벨 쉬프터는, 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨을 가지는 상기 제1 및 제2 게이트 클럭 펄스, 상기 제1 및 제2 게이트 클럭바 펄스 및 상기 개시 펄스를 출력하는 액정 표시 장치.

청구항 12

제 11 항에 있어서, 상기 레벨 쉬프터는,

상기 출력 인에이블 신호와 상기 게이트 클럭을 논리연산하고 전압의 레벨을 증폭시켜 상기 제1 및 제2 게이트 클럭 펄스로 출력하는 제1 레벨 쉬프터부; 및

상기 출력 인에이블 신호와 상기 게이트 클럭을 논리연산하고 위상을 반전시킨 후 전압의 레벨을 증폭시켜 상기 제1 및 제2 게이트 클럭바 펄스로 출력하는 제2 레벨 쉬프터부;를 포함하는 액정 표시 장치.

청구항 13

제 6 항에 있어서, 상기 제1 및 제2 게이트 구동 회로는,

상기 게이트 라인이 형성된 액정 패널에 집적되며, 상기 게이트 라인 양단에 형성되어 상기 게이트 라인을 듀얼로 구동하는 액정 표시 장치.

청구항 14

외부 신호에 응답하여 출력 인에이블 신호, 게이트 클럭 및 하나의 개시 신호를 생성하는 타이밍 컨트롤러;

상기 출력 인에이블 신호와 상기 게이트 클럭에 응답하여 제1 및 제2 게이트 클럭 펄스, 제1 및 제2 게이트 클럭바 펄스 및 하나의 개시 펄스를 생성하는 레벨 쉬프터; 및

복수의 데이터 라인, 복수의 게이트 라인 및 상기 게이트 라인에 게이트 구동 신호를 순차적으로 출력하는 제1 및 제2 게이트 구동 회로가 형성되며, 상기 제1 및 제2 게이트 구동 회로는 상기 하나의 개시 펄스에 응답하여 상기 제1 및 제2 게이트 클럭 펄스 또는 상기 제1 및 제2 게이트 클럭바 펄스를 상기 게이트 구동 신호로 출력하는 액정 패널을 포함하고,

상기 제1 및 제2 게이트 구동회로들은 각각 출력 단자가 대응하는 게이트 라인에 연결된 복수의 스테이지들을 포함하고, 상기 스테이지들 중 홀수 번째 스테이지들은 서로 종속적으로 연결되고, 상기 스테이지들 중 짝수 번째 스테이지들은 서로 종속적으로 연결되며, 상기 개시 신호는 상기 홀수 번째 스테이지들 중 첫 번째 스테이지와 상기 짝수 번째 스테이지들 중 첫 번째 스테이지의 입력 단자에 제공되고,

상기 홀수 번째 스테이지들 중의 홀수 스테이지들은 상기 제1 게이트 클럭 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 홀수 번째 스테이지들 중의 짝수 스테이지들은 상기 제1 게이트 클럭 바 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 짝수 번째 스테이지들 중의 홀수 스테이지들은 상기 제2 게이트 클럭 펄스를 상기 게이트 구동 신호로서 출력하고, 상기 짝수 번째 스테이지들 중의 짝수 스테이지들은 상기 제2 게이트 클럭 바 펄스를 상기 게이트 구동 신호로서 출력하고,

서로 인접한 게이트 라인에 제공되는 게이트 구동 신호는 서로 중첩되는 액정 표시 장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

제 14 항에 있어서,

상기 홀수 번째 스테이지들은,
 각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,
 각 제어 단자는 다음 스테이지의 캐리 단자에 연결되며,
 상기 짝수 번째 스테이지들은,
 각 입력 단자가 이전 스테이지의 출력 단자에 연결되고,
 각 제어 단자는 다음 스테이지의 캐리 단자에 연결되는 액정 표시 장치.

청구항 19

제 18 항에 있어서,
 상기 홀수 번째 스테이지들은 캐리 단자가 마지막 홀수 번째 스테이지의 제어 단자에 연결되는 제1 더미 스테이지를 포함하고,
 상기 짝수 번째 스테이지들은 캐리 단자가 마지막 짝수 번째 스테이지의 제어 단자에 연결되는 제2 더미 스테이지를 포함하며,
 상기 제1 더미 스테이지의 출력 단자는 상기 제1 더미 스테이지의 리셋 단자와 상기 홀수 번째 스테이지들 각각의 리셋 단자에 연결되고,
 상기 제2 더미 스테이지의 출력 단자는 상기 제2 더미 스테이지의 리셋 단자와 상기 짝수 번째 스테이지들 각각의 리셋 단자에 연결되는 액정 표시 장치.

청구항 20

제 14 항에 있어서,
 상기 레벨 쉬프터에 게이트 온 전압과 게이트 오프 전압을 공급하는 전원 공급부를 더 포함하고,
 상기 레벨 쉬프터는, 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨을 가지는 상기 제1 및 제2 게이트 클럭 펄스, 상기 제1 및 제2 게이트 클럭바 펄스 및 상기 개시 신호를 출력하는 액정 표시 장치.

청구항 21

제 20 항에 있어서, 상기 레벨 쉬프터는,
 상기 출력 인에이블 신호와 상기 게이트 클럭을 논리연산하고 전압의 레벨을 증폭시켜 상기 제1 및 제2 게이트 클럭 펄스로 출력하는 제1 레벨 쉬프팅부; 및
 상기 출력 인에이블 신호와 상기 게이트 클럭을 논리연산하고 위상을 반전시킨 후 전압의 레벨을 증폭시켜 상기 제1 및 제2 게이트 클럭바 펄스로 출력하는 제2 레벨 쉬프팅부를 포함하는 액정 표시 장치.

청구항 22

제 21 항에 있어서, 상기 제1 레벨 쉬프팅부는,
 상기 출력 인에이블 신호와 상기 게이트 클럭을 오어 연산하는 논리 연산부,
 상기 논리 연산부의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 및
 상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭 펄스를 생성하는 풀스윙 인버터를 포함하는 액정 표시 장치.

청구항 23

제 21 항에 있어서, 상기 제2 레벨 쉬프팅부는,
 상기 출력 인에이블 신호와 상기 게이트 클럭을 오어 연산하는 논리 연산부,
 상기 논리 연산부의 출력의 위상을 반전시켜 출력하는 반전 인버터,

상기 반전 인버터의 출력의 위상을 반전시켜 증폭하는 구동 인버터, 및

상기 구동 인버터의 출력에 응답하여 상기 게이트 온 전압과 상기 게이트 오프 전압 레벨의 상기 제1 및 제2 게이트 클럭바 펄스를 생성하는 풀스윙 인버터를 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 게이트 구동 회로를 포함하는 액정 표시 장치에 관한 것이다.
- [0016] 일반적으로 액정 표시 장치는 영상을 표시하기 위한 액정 패널과 액정 패널을 구동하는 데이터 구동부와 게이트 구동부를 구비한다. 액정 패널은 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소를 포함한다. 화소는 박막 트랜지스터 및 액정 커패시터로 이루어진다. 데이터 구동부는 데이터 라인에 데이터 신호를 출력하고 게이트 구동부는 게이트 구동 신호를 출력한다.
- [0017] 게이트 구동부는 박막 트랜지스터와 동일한 공정을 통해 동시에 액정 패널 상에 형성되고, 데이터 구동부는 칩 형태로 이루어져 액정 패널의 주변영역에 연결된다. 게이트 구동부는 다수의 스테이지로 이루어진 쉬프트 레지스터를 포함하고, 스테이지 각각은 대응하는 게이트 라인에 연결되어 게이트 구동 신호를 출력한다.
- [0018] 게이트 구동부는 다수의 게이트 라인에 순차적으로 게이트 구동 신호를 출력하기 위하여 서로 종속적으로 연결된다. 즉 현 스테이지의 입력 단자는 이전 스테이지의 출력 단자에 연결되고, 다음 스테이지의 출력 단자는 현 스테이지의 제어 단자에 연결된다. 다수의 스테이지 중 첫 번째 스테이지는 개시 신호가 입력된다.
- [0019] 이러한 게이트 구동부는 액정 패널의 좌 우측에 형성되어 좌측의 게이트 구동 회로는 홀수 번째 게이트 라인을 구동하고 우측의 게이트 구동 회로는 짝수 번째 게이트 라인을 싱글 구동 방식으로 구동한다.
- [0020] 싱글(Single) 구동 방식의 액정 표시 장치는, 좌우 게이트 구동 회로에서 출력되는 게이트 구동 신호가 게이트 라인 지연(Gate Line Delay)에 의해 게이트 라인의 끝으로 갈수록 편차가 발생한다. 게이트 구동 신호의 편차는 화소의 충전 시간을 부족하게 하고 이로 인해 가로줄 시인 현상이 발생된다.
- [0021] 싱글 구동 방식의 화소 충전 시간 부족의 문제점을 해결하기 위하여, 액정 패널의 좌우 측에 동일한 게이트 제어 회로를 형성하여 좌우 측에서 동일한 게이트 구동 신호를 게이트 라인으로 인가하는 듀얼(Dual) 구동 방식이 제안되고 있다.
- [0022] 그런데 종래 듀얼 구동 방식의 액정 표시 장치는 싱글 구동 방식에 비하여 게이트 구동 회로에 연결되는 신호 배선이 2배로 늘어나 액정 패널의 집적 공간의 확보를 요구한다. 액정 패널의 집적 공간의 변화는 곧 액정 패널의 크기의 변화를 의미하고 이는 기존의 액정 패널 제조 공정에 사용되는 장비의 변화를 요구하므로 액정 패널의 제조 단가를 상승시키는 문제점을 발생시킨다.

발명이 이루고자 하는 기술적 과제

- [0023] 따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로, 듀얼 게이트 구동 회로의 개시 펄스와 더미 스테이지의 출력 신호를 공유하여 게이트 구동 회로에 연결되는 신호 배선을 감소시키는 게이트 구동 회로 및 액정 표시 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0024] 상기 목적을 달성하기 위하여 본 발명의 게이트 구동 회로는, 하나의 개시 펄스에 응답하여 게이트 클럭 펄스 또는 게이트 클럭바 펄스를 복수의 게이트 라인에 제공할 게이트 구동 신호로 출력하기 위하여, 서로 종속적으로 연결된 복수의 스테이지를 포함하며 상기 복수의 스테이지는 출력 단자가 복수의 게이트 라인에 각각 대

응하여 연결되는 회로부; 및 외부로부터 상기 개시 펄스를 전달받아 상기 복수의 스테이지 중 홀수 첫 번째 스테이지와 짝수 첫 번째 스테이지의 입력 단자에 제공하는 개시 펄스 배선이 형성된 배선부를 포함한다.

[0025] 여기서, 상기 복수의 스테이지 중 홀수 번째 스테이지는 상기 게이트 클럭 펄스를 상기 게이트 구동 신호로 출력하고, 짝수 번째 스테이지는 상기 게이트 클럭바 펄스를 상기 게이트 구동 신호로 출력하는 것이 바람직하다.

[0026] 또한 상기 복수의 스테이지는, 각 입력 단자가 이전 스테이지의 출력 단자에 연결되고, 각 제어 단자는 다음 스테이지의 캐리 단자에 연결되며, 상기 홀수 번째 스테이지 중 첫 번째 스테이지와 짝수 번째 스테이지 중 첫 번째 스테이지는 입력 단자에 상기 하나의 개시 신호가 입력되는 것이 바람직하다.

[0027] 또한 상기 홀수 번째 스테이지는, 캐리 단자가 마지막 홀수 번째 스테이지의 제어 단자에 연결되는 제1 더미 스테이지를 포함하고, 상기 짝수 번째 스테이지는 캐리 단자가 마지막 짝수 번째 스테이지의 제어 단자에 연결되는 제2 더미 스테이지를 포함한다.

[0028] 또한 상기 배선부는 상기 제2 더미 스테이지의 캐리 단자와 상기 복수의 스테이지의 리셋 단자를 연결하는 리셋 배선을 더 포함한다.

[0029] 본 발명의 액정 표시 장치는 외부 입력신호에 응답하여 출력 인에이블 신호, 게이트 클럭 및 하나의 개시 신호를 생성하는 타이밍 컨트롤러; 상기 출력 인에이블 신호와 게이트 클럭에 응답하여 게이트 클럭 펄스와 게이트 클럭바 펄스를 생성하고 상기 개시 신호에 응답하여 하나의 개시 펄스를 생성하는 레벨 쉬프터; 및 상기 하나의 개시 펄스에 응답하여 상기 게이트 클럭 펄스 또는 상기 게이트 클럭바 펄스를 복수의 게이트 라인에 제공할 게이트 구동 신호로 출력하는 제1 및 제2 게이트 구동 회로;를 포함한다.

[0030] 여기서, 상기 제1 및 제2 게이트 구동 회로는, 서로 종속적으로 연결된 복수의 스테이지를 포함하며 상기 복수의 스테이지는 출력 단자가 상기 복수의 게이트 라인에 각각 대응하여 연결되는 것이 바람직하다.

[0031] 또한 본 발명의 액정 표시 장치는 상기 레벨 쉬프터에 상기 게이트 온 전압과 게이트 오프 전압을 공급하는 전원 공급부를 더 포함하고, 상기 레벨 쉬프터는, 상기 게이트 온 전압과 게이트 오프 전압 레벨을 가지는 상기 게이트 클럭 펄스, 게이트 클럭바 펄스 및 개시 펄스를 출력하는 것이 바람직하다.

[0032] 또한 상기 레벨 쉬프터는, 상기 출력 인에이블 신호와 게이트 클럭을 논리연산하고 전압의 레벨을 증폭시켜 상기 게이트 클럭 펄스로 출력하는 제1 레벨 쉬프팅부; 및 상기 출력 인에이블 신호와 게이트 클럭을 논리연산하고 위상을 반전시킨 후 전압의 레벨을 증폭시켜 상기 게이트 클럭바 펄스로 출력하는 제2 레벨 쉬프팅부;를 포함한다.

[0033] 또한 상기 제1 및 제2 게이트 구동 회로는, 상기 게이트 라인이 형성된 액정 패널에 집적되며, 상기 게이트 라인 양단에 형성되어 상기 게이트 라인을 듀얼로 구동하는 것이 바람직하다.

[0034] 본 발명의 액정 표시 장치는 외부 신호에 응답하여 출력 인에이블 신호, 게이트 클럭 및 하나의 개시 신호를 생성하는 타이밍 컨트롤러; 상기 출력 인에이블 신호와 게이트 클럭에 응답하여 게이트 클럭 펄스, 게이트 클럭바 펄스 및 하나의 개시 펄스를 생성하는 레벨 쉬프터; 및 복수의 데이터 라인, 복수의 게이트 라인 및 상기 게이트 라인에 게이트 구동 신호를 순차적으로 출력하는 제1 및 제2 게이트 구동 회로가 형성되며, 상기 제1 및 제2 게이트 구동 회로는 상기 하나의 개시 펄스에 응답하여 상기 게이트 클럭 펄스 또는 게이트 클럭바 펄스를 상기 게이트 구동 신호로 출력하는 액정 패널;을 포함한다.

[0035] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일 실시 예에 대해 상세히 설명한다.

[0036] 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도이다. 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 액정 표시 장치(100)는, 액정 패널(110), 데이터 구동부(120), 제1 및 제2 게이트 구동 회로(130, 140), 제1 및 제2 레벨 쉬프터(150, 160), 타이밍 컨트롤러(170) 및 전원 공급부(180)를 포함한다.

[0037] 상기 액정 패널(110)은 박막 트랜지스터 기관(112), 컬러 필터 기관(114) 및 박막 트랜지스터 기관(112)과 컬러 필터 기관(114) 사이에 게재된 액정(도시되지 않음)을 포함한다.

[0038] 박막 트랜지스터 기관(112)은 표시 영역(DA)과 제1 및 제2 주변 영역(PA1, PA2)를 포함한다. 표시 영역(DA)은 게이트 라인(GL1, ..., GLn), 데이터 라인(DL1, ..., DLm), 게이트 라인(GL1, ..., GLn)과 데이터 라인(DL1, ..., DLm)의 교차 영역에 정의되는 화소가 형성된다. 제1 주변 영역(PA1)은 게이트 라인(GL1, ..., GLn)을

구동하는 제1 및 제2 게이트 구동 회로(130, 140)가 형성된다. 제2 주변 영역(PA2)은 데이터 라인(DL1,...,DLm)을 구동하는 데이터 구동부(120)가 실장된다. 여기서 제1 주변 영역(PA1)은 게이트 라인(GL1,...,GLn)의 양단부에 인접하는 영역이고, 제2 주변 영역(PA2)은 데이터 라인(DL1,...,DLm)의 일단부에 인접하는 영역이다

- [0039] 화소는 게이트 라인(GL1,...,GLn)과 데이터 라인(DL1,...,DLm)에 연결되는 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)에 연결되는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함한다. 박막 트랜지스터(TFT)의 게이트 및 소스는 게이트 라인(GL1,...,GLn) 및 데이터 라인(DL1,...,DLm)에 각각 연결되고 드레인온 액정 커패시터(CLC)와 스토리지 커패시터(CST)에 연결된다. 액정 커패시터(CLC)는 화소 전극과 공통 전극을 두 단자로 하며, 두 단자 사이에 유전체로 기능하는 액정으로 형성된다.
- [0040] 컬러 필터 기관(114)은 빛샘 방지를 위한 블랙 매트릭스, 색 구현을 위한 컬러 필터 및 공통 전극이 형성된다. 액정은 유전율 이방성을 갖는 물질로서 공통 전극과 화소 전극에 인가된 전압의 차이에 의해 회전하여 광의 투과율을 조절한다.
- [0041] 상기 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1,...,GLn)을 사이에 두고 액정 패널(110) 일측 및 타측인 제1 주변 영역(PA1)에 집적되어 형성되고 그 출력이 게이트 라인(GL1,...,GLn) 각각에 연결된다. 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1,...,GLn)의 양단에서 게이트 구동 신호를 순차적으로 제공하여 게이트 라인(GL1,...,GLn)을 듀얼로 구동시킨다.
- [0042] 상기 데이터 구동부(120)는 타이밍 컨트롤러(140)로부터 데이터 제어 신호 및 데이터를 수신하고, 데이터에 해당하는 아날로그 구동 전압(AVDD)을 선택하여 데이터 라인(DL1,...,DLm)에 제공한다. 데이터 구동부(120)는 집적화된 칩으로 구현되며 박막 트랜지스터 기관(112)의 제2 주변 영역(PA2)에 실장된다. 데이터 구동부(120)는 제2 주변 영역(PA2)에 연결되는 연성 회로 기관(102)을 통하여 타이밍 컨트롤러(170)와 전원 공급부(180)에 연결된다.
- [0043] 한편 본 실시 예에서 데이터 구동부(120)는 박막 트랜지스터 기관(112)에 COG(Chip On Glass) 방식으로 실장되지만 이에 한정되지 아니하며, TCP(Tape Carrier Package) 구조 방식으로 실장될 수 있다.
- [0044] 상기 제1 및 제2 레벨 쉬프터(150, 160)는 타이밍 컨트롤러(140)로부터 게이트 제어 신호를 제공받고, 전원 공급부(180)로부터 구동 전압을 제공받아, 게이트 구동 회로(130, 140)를 구동시킬 신호를 생성하여 이를 제1 및 제2 게이트 구동 회로(130, 140)로 제공한다.
- [0045] 상기 타이밍 컨트롤러(140)는 외부로부터 데이터 및 입력 제어 신호를 입력받아 게이트 제어 신호 및 데이터 제어 신호를 생성하여 제1 및 제2 레벨 쉬프터(150, 160) 및 데이터 드라이버(120)로 제공한다. 여기서 데이터는 RGB 영상신호이고, 입력 제어 신호는 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 메인 클럭(MCLK) 및 데이터 인에이블 신호(DE)를 포함한다.
- [0046] 상기 전원 공급부(180)는 외부로부터 공급받은 전원 전압을 이용하여 아날로그 구동 전압(AVDD), 공통 전압(VCOM), 게이트 구동 전압을 생성한다. 전원 공급부(180)는 아날로그 구동 전압(AVDD)을 데이터 구동부(120)로 공급하고, 공통 전압(VCOM)을 액정 패널(110)의 공통 전극에 공급하고, 게이트 구동 전압을 제1 및 제2 레벨 쉬프터(150, 160)로 제공한다.
- [0047] 상기 타이밍 컨트롤러(170), 제1 및 제2 레벨 쉬프터(150, 160) 및 전원 공급부(180)는 컨트롤 인쇄 회로 기관(104)에 실장된다. 컨트롤 인쇄 회로 기관(104)은 연성 회로 기관(102)을 통하여 박막 트랜지스터 기관(112)의 제2 주변 영역(PA2)에 연결된다. 액정 패널(110)에 형성된 제1 및 제2 게이트 구동 회로(130, 140)는 데이터 구동부(120)를 통해 또는 연성 회로 기관(102)을 통해 직접 타이밍 컨트롤러(140) 및 전원 공급부(180)에 연결될 수 있다.
- [0048] 도 2는 도 1에 도시된 제1 및 제2 레벨 쉬프터의 입출력 신호 관계를 도시한 도면이다. 도 2에 도시된 바와 같이, 제1 및 제2 레벨 쉬프터(150, 160)는 전원 공급부(180)로부터 게이트 구동 전압인 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)을 제공받는다.
- [0049] 또한 제1 및 제2 레벨 쉬프터(150, 160)는 타이밍 컨트롤러(170)로부터 게이트 제어 신호인 출력 인에이블 신호(OE), 제1 및 제2 게이트 클럭(CPV1, CPV2) 및 게이트 스타트 신호(STV)를 제공받는다. 여기서 제2 게이트 클럭(CPV2)은 제1 게이트 클럭(CPV1)의 위상이 지연된 클럭이다. 제1 및 제2 게이트 클럭(CPV1, CPV2)의 위상

차는 서로 인접한 게이트 라인에 제공되는 게이트 구동 신호가 중첩되는 구간이다. 또한 게이트 스타트 신호(STV)는 한 프레임(Frame)의 시작을 알리는 신호이다.

- [0050] 제1 및 제2 레벨 쉬프터(150, 160)는 게이트 제어 신호에 응답하여 게이트 온 전압(VON)과 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP), 제1 및 제2 게이트 클럭 펄스(CKV1, CKV2) 및 제1 및 제2 게이트 클럭바 펄스(CKVB1, CKVB2)를 생성한다. 여기서 개시 펄스(STVP)는 게이트 구동 회로(130, 140)가 한 프레임의 첫 번째 게이트 구동 신호를 생성하도록 한다. 또한 제1 및 제2 게이트 클럭바 펄스(CKVB1, CKVB2)는 게이트 라인을 구동시키는 속도를 빠르게 하기 위한 신호이다.
- [0051] 제1 및 제2 레벨 쉬프터(150, 160)는 생성된 개시 펄스(STVP), 제1 및 제2 게이트 클럭 펄스(CKV1, CKV2) 및 제1 및 제2 게이트 클럭바 펄스(CKVB1, CKVB2)를 데이터 구동부(120)를 통하여 제1 및 제2 게이트 구동 회로(130, 140)로 제공한다.
- [0052] 본 실시 예에 따른 제1 및 제2 레벨 쉬프터(150, 160)는 종래와는 달리 제1 및 제2 게이트 구동 회로(130, 140)에 하나의 개시 펄스(STVP)를 생성하여 제1 게이트 구동 회로(130, 140)로 제공한다. 제1 및 제2 게이트 구동 회로(130, 140)는 개시 펄스(STVP)를 입력받으면 게이트 구동 신호를 생성하여 게이트 라인에 제공하기 시작한다.
- [0053] 도 3은 도 2에 도시된 제1 레벨 쉬프터의 예시 회로도이다. 도 3에 도시된 바와 같이 제1 레벨 쉬프터(130)는, 제1 레벨 쉬프팅부(132), 제2 레벨 쉬프팅부(134) 및 제3 레벨 쉬프팅부(136)를 포함한다.
- [0054] 제1 레벨 쉬프팅부(132)는 출력 인에이블 신호(OE)와 게이트 클럭(CPV1)을 논리 연산하고 전압의 레벨을 증폭시켜 제1 및 제2 게이트 구동 회로(130, 140)에 제공할 게이트 클럭 펄스(CKV1)를 생성한다. 이를 위해 제1 레벨 쉬프팅부(132)는 논리 연산부(LG1), 구동 인버터(INV1) 및 풀스윙 인버터(133)를 포함한다.
- [0055] 논리 연산부(LG1)는 출력 인에이블 신호(OE)와 제1 게이트 클럭(CPV1)을 오어 연산한다. 구동 인버터(INV1)는 논리 연산부(LG1)의 출력의 위상을 반전시켜 풀 스윙 인버터(133)의 구동 레벨로 증폭한다. 풀스윙 인버터(133)는 구동 인버터(INV1)의 출력에 응답하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 제1 게이트 클럭 펄스(CKV1)를 생성한다.
- [0056] 제2 레벨 쉬프팅부(134)는 출력 인에이블 신호(OE)와 제1 게이트 클럭(CPV1)을 논리 연산하고 전압의 레벨을 증폭시켜 제1 및 제2 게이트 구동 회로(130)에 제공할 제1 게이트 클럭바 펄스(CKVB1)를 생성한다. 이를 위해 제2 레벨 쉬프팅부(134)는 논리 연산부(LG2), 반전 인버터(INV2), 구동 인버터(INV3) 및 풀스윙 인버터(135)를 포함한다. 여기서 제1 게이트 클럭바 펄스(CKVB1)는 제1 게이트 클럭 펄스(CKV1)의 위상이 반전된 클럭이다.
- [0057] 논리 연산부(LG2)는 출력 인에이블 신호(OE)와 제1 게이트 클럭(CPV1)을 오어 연산한다. 반전 인버터(INV2)는 논리 연산부(LG1)의 출력의 위상을 반전시켜 출력한다. 구동 인버터(INV3)는 반전 인버터(INV2)의 출력의 위상을 반전시켜 풀 스윙 인버터(135)의 구동 레벨로 증폭한다. 풀스윙 인버터(135)는 구동 인버터(135)의 출력에 응답하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 제1 게이트 클럭바 펄스(CKVB1)를 생성한다.
- [0058] 제3 레벨 쉬프팅부(136)는 출력 인에이블 신호(OE)와 게이트 스타트 신호(STV)를 입력받아 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP)를 생성한다. 여기서 개시 펄스(STVP)는 게이트 스타트 펄스(STV)와 동일한 주기와 펄스 폭을 가지며 전압 레벨이 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨을 가진다.
- [0059] 한편 제2 레벨 쉬프터(140)는 전원 공급부(180)로부터 게이트 구동 전압인 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)를 제공받고, 타이밍 컨트롤러(170)로부터 출력 인에이블 신호(OE), 제2 게이트 클럭(CPV2) 및 게이트 스타트 신호(STV)를 제공받아, 게이트 온 전압(VON)과 게이트 오프 전압(VOFF) 레벨의 개시 펄스(STVP), 제2 게이트 클럭 펄스(CKV2) 및 제2 게이트 클럭바 펄스(CKVB2)를 생성하여, 이를 제1 및 제2 게이트 구동 회로(130, 140)로 공급한다. 제2 레벨 쉬프터(140)의 구성 및 동작은 상술한 제1 레벨 쉬프터(130)의 구성 및 동작과 유사하므로 상세한 설명은 생략한다.
- [0060] 도 4는 도 2에 도시된 제1 및 제2 게이트 구동 회로의 구성 블록도이다. 도 4에 도시된 바와 같이, 제1 및 제

2 게이트 구동 회로(130, 140)는 게이트 라인($GL_1, \dots, GL_n$)을 양측에서 듀얼로 구동할 수 있도록 표시 영역(DA)의 양측에 인접하여 배치된다. 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인($GL_1, \dots, GL_n$)을 기준으로 서로 대칭된 구조를 가진다.

- [0061] 제1 게이트 구동 회로(130)는, 데이터 구동부(120)로부터 각종 신호를 제공받아 전달하는 배선부(134) 및 각종 신호에 응답하여 게이트 구동 신호를 순차적으로 출력하는 회로부(132)를 포함한다.
- [0062] 상기 회로부(132)는 서로 종속적으로 연결된 복수의 스테이지(STAGE1, ..., STAGEN+2)를 포함하는 쉬프트 레지스터로 구성된다. 제1 내지 제n 스테이지(STAGE1, ..., STAGEN)는 제1 내지 n 게이트 라인($GL_1, \dots, GL_n$)에 전기적으로 연결되어 게이트 구동 신호를 순차적으로 출력한다. n+1 스테이지(STAGEN+1) 및 n+2 스테이지(STAGEN+2)는 더미 스테이지이다. 여기서 n은 짝수이다.
- [0063] 복수의 스테이지(STAGE1, ..., STAGEN+2)는 각각은 제1 및 제2 클럭 단자(CK1, CK2), 입력 단자(IN), 제어 단자(CT), 출력 단자(OUT), 리셋 단자(RE), 캐리 단자(CR) 및 접지 전압 단자(VSS)를 포함한다.
- [0064] 복수의 스테이지(STAGE1, ..., STAGEN+2) 중 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)는 제1 클럭 단자(CK1)와 제2 클럭 단자(CK2)에 제1 게이트 클럭 펄스(CKV1) 또는 제2 게이트 클럭바 펄스(CKVB1)가 제공된다.
- [0065] 보다 구체적으로, 홀수 번째 스테이지 중 STAGE1, STAGE5, ..., STAGEN-1 스테이지는 제1 클럭 단자(CK1)에 제1 게이트 클럭 펄스(CKV1)이 제공되고 제2 클럭 단자(CK2)에 제1 게이트 클럭바 펄스(CKVB1)가 제공된다. 홀수 번째 스테이지 중 STAGE3, STAGE7, ..., STAGEN+1 스테이지는 제1 클럭 단자(CK1)에 제1 게이트 클럭바 펄스(CKVB1)이 제공되고 제2 클럭 단자(CK2)에 제1 게이트 클럭 펄스(CKV1)가 제공된다.
- [0066] 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)의 입력 단자(IN)는 이전 홀수 번째 스테이지의 캐리 단자(CR)에 연결되어 이전 홀수 번째 스테이지의 캐리 신호가 제공되고, 제어 단자(CT)는 다음 홀수 번째 스테이지의 출력 단자(OUT)에 연결되어 다음 홀수 번째 스테이지의 출력 신호가 제공된다. 홀수 첫 번째 스테이지(STAGE1)는 이전 스테이지가 존재하지 않으므로 입력 단자(IN)에 개시 펄스(STVP)가 제공된다. 캐리 단자(CR)로부터 출력되는 캐리 신호는 다음 홀수 스테이지를 구동시키는 역할을 수행한다.
- [0067] n-1번째 스테이지(STAGEN-1)의 제어 단자(CT)에 $\odot$ 캐리 신호를 제공하는 더미 스테이지(STAGEN+1)의 제어 단자(CT)에는 개시 펄스(STVP)가 제공되는 것이 바람직하다. 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)의 접지 전압 단자(VSS)에는 접지 전압(VOFF)이 제공되고, 리셋 단자(RE)에는 n+1 스테이지(STAGEN+1)의 출력 신호가 제공된다.
- [0068] 또한 STAGE1, STAGE5, ..., STAGEN-1 스테이지의 출력 단자(OUT)는 제1 게이트 클럭 펄스(CKV1)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 제1 게이트 클럭 펄스(CKV1)를 캐리 신호로 출력한다. STAGE3, STAGE7, ..., STAGEN+1 스테이지의 출력 단자(OUT)는 제1 게이트 클럭바 펄스(CKVB1)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 제1 게이트 클럭 펄스(CKVB1)를 캐리 신호로 출력한다.
- [0069] 복수의 스테이지(STAGE1, ..., STAGEN+2) 중 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)는 제1 클럭 단자(CK1)와 제2 클럭 단자(CK2)에 제2 게이트 클럭 펄스(CKV2)와 제2 게이트 클럭바 펄스(CKVB2)가 제공된다.
- [0070] 보다 구체적으로, 짝수 번째 스테이지 중 STAGE2, STAGE6, ..., STAGEN 스테이지는 제1 클럭 단자(CK1)에 제2 게이트 클럭 펄스(CKV2)이 제공되고 제2 클럭 단자(CK2)에 제2 게이트 클럭바 펄스(CKVB2)가 제공된다. 짝수 번째 스테이지 중 STAGE4, STAGE8, ..., STAGEN+2 스테이지는 제1 클럭 단자(CK1)에 제2 게이트 클럭바 펄스(CKVB2)가 제공되고 제2 클럭 단자(CK2)에 제2 게이트 클럭 펄스(CKV2)가 제공된다.
- [0071] 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)의 입력 단자(IN)는 이전 짝수 번째 스테이지의 캐리 단자(CR)에 연결되어 이전 짝수 번째 스테이지의 캐리 신호가 제공되고, 제어 단자(CT)는 다음 짝수 번째 스테이지의 출력 단자(OUT)에 연결되어 다음 짝수 번째 스테이지의 출력 신호가 제공된다. 짝수 첫 번째 스테이지(STAGE2)는 이전 스테이지가 존재하지 않으므로 입력 단자(IN)에 개시 펄스(STVP)가 제공된다. 캐리 단자(CR)로부터 출력되는 캐리 신호는 다음 짝수 스테이지를 구동시키는 역할을 수행한다.
- [0072] n번째 스테이지(STAGEN)의 제어 단자(CT)에 $\odot$ 캐리 신호를 제공하는 더미 스테이지(STAGEN+2)의 제어 단자(CT)에는 개시 펄스(STVP)가 제공되는 것이 바람직하다. 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)의 접지 전압 단자(VSS)에는 접지 전압(VOFF)이 제공되고, 리셋 단자(RE)에는 n+2 스테이지(STAGEN+2)의 출력 신호가 제공된다.
- [0073] 또한 STAGE2, STAGE6, ..., STAGEN 스테이지의 출력 단자(OUT)는 제2 게이트 클럭 펄스(CKV2)를 게이트 구동

신호로 출력하고, 캐리 단자(CR)는 제2 게이트 클럭 펄스(CKV2)를 캐리 신호로 출력한다. STAGE4, STAGE8, ..., STAGEN+2 스테이지의 출력 단자(OUT)는 제2 게이트 클럭바 펄스(CKVB2)를 게이트 구동 신호로 출력하고, 캐리 단자(CR)는 제2 게이트 클럭바 펄스(CKVB2)를 캐리 신호로 출력한다.

- [0074] 다시 설명하면, 제1 게이트 구동 회로(130)는 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)가 제1 게이트 클럭 펄스(CKV1)와 제1 게이트 클럭바 펄스(CKVB1)에 동기되어 동작하고, 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)가 제2 게이트 클럭 펄스(CKV2)와 제2 게이트 클럭바 펄스(CKVB1)에 동기되어 동작하는 구조를 가진다.
- [0075] 제1 게이트 구동 회로(130)의 복수의 스테이지(STAGE1, ..., STAGEN+1)의 출력 단자(OUT)는 표시 영역(DA)에 형성된 게이트 라인(GL1, ..., GLn)에 각각 대응하여 연결되며 게이트 구동 신호를 게이트 라인(GL1, ..., GLn)에 순차적으로 공급하여 게이트 라인(GL1, ..., GLn)을 순차적으로 구동한다.
- [0076] 상기 배선부(134)는 회로부(132)에 인접하여 형성된다. 배선부(134)는 서로 평행하도록 연장된 개시 펄스 배선(SL1), 제1 게이트 클럭 펄스 배선(SL2), 제1 게이트 클럭바 펄스 배선(SL3), 제2 게이트 클럭 펄스 배선(SL4), 제2 게이트 클럭바 펄스 배선(SL5), 접지전압배선(SL6), 제1 리셋 배선(SL7) 및 제2 리셋 배선(SL5)을 포함한다.
- [0077] 개시 펄스 배선(SL1)은 제1 레벨 쉬프터(150)로부터 개시 펄스(STVP)를 전달받아 제1 스테이지(STAGE1)의 입력 단자와 n+1 스테이지(STAGEN+1)의 제어 단자(CT)로 입력한다.
- [0078] 제1 게이트 클럭 펄스 배선(SL2)은 제1 레벨 쉬프터(150)로부터 제1 게이트 클럭 펄스(CKV1)를 전달받아 홀수 번째 스테이지 중 STAGE1, STAGE5, ..., STAGE n-1 스테이지의 제1 클럭 단자(CK1)로 제공하고, STAGE3, STAGE7, ..., STAGE n+1 스테이지의 제2 클럭 단자(CK2)로 제공한다.
- [0079] 제1 게이트 클럭바 펄스 배선(SL3)은 제1 레벨 쉬프터(150)로부터 제1 게이트 클럭바 펄스(CKVB1)를 전달받아 홀수 번째 스테이지 중 STAGE1, STAGE5, ..., STAGE n+1의 제1 클럭 단자(CK1)로 제공하고, STAGE3, STAGE7, ..., STAGE n+1 스테이지의 제2 클럭 단자(CK2)로 제공한다.
- [0080] 제2 게이트 클럭 펄스 배선(SL4)은 제2 레벨 쉬프터(160)로부터 제2 게이트 클럭 펄스(CKV2)를 전달받아 짝수 번째 스테이지 중 STAGE2, STAGE6, ..., STAGE n 스테이지의 제1 클럭 단자(CK1)로 제공하고, STAGE4, STAGE8, ..., STAGE n+2 스테이지의 제2 클럭 단자(CK2)로 제공한다.
- [0081] 제2 게이트 클럭바 펄스 배선(SL5)은 제2 레벨 쉬프터(160)로부터 제2 게이트 클럭바 펄스(CKVB2)를 전달받아 짝수 번째 스테이지 중 STAGE4, STAGE8, ..., STAGE n+2의 제1 클럭 단자(CK1)로 제공하고, STAGE2, STAGE6, ..., STAGE n 스테이지의 제2 클럭 단자(CK2)로 제공한다.
- [0082] 접지전압배선(SL6)은 전원 공급부(180)로부터 게이트 오프 전압(VOFF)을 전달받아 제1 내지 제n+2 스테이지(STAGE1, ..., STAGEN+2)의 접지 전압 단자(VSS)로 공급한다.
- [0083] 제1 리셋 배선(SL7)은 제n+2 스테이지(STAGEN+2)의 출력 단자(OUT)의 출력 신호를 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)의 리셋 단자(RE)로 제공한다.
- [0084] 제2 리셋 배선(SL8)은 제n+1 스테이지(STAGE n+1)의 출력 단자(OUT)의 출력 신호를 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)의 리셋 단자(RE)로 제공한다.
- [0085] 제1 및 제2 게이트 구동 회로(130, 140)는 게이트 라인(GL1, ..., GLn)을 기준으로 서로 대칭된 구조를 가지며, 제1 게이트 구동 회로(130)로부터 제2 게이트 구동 회로(140)의 구성을 용이하게 유추할 수 있으므로 제2 게이트 구동 회로(140)의 상세한 설명은 생략한다.
- [0086] 도 5는 도 4에 도시된 제1 스테이지의 예시 회로도이다. 도 4에 도시된 제1 스테이지는 제2 내지 제n+2 스테이지와 동일한 구성을 가지므로 제1 스테이지의 내부 구성을 설명하는 것으로 제2 내지 제n+2 스테이지 각각의 구성에 대한 설명을 대신한다.
- [0087] 도 5에 도시된 바와 같이, 제1 스테이지(STAGE1)는 풀업부(132a), 풀 다운부(132b), 구동부(132c), 홀딩부(133d), 스위칭부(133e) 및 캐리부(133f)를 포함한다.
- [0088] 상기 풀업부(132a)는 제1 클럭 단자(CK1)를 통해 제공되는 제1 게이트 클럭 펄스(CKV1)를 풀업시켜 출력 단자(OUT)를 통해 게이트 구동 신호로 출력한다. 풀업부(132a)는 게이트가 제1 노드(N1)에 연결되고, 드레인이 제

1 클럭 단자(CK1)에 연결되며, 소스가 출력 단자(OUT)에 연결되는 제1 트랜지스터(NT1)를 포함한다.

- [0089] 상기 풀다운부(132b)는 제3 스테이지(STAGE3)로부터의 캐리 신호에 응답하여 풀업된 게이트 구동 신호를 접지 전압 단자(VSS)를 통해 제공되는 게이트 오프 전압(VOFF)으로 풀다운시킨다. 풀다운부(132b)는 게이트가 제어 단자(CT)에 연결되고, 드레인이 출력 단자(OUT)에 연결되며, 소스가 접지 전압 단자(VSS)에 연결된 제2 트랜지스터(NT2)를 포함한다.
- [0090] 상기 구동부(132c)는 입력 단자(IN)를 통해 제공되는 개시 펄스(STVP)에 응답하여 풀업부(132a)를 턴온시키고, 제3 스테이지(STAGE3)의 캐리 신호에 응답하여 턴오프시킨다. 이를 위해 구동부(132c)는 버퍼부, 충전부 및 방전부를 포함한다.
- [0091] 버퍼부는 게이트 및 드레인이 입력 단자(IN)에 공통으로 연결되고, 소스가 제1 노드(N1)에 연결된 제3 트랜지스터(NT3)를 포함한다. 충전부는 제1 전극이 제1 노드(N1)에 연결되고 제2 전극이 제2 노드에 연결된 제1 커패시터(C1)를 포함한다. 방전부는 게이트가 제어 단자(CT)에 연결되고 드레인이 제1 노드(N1)에 연결되며 소스가 접지 전압 단자(VSS)에 연결되는 제4 트랜지스터(NT4)를 포함한다.
- [0092] 입력 단자(IN)에 개시 펄스(STVP)가 입력되면, 이에 응답하여 제3 트랜지스터(NT3)가 턴온되고 개시 펄스(STVP)가 제1 커패시터(C1)에 충전된다. 제1 커패시터(C1)에 제1 트랜지스터(NT1)의 문턱 전압 이상의 전하가 충전되면, 제1 트랜지스터(NT1)가 턴온되어 제1 클럭 단자(CK1)로 제공되는 제1 게이트 클럭 펄스(CKV1)를 출력 단자(OUT)로 출력한다.
- [0093] 이때 노드 1(N1)의 전위는 노드 2(N2)의 갑작스런 전위의 변화에 따른 제1 커패시터(C1)의 커플링(Coupling)에 의해 노드 2(N2)의 전위 변화량 만큼 부트 스트랩(Boot Strap)된다. 따라서 제1 트랜지스터(NT1)는 드레인에 인가된 제1 게이트 클럭 펄스(CKV1)를 출력 단자(OUT)로 용이하게 출력할 수 있게 된다. 출력 단자(OUT)로 출력된 제1 게이트 클럭 펄스(CKV1)은 게이트 라인에 제공되는 게이트 구동 신호가 된다. 여기서 개시 펄스(STVP)는 첫 번째 게이트 구동 신호를 생성하기 위해 제1 트랜지스터(NT1)를 예비로 충전하는 신호로 사용된다.
- [0094] 이후, 제어 단자(CT)를 통해 입력되는 제3 스테이지(STAGE3)의 캐리 신호에 응답하여 제4 트랜지스터(NT4)가 턴온되면 제1 커패시터(C1)에 충전된 전하는 접지 전압 단자(VSS)를 통해 제공되는 게이트 오프 전압(VOFF) 레벨로 방전된다.
- [0095] 상기 홀딩부(133d)는 게이트 구동 신호를 게이트 오프 전압(VOFF) 레벨 상태로 홀딩시키는 제5 및 제6 트랜지스터(NT5, NT6)를 포함한다. 제5 트랜지스터(NT5)는 게이트가 제3 노드(N3)에 연결되고 드레인이 제2 노드(N2)에 연결되며 소스가 접지 전압 단자(VSS)에 연결된다. 제6 트랜지스터(NT6)는 게이트가 제2 클럭 단자(CK2)에 연결되고 드레인이 제2 노드에 연결되며 소스가 접지 전압 단자(VSS)에 연결된다.
- [0096] 상기 스위칭부(133e)는 제7, 제8, 제9 및 제10 트랜지스터(NT7, NT8, NT9, NT10)와 제2 및 제3 커패시터(C2, C3)를 포함하여 홀딩부(133d)의 구동을 제어한다. 제7 트랜지스터(NT7)는 게이트와 드레인이 제1 클럭 단자(CK1)에 연결되고 소스는 제3 노드에 연결된다. 제8 트랜지스터(NT8)는 드레인이 제1 클럭 단자(CK1)에 연결되고 게이트는 제2 커패시터(C2)를 통해 드레인과 연결되며 소스는 제3 노드에 연결되며 제3 커패시터(C3)를 통해 게이트에 연결된다. 제9 트랜지스터(NT9)는 드레인이 제7 트랜지스터(NT7)의 소스에 연결되며 게이트는 제2 노드(N2)에 연결되고 소스는 접지전압단자(VSS)에 연결된다. 제10 트랜지스터(NT10)는 드레인이 제3 노드(N3)에 연결되고 게이트는 제2 노드(N2)에 연결되며 소스는 접지 전압 단자(VSS)에 연결된다.
- [0097] 출력 단자(OUT)로 하이 상태의 게이트 클럭 펄스가 게이트 구동 신호로 출력되면, 제2 노드(N2)의 전위는 하이 상태로 상승한다. 제2 노드(N2)의 전위가 하이 상태로 상승되면 제9 및 제10 트랜지스터(NT9, NT10)는 턴온 상태로 전환한다. 이때 제1 클럭 단자(CK1)로 제동되는 제1 게이트 클럭 펄스(CKV1)에 의해서 제7 및 제8 트랜지스터(NT7, NT8)가 턴온된 상태로 전환되더라도 제7 및 제8 트랜지스터로부터 출력된 신호는 제9 및 제10 트랜지스터(NT9, NT10)를 통해 접지 전압(VOFF)로 방전된다. 따라서 하이 상태의 게이트 구동 신호가 출력되는 동안 제3 노드(N3)의 전위는 로우 상태로 유지되므로 제5 트랜지스터(NT5)는 턴오프 상태를 유지한다.
- [0098] 이후, 제어 단자(CT)를 통해 입력된 제3 스테이지(STAGE3)의 캐리 신호에 응답하여 게이트 구동 신호가 접지 전압 단자(VSS)를 통해 방전되며, 제2 노드(N2)의 전위는 로우 상태로 점차 하강한다. 따라서 제9 및 제10 트랜지스터(NT9, NT10)는 턴오프 상태로 전환되고, 제7 및 제8 트랜지스터(NT7, NT8)로부터 출력된 신호에 의해서 제3 노드(N3)의 전위는 하이 상태로 상승한다. 제3 노드(N3)의 전위가 상승됨에 따라서 제5 트랜지스터(NT5)가 턴온되고 제2 노드(N2)의 전위는 제5 트랜지스터(NT5)를 통해 접지 전압(VOFF)으로 방전된다.

- [0099] 이런 상태에서 제2 클럭 단자(CK2)로 제공되는 제1 게이트 클럭바 펄스(CVKB1)에 의해서 제6 트랜지스터(NT6)가 턴온되면, 제2 노드(N2)의 전위는 접지전압단자(VSSS)를 통해 더욱 확실하게 방전된다.
- [0100] 결과적으로 홀딩부(132d)의 제5 및 제6 트랜지스터(NT5, NT6)는 제2 노드(N2)의 전위를 접지전압(VOFF) 상태로 홀딩시킨다. 스위칭부(132e)는 제5 트랜지스터(NT5)가 턴온되는 시점을 결정한다.
- [0101] 상기 캐리부(133f)는 드레인이 제1 클럭 단자(CK1)에 연결되고 게이트가 제1 노드(N1)에 연결되며, 소스가 캐리 단자(CR)에 연결된 제11 트랜지스터(NT11)를 포함한다. 제11 트랜지스터(NT11)는 제1 노드(N1)의 전위가 상승됨에 따라서 턴온되어 드레인으로 입력된 제1 게이트 클럭 펄스(CKV1)를 캐리 단자(CR)로 출력한다.
- [0102] 한편 제1 스테이지(STAGE1)는 리플 방지부(132g)와 리셋부(132h)를 더 포함한다. 상기 리플 방지부(132g)는 이미 접지 전압(VOFF) 상태로 유지된 게이트 구동 신호가 입력 단자(IN)를 통해 입력되는 노이즈에 의해 리플되는 것을 방지한다. 이를 위해 리플 방지부(132g)는 제12 트랜지스터(NT12)와 제13 트랜지스터(NT13)를 포함한다. 제12 트랜지스터(NT12)는 드레인이 입력 단자(IN)에 연결되고, 게이트가 제2 클럭 단자(CK2)에 연결되며 소스는 제1 노드(N1)에 연결된다. 제13 트랜지스터(NT13)은 드레인이 제1 노드(N1)에 연결되고 게이트가 제1 클럭 단자(CK1)에 연결되며 소스가 제2 노드에 연결된다.
- [0103] 상기 리셋부(132h)는 드레인이 제1 노드(N1)에 연결되고, 게이트가 리셋 단자(RE)에 연결되며, 소스가 접지전압단자(VSS)에 연결된 제14 트랜지스터(NT14)를 포함한다. 제14 트랜지스터(NT14)는 리셋 단자(RE)를 통해 입력된 제n+1 스테이지(STAGEN+1)의 출력 신호에 응답하여 제1 노드(N1)를 접지 전압(VOFF)으로 방전시킨다. 제n+1 스테이지(STAGEN+1)의 출력은 한 프레임의 끝을 의미하므로, 리셋부(132h)는 한 프레임이 끝나는 시점에 홀수 스테이지(STAGE1, STAGE3, ..., STAGEN-1)의 제1 노드(N1)를 방전시키는 역할을 수행한다.
- [0104] 즉 상기 리셋부(132h)는 홀수 스테이지(STAGE1, STAGE3, ..., STAGEN-1)로부터 순차적으로 게이트 구동 신호가 출력된 이후 제n+1 스테이지(STAGEN+1)의 출력 신호에 의해서 홀수 스테이지(STAGE1, STAGE3, ..., STAGEN+1)의 제14 트랜지스터(NT14)가 턴온되게 함으로써, 홀수 스테이지(STAGE1, STAGE3, ..., STAGEN+1)의 제1 노드(N1)를 접지 전압(VOFF)의 상태로 리셋시킨다. 따라서, 이후 회로부(132)의 홀수 스테이지(STAGE1, STAGE3, ..., STAGEN+1)는 초기화된 상태에서 다시 동작을 시작할 수 있다.
- [0105] 도 6a와 도 6b는 본 발명의 일 실시 예에 따른 액정 표시 장치와 종래 액정 표시 장치의 개시 펄스에 따른 게이트 구동 회로의 동작을 비교하기 위한 시뮬레이션 그래프이다.
- [0106] 먼저 도 6a를 참조하여 종래 액정 표시 장치의 개시 펄스에 따른 게이트 구동 회로의 동작을 설명한다. 도 6a에 도시된 바와 같이, 종래 액정 표시 장치의 게이트 구동 회로는 첫 번째 홀수 스테이지(1ST ODD STAGE)를 구동시키는 제1 개시 펄스(STVP1)와 첫 번째 짝수 스테이지(1ST EVEN STAGE)를 구동시키는 제2 개시 펄스(STVP2)에 의해 구동이 시작된다.
- [0107] 제2 개시 펄스(STVP2)는 제1 개시 펄스(STVP1)가 첫 번째 홀수 스테이지(1ST ODD STAGE)의 입력 단자에 제공되고 난 후, 첫 번째 짝수 스테이지(1ST EVEN STAGE)의 입력 단자에 제공된다. 보다 구체적으로 하나의 게이트 라인에 공급되는 게이트 온 전압(VON) 전압이 하이 레벨 상태를 유지하는 시간을 t_{ON} 이라 하면, 제2 개시 펄스(STVP2)는 제1 개시 펄스(STVP1)가 제공된 후, $t_{ON}/2$ 이 경과한 후에 제공된다. 이는 서로 인접한 게이트 라인에 제공되는 게이트 구동 신호를 중첩시켜 게이트 라인 지연에 의한 충전율 부족을 보상하기 위해서이다.
- [0108] 한편 제1 및 제2 개시 펄스(STVP1, STVP2)는 첫 번째 홀수 스테이지(1ST ODD STAGE)와 첫 번째 짝수 스테이지(1ST EVEN STAGE)의 풀업부(132a)인 제1 트랜지스터(NT1)의 게이트를 미리 턴온시키는 예비 신호(N1sig)로 사용될 뿐, 첫 번째 홀수 스테이지(1ST ODD STAGE)와 첫 번째 짝수 스테이지(1ST EVEN STAGE)에서 출력되는 게이트 구동 신호(G1OUT, G2OUT)의 타이밍에 영향을 미치지 않는다. 이는 첫 번째 홀수 스테이지(1ST ODD STAGE)와 첫 번째 짝수 스테이지(1ST EVEN STAGE)에서 출력되는 게이트 구동 신호(G1OUT, G2OUT)는 제1 게이트 클럭 펄스(CKV1)과 제2 게이트 클럭 펄스(CKV2)에 각각 동기되어 출력되기 때문이다.
- [0109] 다음으로 도 6b를 참조하여 본 발명의 일 실시 예에 따른 액정 표시 장치의 개시 펄스에 따른 게이트 구동 회로의 동작을 설명한다. 도 6b에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 액정 표시 장치의 게이트 구동 회로는 하나의 개시 펄스(STVP)에 의해 첫 번째 홀수 스테이지(1ST ODD STAGE)와 첫 번째 짝수 스테이지(1ST EVEN STAGE)를 구동시킨다.
- [0110] 여기서, 개시 펄스(STVP)는 종래 제1 개시 펄스(STVP1)과 동일한 펄스일 수 있다. 바람직하게는 개시 펄스

(STVP)의 라이징 시점은 종래 제1 개시 펄스(STVP1)의 라이징 시점과 동일하며, 폴링 시점은 첫 번째 짝수 스테이지의 입력 단자에 제2 게이트 클럭 펄스(CKV2)가 입력되기 전인 것이 바람직하다.

[0111] 보다 구체적으로 개시 펄스(STVP)는 첫 번째 홀수 스테이지(1ST ODD STAGE)의 입력 단자와 첫 번째 짝수 스테이지(1ST EVEN STAGE)의 입력 단자에 동시에 제공된다. 첫 번째 홀수 스테이지(1ST ODD STAGE)는 제공되는 개시 펄스(STVP)를 제1 커패시터(C1)에 충전시켜, 제1 트랜지스터(NT1)의 게이트를 미리 턴온시키는 예비 신호(N1sig)로 생성하고, 제1 게이트 클럭 펄스(CKV1)에 동기되어 게이트 구동 신호(G1OUT)를 출력한다. 첫 번째 짝수 스테이지(1ST EVEN STAGE)는 제공되는 개시 펄스(STVP)를 제1 커패시터(C1)에 충전시켜, 제1 트랜지스터(NT1)의 게이트를 미리 턴온시키는 예비 신호(N2sig)로 생성하고, 제2 게이트 클럭 펄스(CKV2)에 동기되어 게이트 구동 신호(G2OUT)를 출력한다.

[0112] 이때 첫 번째 짝수 스테이지(1ST EVEN STAGE)의 제1 커패시터(C1)는 첫 번째 홀수 스테이지(1ST ODD STAGE)의 제1 커패시터(C1)에 개시 펄스(STVP)가 충전되는 시점에 충전을 시작하여 제1 트랜지스터(NT1)의 게이트를 턴온시키는 예비 신호(N2sig)를 생성한다. 즉 첫 번째 짝수 스테이지(1ST EVEN STAGE)의 제1 커패시터(C1)는 첫 번째 홀수 스테이지(1ST ODD STAGE)의 제1 커패시터가 예비 신호를 생성하기 위해 충전하는 시간을 포함하여 제2 게이트 클럭 펄스(CKV2)가 하이 상태로 입력될 때까지 충전을 지속한다. 그리고 첫 번째 짝수 스테이지(1ST EVEN STAGE)는 제2 게이트 클럭 펄스(CKV2)가 하이 상태로 입력되면 이를 게이트 구동 신호(G2OUT)로 출력한다.

[0113] 따라서 본 발명의 실시예에 따른 액정 표시 장치는 첫 번째 홀수 스테이지(1ST ODD STAGE)와 첫 번째 짝수 스테이지(1ST EVEN STAGE)가 하나의 개시 펄스(STVP)를 공유하여 동작할 수 있게 된다. 이로써 종래 제1 및 제2 개시 펄스 제공을 위한 배선의 집적 공간이 1/2로 줄어든다.

[0114] 도 7은 도 2에 도시된 다른 제1 및 제2 게이트 구동 회로의 구성 블록도이다. 도 7에 도시된 바와 같이, 제1 및 제2 게이트 구동 회로(130, 140)는 데이터 구동부(120)로부터 각종 신호를 제공받아 전달하는 배선부(134) 및 각종 신호에 응답하여 게이트 구동 신호를 순차적으로 출력하는 회로부(132)를 포함한다.

[0115] 상기 회로부(132)는 서로 종속적으로 연결된 복수의 스테이지(STAGE1, ..., STAGEN+2)를 포함한다. 복수의 스테이지(STAGE1, ..., STAGEN+2)는 리셋 단자(RE)에 n+2 스테이지(STAGEN+2)의 출력 신호가 제공된다.

[0116] 상기 배선부(134)는 서로 평행하도록 연장된 개시 펄스 배선(SL1), 제1 게이트 클럭 펄스 배선(SL2), 제1 게이트 클럭바 펄스 배선(SL3), 제2 게이트 클럭 펄스 배선(SL4), 제2 게이트 클럭바 펄스 배선(SL5), 접지 전압 배선(SL6), 리셋 배선(SL7)을 포함한다. 리셋 배선(SL7)은 제n+2 스테이지(STAGEN+2)의 출력 단자(OUT)의 출력 신호를 복수의 스테이지(STAGE1, ..., STAGEN+2)의 리셋 단자(RE)로 제공한다.

[0117] 다시 설명하면, 본 발명의 다른 실시예에 따른 제1 및 제2 게이트 구동 회로(130, 140)는 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)와 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)가 하나의 리셋 신호를 공유하는 구조를 가진다.

[0118] 도 8a 및 도 8b는 본 발명의 다른 실시예에 따른 액정 표시 장치와 종래 액정 표시 장치의 게이트 구동 회로의 동작을 비교하기 위한 시뮬레이션 그래프이다.

[0119] 도 8a를 참조하면, 종래 액정 표시 장치의 게이트 구동 회로는 제n+1 스테이지(STAGEN+1)의 출력 신호인 제1 리셋 신호(RST1)에 의해 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)가 리셋 되고, 제n+2 스테이지(STAGEN+2)의 출력 신호인 제2 리셋 신호(RST2)에 의해 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)가 리셋된다.

[0120] 도 8b를 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 구동 회로는 제n+2 스테이지(STAGEN+2)의 출력 신호인 하나의 리셋 신호(RST)에 의해 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)와 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)가 동시에 리셋된다.

[0121] 리셋 신호(RST)는 한 프레임의 끝을 알리는 신호로서, 복수의 스테이지의 제14 트랜지스터(T14)를 턴온시켜 제1 노드(N1)를 방전시키는 역할을 하므로 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)의 리셋 단자(RE)에 제n+2 스테이지의 출력 신호를 리셋 신호(RST) 제공하여 홀수 번째 스테이지

(STAGE1, STAGE3, ..., STAGEN+1)를 리셋시키더라도 타이밍상 문제가 발생되지 않는다.

[0122] 따라서 본 발명의 다른 실시 예에 따른 액정 표시 장치는 홀수 번째 스테이지(STAGE1, STAGE3, ..., STAGEN+1)와 짝수 번째 스테이지(STAGE2, STAGE4, ..., STAGEN+2)가 하나의 리셋 신호를 공유하여 동작할 수 있게 된다. 이로써 종래 제1 및 제2 리셋 신호 제공을 위한 배선의 집적 공간이 1/2로 줄어든다.

발명의 효과

[0123] 본 발명의 액정 표시 장치는, 듀얼 게이트 구동 회로의 개시 펄스와 더미 스테이지의 출력 신호를 공유하여 게이트 구동 회로에 연결되는 신호 배선을 감소시킬 수 있기 때문에 신호 배선을 위한 집적 공간이 축소될 수 있다. 신호 배선을 위한 집적 공간의 축소는 기존의 액정 패널 및 액정 패널 제조 공정에 사용되는 장비들을 그대로 사용할 수 있도록 하므로 액정 패널의 제조 단가를 절감시키는 효과가 있다.

[0124] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[0125] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

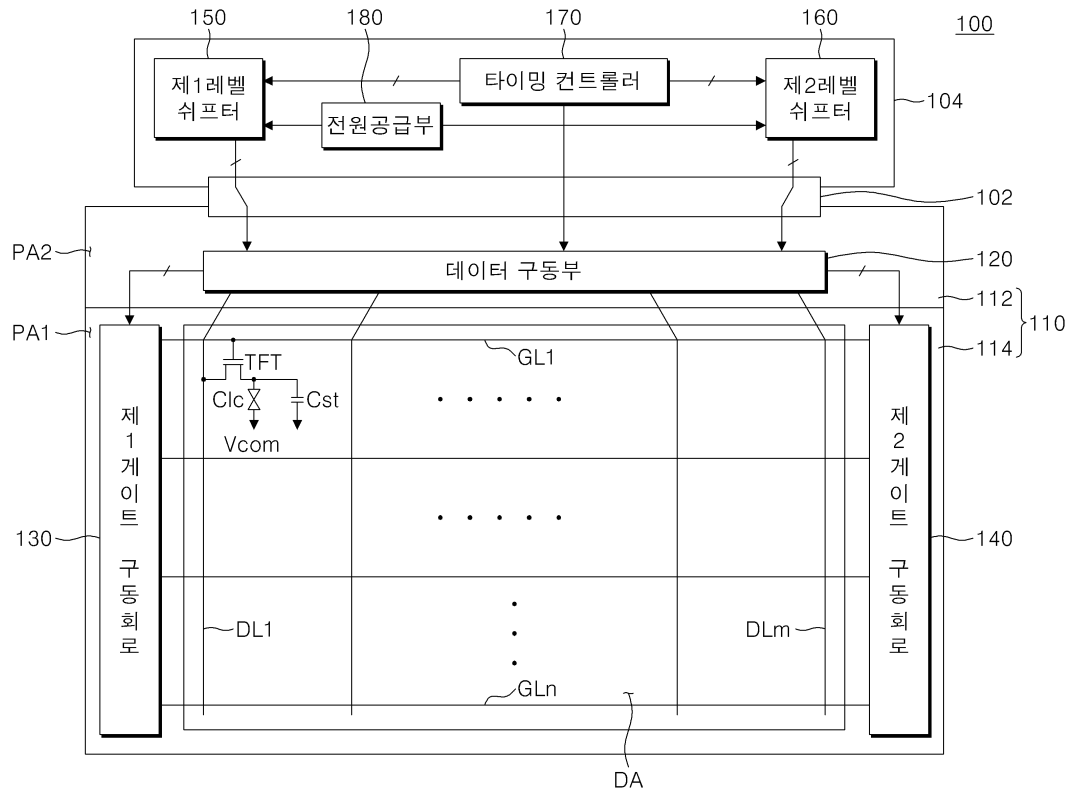
- [0001] 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도,
- [0002] 도 2는 도 1에 도시된 제1 및 제2 레벨 쉬프터의 입출력 신호 관계를 도시한 도면,
- [0003] 도 3은 도 2에 도시된 제1 레벨 쉬프터의 예시 회로도,
- [0004] 도 4는 도 2에 도시된 제1 및 제2 게이트 구동 회로의 구성 블록도,
- [0005] 도 5는 도 4에 도시된 제1 게이트 구동 회로의 스테이지의 예시 회로도
- [0006] 도 6a 및 도 6b는 본 발명의 일 실시 예에 따른 액정 표시 장치와 종래 액정 표시 장치의 개시 펄스에 따른 동작을 비교하기 위한 시뮬레이션 그래프,
- [0007] 도 7은 도 2에 도시된 다른 제1 및 제2 게이트 구동 회로의 구성 블록도, 및
- [0008] 도 8a 및 도 8b는 본 발명의 다른 실시 예에 따른 액정 표시 장치와 종래 액정 표시 장치의 게이트 구동 회로의 동작을 비교하기 위한 시뮬레이션 그래프이다.

[0009] <도면의 주요부분에 대한 부호설명>

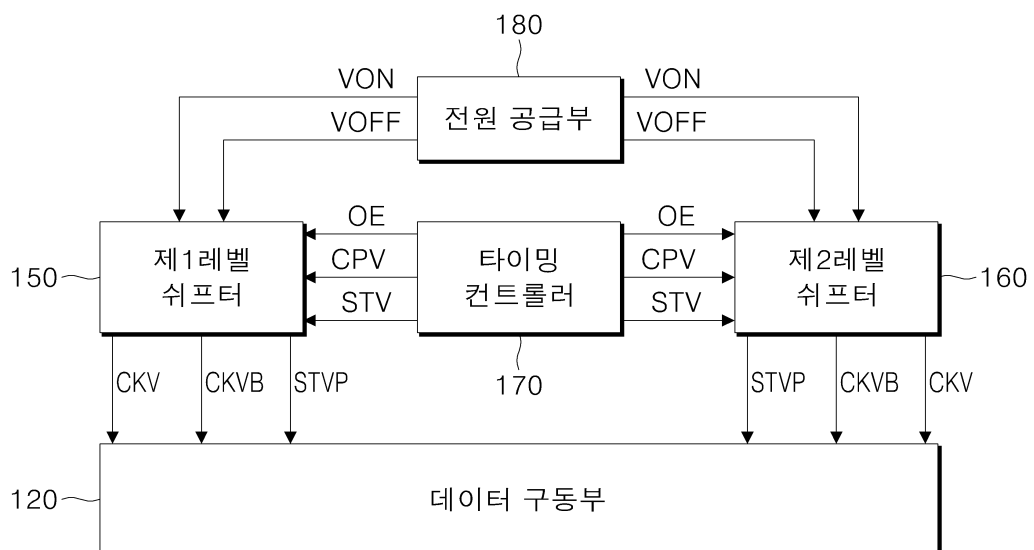
- | | |
|--------------------------|-------------------|
| [0010] 100: 액정 표시 장치 | 110: 액정 패널 |
| [0011] 120: 데이터 구동부 | 130: 제1 게이트 구동 회로 |
| [0012] 140: 제2 게이트 구동 회로 | 150: 제1 레벨 쉬프터 |
| [0013] 160: 제2 레벨 쉬프터 | 170: 타이밍 컨트롤러 |
| [0014] 180: 전원 공급부 | |

도면

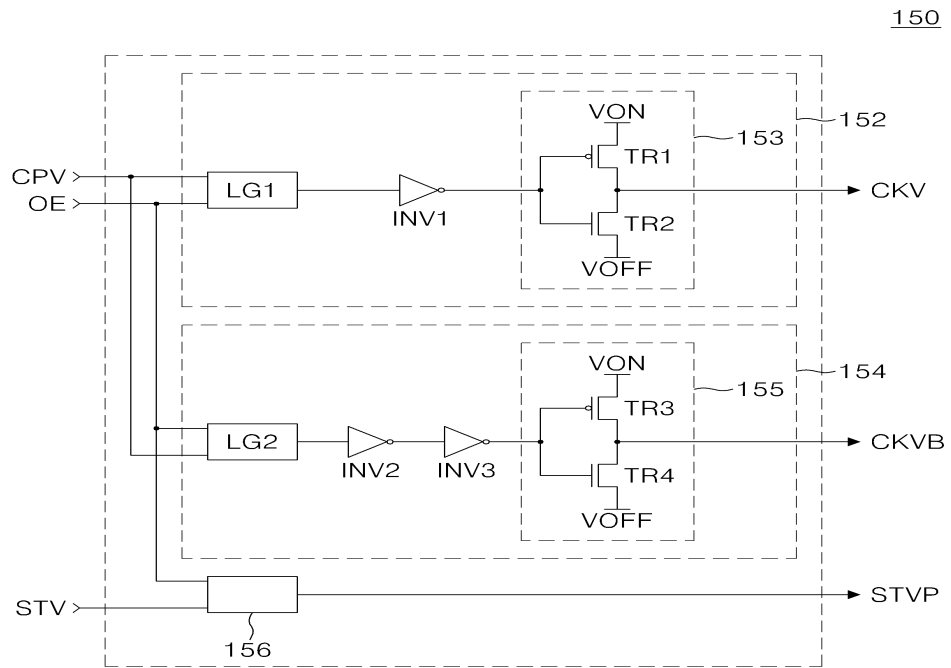
도면1



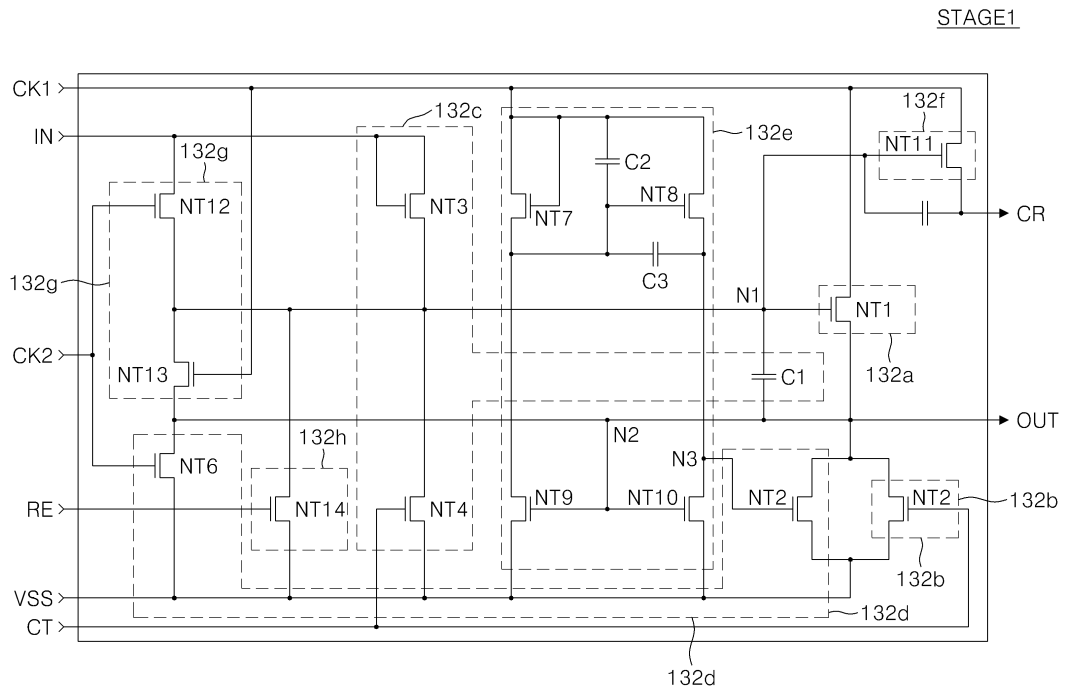
도면2



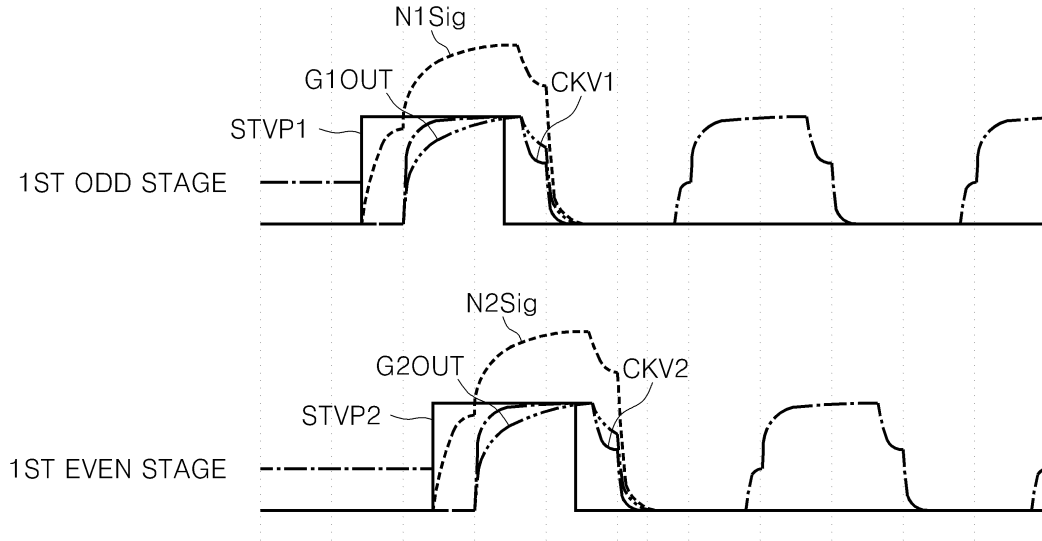
도면3



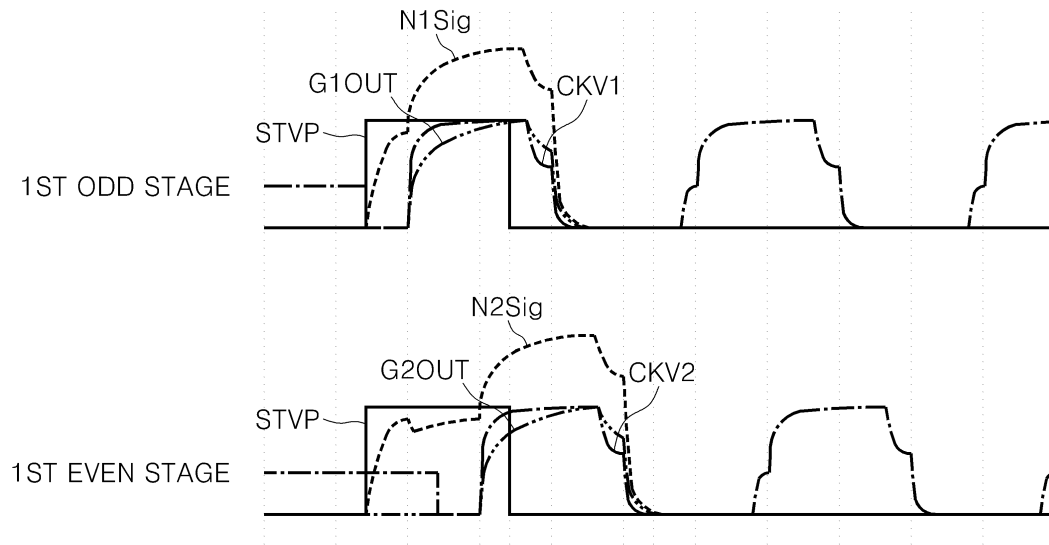
도면5



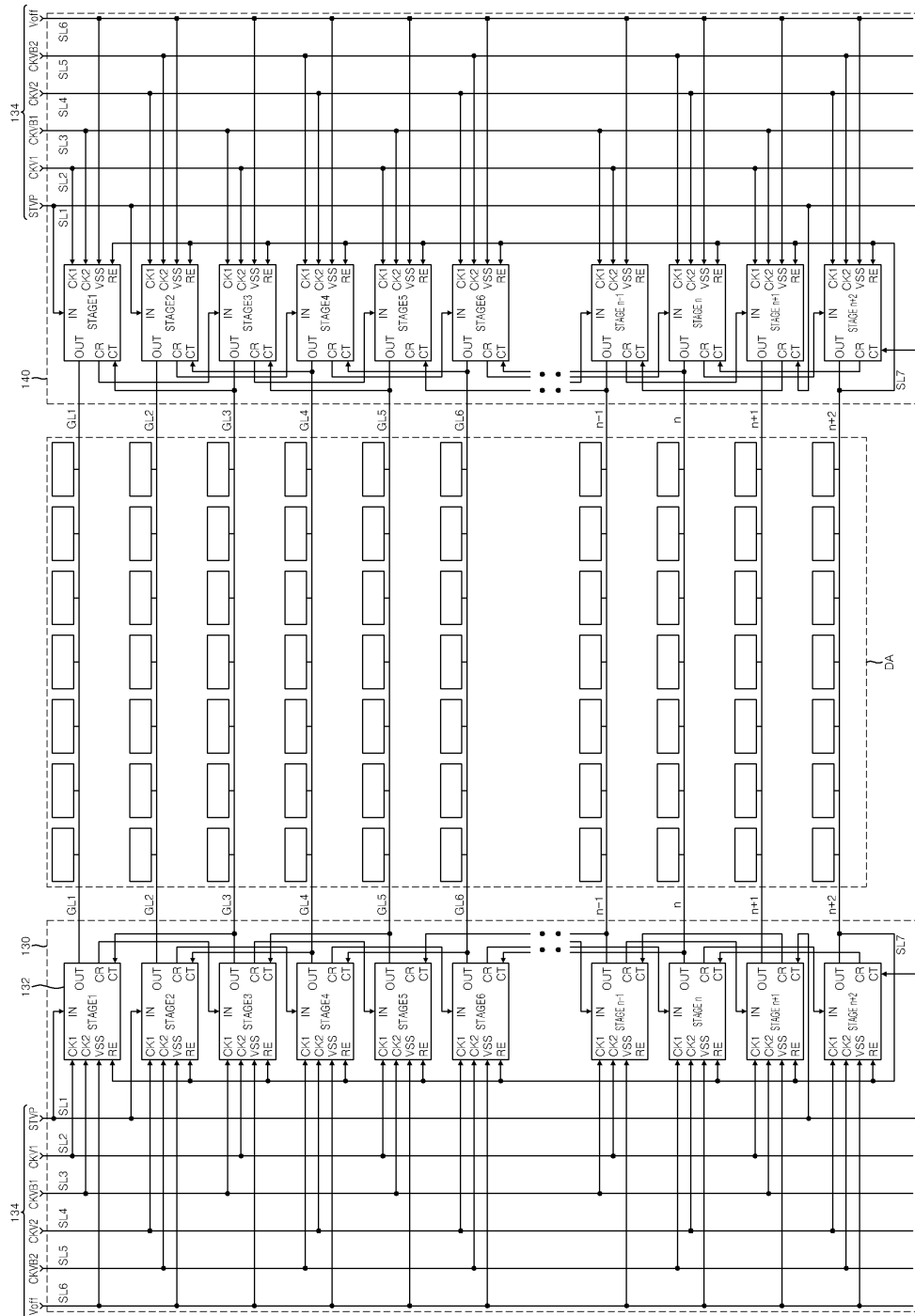
도면6a



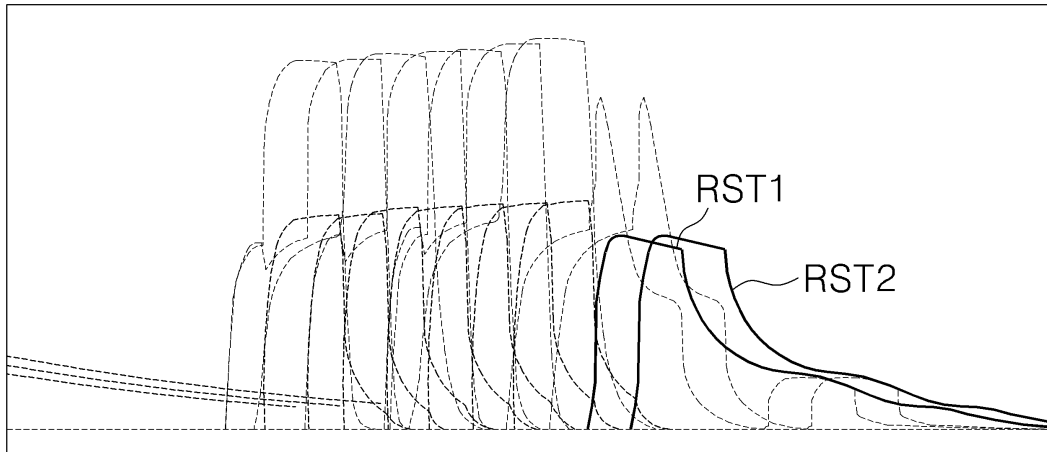
도면6b



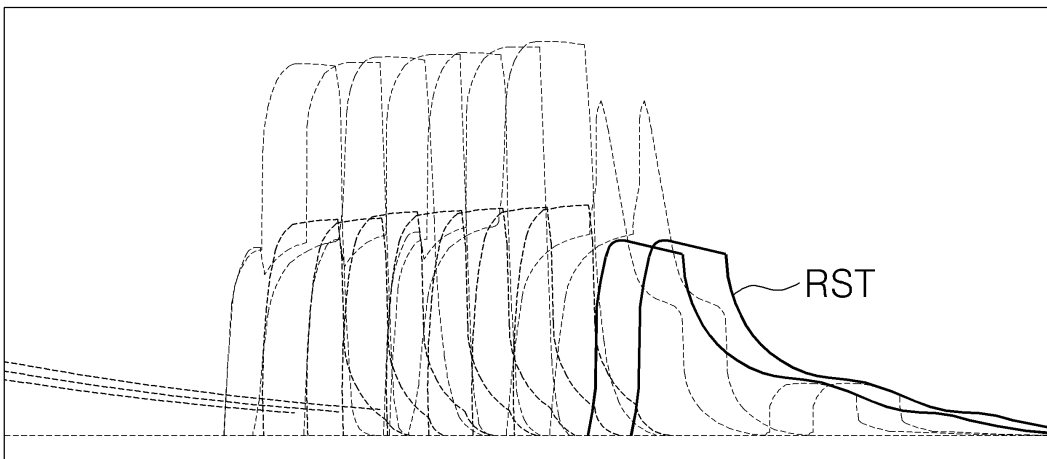
도면7



도면8a



도면8b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1의 8-9째줄

【변경전】

상기 개시 신호

【변경후】

상기 개시 펄스

专利名称(译)	标题：栅极驱动电路和使用它的液晶显示装置		
公开(公告)号	KR101428713B1	公开(公告)日	2014-09-30
申请号	KR1020060125333	申请日	2006-12-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	BAEK SEUNG SOO 백승수 LEE YONG SOON 이용순 LEE MIN CHEOL 이민철 KIM YONG BUM 김용범		
发明人	백승수 이용순 이민철 김용범		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C19/00		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
其他公开文献	KR1020080053597A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。本发明的液晶显示装置包括定时控制器，电平移位器，以及第一和第二栅极驱动电路。时序控制器响应于外部输入信号产生输出使能信号，栅极时钟和启动信号。电平移位器响应于输出使能信号和栅极时钟产生栅极时钟脉冲和栅极时钟条脉冲，并响应于启动信号产生启动脉冲。第一和第二栅极驱动电路响应于起始脉冲输出栅极时钟脉冲或栅极时钟条脉冲，作为要提供给多条栅极线的栅极驱动信号。

