



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월19일
(11) 등록번호 10-1364597
(24) 등록일자 2014년02월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
H02M 7/48 (2007.01)
(21) 출원번호 10-2007-0078922
(22) 출원일자 2007년08월07일
심사청구일자 2012년08월01일
(65) 공개번호 10-2008-0014620
(43) 공개일자 2008년02월14일
(30) 우선권주장
JP-P-2006-00218130 2006년08월10일 일본(JP)
(56) 선행기술조사문헌
JP2004146082 A*
JP2002233133 A*
JP2000050620 A*
JP2004229434 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
재팬 디스플레이 웨스트 인코포레이티드
일본 아이치켄 치타군 히가시우라초 오아자 오가와 50 아자 카미후나키
(72) 발명자
타카하시, 유스케
(일본) 도쿄, 미나토-구, 코난 1-7-1
나카니시, 타카유키
(일본) 도쿄, 미나토-구, 코난 1-7-1
(74) 대리인
김학수, 문경진

전체 청구항 수 : 총 9 항

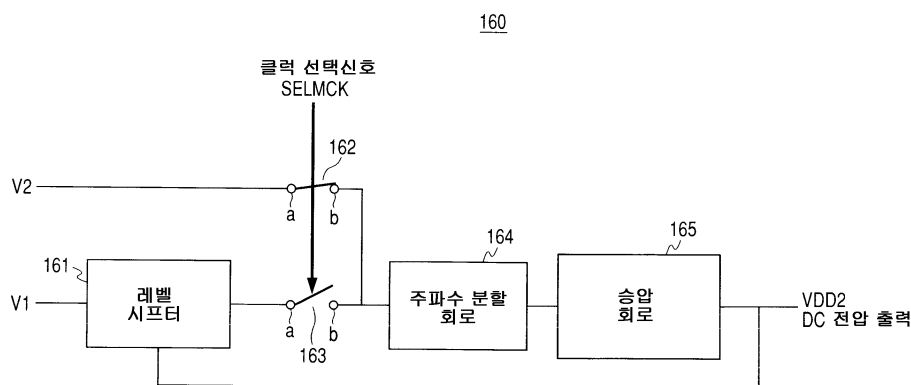
심사관 : 최창락

(54) 발명의 명칭 전원 회로, 디스플레이 디바이스, 및 휴대 단말기

(57) 요약

전원 회로로서, 레벨 시프트 처리가 적용되는 제 1 신호의 주파수를 분할하는 주파수 분할 회로와, 전원 전압에 의해 구동되고, 승압 펄스로서 상기 주파수 분할 회로의 출력 신호, 또는 상기 제 1 신호보다 주파수가 더 낮은 제 2 신호에 따라 전압을 승압시키는 승압 회로와, 레벨 시프터와, 전환 유닛을 포함한다. 전환 유닛은 제 2 신호를 수신하는 전환 회로에 의해 수행된 승압 동작 이후 승압 회로의 승압 전압 출력을 획득하며, 승압된 전압 출력을 레벨 시프터로 입력하여 레벨 시프터가 상기 제 1 신호의 레벨변환을 실행하며, 제 2 신호에 따라 실행되는 승압 동작을 중지시키고, 이후 레벨시프트된 제 1 신호를 주파수 분할 회로를 통해서 상기 승압 회로에 입력시켜서 최종 승압 전압을 획득한다.

대표도 - 도7



특허청구의 범위

청구항 1

전원 전압에 의해 구동되고, 적어도 레벨 시프터 처리가 적용된 제 1 신호의 주파수를 분할하는 주파수 분할 회로와,

전원 전압에 의해 구동되고, 주파수 분할 회로의 출력 신호 또는 제 1 신호보다 주파수가 낮은 제 2 신호를 승압 펄스로 해서 승압 처리를 실행하는 승압 회로와,

승압 회로의 출력 전압에 의해 제 1 신호의 레벨을 시프트 가능하게 하는 레벨 시프터와,

레벨 시프터의 출력 신호의 주파수 분할 회로에의 입력, 및 제 2 신호의 주파수 분할 회로 또는 승압 회로에의 입력을 상보적으로 실행하는 전환 유닛을 포함하며,

제 1 신호는 제 1 진폭을 가지고, 제 2 신호는 제 1 진폭을 포함하는 제 1 진폭 이상이며 전원 전압 레벨 이하의 레벨인 제 2 진폭을 가지며,

제 1 신호는, 제 2 신호에 의한 승압으로, 경부하 또는 무부하 상태를 제외한 부하가 있는 상태에서의 승압 회로의 출력에서, 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환이 불가능한 고주파 펄스이며,

제 2 신호는 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환 가능한 저주파 펄스이며,

전환 유닛은, 승압 회로의 승압 전압 출력 대상의 회로를 기동하기 전에, 경부하 또는 무부하 상태에서 제 2 신호를 승압 회로에 입력시켜 승압 동작을 실행하게 하고, 승압 전압 출력을 레벨 시프터에 입력시켜 제 1 신호의 레벨 변환을 실행하게 하고, 제 2 신호에 의한 승압 동작을 정지시켜 레벨 시프트된 제 1 신호를 주파수 분할 회로를 통해서 승압 회로에 입력시켜 최종 승압 전압을 승압 전압 출력 대상의 회로에 출력시키는, 전원 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

제 2 신호는 전환 유닛을 거쳐서 주파수 분할 회로에 입력되는, 전원 회로.

청구항 5

제 1항에 있어서,

제 2 신호는 주파수 분할되어 전환 유닛에 공급되며,

전환 유닛은 주파수 분할된 제 2 신호를 승압 회로에 입력하는, 전원 회로.

청구항 6

제 1항에 있어서,

제 1 신호는 외부로부터 공급되는 마스터 클럭이며,

제 2 신호는 영상 신호의 수평 동기 신호인, 전원 회로.

청구항 7

제 1항에 있어서,

절연 기판 위에 형성된 저온 폴리실리콘 박막 트랜지스터를 포함하며, 주파수 편차를 가지는 펄스 신호를 생성하는 발진기를 가지며,

제 2 신호는 발진기의 발진 출력이며, 전환 유닛에 의해 주파수 분할 회로에 공급되고, 주파수 분할 회로는 주파수 편차를 보정하는 기능을 가지는, 전원 회로.

청구항 8

픽셀이 매트릭스 형상으로 배치된 디스플레이 유닛과,

디스플레이 유닛을 구동하는 구동 회로와,

내부 구동 전압을 생성하는 전원 회로를 포함하며,

전원 회로는,

전원 전압에 의해 구동되고, 적어도 레벨 시프트 처리가 적용된 제 1 신호의 주파수를 분할하는 주파수 분할 회로와,

전원 전압에 의해 구동되고, 주파수 분할 회로의 출력 신호 또는 제 1 신호보다 주파수가 낮은 제 2 신호를 승압 펄스로 해서 승압 처리를 실행하는 승압 회로와,

승압 회로의 출력 전압에 의해 제 1 신호의 레벨을 시프트 가능하게 하는 레벨 시프터와,

레벨 시프터의 출력 신호의 주파수 분할 회로에의 입력 및, 제 2 신호의 주파수 분할 회로 또는 승압 회로에의 입력을 상보적으로 실행하는 전환 유닛을 포함하며,

제 1 신호는 제 1 진폭을 가지고, 제 2 신호는 제 1 진폭을 포함하는 제 1 진폭 이상이며 전원 전압 레벨 이하의 레벨인 제 2 진폭을 가지며,

제 1 신호는, 제 2 신호에 의한 승압으로, 경부하 또는 무부하 상태를 제외한 부하가 있는 상태에서의 승압 회로의 출력에서, 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환이 불가능한 고주파 펄스이며,

제 2 신호는 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환 가능한 저주파 펄스이며,

전환 유닛은, 승압 회로의 승압 전압 출력 대상의 회로를 기동하기 전에, 경부하 또는 무부하 상태에서 제 2 신호를 승압 회로에 입력시켜 승압 동작을 실행하게 하고, 승압 전압 출력을 레벨 시프터에 입력시켜 제 1 신호의 레벨 변환을 실행하게 하고, 제 2 신호에 의한 승압 동작을 정지시켜 레벨 시프트된 제 1 신호를 주파수 분할 회로를 통해서 승압 회로에 입력시켜 최종 승압 전압을 승압 전압 출력 대상의 회로에 출력시키는, 디스플레이 디바이스.

청구항 9

제 8항에 있어서,

제 1 신호는 외부로부터 공급되는 마스터 클럭이며,

제 2 신호는 영상 신호의 수평 동기 신호인, 디스플레이 디바이스.

청구항 10

제 8항에 있어서,

절연 기판 위에 형성된 저온 폴리실리콘 박막 트랜지스터를 포함하며, 주파수 편차를 가지는 펄스 신호를 생성하는 발진기를 가지며,

제 2 신호는 발진기의 발진 출력이며, 전환 유닛에 의해 주파수 분할 회로에 공급되고,

주파수 분할 회로는 주파수 편차를 보정하는 기능을 가지는, 디스플레이 디바이스.

청구항 11

디스플레이 디바이스를 포함하는 휴대 단말기로서,

디스플레이 디바이스는,

픽셀이 매트릭스 형상으로 배치된 디스플레이 유닛과,

디스플레이 유닛을 구동하는 구동 회로와,

내부 구동 전압을 생성하는 전원 회로를 포함하고,

전원 회로는,

전원 전압에 의해 구동되고, 적어도 레벨 시프트 처리가 적용된 제 1 신호의 주파수를 분할하는 주파수 분할 회로와,

전원 전압에 의해 구동되고, 주파수 분할 회로의 출력 신호 또는 제 1 신호보다 주파수가 낮은 제 2 신호를 승압 펄스로 해서 승압 처리를 실행하는 승압 회로와,

승압 회로의 출력 전압에 의해 제 1 신호의 레벨을 시프트 가능하게 하는 레벨 시프터와,

레벨 시프터의 출력 신호의 주파수 분할 회로에의 입력 및, 제 2 신호의 주파수 분할 회로 또는 승압 회로에의 입력을 상보적으로 실행하는 전환 유닛을 포함하며,

제 1 신호는 제 1 진폭을 가지고, 제 2 신호는 제 1 진폭을 포함하는 제 1 진폭 이상이며 전원 전압 레벨 이하인 레벨인 제 2 진폭을 가지며,

제 1 신호는, 제 2 신호에 의한 승압으로, 경부하 또는 무부하 상태를 제외한 부하가 있는 상태에서의 승압 회로의 출력에서, 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환이 불가능한 고주파 펄스이며,

제 2 신호는 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환 가능한 저주파 펄스이며,

전환 유닛은, 승압 회로의 승압 전압 출력 대상의 회로를 기동하기 전에, 경부하 또는 무부하 상태에서 제 2 신호를 승압 회로에 입력시켜 승압 동작을 실행하게 하고, 승압 전압 출력을 레벨 시프터에 입력시켜 제 1 신호의 레벨 변환을 실행하게 하고, 제 2 신호에 의한 승압 동작을 정지시켜 레벨 시프트된 제 1 신호를 주파수 분할 회로를 통해서 승압 회로에 입력시켜 최종 승압 전압을 승압 전압 출력 대상의 회로에 출력시키는, 휴대 단말기.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 2006년 8월 10일 일본 특허청에 등록된 일본 특허 출원 JP 2006-218130에 관련된 주제를 포함하며, 이것의 전체 내용은 여기에 참조로 포함된다.

배경 기술

[0002] 본 발명은, 절연 기판 위에 형성된 저온 폴리실리콘 박막 트랜지스터에 의해 형성되는 전원 회로, 액정 디스플레이 디바이스 등의 능동 매트릭스형 디스플레이 디바이스 및 그것을 이용한 휴대 단말에 관한 것이다.

[0003] 최근에, 휴대 전화기나 PDA(Personal Digital Assistants) 등의 휴대 단말기가 널리 보급되었다. 이들 휴대 단말의 급속한 보급 요인의 하나로서, 그 출력 디스플레이 유닛로서 탑재되어 있는 액정 디스플레이 디바이스를 들 수 있다. 그 이유는, 액정 디스플레이 디바이스가 원리적으로 구동하기 위한 전력을 필요로 하지 않는 특성을 가지며, 저소비 전력의 디스플레이 디바이스이기 때문이다.

[0004] 현재, 그러한 능동 매트릭스 형 디스플레이의 수가 증가해 오고 있으며, 이것은 픽셀에 대한 스위칭 요소와 같은 폴리실리콘 TFT(박막 트랜지스터)를 사용하며, 매트릭스로 배열된 픽셀을 포함하는 디스플레이 영역의 기판과 동일한 기판 위에서 디지털 인터페이스 구동 회로를 가진다. 이 구조에서, 디지털 인터페이스 구동 회로는 디스플레이 영역에 일체로 제공된다.

[0005] 이 구동 회로 일체형 디스플레이 디바이스에 있어서, 능동 디스플레이 유닛(active display unit)의 주변 영역(周邊部; peripheral area)(프레임(額縁; frame))에 수평 구동 시스템이나 수직 구동 시스템이 배치되고, 이들 구동 시스템이 저온 폴리실리콘 TFT를 이용하여 픽셀 영역과 함께 동일 기판 위에 일체적으로 형성된다.

[0006] 도 1은, 일반적인 구동 회로 일체형 디스플레이 디바이스의 개략 구조를 도시하는 도면이다(예를 들면,

JA-A-2002-175033 참조).

- [0007] 도 1에 도시하는 바와 같이, 이 액정 디스플레이 디바이스는, 투명 절연 기관, 예를 들면 유리 기관(1) 위에, 액정 셀을 포함하는 복수(複數)의 픽셀가 매트릭스형상으로 배치된 능동 디스플레이 유닛(2), 도 1에 있어서 능동 디스플레이 유닛(2)의 상하에 배치된 한 쌍의 수평 구동 회로(H드라이버)(3U, 3D), 도 1에서 능동 디스플레이 유닛(2)의 측부(side)에 배치된 수직 구동 회로(V드라이버)(4), 복수의 기준 전압을 발생하는 기준 전압 발생 회로(5) 및, 데이터 처리 회로(6) 등이 집적되어 있다.
- [0008] 도면에서 알 수 있는 바와 같이, 도 1의 구동 회로 일체형 디스플레이 디바이스는, 데이터 라인의 홀수(奇數; odd) 라인과 짝수(偶數; even) 라인을 별도로 구동하기 위해 2개의 수평 구동 회로(3U, 3D)를 능동 픽셀 유닛(2)의 양(兩)사이드(도 1에서는 상하)에 배치한다.
- [0009] 도 2는, 홀수 라인과 짝수 라인을 별도로 구동하기 위해 도 1에 도시된 수평 구동 회로(3U, 3D)의 구조예를 도시하는 블록도이다.
- [0010] 도 2에 도시하는 바와 같이, 홀수 라인 구동용 수평 구동 회로(3U)와 짝수 라인 구동용 수평 구동 회로(3D)는 동일한 구조를 가지고 있다.
- [0011] 구체적으로는, 수평 전송 클럭 HCK(도시하지 않음)와 동기해서 각 전송 채널(轉送段; transfer channel)로부터 순차 시프트 펄스(샘플링 펄스)를 출력하는 시프트 레지스터(HSR)군(3HSRU, 3HSRD)과, 시프트 레지스터(31U, 31D)로부터 주어지는(인가되는) 샘플링 펄스에 따라 디지털 화상 데이터를 순차적으로 샘플링해서 래치시키는 샘플링 래치 회로군(3SMPLU, 3SMPLD)과, 샘플링 래치 회로(32U, 32D)로부터 각각의 래치 데이터의 선형 순차 처리(線順次化; linearly sequential processing)를 실행하기 위한 선형 순차 처리 래치 회로군(3LTCU, 3LTCD)과, 선형 순차 처리 래치 회로(33U, 33D)에서 선형 순차 처리된 디지털 화상 데이터를 아날로그 화상 신호로 변환하는 디지털/아날로그 변환 회로(DAC)군(3DACU, 3DACD)을 가진다.
- [0012] 일반적으로, DAC(34U, 34D)의 입력단에는, 레벨 시프트 회로가 배치되고, 레벨업된(level-raised) 데이터가 DAC(34)에 입력된다.

[0013]

발명의 내용

해결 하고자하는 과제

- [0014] 도 1 및 다른 도면에 도시된 액정 디스플레이 디바이스에 따라, 패널 내 구성 성분들을 위한 구동 전압을 생성하기 위해 외부로부터 인가된 소정 레벨의 마스터 클럭 MCK와 동기해서, DC-DC 컨버터로 이루어지는 전원 회로에서 외부로부터 공급된 전압의 레벨이 시프트된다(승압된다). 이 구동 전압은 절연 기관 위에 형성된 원하는 회로에 공급된다.
- [0015] 현재 저온 폴리실리콘 TFT에서는 임계값 전압 V_{th} 가 재상승시에 1.5V 정도까지 상승한다.
- [0016] 그러나, 바람직한 저전력 소모 형 시스템을 제공하기 위해서는, 액정 디스플레이 디바이스에 입력되는 동기 신호 및 화상 데이터는 고주파수 및 저전압으로 되는 경향이 있다.
- [0017] 동기 신호 및 화상 데이터가 고주파수 및 저전압 신호 및 데이터가 되면, 저온 폴리실리콘 TFT 프로세스에 의해서 형성되는 패널 내부에서는, 외부로부터 입력되는 고주파수 및 저전압 신호의 레벨시프트가 어렵다.
- [0018] 인터페이스의 전압 및 주파수에 의존하지 않는 독립된 회로 블록을 구조 및 제어할 수 있는 전원 회로, 그것을 이용한 디스플레이 디바이스 및, 휴대 단말기를 제공하는 것이 바람직하다.

과제 해결수단

- [0019] 본 발명의 실시예에 따라, 전원 전압에 의해 구동되고, 적어도 레벨시프트 처리를 받은 제 1 신호의 주파수를 분할하는 주파수 분할 회로와, 전원 전압에 의해 구동되고, 승압 펄스로서 주파수 분할 회로의 출력 신호 또는 제 1 신호보다 주파수가 낮은 제 2 신호를 승압 펄스로 해서 승압 처리를 실행하는 승압 회로와, 승압 회로의 출력 전압에 의해 제 1 신호의 레벨을 시프트 가능하게 하는 레벨 시프터와, 레벨 시프터의 출력 신호의 주파수 분할 회로에의 입력, 및 제 2 신호의 주파수 분할 회로 또는 승압 회로에의 입력을 상보적으로 실행하는 전환 유닛(switching unit)을 포함하는 전원 회로가 제공된다. 제 1 신호는 제 1 진폭을 가지고, 제 2 신호는 제 1

진폭을 포함하는 제 1 진폭 이상이며 전원 전압의 레벨 이하인 레벨인 제 2 진폭을 가지고, 제 1 신호는, 제 2 신호에 의한 승압으로, 경부하 또는 무부하 상태를 제외한 부하가 있는 상태에서의 승압 회로의 출력에서, 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환이 불가능한 고주파 펄스이며, 제 2 신호는 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환 가능한 저주파 펄스이며, 전환 유닛은, 승압 회로의 승압 전압 출력 대상의 회로를 기동하기 전에, 경부하 또는 무부하 상태에서 제 2 신호를 승압 회로에 입력시켜 승압 동작을 실행하게 하고, 승압 전압 출력을 레벨 시프터에 입력시켜 제 1 신호의 레벨 변환을 실행하게 하고, 제 2 신호에 의한 승압 동작을 정지시켜 레벨 시프트된 제 1 신호를 주파수 분할 회로를 통해서 승압 회로에 입력시켜 최종 승압 전압을 승압 전압 출력 대상의 회로에 출력시킨다.

[0020] 본 발명의 또다른 실시예에 따라 디스플레이 디바이스는, 픽셀이 매트릭스 형상으로 배치된 디스플레이 유닛과, 디스플레이 유닛을 구동하는 구동 회로와, 내부 구동 전압을 생성하는 전원 회로를 적어도 포함한다. 전원 회로는, 전원 전압에 의해 구동되고, 적어도 레벨 시프트 처리가 적용된 제 1 신호의 주파수를 분할하는 주파수 분할 회로와, 전원 전압에 의해 구동되고, 주파수 분할 회로의 출력 신호 또는 제 1 신호보다 주파수가 낮은 제 2 신호를 승압 펄스로 해서 승압 처리를 행하는 승압 회로와, 승압 회로의 출력 전압에 의해 제 1 신호를 시프트 가능하게 하는 레벨 시프터와, 레벨 시프트의 출력 신호의 주파수 분할 회로에의 입력 및, 제 2 신호의 주파수 분할 회로 또는 승압 회로에의 입력을 상보적으로 실행하는 전환 유닛을 포함한다. 제 1 신호는 제 1 진폭을 가지고, 제 2 신호는 해당 제 1 진폭을 포함하는 제 1 진폭 이상이며 전원 전압의 레벨 이하의 레벨인 제 2 진폭을 가진다. 제 1 신호는, 제 2 신호에 의한 승압으로, 경부하 또는 무부하 상태를 제외한 부하가 있는 상태에서의 승압 회로의 출력에서, 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환이 불가능한 고주파 펄스이며, 제 2 신호는 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환 가능한 저주파 펄스이며, 전환 유닛은, 승압 회로의 승압 전압 출력 대상의 회로를 기동하기 전에, 경부하 또는 무부하 상태에서 제 2 신호를 승압 회로에 입력시켜 승압 동작을 실행하게 하고, 승압 전압 출력을 레벨 시프터에 입력시켜 제 1 신호의 레벨 변환을 실행하게 하고, 제 2 신호에 의한 승압 동작을 정지시켜 레벨 시프트된 제 1 신호를 주파수 분할 회로를 통해서 승압 회로에 입력시켜 최종 승압 전압을 승압 전압 출력 대상의 회로에 출력시킨다.

[0021] 본 발명의 추가적인 실시예에 따라, 디스플레이 디바이스를 포함하는 휴대 단말기가 제공된다. 디스플레이 디바이스는, 픽셀이 매트릭스 형상으로 배치된 디스플레이 유닛과, 디스플레이 유닛을 구동하는 구동 회로와, 내부 구동 전압을 생성하는 전원 회로를 적어도 포함하고, 전원 회로는, 전원 전압에 의해 구동되고, 적어도 레벨 시프트 처리가 적용된 제 1 신호의 주파수를 분할하는 주파수 분할 회로와, 전원 전압에 의해 구동되고, 주파수 분할 회로의 출력 신호 또는 제 1 신호보다 주파수가 낮은 제 2 신호를 승압 펄스로 해서 승압 처리를 실행하는 승압 회로와, 승압 회로의 출력 전압에 의해 제 1 신호의 레벨을 시프트 가능하게 하는 레벨 시프터와, 레벨 시프터의 출력 신호의 주파수 분할 회로에의 입력, 및 제 2 신호의 주파수 분할 회로 또는 승압 회로에의 입력을 상보적으로 실행하는 전환 유닛을 가지고, 제 1 신호는 제 1 진폭을 가지고, 제 2 신호는 제 1 진폭을 포함하는 제 1 진폭 이상이며 전원 전압 레벨 이하의 레벨인 제 2 진폭을 가지며, 제 1 신호는, 제 2 신호에 의한 승압으로, 경부하 또는 무부하 상태를 제외한 부하가 있는 상태에서의 승압 회로의 출력에서, 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환이 불가능한 고주파 펄스이며, 제 2 신호는 제 1 진폭 레벨로부터 전원 전압 레벨로 레벨 변환 가능한 저주파 펄스이며, 전환 유닛은, 승압 회로의 승압 전압 출력 대상의 회로를 기동하기 전에, 경부하 또는 무부하 상태에서 제 2 신호를 승압 회로에 입력시켜 승압 동작을 실행하게 하고, 승압 전압 출력을 레벨 시프터에 입력시켜 제 1 신호의 레벨 변환을 실행하게 하고, 제 2 신호에 의한 승압 동작을 정지시켜 레벨 시프트된 제 1 신호를 주파수 분할 회로를 통해서 승압 회로에 입력시켜 최종 승압 전압을 승압 전압 출력 대상의 회로에 출력시킨다.

[0022] 본 발명에 따르면, 예를 들면 승압 회로로부터 승압 출력이 입력되는 회로를 기동하기 전에 승압 회로에 의해 전압을 높이기 위해, 전환 유닛은 제 2 신호를 승압 회로로 입력시킨다.

[0023] 이후, 전환 유닛은 제 2 신호에 따라 승압 전압 출력을 레벨 시프터에 입력하여 레벨 시프터가 제 1 신호의 레벨 변환을 실행하게 한다.

[0024] 제 2 신호에 따라 실행되는 승압 동작을 중지시킨 후, 전환 유닛은 주파수 분할을 위한 주파수 분할 회로에 레벨 시프트된 제 1 신호를 인가시키고, 이후, 안정된 승압 출력을 획득하기 위해 승압 회로에 인가시킨다.

효 과

[0025] 본 발명에 따르면, 인터페이스의 전압 및 주파수에 독립적인 회로 블록을 구조 및 제어할 수 있다. 따라서, 저

전압 및 고주파수 형에 대해 적합한 회로 일체형 액정 디스플레이 디바이스가 제공될 수 있다.

발명의 실시를 위한 구체적인 내용

- [0026] 이하, 본 발명의 실시예에 대해서 도면을 참조하여 상세하게 설명한다.
- [0027] 도 3 및 도 4는, 본 발명의 제 1 실시예에 따른 구동 회로 일체형 디스플레이 디바이스의 구조예를 도시하는 개략 구조도로서, 도 3은 본 제 1 실시예에 따른 구동 회로 일체형 디스플레이 디바이스의 배치 구조를 도시하는 도면이며, 도 4는 본 제 1 실시예에 따른 구동 회로 일체형 디스플레이 디바이스의 회로 기능을 도시하는 시스템 블록도이다.
- [0028] 이 실시예에서, 각 픽셀의 전기 광학 소자로서 액정 셀을 이용한 능동 매트릭스 형 액정 디스플레이 디바이스에 적용한 경우를 예로 들어 설명한다.
- [0029] 이 액정 디스플레이 디바이스(10)는, 도 3에 도시하는 바와 같이, 투명 절연 기판, 예를 들면 유리 기판(11) 위에, 액정 셀을 포함하는 복수의 픽셀이 매트릭스 형상으로 배치된 능동 디스플레이 유닛(ACDSP)(12), 도 3에 있어서 능동 디스플레이 유닛(12)의 상하에 배치된 한 쌍의 제 1 및 제 2 수평 구동 회로(H드라이버, HDRV)(13U, 13D), 도 1에 있어서 능동 디스플레이 유닛(2)의 측부에 배치된 수직 구동 회로(V드라이버, VDRV)(14), 데이터 처리 회로(DATA PRC)(15), DC-DC 컨버터에 의해 형성된 전원 회로(DC-DC)(16), 인터페이스 회로(I/F)(17), 타이밍 생성기(TG)(18) 및, 복수의 구동 기준 전압을 수평 구동 회로(13U, 13D) 등에 공급하는 기준 전압 구동 회로(REF DRV)(19) 등이 집적되어 있다.
- [0030] 더욱이, 유리 기판(11)의 제 2 수평 구동 회로(13D)의 배치 위치 근방의 주변 영역에는 입력 데이터 등을 위한 입력 패드(20)가 형성되어 있다.
- [0031] 유리 기판(11)은, 능동 소자(예를 들면, 트랜지스터)를 포함하는 복수의 픽셀 회로가 매트릭스형상으로 배치 형성되는 제 1 기판과, 이 제 1 기판과 소정의 간극(間隙; clearance)을 가지고 대향해서 배치되는 제 2 기판을 포함한다. 이들 제 1, 제 2 기판 사이에 액정이 봉입(封入; seal)된다.
- [0032] 절연 기판에 형성되는 회로군은, 저온 폴리실리콘 TFT 프로세스에 의해 형성되어 있다. 이 구동 회로 일체형 디스플레이 디바이스(10)는, 능동 디스플레이 유닛의 주변 영역(프레임)에 수평 구동 시스템이나 수직 구동 시스템이 배치되고, 이들 구동 시스템이 폴리실리콘 TFT를 이용하여 픽셀 영역(pixel area)과 함께 동일 기판 위에 일체적으로 형성된다.
- [0033] 본 실시예의 구동 회로 일체형 액정 디스플레이 디바이스(10)는, 2개의 수평 구동 회로(13U, 13D)를 능동 픽셀 유닛(2)의 양 사이드(도 3에서는 상하)에 배치하고 있는데, 이는 데이터 라인의 홀수 라인과 짝수 라인으로 나누어 구동하기 위해서이다.
- [0034] 2개의 수평 구동 회로(13U, 13D)에 있어서는, 3개의 디지털 데이터를, 샘플링 래치 회로에 각각 저장(格納; store)하고, 1 수평 기간(H) 중에 공용(common)의 디지털/아날로그 변환 회로에서 3회 아날로그 데이터로의 변환 처리를 행하고, 3개의 아날로그 데이터를 수평 기간내에서 시분할적으로 선택하여 데이터 라인(신호선)에 출력하는 것에 의해 RGB 선택기 방식을 채용하고 있다.
- [0035] 본 실시예에 있어서는, 3개의 디지털 화상 데이터 R, G, B 중, 디지털 R데이터를 제 1 디지털 데이터, 디지털 B 데이터를 제 2 디지털 데이터, 디지털 G데이터를 제3 디지털 데이터로 가정한다.
- [0036] 이하, 본 실시예의 액정 디스플레이 디바이스(10)의 각 구성요소의 구조 및 기능에 대해서 순서를 따라서 설명한다.
- [0037] 능동 디스플레이 유닛(12)은, 액정 셀을 포함하며 매트릭스로 배열된 복수의 픽셀을 포함한다.
- [0038] 그리고, 능동 디스플레이 유닛(12)은, 수평 구동 회로(13U, 13D) 및, 수직 구동 회로(14)에 의해 구동되며 매트릭스로 배열된 데이터 라인 및 수직 주사 라인을 더 포함한다.
- [0039] 도 5는, 능동 디스플레이 유닛(12)의 구체적인 구조의 일예를 도시하는 도면이다.
- [0040] 여기에서는, 도면의 간략화를 위해서, 3행(n-1행~n+1행) 4열(m-2열~m+1열)의 픽셀 배열인 경우를 예로 들어 도시하고 있다.
- [0041] 도 5에 있어서, 디스플레이 유닛(12)에는, 수직 주사 라인(121n-1, 121n, 121n+1, 등)과, 데이터 라인(122m-2,

122m-1, 122m, 122m+1, 등)이 매트릭스 형상으로 배선되고, 그들의 교점 부분에 단위 픽셀(123)이 배치되어 있다.

- [0042] 단위 픽셀(123)은, 픽셀 트랜지스터인 박막 트랜지스터 TFT, 액정 셀 LC 및 보존유지 용량(保持容量; holding capacitance) Cs를 가지는 구조로 되어 있다. 여기서, 액정 셀 LC는, 박막 트랜지스터 TFT로 형성되는 픽셀 전극(한쪽의 전극)과 이것에 대해서 형성되는 대향 전극(다른 쪽의 전극) 사이에서 발생하는 용량을 의미한다.
- [0043] 박막 트랜지스터 TFT의 게이트 전극은 수직 주사 라인(121n-1, 121n, 121n+1, 등)에 접속되고, 소스 전극은 데이터 라인(122m-2, 122m-1, 122m, 122m+1, 등)에 접속된다. 액정 셀 LC의 픽셀 전극은 박막 트랜지스터 TFT의 드레인 전극에 연결되어 있고, 액정 셀(LC)의 대향 전극은 공통 라인(124)에 연결된다. 보존유지 용량 Cs는, 박막 트랜지스터 TFT의 드레인 전극과 공통 라인(124) 사이에 접속되어 있다.
- [0044] 공통 라인(124)에는, 유리 기판(11)에 구동 회로 등과 일체적으로 형성되는 VCOM 회로(21)에 의해 소정의 교류 전압이 공통 전압(common voltage) Vcom으로서 인가된다.
- [0045] 각각의 수직 주사 라인(121n-1, 121n, 121n+1, 등)의 한 단부는, 도 3에 도시하는 수직 구동 회로(14)의 대응하는 행의 각 출력단(出力端)에 각각 접속된다.
- [0046] 수직 구동 회로(14)는, 예를 들면 시프트 레지스터를 포함하고, 수직 전송 클럭 VCK(미도시)와 동기하여 순차적으로 수직 선택 펄스를 발생하여 수직 주사 라인(121n-1, 121n, 121n+1, 등)에 출력하는 것에 의해서 수직 주사를 행한다.
- [0047] 또, 디스플레이 유닛(12)에 있어서, 예를 들면 각각의 데이터 라인(122m-1, 122m+1, 등)의 한 단부는 도 3에 도시하는 제 1 수평 구동 회로(13U)의 대응하는 열의 각 출력단에, 각각의 다른 단부는 도 3에 도시하는 제 2 수평 구동 회로(13D)의 대응하는 열의 각 출력단에 각각 접속된다.
- [0048] 제 1 수평 구동 회로(13U)는, R데이터, B데이터 및, G데이터의 3개의 디지털 데이터를, 대응하는 샘플링 래치 회로에 각각 저장하고, 1 수평 기간(H) 중에 3회 아날로그 데이터로의 변환 처리를 행하고, 3개의 데이터를 수평 기간 내에 시분할적으로 선택하여 대응하는 데이터 라인에 출력한다.
- [0049] 제 1 수평 구동 회로(13U)는, 제 1 및 제 2 샘플링 래치 회로에 의해 래치된 R 데이터와 B데이터를 제 1 래치 회로에 전송하며, RGB 선택기 시스템에 따른 시간-공유 방식으로 제 2 래치 회로로 추가로 전송한다. 시간-공유 방식으로 R 데이터 및 B 데이터를 전송하는 동안, 제 1 수평 구동 회로(13U)는 제 3 샘플링 래치 회로에 의해 래치된 G 데이터를 제 3 래치 회로에 전송한다. 이후, 제 1 수평 구동 회로(13U)는 1 수평 기간 내 제 2 및 제 3 래치 회로에 의해 래치된 R, G, 및 B데이터를 선택적으로 출력하여 선택된 데이터를 아날로그 데이터로 변환하며, 이후 회로(13U)는 상기 수평 기간 내에 시간-공유 방식으로 세 개의 아날로그 데이터를 선택하여 이 선택된 데이터를 대응하는 데이터 라인에 출력한다.
- [0050] 명백한 바와 같이, 본 실시예의 수평 구동 회로(13U)에 있어서는, RGB 선택기 시스템을 실현하기 위해서, 2개의 디지털 R, B데이터용의 제 1 래치 시퀀스와, 1개의 디지털 G데이터용의 제 2 래치 시퀀스를 병렬적(parallel)으로 배치하고, 선택기 이후의 디지털/아날로그 변환 회로(DAC), 아날로그 버퍼, 라인 선택기를 공유하도록 제공하는 것에 의해, 협프레임화(狹額縁化; frame narrowing), 저소비 전력화를 도모하고 있다.
- [0051] 제 2 수평 구동 회로(13D)는, 기본적으로는 제 1 수평 구동 회로(13U)와 동일한 구조를 가진다.
- [0052] 도 6은, 본 실시예의 제 1 수평 구동 회로(13U)와 제 2 수평 구동 회로(13D)의 기본적 구조예를 도시하는 블록도이다. 이하에서는 수평 구동 회로(13)로서 집합적으로 참조된다. 이 수평 구동 회로(13U 및 13D)는, 3개의 디지털 데이터에 대응한 기본적인 구조를 나타내고, 실제로는, 유사한 복수의 구조가 병렬로 배열된다.
- [0053] 수평 구동 회로(13)는, 도 6에 도시하는 바와 같이, 시프트 레지스터(HSR)군(13HSR), 샘플링 래치 회로군(13SMPL), 래치 출력 선택 스위치(13OSEL), 디지털/아날로그 변환 회로(13DAC), 아날로그 버퍼(13ABUF) 및, 라인 선택기(13LSEL)를 가진다.
- [0054] 시프트 레지스터군(13HSRU)은, 수평 전송 클럭 HCK(미도시)과 동기해서 각 열에 대응하는 각 전송 채널로부터 순차 시프트 펄스(샘플링 펄스)를 샘플링 래치 회로군(13SMPL)에 출력하는 복수의 시프트 레지스터(HSR)를 가진다.
- [0055] 샘플링 래치 회로군(13SMPL)은, 제 1 디지털 데이터인 R데이터를 순차 샘플링하여 래치시키는 제 1 샘플링 래치 회로(131)와, 제 2 디지털 데이터인 B데이터를 순차 샘플링하여 래치하고, 또 제 1 샘플링 래치 회로(131)에 래

치된 R데이터를 소정의 타이밍에서 래치시키는 제 2 샘플링 래치 회로(132)와, 제3 디지털 데이터인 G데이터를 순차 샘플링하여 래치시키는 제3 샘플링 래치 회로(133)와, 제 2 샘플링 래치 회로(132)에 래치된 디지털 데이터 R 또는 B데이터를 직렬(직렬)로 전송하기 위한 제 1 래치 회로(134)와, 제 1 래치 회로(134)에 래치된 디지털 R 또는 B데이터를 보다 높은 전압 진폭으로 변환해서 래치시키는 레벨시프트 기능을 가지는 제 2 래치 회로(135)와, 제3 샘플링 래치 회로(133)에 래치된 디지털 G데이터를 보다 높은 전압 진폭으로 변환하여 래치시키는 레벨시프트 기능을 가지는(구비하는) 제3 래치 회로(136)를 가진다.

- [0056] 이와 같은 구조를 가지는 샘플링 래치 회로군(13SMPL)에 따라, 제 1 샘플링 래치 회로(131), 제 2 샘플링 래치 회로(132), 제 1 래치 회로(134) 및, 제 2 래치 회로(135)에 의해 제 1 래치 시퀀스(137)가 형성되고, 제3 샘플링 래치 회로(133) 및 제3 래치 회로(136)에 의해 제 2 래치 시퀀스(138)가 형성되어 있다.
- [0057] 본 실시예에서는, 데이터 처리 회로(15)로부터 각 수평 구동 회로(13U, 13D)에 입력되는 데이터는 0~3V(2. 9V) 레벨의 레벨로 공급된다.
- [0058] 그리고, 샘플링 래치 회로군(13SMPL)의 출력단인 제 2 및 제4 래치 회로(135, 136)의 레벨시프트 기능에 의해, 예를 들면-2. 3V~4. 8V 레벨로 레벨업된다.
- [0059] 래치 출력 선택 스위치(130SEL)는, 샘플링 래치 회로군(13SMPL)의 출력을 선택적으로 전환하여 디지털/아날로그 회로(13DAC)에 출력한다.
- [0060] 디지털/아날로그 변환 회로(13DAC)는, 1수평 기간 중에 3회 디지털/아날로그 변환을 행한다. 즉, 디지털/아날로그 변환 회로(13DAC)는, 1수평 기간 중에 3개의 디지털 R, B, G 데이터를 아날로그 데이터로 변환한다.
- [0061] 아날로그 버퍼(13ABUF)는, 디지털/아날로그 변환 회로(13DAC)에 의해 아날로그 신호로 변환된 R, B, G데이터를 버퍼링하여 라인 선택기(13LESL)에 출력한다.
- [0062] 라인 선택기(13LSEL)는 1수평 기간에 있어서 3개의 아날로그 R, B, G데이터를 선택하고, 대응하는 데이터 라인 DTL-R, DTL-B, DTL-G에 출력한다.
- [0063] 여기서, 수평 구동 회로(13)에 있어서의 동작에 대해서 설명한다.
- [0064] 수평 구동 회로(13)에 있어서, 화상 데이터를 샘플링할 때, 제 1, 제 2 및 제3 샘플링 래치 회로(131, 132, 133)에 연속하는 화상 데이터를 저장한다.
- [0065] 수평 방향 1라인 모든 데이터를 제 1, 제 2 및, 제3 샘플링 래치 회로(131~133)에 저장하는 것이 완료하면, 수평 방향 블랭킹 기간에 제 2 샘플링 래치 회로(132) 내의 데이터를 제 1 래치 회로(134)에 전송한다. 제 1 래치 회로(134)에 전송된 이후 즉시 데이터는 제 2 래치 회로(135)에 전송되어 여기에 저장한다.
- [0066] 다음에, 제 1 샘플링 래치 회로(131) 내의 데이터를 제 2 샘플링 래치(132)에 전송하고, 제 2 샘플링 래치(132)에 전송된 이후 즉시 제 1 래치 회로(134)에 전송하여 저장한다. 동일한 기간 동안, 제3 샘플링 래치 회로(133) 내에 포함된 데이터를 제3 래치 회로(136)에 전송한다.
- [0067] 후속하여, 다음의 수평 방향 1라인의 데이터를, 제 1, 제 2 및, 제3 샘플링 래치 회로(131, 132, 133)에 저장한다.
- [0068] 다음의 수평 방향 1라인의 데이터를 저장하고 있는 동안에, 제 2 래치 회로(135) 및 제3 래치 회로(136)에 저장되어 있는 데이터를, 래치 출력 선택 스위치(130SEL)가 전환하는 것에 의해 디지털/아날로그 변환 회로(13DAC)에 출력한다.
- [0069] 그 후, 제 1 래치 회로(134)에 저장되어 있는 데이터를 제 2 래치 회로(135)에 전송해서 저장한다. 그 데이터를 래치 출력 선택 스위치(130SEL)가 전환되는 것에 의해 디지털/아날로그 변환 회로(13DAC)에 출력한다.
- [0070] 이 샘플링 래치 시스템은 3개의 디지털 데이터를 디지털/아날로그 변환 회로(13DAC)에 출력하기 때문에, 높은 정확도 및 협프레임화를 증가시키도록 기여한다.
- [0071] 제3 디지털 데이터는, 수평 방향 1라인의 데이터를 저장하고 있는 동안 전송 작업을 수반하지 않는 것, RGB 선택기 구동의 경우는 B(Blue)→G(Green)→R(Red)의 순으로 기록(write)하는 것이, 액정의 VT특성 등의 관점에서 좋지 때문에, 인간의 눈(眼)에 가장 영향을 미치기 쉬운 색의 데이터, 다시 말해 G데이터로 하는 것에 의해, 화질 불균일(non-uniformity)에 강해진다.
- [0072] 데이터 처리 회로(15)는, 도 4에 도시하는 바와 같이, 외부에서 입력된 병렬인 디지털 R, G, B데이터의 레벨을

0-3V(2.9V)레벨에서 6V 레벨로 시프트하는 레벨 시프터(151), 레벨시프트된 R, G, B데이터의 위상 조정이나 주파수를 더 낮추기 위해 직렬 데이터를 병렬 데이터로 변환하기 위한 직렬/병렬 변환 회로(152), 병렬 데이터를 6V계에서 0-3V(2.9V)레벨로 다운시프트하여 홀수 데이터(DATA-ODD)를 수평 구동 회로(13U)에 출력하고, 짝수 데이터(DATA-EVEN)를 수평 구동 회로(13D)에 출력하는 다운 컨버터(153)를 가진다.

- [0073] 전원 회로(16)는, 승압 펄스 변환 시스템을 채용한 DC-DC 컨버터를 포함하고, 예를 들면 외부로부터 액정 전압(인터페이스 전압) VDD1(예를 들면 2.9V)이 공급되고, 이 전압을 인터페이스 회로(17)로부터 공급되는 마스터 클럭 MCK나 수평 동기 신호 HSYNC와 동기해서, 또는 내장되어 있는 발진 회로 등을 이용해서, 또는 주파수가 낮고, 발진 주파수에 편차(variation)가 있는 클럭을 소정의 보정 시스템으로 보정된 보정 클럭 및 수평 동기 HSYNC에 의거해서 2배의 6V계의 내부 패널 전압 VDD2(예를 들면 5.8V)로 승압하고, 패널 내부의 각 회로에 공급한다.
- [0074] 전원 회로(16)는, 내부 패널 전압으로서 부전압(negative voltage)인 VSS2(예를 들면, -1.9V), VSS3(예를 들면, -3.8V)을 생성해서 패널 내부의 소정 회로(인터페이스 회로 등)에 공급한다.
- [0075] 인터페이스 회로(17)는, 외부로부터 공급되는 마스터 클럭 MCK, 수평 동기 신호 HSYNC, 수직 동기 신호 VSYNC의 레벨을 패널 내부 논리 레벨(예를 들면 VDD2 레벨)까지 레벨시프트하고, 레벨시프트 후의 마스터 클럭 MCK, 수평 동기 신호 HSYNC, 수직 동기 신호 VSYNC를 타이밍 생성기(18)에 공급하고, 또 수평 동기 신호 HSYNC를 전원 회로(16)에 공급한다.
- [0076] 인터페이스 회로(17)는, 전원 회로(16)가 마스터 클럭을 이용하지 않고 내장된 발진 회로의 클럭을 보정한 보정 클럭에 의거해서 승압을 행하는 구조인 경우에는, 마스터 클럭 MCK의 전원 회로(16)에의 공급은 행하지 않도록 구조가능하다. 대안적으로, 인터페이스 회로(17)로부터 전원 회로(16)에 마스터 클럭 MCK의 공급 라인을 그대로, 전원 회로(16) 측에서 마스터 클럭 MCK를 승압에 사용하지 않도록 설계하는 것도 가능하다.
- [0077] 타이밍 생성기(18)는, 인터페이스 회로(17)에 의해 공급된 마스터 클럭 MCK, 수평 동기 신호 HSYNC, 수직 동기 신호 VSYNC와 동기해서, 수평 구동 회로(13U, 13D)의 클럭으로서 이용되는 수평 시작 펄스 HST 및 수평 클럭 펄스 HCK(HCKX), 수직 구동 회로(14)의 클럭으로서 이용되는 수직 시작 펄스 VST 및 수직 클럭 펄스 VCK(VCKX)를 생성하며, 수평 시작 펄스 HST, 수평 클럭 펄스 HCK(HCKX)를 수평 구동 회로(13U, 13D)에 공급하고, 수직 시작 펄스 VST, 수직 클럭 펄스 VCK(VCKX)를 수직 구동 회로(14)에 공급한다.
- [0078] 여기서, 본 실시예의 특징적인 구조인, 외부로부터의 액정 전압 VDD1을 2배의 6V 레벨의 내부 패널 전압 VDD2(예를 들면, 5.8V)으로 승압하고, 패널 내부의 각 회로에 공급하는 전원 회로(16)의 DC-DC 컨버터의 구조에 대해서 설명한다.
- [0079] 도 7은, 본 제 1 실시예에 따른 승압 펄스 변환 시스템을 이용한 DC-DC 컨버터의 기본 구조를 도시하는 블록도이다.
- [0080] 도 7의 DC-DC 컨버터(160)에는, 2개의 주파수가 다른 승압 펄스 생성용 입력 신호 V1, V2가 공급되고, 크게는 레벨 시프터(161), 전환 스위치(162, 163), 주파수 분할 회로(164) 및, 승압 회로(165)를 포함한다. 전환 스위치(162, 163)은 전환 유닛을 제공한다.
- [0081] DC-DC 컨버터(160)에 있어서는, 주파수 분할 회로(164)와 승압 회로(165)는 전원 전압 VDD에 의해서 구동되고, 2개의 입력 신호는 각각 진폭 AMP1이 $VDDI$ (인터페이스 전압)인 신호 V1과, 진폭 AMP2가 $VDDI \leq AMP2 \leq VDD$ 인 신호 V2이다.
- [0082] 신호 V1은 VDDI에서 VDD로 레벨변환이 불가능한 고주파수 펄스이며, 신호 V2는 VDDI에서 VDD로 레벨변환이 가능한 저주파수 펄스이다.
- [0083] 신호 V1이 레벨 시프터(161)에 입력되고, 신호 V2가 스위치(162)에 입력된다.
- [0084] 스위치(162)의 고정 접점 a가 신호 V2의 입력 라인에 접속되고, 작동 접점 b가 주파수 분할 회로(164)의 입력에 접속되어 있다.
- [0085] 스위치(163)의 고정 접점 a가 레벨 시프터(161)의 출력에 접속되고, 작동 접점 b가 주파수 분할 회로(164)의 입력에 접속되어 있다.
- [0086] 스위치(162)와 스위치(163)는, 클럭 선택 신호 SELMCK에 의해 상보적으로 온, 오프된다. 예를 들면 클럭 선택 신호 SELMCK가 로우(LOW) 레벨일 때 스위치(162)가 온하고, 스위치(163)가 오프한다. 클럭 선택 신호 SELMCK가

하이(HIGH) 레벨일 때 스위치(162)가 오프하고, 스위치(163)가 온 한다.

- [0087] 주파수 분할 회로(164)의 출력이 승압 회로(165)에 접속되고, 승압 회로(165)로부터 승압된 DC전압 VDD2가 출력되고, 이 전압 VDD2는 레벨 시프터(161)에도 공급된다.
- [0088] 이와 같은 구조를 가지는 DC-DC 컨버터(160)에 있어서는, DC-DC 컨버터(160)에 접속된 회로군을 기동하기 전에, 클럭 선택 신호 SELMCK에 의해 스위치(162)를 온시키고, 스위치(163)를 오프시켜서, 신호 V2를 주파수 분할 회로(164)를 거쳐서 승압 회로(165)에 승압 펄스로서 공급하여 승압을 행하고, 안정된 승압 전압 출력 VDD2를 얻는다.
- [0089] 그러나, 신호 V2에 의거한 승압에서는, 승압의 주파수가 낮기 때문에 그대로 회로군을 기동하면, DC-DC 컨버터(160)의 전류 공급 능력이 부족하여, 원하는 전압 출력을 유지(維持; maintain)할 수가 없다.
- [0090] 그래서, 경부하(light load)(또는, 무부하)로 기동한 DC-DC 컨버터(160)의 안정 출력 VDD2를 이용하는 것에 의해 신호 V1을 VDDI에서 VDD로 레벨 변환할 수가 있다. 이 때, 클럭 선택 신호 SELMCK에 의해 스위치(162)를 오프시키고, 스위치(163)를 온시켜서, 신호 V1을 주파수 분할 회로(164)에 입력시킨다. 이것에 의해, 주파수 분할 회로(164)를 구동할 수 있는 고주파수의 승압 펄스가 얻어진다.
- [0091] 이와 같이, 클럭 선택 신호 SELMCK를 이용하여 승압 펄스를 V2로 전환하여 승압하고, 출력 안정 후에 접속된 회로군을 기동함으로써 원하는 전류 공급 능력과 전압 출력이 얻어진다.
- [0092] 이상, 본 실시예에 관련된 전원 회로의 DC-DC 컨버터의 기본 개념에 대해서 설명했다. 이하에, 본 실시예에 관련된 전원 회로의 DC-DC 컨버터의 구체적인 구조예에 대해서 설명한다.
- [0093] 도 8은, 본 제 1 실시예에 따른 승압 펄스 변환 시스템을 이용한 DC-DC 컨버터의 구체적인 구조예를 도시하는 블록도이다.
- [0094] 도 9의 차트 (a)~(f)는 도 8의 DC-DC 컨버터의 타이밍차트이다.
- [0095] 도 8의 DC-DC 컨버터(160A)는, 폴리실리콘 TFT 유리 기판 위에 제공되고, 진폭 VDDI의 MCK 및 HSYNC를 외부 입력 신호로서 수취한다. MCK는 액정 구동 장치의 마스터 클럭, HSYNC는 수평 동기 신호를 나타낸다.
- [0096] 마스터 클럭 MCK는 기판 위에 있어서 VDDI에서 VDD로 레벨변환이 불가능한 고주파 펄스이며, 도 7의 신호 V1에 대응한다. 수평 동기 신호 HSYNC는 기판 위에 있어서 VDDI에서 VDD로 레벨변환 가능한 저주파 펄스이며, 도 7의 신호 V2에 대응한다.
- [0097] 도 8의 DC-DC 컨버터(160A)는, 신호 V2로서의 수평 동기 신호 HSYNC를 2분주하는 토글형(toggle-type) 플립 플롭(TFF)(166)을 가지고, 이분된 클럭 CK1을 스위치(162)를 거쳐서 승압 회로(165)에 입력하도록 제공되어 있다. 또, 마스터 클럭 MCK가 레벨 시프터(161)에 의해 레벨시프트된 클럭 CK2가 스위치(163)를 거쳐서 주파수 분할 회로(164)에 입력되도록 제공되어 있다.
- [0098] 그리고, 수평 동기 신호 HSYNC는 주파수 분할 회로(164)에도 공급되고, 클럭 선택 신호 SELMCK가 레벨 시프터(161)에도 공급되고 있다.
- [0099] 도 8의 DC-DC 컨버터(160A)에 있어서는, 클럭 CK1은 수평 동기 신호 HSYNC를 TFF(166)에 의해 이분하고 VDD로 레벨변환한 신호이며 승압 회로(165)를 구동할 수 있는 적절한 주파수이기 때문에 그 이상의 분주는 필요없고, 그대로 승압 회로(165)에 공급된다.
- [0100] 또, 클럭 선택 신호 SELMCK가 로우 레벨인 경우에는 스위치(162)가 온하고, 스위치(163)가 오프하고, 레벨 시프터(161)가 리셋된다.
- [0101] 한편, 클럭 선택 신호 SELMCK가 하이 레벨인 경우에는, 스위치(162)가 오프하고, 스위치(163)가 온하고, 레벨 시프터(161)가 동작 상태로 된다.
- [0102] 다음에, 상기 구조에 의한 동작을 설명한다.
- [0103] 외부로부터의 공급 전압 VDD0, VDD1이 전원 회로(16)에 입력된다.
- [0104] 전원 회로(16)의 DC-DC 컨버터(160A)에 따라, DC-DC 컨버터에 접속된 회로 의 중지 시점 및 로우 레벨 클럭 선택 신호 SELMCK일 때, 클럭 CK1이 승압 회로(165)에 공급된다. 승압 회로(165)는 클럭 CK1을 승압 펄스로 해서 승압을 행하고, 안정된 전압 출력 VDD2를 얻는다.

- [0105] DC-DC 컨버터(160A)의 안정 출력 VDD2를 이용하여 클럭 CK2를 VDDI에서 VDD로 레벨 변환하는 것에 의해 주파수 분할 회로를 구동할 수 있는 고주파수의 승압 펄스가 얻어진다.
- [0106] 이 단계 이후, 클럭 선택 신호 SELMCK가 하이 레벨로 설정되어, 클럭 CK2가 스위치(163), 주파수 분할 회로(164)를 통해 승압 회로(165)에 공급된다. 승압 회로(165)는 클럭 CK2를 승압 펄스로서 승압하고, 접속된 회로군을 기동함으로써 원하는 전류 공급 능력과 전압 출력 VDD2가 얻어진다.
- [0107] 이후, 외부에서 입력된 병렬의 디지털 데이터는, 유리 기관(11) 위의 데이터 처리 회로(15)에서 위상 조정이나 주파수를 낮추기 위한 병렬 변환이 행해지고, R데이터, B데이터 및, G데이터가 제 1 및 제 2 수평 구동 회로(13U, 13D)에 출력된다.
- [0108] 제 1 및 제 2 수평 구동 회로(13U, 13D)에서는, 데이터 처리 회로(15)에서 입력된 디지털 G데이터가 제3 샘플링 래치 회로(133)에 의해 1H 기간 동안 순차 샘플링되어 보존유지된다. 그 후, 수평의 블랭킹 기간 동안 제3 래치 회로(136)에 전송된다.
- [0109] 동시에, R데이터와 B데이터가 제 1 및 제 2 샘플링 래치 회로(131, 132)에 의해 별도로 1H 기간 동안 샘플링되어 보존유지된다. 이후 R데이터와 B데이터는 수평 블랭킹 기간에 각각의 제 1 래치 회로(134)에 전송된다.
- [0110] 하나의 수평 라인상에 있는 모든 데이터가 제 1, 제 2 및, 제3 샘플링 래치 회로(131~133)에 저장될 때, 수평 방향 블랭킹 기간동안 제 2 샘플링 래치 회로(132) 내의 데이터가 제 1 래치 회로(134)에 전송된다. 데이터는 제 1 래치 회로(134)에 전송된 이후, 즉시 제 2 래치 회로(135)에 전송되어 저장된다.
- [0111] 다음에, 제 1 샘플링 래치 회로(131) 내의 데이터가 제 2 샘플링 래치(132)에 전송되고, 즉시 제 1 래치 회로(134)에 전송되어 저장된다. 또, 같은 기간에 제3 샘플링 래치 회로(133) 내의 데이터가 제3 래치 회로(136)에 전송된다.
- [0112] 그리고, 다음의 수평 방향 1라인의 데이터가, 제 1, 제 2 및, 제3 샘플링 래치 회로(131, 132, 133)에 저장된다.
- [0113] 다음의 수평 방향 1라인의 데이터를 저장하고 있는 동안, 제 2 래치 회로(135) 및 제3 래치 회로(136)에 저장되어 있는 데이터가, 래치 출력 선택 스위치(130SEL)가 전환되는 것에 의해 디지털/아날로그 변환 회로(13DAC)에 출력된다.
- [0114] 그 후, 제 1 래치 회로(134)에 저장되어 있는 데이터가 제 2 래치 회로(135)에 전송되어 저장된다. 이후 이 저장된 데이터는 래치 출력 선택 스위치(130SEL)가 전환되는 것에 의해 디지털/아날로그 변환 회로(13DAC)에 출력된다.
- [0115] 다음의 1H 기간에 디지털/아날로그 변환 회로(13DAC)에서 아날로그 데이터로 변환된 R, B, G데이터가 아날로그 버퍼(13ABUF)에 보존유지되고, 1H 기간을 세 개의 부분 기간으로 분할함으로써 각 아날로그 R, B, G데이터가 대응하는 데이터 라인에 선택적으로 출력된다.
- [0116] 이 실시예를 실행할 때, G, R, B의 처리의 순서는 바뀔 수 있다.
- [0117] 이상 설명한 바와 같이, 본 실시예에 따르면, 전원 회로(16)를 형성하는 DC-DC 컨버터에 있어서는, DC-DC 컨버터에 접속된 회로군을 기동하기 전에, 클럭 선택신호 SELMCK에 의해 스위치(162)를 온 시키고, 스위치(163)를 오프시켜서, 신호V2를 주파수 분할 회로(164)를 거쳐서 승압 회로(165)에 승압 펄스로서 공급하여 승압을 행하고, 안정된 승압 전압 출력 VDD2를 얻는다. 그러나, 신호 V2에 의해 승압에서는, 승압 주파수가 낮기 때문에 그 대로 회로군을 기동하면, DC-DC 컨버터(160)의 전류 공급 능력이 부족하여, 그 결과, 원하는 전압 출력을 유지할 수가 없다.
- [0118] 그러나, 본 실시예에 있어서는, 경부하(또는, 무부하)로 기동한 DC-DC 컨버터(160)의 안정 출력 VDD2를 이용하는 것에 의해 신호 V1을 VDDI에서 VDD로 레벨변환할 수가 있다. 이 경우, 클럭 선택 신호 SELMCK에 의해 스위치(162)를 오프시키고, 스위치(163)를 온시켜서, 신호 V1을 주파수 분할 회로(164)에 입력시킨다. 이방법에 의해, 주파수 분할 회로(164)를 구동할 수 있는 고주파수의 승압 펄스가 얻어질 수 있다.
- [0119] 따라서, 본 실시예에 따라, 클럭 선택 신호 SELMCK를 이용하여 승압 펄스를 V2로 전환해서 승압하고, 출력 안정 후에 접속된 회로군을 기동함으로써 원하는 전류 공급 능력과 전압 출력이 얻어진다.
- [0120] 따라서, 인터페이스의 전압 및 주파수에 의존하지 않고 DC-DC 컨버터를 기동할 수 있으므로, 저전압 및 고주파

수 인터페이스 및 그것을 이용한 회로 일체형 액정 디스플레이 디바이스의 실현이 가능하다.

- [0121] 더욱이, 저전압 및 고주파수형 인터페이스는 간략화된 구조를 가진다.
- [0122] 본 실시예에 따르면, 제 1 디지털 데이터(R) 및 제 2 디지털 데이터(B)에 대해 샘플링 래치 회로(131, 132)를 수직으로 연결하는 제 1 래치 회로(134) 및, 제 2 래치 회로(135)를 수직으로 접속하여 직렬 전송하는 제 1 래치 시퀀스(137)와, 제3 디지털 데이터에 대해 샘플링 래치 회로(133) 및 제3 래치 회로(136)를 종속 접속한 제 2 래치 시퀀스(138)를 가지고, 공용의 디지털/아날로그(DA) 변환 회로(13DAC), 아날로그 버퍼 회로(13ABUF), 수평 기간(H)동안 3개의 아날로그 데이터(R, B, G)를 선택적으로 대응하는 데이터 라인에 출력하는 라인 선택기(13LSEL)를 가지는 것에 의해, 이하의 효과를 얻을 수가 있다.
- [0123] 이 구조에 따라, 필요한 DA 변환 회로 및 아날로그 버퍼 회로의 수는 동일한 도트 피치 폭에 대해 필요한 기존 시스템의 수보다 더 작다. 따라서, 협프레임화를 실현하는 것이 가능해진다.
- [0124] 더욱이, 제 1 및 제 2 디지털 데이터용과 제3 디지털 데이터용의 샘플링 래치 회로로 데이터 처리 회로를 제공하는 것에 의해, 높은 정밀도를 실현하는 것이 가능해진다.
- [0125] 더욱이, 본 실시예에 따른 시스템은 절연 기판 위에 높은 정밀도와 협프레임화를 실현할 수 있는 3라인 선택기 시스템 및, 이 시스템을 이용한 구동 회로 일체형 디스플레이 디바이스를 제공할 수 있다.
- [0126] 또, 수평 구동 회로의 회로수를 삭감가능하기 때문에, 저소비 전력인 3라인 선택기 시스템 및, 이것을 이용한 구동 회로 일체형 디스플레이 디바이스를 실현할 수가 있다.
- [0127] 또, 1 수평 기간 동안 데이터는 3분할해서 신호선에 출력되기 때문에, 본 실시예에 따른 시스템은 고속으로 동작하고, 감소된 불균일한 화질을 제공하는 3라인 선택기 시스템 및, 이것을 이용한 구동 회로 일체형 디스플레이 디바이스를 제공할 수 있다.
- [0128] 다음에, 제 2 실시예에 대해서 설명한다.
- [0129] 도 10은, 본 제 2 실시예에 따른 구동 회로 일체형 디스플레이 디바이스의 배치 구조를 도시하는 도면이다.
- [0130] 제 2 실시예에 따른 디스플레이 디바이스(10A)가 제 1 실시예에 따른 디스플레이 디바이스(10)와 다른 점은, 패널 내에 발진기(oscillator)(22)를 포함하고, 전원 회로(16A)에서 발진기(OSC)(21)의 발진 주파수 편차를 보정하는 주파수 분할 보정 시스템을 사용하여 승압 펄스 변환 시스템을 채용한 것에 있다.
- [0131] 도 11은, 제 2 실시예에 따른 DC-DC 컨버터의 구조예를 도시하는 도면이다. 도 12의 (a)~(f)는 도 11의 DC-DC 컨버터의 타이밍차트이다.
- [0132] 도 11의 DC-DC 컨버터(160B)가 도 8의 DC-DC 컨버터(160A)와 다른 점은, TFF 대신에, 발진기(링 발진기)(22B)를 이용하고, 또 주파수 분할 회로 대신에 주파수 분할 보정 시스템(167)을 배치하며, 링 발진기(22B)에 의한 클럭 CK1B를 스위치(162)를 거쳐서 주파수 분할 보정 시스템(167)에 입력하도록 구조한 것에 있다.
- [0133] 이 DC-DC 컨버터(160B)에 있어서도, 진폭 VDDI의 마스터 클럭 MCK와 수평 동기 신호 HSYNC를 외부 입력 신호로서 수취한다.
- [0134] 발진기(21)는 링 발진기(22B)를 사용하고 있다.
- [0135] 링 발진기(22B)는, 도 13에 도시하는 바와 같이, 홀수 개의 인버터 INV를 링모양으로 접속해서 형성된다.
- [0136] 저온 폴리실리콘 프로세스에 의해서 형성되는 트랜지스터로 이루어지는 발진기는, 트랜지스터 조건이나 온도, 습도 등의 여러 가지 조건에 따라 트랜지스터 특성에 편차가 생기고, 그 결과, 발진 주파수를 크게 변동시킨다.
- [0137] 즉, 링 발진기(22B)는, 주파수 편차를 가지는 구형파(矩形波; rectangular-wave) 신호를 출력하는 발진 회로로서 형성되어 있다.
- [0138] 주파수 분할 보정 시스템(167)은, 입력 펄스의 주파수에 대해서도 14에 도시하는 바와 같은 출력 특성을 가지는 주파수 분할 회로군이다.
- [0139] 주파수 분할 보정 시스템(167)은, 수평 동기 신호 HSYNC의 1주기내에 입력 펄스를 카운트하고 최적한 출력 주파수를 선택한다. 이것에 의해, 편차를 가지는 링 발진기(발진기)(22B)의 출력 주파수는 어떤 일정 주파수 범위로 억제된다.

- [0140] 마스터 클럭 MCK는 기판 위에 있어서 VDDI에서 VDD로 레벨변환이 불가능한 주파수 Fck의 펄스이며, 클럭 CK1B는 VDD 진폭의 마스터 클럭 MCK와는 비동기인 주파수 Fck/2의 펄스이다.
- [0141] DC-DC 컨버터(160B)에 있어서는, 클럭 선택 신호 SELMCK가 로우 레벨일 때 스위치(162)가 온하고, 스위치(163)가 오프하하며, 레벨 시프터(161)가 리셋되고, 링 발진기(22B)가 동작 상태로 된다.
- [0142] 한편, 클럭 선택 신호 SELMCK가 하이 레벨일 때 스위치(162)가 오프하고, 스위치(163)가 온하며, 이 경우 링 발진기(22B)가 리셋되고, 레벨 시프터(161)가 동작 된다.
- [0143] DC-DC 컨버터(160B)에 있어서 클럭 CK1은 DC-DC 컨버터에 연결된 회로군의 중지 시점 및 클럭 선택 신호 SELMCK가 로우 레벨일 때, 승압 회로에 공급된다. 승압 회로(165)는 안정된 전압 출력 VDD2를 획득하기 위해 승압 펄스로서 클럭 CK1에 응답하여 전압을 승압한다.
- [0144] 따라서, 주파수 분할 회로를 구동하기에 충분한 고주파수 승압 펄스는 DC-DC 컨버터(160B)로부터 안정된 출력 VDD2를 이용하여 VDDI에서 VDD까지 클럭 CK2의 레벨을 변환함으로써 획득될 수 있다.
- [0145] 이 경우, 클럭 선택 신호 SELMCK가 하이 레벨로 설정되어, 클럭 CK2가 스위치(163), 주파수 분할 보정 시스템(167)을 통해 승압 회로(165)에 공급된다. 승압 회로(165)는 클럭 CK2를 승압 펄스로 해서 승압하고, 접속된 회로군을 기동하는 것에 의해 원하는 전류 공급 능력과 전압 출력 VDD2가 얻어진다.
- [0146] 제 2 실시예에 따르면, 주파수 분할 보정 시스템(167)에 의해서 출력 주파수를 특정 주파수 범위로 제한할 수 있기 때문에, 변환 전후에서 DDC 주파수는 거의 변함없으며, 따라서 승압 펄스원에 거의 독립적인 안정된 DC전압 출력 VDD2가 얻어진다.
- [0147] 또한, 상기 실시예에서는, 액정 디스플레이 디바이스에 적용한 경우를 예로 들어 설명했지만, 각 픽셀에 대한 전기 광학 소자로서 전계 발광(EL) 소자를 이용한 EL 디스플레이 디바이스 등의 다른 타입의 능동 매트릭스형 디스플레이 디바이스일 수 있다.
- [0148] 게다가, 상기 실시예에 따른 능동 매트릭스형 액정 디스플레이 디바이스로 대표되는 능동 매트릭스형 디스플레이 디바이스는, 퍼스널 컴퓨터, 워드 프로세서 등의 OA 기기나 텔레비전 수상기 등의 디스플레이로서 이용되는 것 이외에도, 특히 본체의 소형화, 컴팩트화가 진행되고 있는 휴대 전화기나 PDA 등의 휴대 단말기의 디스플레이 유닛으로서 이용하면 매우 적합한 것이다.
- [0149] 도 15는, 본 발명에 따라 제공되는 디스플레이 디바이스를 포함하는 예컨대 핸드폰과 같은 휴대 단말기의 일반적인 구조의 외부 형태를 도시한다.
- [0150] 본 예에 따른 휴대 전화기(200)는, 장치 케이스(210)의 전면 측에, 스피커 유닛(220), 디스플레이 유닛(230), 동작 유닛(240) 및, 마이크로폰 유닛(microphone unit)(250)이 상부측으로부터 순서대로 배치된 구조로 하고 있다.
- [0151] 이와 같은 구조를 가지는 휴대 전화기에 있어서, 디스플레이 유닛(230)은 예를 들면 액정 디스플레이 디바이스를 구비하며, 이 액정 디스플레이 디바이스는 앞서 기술한 실시예에 따른 능동 매트릭스형 액정 디스플레이 디바이스를 이용한다.
- [0152] 이와 같이, 앞서 기술한 실시예에 따른 능동 매트릭스형 액정 디스플레이 디바이스가 휴대 전화기 등의 휴대 단말기에 있어서 디스플레이 유닛(230)으로서 이용될 때, 발진기로부터의 출력의 주파수 편차는 일정 보증 범위 내로 제한될 수 있다. 또 인터페이스의 전압 및 주파수에 의존하지 않는 독립된 회로 블록을 구성 및 제어할 수 있기 때문에, 인터페이스의 저전압 및 고주파수에 대응한 회로 일체형 액정 디스플레이 디바이스의 실현이 가능하다.
- [0153] 설계 요청 및 다른 인자들에 따라 다양한 수정, 조합, 하부 조합 및 변경이, 첨부된 청구항 혹은 그 등가물의 범위에 있는 한, 발생할 수 있음이 당업자에 의해 이해되어야 한다.

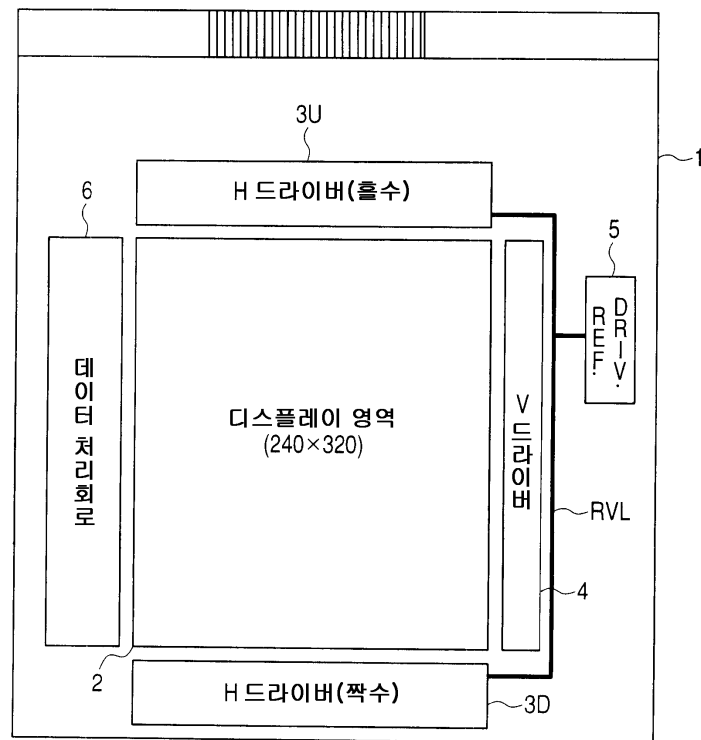
도면의 간단한 설명

- [0154] 도 1은 전형적인 구동 회로 일체형 디스플레이 디바이스의 일반적인 구조를 도시한 도면.
- [0155] 도 2는 홀수 라인과 짝수 라인을 독립적으로 구동하는 도 1에서의 수평 구동 회로의 구조 예를 도시한 블록도.
- [0156] 도 3은 본 발명의 제 1 실시예에 따라 구동 회로 일체형 디스플레이 디바이스의 구조 배열을 도시한 도면.

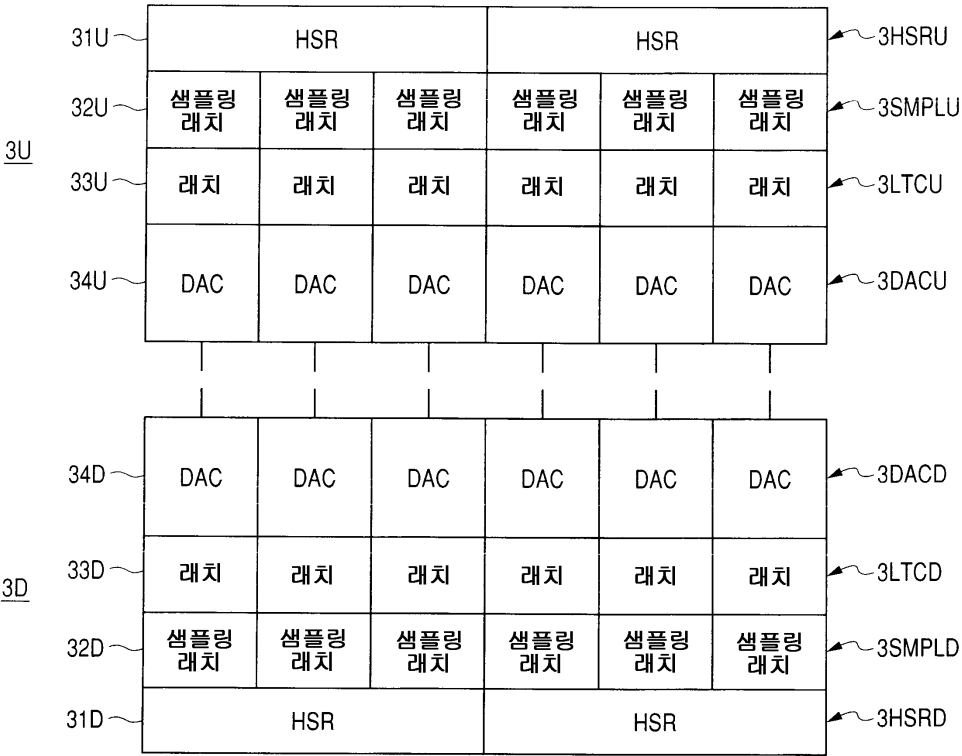
- [0157] 도 4는 본 발명의 제 1 실시예에 따라, 구동 회로 일체형 디스플레이 디바이스의 회로 기능을 도시한 시스템 블록도.
- [0158] 도 5는 액정 디스플레이 디바이스의 능동 디스플레이 유닛의 구조예를 도시한 회로도.
- [0159] 도 6은 제 1 실시예에 따라 제 1 및 제 2 수평 구동 회로의 기본 구조 예를 도시한 블록도.
- [0160] 도 7은 제 1 실시예에 따라 승압 펄스 전환 시스템을 사용하여 DC-DC 컨버터의 기본 구조를 도시한 블록도.
- [0161] 도 8은 제 1 실시예에 따라 승압 펄스 전환 시스템을 사용하여 DC-DC 컨버터의 특정 구조를 도시한 블록도.
- [0162] 도 9는 도 8에 도시된 DC-DC 컨버터의 타이밍 차트.
- [0163] 도 10은 제 2 실시예에 따라 구동 회로 일체형 디스플레이 디바이스의 구조 배열을 도시한 도면.
- [0164] 도 11은 제 2 실시예에 따라 DC-DC 컨버터의 구조 예를 도시한 도면.
- [0165] 도 12는 도 11에 도시된 DC-DC 컨버터의 타이밍 차트.
- [0166] 도 13은 링 발진기의 구조 예를 도시한 도면.
- [0167] 도 14는 제 2 실시예에 따라 주파수 분할 상관 시스템의 입력/출력 주파수 특성을 도시한 도면.
- [0168] 도 15는 본 발명의 실시예에 따른 휴대 단말기로서 휴대폰의 일반 구조의 외부 형상을 도시한 도면.

도면

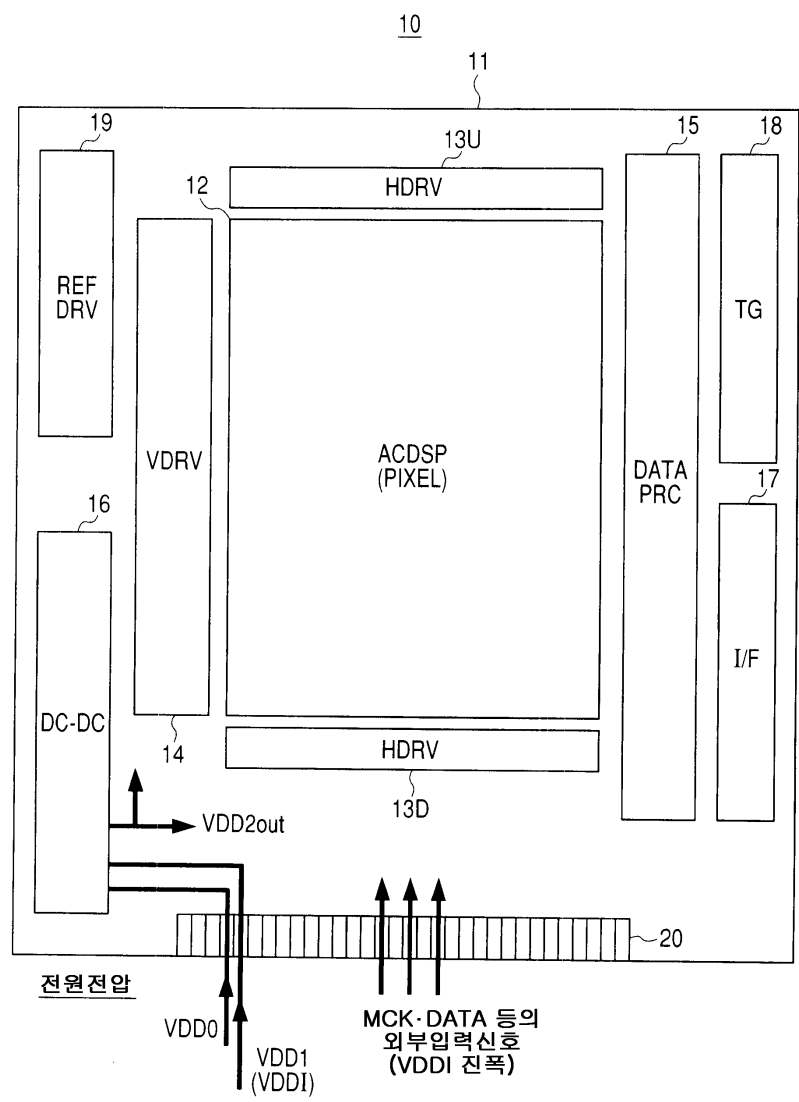
도면1



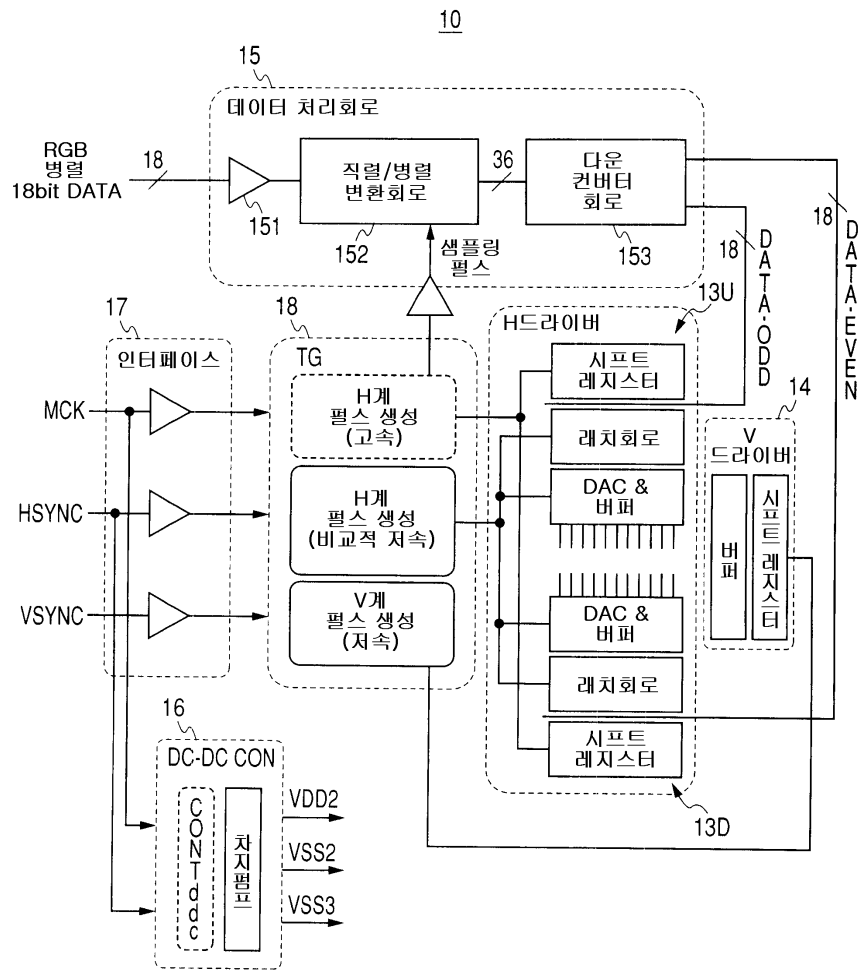
도면2



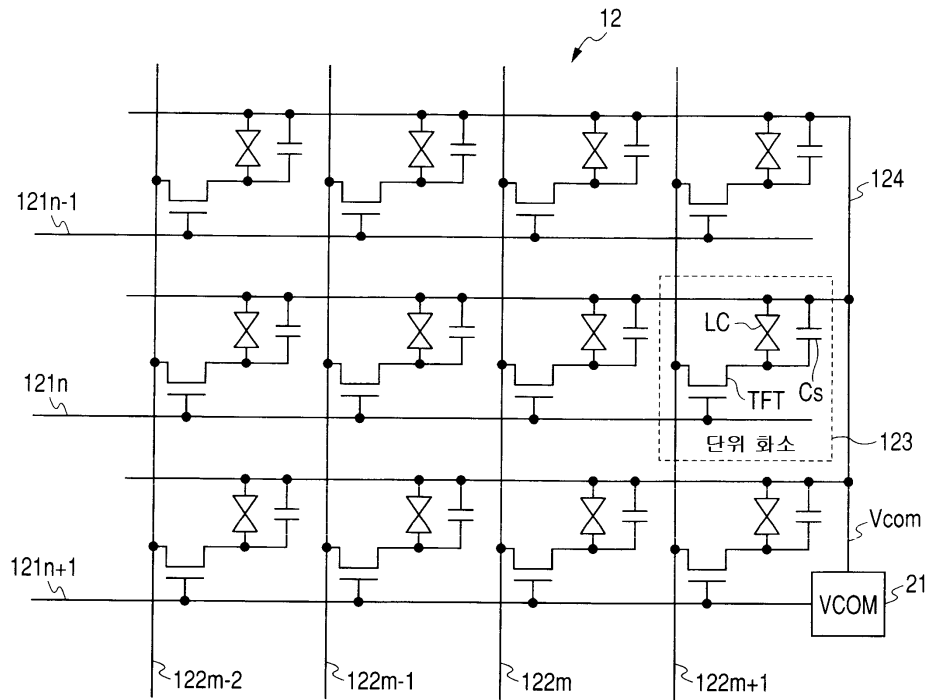
도면3



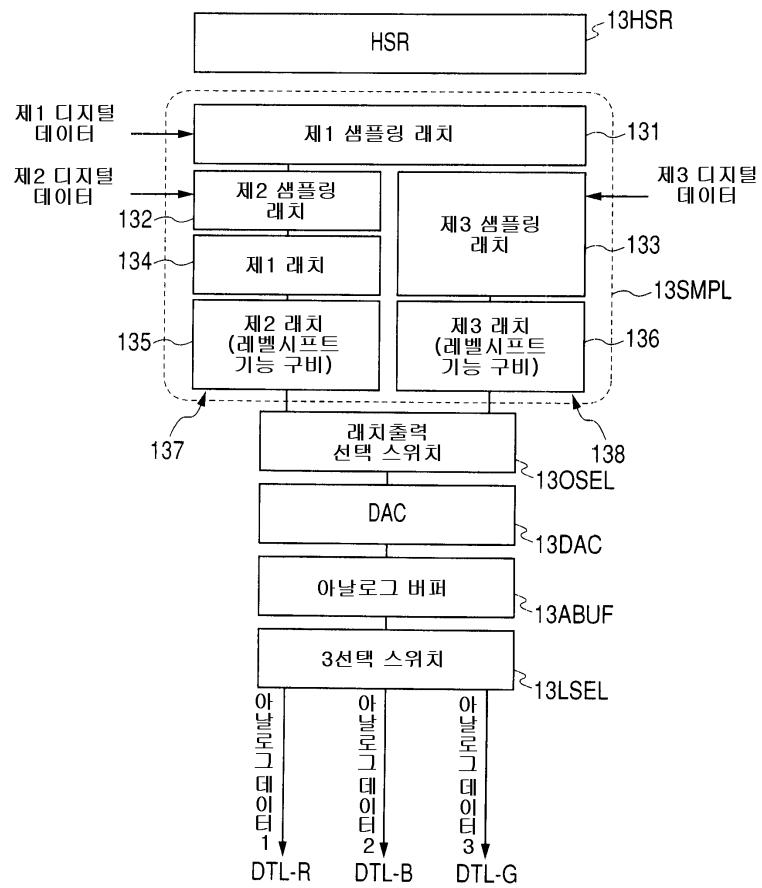
도면4



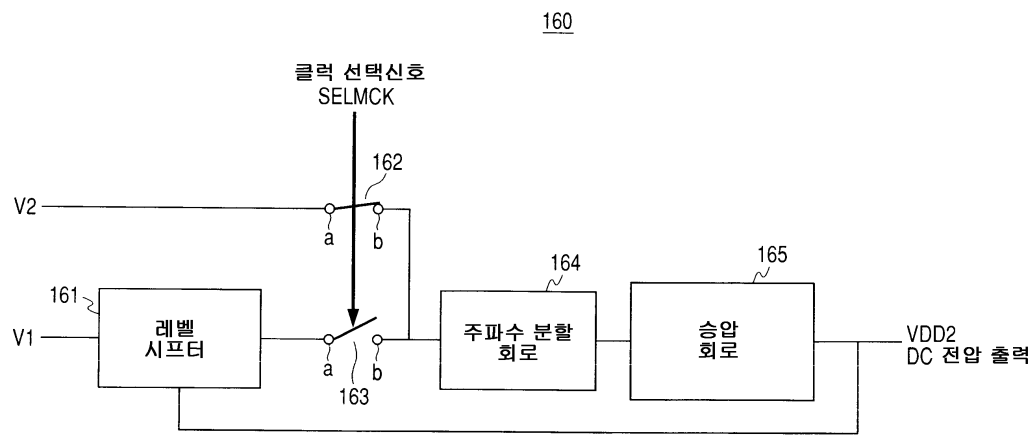
도면5



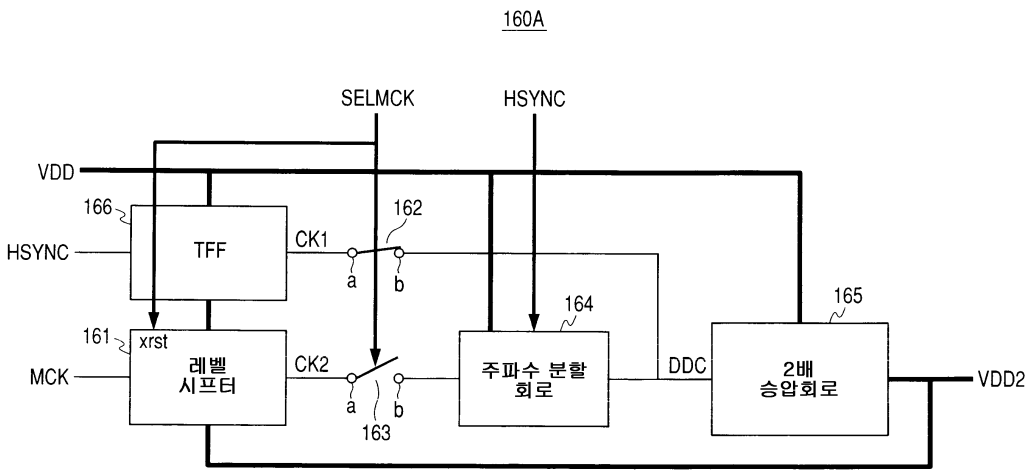
도면6



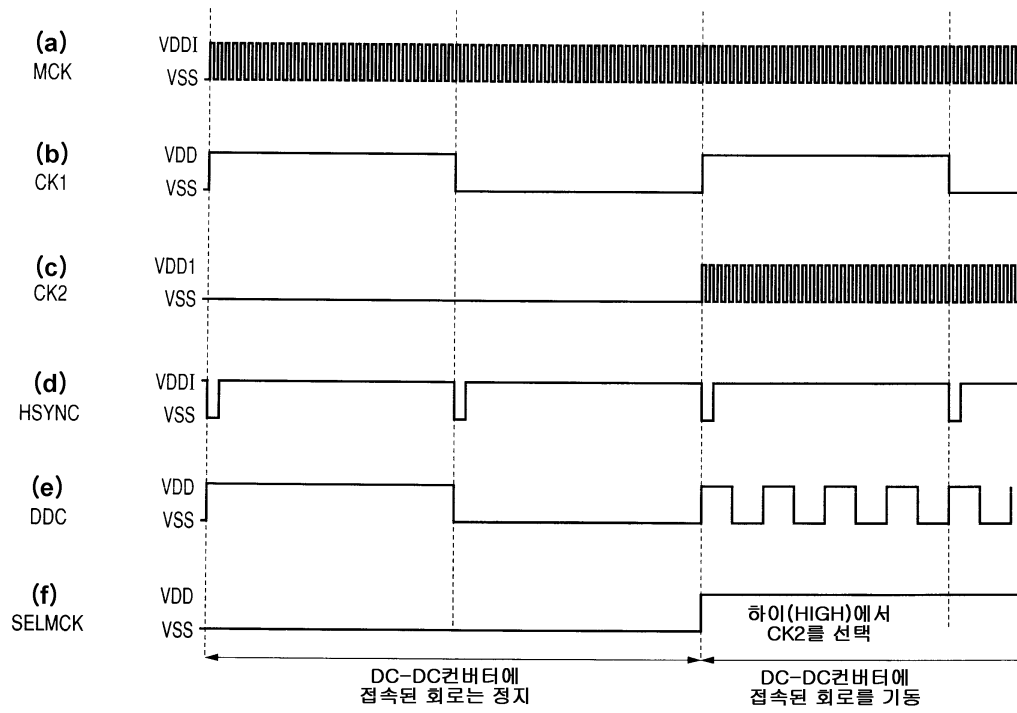
도면7



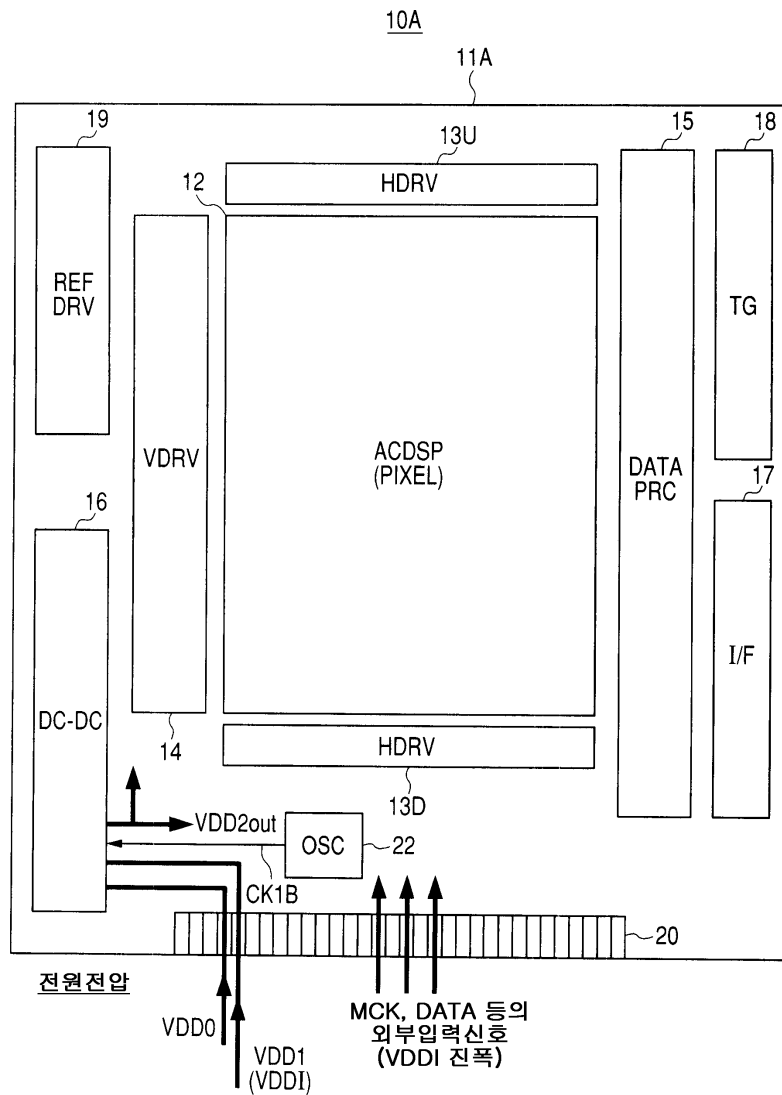
도면8



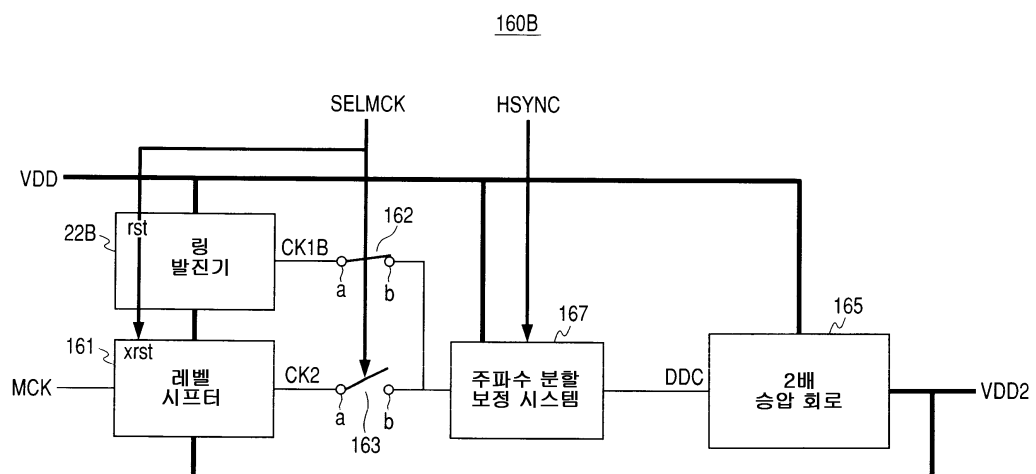
도면9



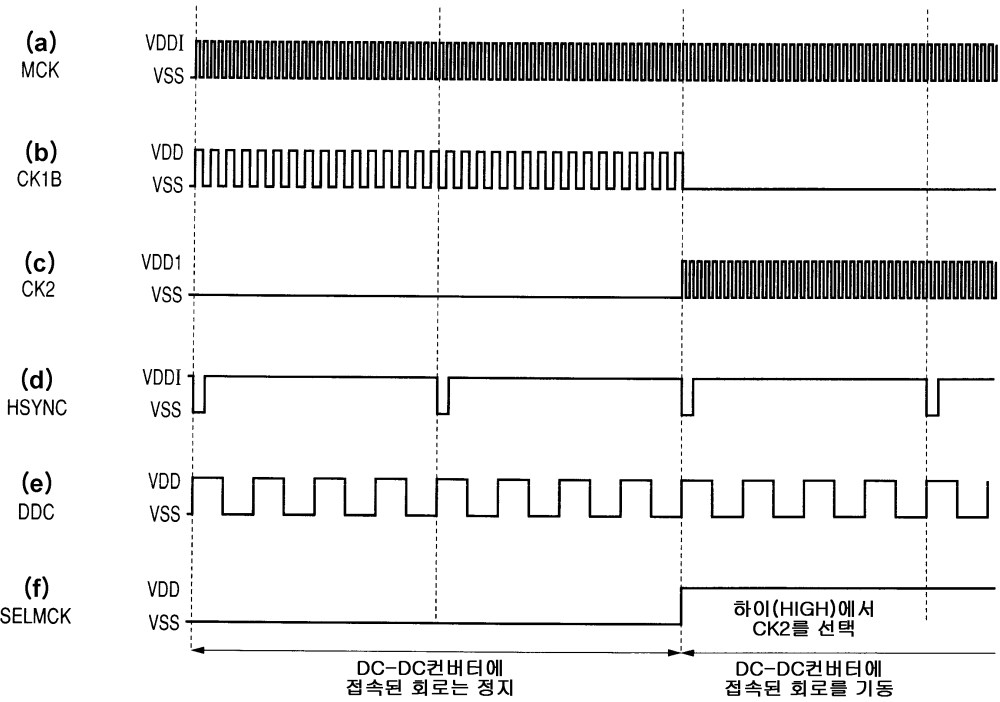
도면10



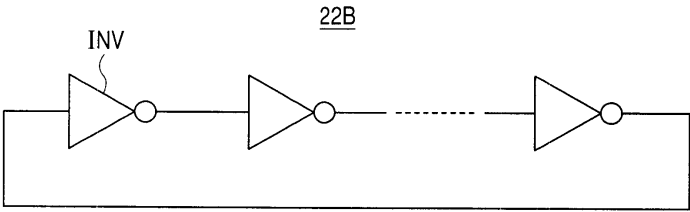
도면11



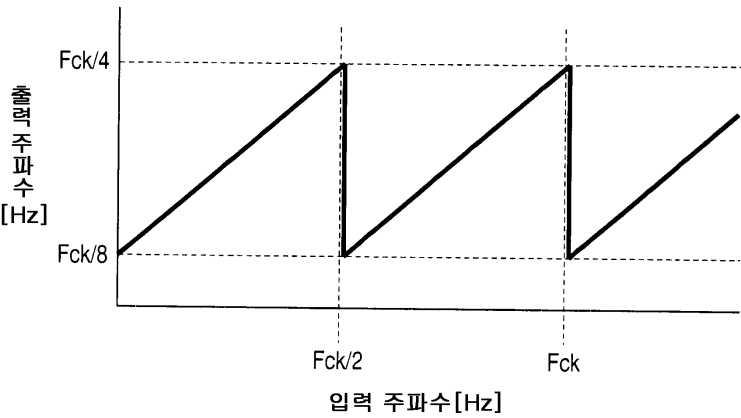
도면12



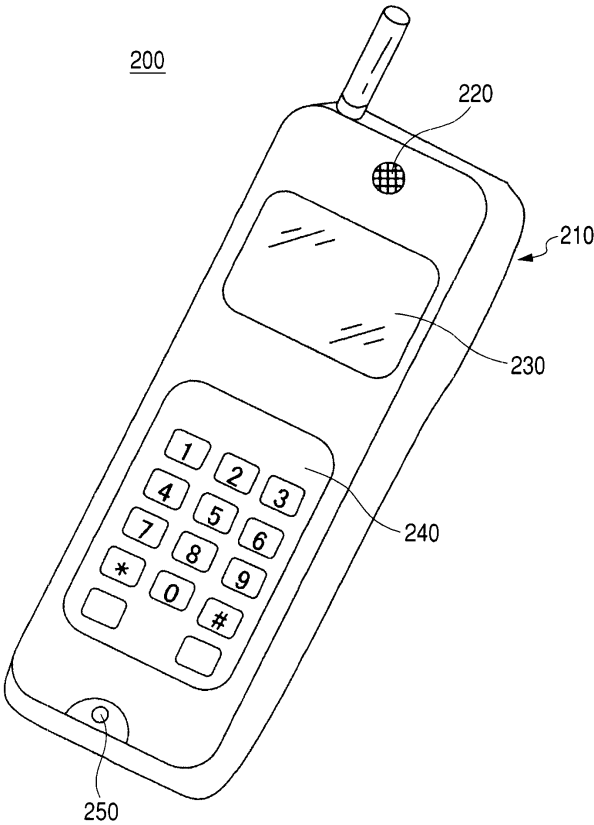
도면13



도면14



도면15



专利名称(译)	标题：电源电路，显示设备和便携式终端		
公开(公告)号	KR101364597B1	公开(公告)日	2014-02-19
申请号	KR1020070078922	申请日	2007-08-07
[标]申请(专利权)人(译)	日本显示器西股份有限公司		
申请(专利权)人(译)	在阎王鼻子喷雾的西捕率		
当前申请(专利权)人(译)	在阎王鼻子喷雾的西捕率		
[标]发明人	TAKAHASHI YUSUKE 타카하시유스케 NAKANISHI TAKAYUKI 나카니시타카유키		
发明人	타카하시,유스케 나카니시,타카유키		
IPC分类号	G09G3/20 G09G H02M7/48 H02M G09G3/36		
CPC分类号	G09G2310/0281 G09G2310/027 G09G2330/021 G09G2330/02 G09G2310/0289 G09G2310/0297 G09G5/006 G09G3/3607 G09G3/3688		
代理人(译)	MOON , KYOUNG金 KIM , HAK SOO		
优先权	2006218130 2006-08-10 JP		
其他公开文献	KR1020080014620A		
外部链接	Espacenet		

摘要(译)

提供电源电路，显示装置和移动终端，以通过独立于接口的电压和频率控制电路块来以高频和低电压驱动LCD装置。分频电路（164）由源电压驱动并分频第一信号的频率。升压电路（165）根据来自分频电路的输出信号或其频率低于第一信号的频率的第二信号升压电压。电平移位器（161）根据升压电路的输出移位第一信号的电平。开关单元（162,163）将来自电平移位器的输出信号提供给分频或互补地将第二信号提供给分频电路和分频电路。第一信号和第二信号具有第一和第二幅度。在升压过程之后，开关单元获得从升压电路输出的升压电压。电平移位器将升高的电压输出转换为第一信号。根据第二信号停止升压过程。第一信号通过分频电路输入到升压电路，从而获得最终的升压电压。

