



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월16일  
(11) 등록번호 10-1110766  
(24) 등록일자 2012년01월20일

(51) 국제특허분류(Int. Cl.)  
**G02F 1/136** (2006.01)  
(21) 출원번호 10-2006-7011216  
(22) 출원일자(국제) 2004년11월05일  
심사청구일자 2009년10월20일  
(85) 번역문제출일자 2006년06월08일  
(65) 공개번호 10-2007-0005923  
(43) 공개일자 2007년01월10일  
(86) 국제출원번호 PCT/JP2004/016782  
(87) 국제공개번호 WO 2005/047966  
국제공개일자 2005년05월26일  
(30) 우선권주장  
JP-P-2003-00386013 2003년11월14일 일본(JP)  
(56) 선행기술조사문헌  
KR1020020017992 A\*  
KR1020010092358 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
마에가와 신지  
일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이샤한도오파이 에네루기 켄큐쇼 나이  
야마자키 슌페이  
일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이샤한도오파이 에네루기 켄큐쇼 나이  
(뒷면에 계속)  
(74) 대리인  
이화익

전체 청구항 수 : 총 18 항

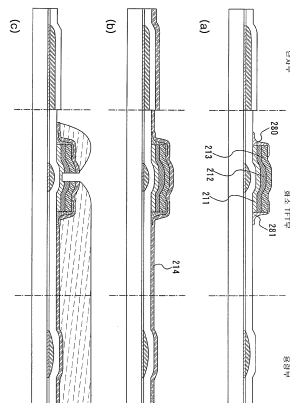
심사관 : 임동재

(54) 발명의 명칭 **액정표시장치 및 액정표시장치의 제조 방법**

**(57) 요약**

액정표시장치의 제조 공정에 있어서, 포토마스크를 1매 사용함으로써, 레지스트 도포, 프리베이킹, 노광, 현상, 포스트베이킹 등의 공정과, 그 전후의 공정에 있어서, 피막의 형성 및 에칭 공정, 또한 레지스트 박리, 세정이나 건조 공정 등이 부가되어, 번잡해졌다. 상기 과제를 해결하기 위해서, 채널 에칭형 보텀 게이트(역 스테거)형 TFT구조를 채용하여, 소스 영역 및 드레인 영역의 패터닝과 화소 전극의 패터닝을 동일한 마스크로 행한다. 또한 본 발명에 따르면, 배선층 혹은 전극을 형성하는 도전층이나, 소정의 패턴을 형성하기 위한 마스크 등 액정표시장치를 제조하기 위해서 필요한 패턴 중, 적어도 하나 혹은 그 이상을, 선택적으로 패턴을 형성할 수 있는 방법에 의해 형성하여, 액정표시장치를 제조하는 것을 특징으로 한다.

**대표도** - 도9



(72) 발명자

**쿠와바라 히데아키**

일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이샤한도오따이 에네루기 켄큐쇼 나이

**모리야 요시타카**

일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이샤한도오따이 에네루기 켄큐쇼 나이

---

**특허청구의 범위**

**청구항 1**

절연 표면 위의 도전층과,  
 상기 도전층 위에 형성된 게이트 전극과,  
 절연막을 사이에 두고 상기 게이트 전극 위에 형성된 반도체막과,  
 상기 반도체막 위에 형성된 소스 영역 및 드레인 영역과,  
 상기 소스 영역 위에 형성된 소스 전극과,  
 상기 드레인 영역 위에 형성된 드레인 전극과,  
 상기 소스 전극의 단면, 상기 드레인 전극의 단면, 상기 소스 영역의 단면, 상기 드레인 영역의 단면, 및 상기 반도체막의 단면을 덮도록 형성된 배리어막과,  
 상기 드레인 전극 및 상기 배리어막을 덮도록 형성된 화소 전극을 포함하고,  
 상기 소스 영역의 단면은 상기 반도체막의 단면 및 상기 소스 전극의 단면과 일치하고,  
 상기 드레인 영역의 단면은 상기 반도체막의 단면 및 상기 드레인 전극의 단면과 일치하며,  
 상기 게이트 전극과 겹치지 않는 상기 도전층은 산화되어서 절연화되는 것을 특징으로 하는 액정표시장치.

**청구항 2**

절연 표면 위의 도전층과,  
 상기 도전층 위에 형성된 게이트 전극과,  
 절연막을 사이에 두고 상기 게이트 전극 위에 형성된 반도체막과,  
 상기 반도체막 위에 형성된 소스 영역 및 드레인 영역과,  
 상기 소스 영역 위에 형성된 소스 전극과,  
 상기 드레인 영역 위에 형성된 드레인 전극과,  
 상기 소스 전극의 단면, 상기 드레인 전극의 단면, 상기 소스 영역의 단면, 상기 드레인 영역의 단면, 및 상기 반도체막의 단면을 덮도록 형성된 배리어막과,  
 상기 드레인 전극 및 상기 배리어막을 덮도록 형성된 화소 전극을 포함하고,  
 상기 드레인 영역의 하나의 단면은 상기 반도체막의 단면 및 상기 드레인 전극의 단면과 일치하고, 다른 하나의 단면은 상기 화소 전극의 단면 및 상기 드레인 전극의 다른 하나의 단면과 일치하며,  
 상기 게이트 전극과 겹치지 않는 상기 도전층은 산화되어서 절연화되는 것을 특징으로 하는 액정표시장치.

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

절연 표면 위에 도전층을 형성하는 단계와,

상기 도전층 위에 조성물을 선택적으로 토출하여 게이트 전극을 형성하는 단계와,

상기 게이트 전극과 겹치지 않는 상기 도전층을 산화하는 단계와,

상기 게이트 전극을 덮도록 절연막을 형성하는 단계와,

상기 절연막 위에 제1의 반도체막을 형성하는 단계와,

상기 제1의 반도체막 위에 N형 또는 P형을 부여하는 불순물 원소를 포함하는 제2의 반도체막을 형성하는 단계와,

상기 제2의 반도체막 위에 제1의 도전막을 형성하는 단계와,

제1의 마스크를 사용해서 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막을 선택적으로 제거하여, 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막으로 된 적층막의 패턴을 형성하는 단계와,

상기 적층막을 덮도록 제2의 도전막을 형성하는 단계와,

상기 게이트 전극의 바로 위로부터 상기 제1의 반도체막, 상기 제2의 반도체막, 상기 제1의 도전막, 및 상기 제2의 도전막을 선택적으로 제거함으로써, 상기 제2의 반도체막으로 이루어진 소스 영역 및 드레인 영역과, 상기 제1의 도전막으로 이루어진 소스 전극 및 드레인 전극과, 상기 제2의 도전막으로 이루어진 화소 전극과, 상기 제1의 반도체막으로 이루어진 스텝을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 10**

절연 표면 위에 도전층을 형성하는 단계와,

상기 도전층 위에 조성물을 선택적으로 토출하여 게이트 전극을 형성하는 단계와,

상기 게이트 전극과 겹치지 않는 상기 도전층을 산화하는 단계와,

상기 게이트 전극을 덮도록 절연막을 형성하는 단계와,

상기 절연막 위에 제1의 반도체막을 형성하는 단계와,

상기 제1의 반도체막 위에 N형 또는 P형을 부여하는 불순물 원소를 포함하는 제2의 반도체막을 형성하는 단계와,

상기 제2의 반도체막 위에 제1의 도전막을 형성하는 단계와,

제1의 마스크를 사용해서 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막을 선택적으로 제거함으로써, 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막으로 된 적층막의 패턴을 형성하는 단계와,

상기 적층막의 단면에 조성물을 선택적으로 토출하여, 배리어막을 형성하는 단계와,

상기 적층막 및 상기 배리어막을 덮도록 제2의 도전막을 형성하는 단계와,

상기 게이트 전극의 바로 위로부터 상기 제1의 반도체막, 상기 제2의 반도체막, 상기 제1의 도전막, 및 상기 제2의 도전막을 선택적으로 제거함으로써, 상기 제2의 반도체막으로 이루어진 소스 영역 및 드레인 영역과, 상기 제1의 도전막으로 이루어진 소스 전극 및 드레인 전극과, 상기 제2의 도전막으로 이루어진 화소 전극, 및 상기

제1의 반도체막으로 이루어진 스텝을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

절연 표면 위에 도전층을 형성하는 단계와,

상기 도전층 위에 조성물을 선택적으로 토출함으로써, 게이트 전극을 형성하는 단계와,

상기 게이트 전극과 겹치지 않는 상기 도전층을 산화하는 단계와,

상기 게이트 전극을 덮도록 절연막을 형성하는 단계와,

상기 절연막 위에 제1의 반도체막을 형성하는 단계와,

상기 제1의 반도체막 위에 N형 또는 P형을 부여하는 불순물 원소를 포함하는 제2의 반도체막을 형성하는 단계와,

상기 제2의 반도체막 위에 조성물을 선택적으로 토출함으로써 제1의 도전막을 형성하는 단계와,

제1의 마스크로서 상기 제1의 도전막을 사용해서, 상기 제1의 반도체막, 상기 제2의 반도체막을 선택적으로 제거함으로써, 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막으로 된 적층막의 패턴을 형성하는 단계와,

상기 적층막을 덮도록 제2의 도전막을 형성하는 단계와,

마스크를 사용해서 상기 게이트 전극의 바로 위로부터 상기 제1의 반도체막, 상기 제2의 반도체막, 상기 제1의 도전막, 및 상기 제2의 도전막을 선택적으로 제거함으로써, 상기 제2의 반도체막으로 이루어진 소스 영역 및 드레인 영역과, 상기 제1의 도전막으로 이루어진 소스 전극 및 드레인 전극과, 상기 제2의 도전막으로 이루어진 화소 전극과, 상기 제1의 반도체막으로 이루어진 스텝을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 18**

제 1항 또는 제 2항에 있어서,

상기 화소 전극은 투광 도전막으로 형성되는 것을 특징으로 하는 액정표시장치.

**청구항 19**

제 1항 또는 제 2항에 있어서,

상기 화소 전극은 Ag(은), Au(금), Cu(동), W(텅스텐), Al(알루미늄)을 주성분으로 하는 도전막 또는 그것들의 적층막으로 형성되는 것을 특징으로 하는 액정표시장치.

**청구항 20**

제 1항 또는 제 2항에 있어서,

상기 반도체막은 수소와 할로젠 원소를 포함하고 결정구조를 갖는 세미 아모포스 반도체인 것을 특징으로 하는 액정표시장치.

**청구항 21**

제 2항에 있어서,

상기 배리어막은, 에폭시 수지, 아크릴수지, 페놀 수지, 노보락수지, 멜라민수지, 및 우레탄 수지로 이루어진 그룹으로부터 선택된 수지재료로 형성되는 것을 특징으로 하는 액정표시장치.

**청구항 22**

제 2항에 있어서,

상기 도전층은 Ti, W, Cr, Al, Ta, Ni, Zr, Hf, V, Ir, Nb, Pd, Pt, Mo, Co, 및 Rh으로 이루어진 그룹으로부터 선택된 금속재료를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 23**

제 2항에 있어서,

상기 도전층은 스퍼터링법 또는 증착법에 의해 형성되는 것을 특징으로 하는 액정표시장치.

**청구항 24**

제 9항 또는 제 10항에 있어서,

상기 절연막, 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막을, 대기에 노출하지 않고 연속적으로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 25**

제 9항 또는 제 10항에 있어서,

상기 제1의 마스크 및 상기 제2의 마스크를, 조성물을 선택적으로 토출해서 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 26**

제 9항 또는 제 10항에 있어서,

상기 제2의 도전막을, 조성물을 선택적으로 토출해서 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 27**

제 10항에 있어서,

상기 배리어막을, 에폭시 수지, 아크릴수지, 페놀 수지, 노보락수지, 멜라민수지, 및 우레탄 수지로 이루어진 그룹으로부터 선택된 수지재료로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

**청구항 28**

제 17항에 있어서,

상기 도전층은 Ti, W, Cr, Al, Ta, Ni, Zr, Hf, V, Ir, Nb, Pd, Pt, Mo, Co, 및 Rh으로 이루어진 그룹으로부터 선택된 금속재료를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

**청구항 29**

제 17항에 있어서,  
 상기 도전층을, 스퍼터링법 또는 증착법에 의해 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

**청구항 30**

절연 표면 위의 도전층과,  
 상기 도전층 위에 형성된 게이트 전극 및 볼록부와,  
 상기 게이트 전극과 상기 볼록부 위에 설치되고, 상기 볼록부 위에 요철을 갖는 게이트 절연막과,  
 상기 게이트 절연막 위에 형성된 반도체막과,  
 상기 반도체막 위에 형성된 소스 영역 및 드레인 영역과,  
 상기 소스 영역 위에 형성된 소스 전극과,  
 상기 드레인 영역 위에 형성된 드레인 전극과,  
 상기 소스 전극의 단면, 상기 드레인 전극의 단면, 상기 소스 영역의 단면, 상기 드레인 영역의 단면, 및 상기 반도체막의 단면을 덮도록 형성된 배리어막과,  
 상기 드레인 전극을 덮도록 형성된 화소 전극을 포함하고,  
 상기 화소 전극은 볼록부 위에 요철을 갖고,  
 상기 소스 영역의 단면은 상기 반도체막의 단면 및 상기 소스 전극의 단면과 일치하고,  
 상기 드레인 영역의 단면은 상기 반도체막의 단면 및 상기 드레인 전극의 단면과 일치하며,  
 상기 게이트 전극과 겹치지 않는 상기 도전층은 산화되어서 절연화되는 것을 특징으로 하는 액정표시장치.

**명세서**

**기술분야**

[0001] 본 발명은, 박막 트랜지스터(TFT)로 구성된 회로를 가지는 액정표시장치 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 최근, 절연 표면을 가지는 기판 위에 형성된 반도체 박막(두께 수 nm~수백 nm 정도)을 사용해서 박막 트랜지스터를 구성하는 기술이 주목되고 있다. 박막 트랜지스터는 IC나 전기광학장치와 같은 전자 디바이스에 널리 응용되며, 특히 화상표시장치의 스위칭소자로서 서둘러 개발되고 있다.

[0003] 종래, 박막 트랜지스터를 사용한 화상표시장치로 액정표시장치가 알려져 있다. 패시브형 액정표시장치에 비해 고해상도의 화상을 얻을 수 있는 이유로 액티브 매트릭스형 액정표시장치가 더욱 사용되게 되었다. 액티브 매트릭스형 액정표시장치에 있어서는, 마스크형으로 배치된 화소 전극을 구동함으로써, 화면상에 표시 패턴이 형성된다. 즉, 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학변조가 행해진다. 이 광학변조가 표시 패턴으로서 관찰자에게 인식된다.

[0004] 이러한 액티브 매트릭스형 액정표시장치의 용도는 확대되고 있고, 화면 사이즈의 확대와 함께 고정밀화나 고개구율화나 고신뢰성의 요구가 높아지고 있다. 또한 동시에 생산성의 향상이나 저비용화의 요구도 높아지고 있다.

[0005] 종래의 액티브 매트릭스형 액정표시장치는, 사진식각(포토리소그래피) 기술에 의해, 많은 매수의 포토마스크를 사용해서 TFT를 기판 위에 형성했기 때문에 제조 비용이 컸다. 생산성을 향상시켜 제품 수율을 향상시키기 위해 서는, 공정 수를 삭감하는 것이 효과적이라고 생각된다.

**발명의 상세한 설명**

- [0006] 액정표시장치의 제조 공정에 있어서, 포토마스크를 1매 사용함으로써, 레지스트 도포, 프리베이킹, 노광, 현상, 포스트베이킹 등의 공정과, 그 전후의 공정에 있어서, 피막의 형성 및 에칭 공정, 또한 레지스트 박리, 세정이나 건조 공정 등이 부가되어, 번잡해져서 문제가 되었다.
- [0007] 상기 실상을 감안하여, 본 발명은 액티브 매트릭스형 액정표시장치에 있어서, 박막 트랜지스터를 제조하는 공정 수를 삭감해서 제조 비용의 저감 및 제품 수율의 향상을 실현하는 것을 과제로 한다.
- [0008] 상기 과제를 해결하기 위해서, 채널 에칭형 보텀 게이트(역 스테거)형 TFT구조를 채용하여, 소스 영역 및 드레인 영역의 패터닝과 화소 전극의 패터닝을 같은 마스크로 행한다. 또한 본 발명에 따르면, 배선층 혹은 전극을 형성하는 도전층이나, 소정의 패턴을 형성하기 위한 마스크 등 액정표시장치를 제조하기 위해서 필요한 패턴 중, 적어도 하나 혹은 그 이상을, 선택적으로 패턴을 형성할 수 있는 방법에 의해 형성하여, 액정표시장치를 제조하는 것을 특징으로 한다. 선택적으로 패턴을 형성할 수 있는 방법으로서, 도전층이나 절연층 등의 형성에, 특정한 목적으로 조합된 조성물의 액적을 선택적으로 토출해서 소정의 패턴을 형성할 수 있는 액적토출법을 이용한다.
- [0009] 본 발명은 게이트 배선과, 소스 배선과, 화소 전극과, 박막 트랜지스터를 가지는 액정표시장치다. 절연 표면에 형성된 상기 게이트 배선과, 상기 게이트 배선 위에 형성된 반도체막과, 상기 반도체막 위에 형성된 소스 영역 및 드레인 영역과, 상기 소스 영역 위에 형성된 상기 소스 배선과, 상기 드레인 영역 위에 형성된 드레인 전극과, 상기 소스 배선 및 상기 드레인 전극의 하나의 단면을 덮어서 형성된 배리어층과, 상기 드레인 전극 및 배리어층 위에 형성된 상기 화소 전극을 설치한다. 상기 드레인 영역의 하나의 단면은, 상기 반도체막의 단면 및 상기 드레인 전극의 단면과 대략 일치한다.
- [0010] 또한 본 발명은 상기 구성에 있어서, 다른 하나의 단면은 상기 화소 전극의 단면 및 상기 드레인 전극의 다른 하나의 단면과 대략 일치한다.
- [0011] 또한 본 발명은, 상기 화소 전극이 투광 도전막으로 이루어진 투과형 액정표시장치인 것을 특징으로 한다.
- [0012] 또한 본 발명은, 상기 화소 전극이 Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄)을 주성분으로 하는 막 또는 그것들의 적층막으로 된 반사형 액정표시장치인 것을 특징으로 한다.
- [0013] 또한 상기 구성에 따르면, 반도체층은 수소와 할로젠 원소를 포함하고, 결정구조를 포함하는 세미 아모포스 반도체다.
- [0014] 본 발명에 따르면, 절연 표면에 조성물을 선택적으로 토출하여, 게이트 배선을 형성하고, 상기 게이트 배선을 덮는 절연막을 형성하고, 상기 절연막 위에 제1의 반도체막을 형성하고, 상기 제1의 반도체막 위에 N형을 부여하는 불순물원소를 포함하는 제2의 반도체막을 형성하고, 상기 제2의 반도체막 위에 제1의 도전막을 형성한다. 제1의 마스크를 사용해서 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막을 선택적으로 제거하여, 상기 제1의 도전막, 상기 제2의 반도체막, 및 상기 제1의 반도체막으로 된 적층막의 패턴을 형성하고, 상기 적층막과 접해서 접치는 제2의 도전막을 형성한다. 제2의 마스크를 사용해서 상기 제1의 반도체막의 일부, 상기 제2의 반도체막, 상기 제1의 도전막, 및 상기 제2의 도전막을 선택적으로 제거하여, 상기 제2의 반도체막으로 이루어진 소스 영역 및 드레인 영역과, 상기 N형을 부여하는 불순물원소를 포함하는 제2의 도전막으로 이루어진 화소 전극을 형성한다.
- [0015] 또한 본 발명의 상기 구성에 따르면, 제1의 도전막, 제2의 도전막, 및 제1의 반도체막으로 된 적층막의 단면에 조성물을 선택적으로 토출해서 배리어층을 형성한다.
- [0016] 또한 본 발명에 따르면, 상기 절연막, 상기 제1의 반도체막, 상기 제2의 반도체막, 및 상기 제1의 도전막을 형성하는 공정까지, 대기에 노출하지 않고 연속적으로 형성하는 것을 특징으로 한다.
- [0017] 또한 상기 구성에 따르면, 상기 제1의 마스크 및 상기 제2의 마스크는, 조성물을 선택적으로 토출해서 형성한다. 또한 상기 제2의 도전막은, 조성물을 선택적으로 토출해서 형성한다.
- [0018] 또한 본 발명의 상기 구성에 따르면, 도전성 재료를 포함하는 조성물을 선택적으로 토출해서 제1의 도전막을 형성하고, 이 제1의 도전막을 마스크로 해서 제1의 반도체막 및 제2의 반도체막을 에칭한다.
- [0019] 본 발명에 따르면, 조성물을 토출함으로써, 배선층이나 마스크의 패터닝을 직접 행할 수 있으므로, 재료의 이용

효율을 향상시킬 수 있다. 게다가 액정표시장치의 제조 공정을 간략화할 수 있다.

**실시예**

- [0045] 본 발명의 실시예에 대해서, 도면을 사용해서 상세하게 설명하지만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하는 않고 그 형태 및 상세한 부분을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 또한 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면 간에 공통으로 사용한다.
- [0046] 도 1은 본 발명의 액티브 매트릭스 기관의 평면도의 일례다. 여기에서는 간략화를 위해, 매트릭스형으로 배치된 복수의 화소의 중 하나의 화소 구성을 보이고 있다.
- [0047] 도 1에 나타난 화소 구성은 서로 평행하게 배치된 복수의 게이트 배선(203, 223)과, 각 게이트 배선(203, 223)에 가로지르도록 배치된 소스 배선(219, 239)을 복수 개 가지고 있다. 또 게이트 배선(203, 223)과 소스 배선(219, 239)으로 둘러싸인 영역에는 투광 도전막으로 된 화소 전극(221)이 배치되어 있다. 또한 이 화소 전극(221)과 겹치지 않도록, 투광 도전막(214)이 소스 배선을 덮고 있다.
- [0048] 또한, 화소 전극(221)의 아래쪽에서 인접하는 2개의 게이트 배선(203, 223) 사이에 평행하게 용량배선(204)이 배치되어 있다. 이 용량배선(204)은 전 화소에 설치되어 있고, 화소 전극(221) 사이에 존재하는 절연막을 유전체로 해서 저장용량을 형성하고 있다.
- [0049] 또한 게이트 배선(203)과 소스 배선(219)의 교차부 근방에는 스위칭소자가 설치되어 있다. 스위칭소자의 대표적인 일례는 TFT다. TFT의 게이트 전극층이 주사선과 접속되어, 소스 또는 드레인층이 신호선과 접속됨으로써, 각각의 화소를 외부에서 입력하는 신호에 의해 독립으로 제어 가능하게 하고 있다.
- [0050] TFT는, 그 주요한 구성요소로서, 반도체막, 게이트 절연막 및 게이트 전극 등을 들 수 있고, 반도체막에 형성되는 소스 및 드레인 영역에 접속하는 배선층이 그것에 부수된다. TFT의 전형적인 구조로는, 기관층에서 반도체막, 게이트 절연막 및 게이트 전극층을 설치한 톱 게이트(순 스테거)형과, 기관층에서 게이트 전극층, 게이트 절연막 및 반도체막을 설치한 보텀 게이트(역 스테거)형 등이 있다. 본 발명에서는 보텀 게이트형 TFT를 사용한다.
- [0051] 더 구체적인 TFT의 구조로는, 절연성 기관 위에 차례로, 게이트 전극(게이트 배선과 일체 형성되었다)과, 게이트 절연막과, 제1의 반도체막과, N형을 부여하는 불순물원소를 포함하는 제2의 반도체막으로 된 소스 영역 및 드레인 영역과, 소스 전극(소스 배선과 일체 형성됨) 및 전극(이하, 드레인 전극이라고도 부른다)이 적층 형성되어 있다.
- [0052] 또한 소스 배선(소스 전극 포함한다) 및 드레인 전극의 아래쪽에는, 게이트 절연막과, 제1의 아모포스 반도체막과, N형을 부여하는 불순물원소를 포함하는 제2의 아모포스 반도체막이 적층 형성되어 있다.
- [0053] 제1의 아모포스 반도체막에서, 소스 영역과 접하는 영역과 드레인 영역과 접하는 영역 사이의 영역은, 다른 영역에 비해 막 두께가 더 얇다. 이는, N형을 부여하는 불순물원소를 포함하는 제2의 아모포스 반도체막을 에칭에 의해 분리해서 소스 영역과 드레인 영역을 형성할 때, 제1의 아모포스 반도체막의 일부가 제거되었기 때문이다. 또한 이 에칭에 의해 화소 전극의 단면, 드레인 전극의 단면, 및 드레인 영역의 단면이 대략 서로 일치한다.
- [0054] 마찬가지로 소스 전극을 덮는 배선(225)의 단면, 소스 전극의 단면, 및 소스 영역의 단면이 서로 일치하고 있다.
- [0055] 반도체막을 형성하는 재료는, 실란이나 게르만으로 대표되는 반도체재료 가스를 사용해서 기상성장법이나 스퍼터링법으로 제조되는 아모포스 반도체 (이하 「AS」라고도 한다.), 상기 아모포스 반도체를 빛에너지나 열에너지를 이용해서 결정화시킨 다결정반도체, 또는 세미 아모포스 반도체(마이크로 크리스탈이라고도 불린다. 이하 「SAS」라고도 한다.)반도체 등을 사용할 수 있다. 또한 유기반도체를 사용해서 TFT를 형성하는 것도 가능하다.
- [0056] SAS는, 비정질과 결정구조(단결정, 다결정을 포함한다)의 중간적인 구조를 가지고, 자유에너지적으로 안정한 제 3의 상태를 가지는 반도체다. 또한 SAS는 단거리질서와 격자변형을 가지는 결정질 영역을 포함하고 있다. 적어도 막 중의 일부 영역에서는, 0.5~20nm의 결정 영역을 관측할 수 있고, 규소를 주성분으로 할 경우에는 라만 스

펙트럼이  $520\text{cm}^{-1}$ 보다도 낮은 파수 측으로 시프트된다. X선 회절에 의해 규소결정격자로 인한 (111), (220)의 회절 피크가 관측된다. 덩글링 본드의 중화제로서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함시킨다. SAS는 규화물 기체를 그로방전분해(플라즈마 CVD)해서 형성한다. 규화물 기체로는,  $\text{SiH}_4$ , 그 밖에도  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용할 수 있다. 또  $\text{GeF}_4$ 을 혼합시킬 수도 있다. 이 규화물 기체를  $\text{H}_2$ , 또는,  $\text{H}_2$ 과 He, Ar, Kr, Ne에서 선택된 일종 또는 복수 종의 희가스 원소로 희석해도 된다. 희석율은 2~1000배의 범위, 압력은 대략 0.1Pa~133Pa의 범위, 전원 주파수는 1MHz~120MHz, 바람직하게는 13MHz~60MHz의 고주파수 전력으로 한다. 기판가열온도는  $300^\circ\text{C}$  이하가 바람직하다. 막 중의 불순물원소로서, 산소, 질소, 탄소 등의 대기 성분의 불순물은  $1 \times 10^{20}\text{cm}^{-3}$  이하로 하는 것이 바람직하다. 특히, 산소농도는  $5 \times 10^{19}/\text{cm}^3$  이하, 바람직하게는  $1 \times 10^{19}/\text{cm}^3$  이하가 바람직하다.

[0057] 도 20은 본 발명에 따른 액정표시 패널의 전체적인 구성을 나타내는 평면도다. 절연 표면을 가지는 기판(100) 위에 화소(102)를 매트릭스형으로 배열시킨 화소부(101), 주사선측 입력단자(103), 신호선측 입력단자(104)가 형성되어 있다. 여기에서, 도 20은, 주사선 및 신호선에 입력하는 신호를, 외장형 구동회로에 의해 제어하는 액정표시 패널의 구성을 보이고 있지만, 도 21에 나타낸 바와 같이 COG(Chip on 유리)에 의해 드라이버IC(106)를 기판(100) 위에 설치해도 된다. 드라이버IC는 단결정 반도체기판으로 형성된 것이어도 되고, 유리 기판 위에 TFT로 회로를 형성한 것이어도 된다. 또한 화소에 설치하는 TFT를 SAS로 형성할 경우에는, 도 22에 나타낸 바와 같이 주사선측 구동회로(107)를 기판(100) 위에 형성해 일체화할 수도 있다.

[0058] 본 발명에 따르면, 상기 구조의 패턴은 액적토출법에 의해 직접 형성된다. 여기에서, 액적토출법은 임의의 위치에 도전층, 절연막 등을 형성하기 위한 재료를 포함하는 조성물의 형성 액적(도트라고도 함)을 선택적으로 토출하기 위한 방법이다.

[0059] 패턴의 형성에 사용하는 액적토출장치의 일 태양은 도 15에 나타나 있다. 액적토출수단(1403) 각각의 헤드(1405)는 제어 수단(1407)에 접속되어 있다. 컴퓨터(1410)로 제어 수단(1407)을 제어함으로써 미리 프로그래밍된 패턴을 회화할 수 있다. 회화하는 타이밍은, 예를 들면 기판(1400) 위에 형성된 마커(1411)를 기준으로 정할 수 있다. 또는, 기판(1400)의 가장자리를 기준으로 해서 기준점을 확정할 수 있다. 이것을 CCD 등의 픽업 수단(1404)으로 검출하고, 화상처리수단(1409)에 의해 디지털 신호로 변환한다. 컴퓨터(1410)로 그 디지털 신호를 인식해서 제어신호를 발생시켜서 제어 수단(1407)으로 보낸다. 물론, 기판(1400) 위에 형성될 패턴의 정보는 기억매체(1408)에 저장된 것이며, 이 정보를 기초로 해서 제어 수단(1407)에 제어신호를 보내고, 액적토출수단(1403)의 각 헤드(1405)를 개별적으로 제어할 수 있다. 이때 헤드를 X-Y축 방향으로 주사하여, 토출할 수도 있다. 이는 기판이 액적을 토출하는 헤드(1405)의 폭보다 큰 대형기판에 토출할 경우에도 유효하다. 또한 장치의 소형화도 꾀할 수 있다.

[0060] (실시예 1)

[0061] 실시예 1로서, 채널 에칭형 박막 트랜지스터의 제조 방법에 관하여 설명한다.

[0062] 본 실시예는 액정표시장치의 제조 방법을 나타낸다. 기판 위에 화소부의 TFT를 역 스테퍼형으로 형성하고, 상기 TFT에 접속하는 저장용량을 제조하는 방법에 대해서 공정에 따라 상세하게 설명한다. 또한 상기 기판의 단부에 설치되고, 다른 기판에 설치된 회로의 배선과 전기적으로 접속하기 위한 입력단자부의 제조 공정을 동시에 나타낸다.

[0063] 도 2a에 있어서, 기판(200)은, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 혹은 알루미늄 실리케이트 유리 등, 퓨전법이나 플로트법으로 제조되는 무알칼리 유리 기판, 세라믹 기판, 또는 본 제조 공정의 처리 온도를 견디어낼 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 또한 단결정 실리콘 등의 반도체기판, 스테인레스 등의 금속기판의 표면에 절연층을 설치한 기판을 적용해도 된다.

[0064] 기판(200) 위에는, 스퍼터링법이나 증착법 등의 방법에 의해, Ti(티타늄), W(텅스텐), Cr(크롬), Al(알루미늄), Ta(탄탈), Ni(니켈), Zr(지르코늄), Hf(하프늄), V(바나듐), Ir(이리듐), Nb(니오브), Pd(팔라듐), Pt(백금), Mo(몰리브덴), Co(코발트) 또는 Rh(로듐)의 금속재료로 형성되는 도전층(201)을 형성하는 것이 바람직하다. 도전층(201)은 0.01~10nm의 두께로 형성할 수 있고, 단층 혹은 적층 구조로 할 수 있다. 이때, 이 도전층(201)은, 게이트 전극층을 밀착성 좋게 형성하기 위해서 설치하는 것이며, 충분한 밀착성을 얻을 수 있는 것이라면, 이것을 생략해서 기판(200) 위에 게이트 전극층을 직접 형성해도 좋다.

- [0065] 도전층(201) 위에, 도전성 재료를 포함하는 조성물을 선택적으로 토출하여, 게이트 배선층(202), 게이트 전극층(203), 용량배선층(204)을 형성한다(도 2a). 이들 층을 형성하는 도전성의 재료로는, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 금속 입자를 주성분으로 한 조성물을 사용할 수 있다. 또한 투광성을 가지는 인듐 주석산화물(ITO), 산화규소를 포함하는 인듐 주석산화물(ITSO)을 조합해도 된다. 특히, 게이트 배선층은, 저저항화하는 것이 바람직하다. 따라서 금, 은, 동 중 어느 하나의 재료를 용매에 용해 또한 분산되게 한 것을 사용하는 것이 바람직하다. 더 바람직하게는, 저저항화한 은, 동을 사용한다. 단, 그 경우에는, 불순물에 대한 대책으로, 아울러 배리어막을 설치하는 것이 바람직하다. 배리어막으로는 예를 들면 질화규소막이나 니켈 붕소(NiB)를 사용한다. 용매는, 아세트산 부틸 등의 에스테르류, 이소프로필 알코올 등의 알코올류, 아세톤 등의 유기용제 등에 해당한다. 표면장력과 점도는, 용매의 농도를 조정하거나, 계면활성제 등을 더해서 적절히 조정한다. 이 단계에서의 평면도를 도 16에 나타낸다.
- [0066] 또한 은을 토출한 후, 동 도금을 행해 배선층을 형성해도 된다. 이 경우, 조성물을 토출해서 선 폭이 세밀한 배선을 형성한 후, 도금에 의해 배선을 굵게 형성할 수 있다. 또한 토출한 은의 표면은 거칠기 때문에 도금하기 쉬워 바람직하다. 도금은 대형기관을 액조에 담가서 행해도 되고, 도금액을 대형기관에 흘리면서 도금을 행해도 된다.
- [0067] 액적토출법에 있어서 사용하는 노즐의 지름은, 0.02~100  $\mu\text{m}$ (바람직하게는 30  $\mu\text{m}$  이하)로 설정하고, 상기 노즐로부터 토출되는 조성물의 토출량은 0.001p1~100p1(바람직하게는 10p1 이하)로 설정하는 것이 바람직하다. 액적토출법에는, 온디맨드형과 컨티뉴어스형의 두 가지 방식이 있는데, 어느 방식을 이용해도 된다. 또한 액적토출법에 있어서 사용하는 노즐에는, 압전체의 전압인가에 의해 변형하는 성질을 이용한 압전 방식, 노즐 내에 설치된 히터에 의해 조성물을 비등시켜 상기 조성물을 토출하는 가열방식이 있는데, 어느 방식을 이용해도 된다.
- [0068] 피처리물과 노즐의 토출구와의 거리는, 원하는 장소에 적하하기 위해서, 가능한 한 가까운 것이 바람직하다. 바람직하게는 0.1~3mm(바람직하게는 1mm 이하) 정도로 설정한다. 노즐과 피처리물은, 그 상대적인 거리를 유지하면서, 노즐 및 피처리물 중 한쪽이 이동하여 원하는 패턴을 회화한다. 또한 조성물을 토출하기 전에, 피처리물의 표면에 플라즈마 처리를 실행할 수 있다. 이는, 플라즈마 처리를 실행하면, 피처리물의 표면이 친수성이 되거나, 소액성이 되는 것을 활용하기 위해서다. 예를 들면 순수에 대하여는 친수성이 되며, 알코올로 희석한 페이스트에 대하여는 소액성이 된다.
- [0069] 조성물을 토출하는 공정은, 감압 하에서 행해도 된다. 이는, 조성물을 토출해서 피처리물에 착탄하기까지, 상기 조성물의 용매가 휘발하여, 후의 건조와 소성의 공정을 생략 또는 단축할 수 있기 때문이다. 조성물의 토출 후에는, 상압 상태 또는 감압 하에서, 레이저빔의 조사나 급속 열어닐, 가열로 등에 의해, 건조와 소성 중 하나 또는 그들 양쪽의 공정을 행한다. 건조와 소성의 공정은, 양쪽 공정 모두 가열처리 공정이지만, 그 목적, 온도와 시간은 다르다. 예를 들면 건조는 100℃로 3분간, 소성은 200~350℃로 15분간~120분간 행한다. 건조와 소성의 공정을 양호하게 행하기 위해, 기관을 가열해 둘 수 있다. 그때의 온도는, 기관 등의 재질에 의존하지만, 100~800℃(바람직하게는 200~350℃)로 한다. 본 공정에 의해, 조성물 중의 용매를 휘발하거나 분산제를 화학적으로 제거하여, 주위의 수지를 경화 및 수축함으로써 융합과 융착이 가속된다. 본 공정의 분위기는 산소분위기, 질소분위기 또는 공기로 한다. 단, 금속 원소를 분해 또는 분산하는 용매가 제거되기 쉬운 산소분위기 하에서 행하는 것이 바람직하다.
- [0070] 레이저빔의 조사는, 연속발진 또는 펄스발진의 기체레이저 또는 고체레이저를 사용할 수 있다. 전자의 기체레이저로서는, 엑시머레이저, YAG레이저 등을 들 수 있고, 후자의 고체레이저로서는, Cr, Nd 등이 도핑된 YAG, YVO<sub>4</sub> 등의 결정을 사용한 레이저 등을 들 수 있다. 레이저빔의 흡수율 측면에서, 연속발진의 레이저를 사용하는 것이 바람직하다. 또한 펄스발진과 연속발진을 조합한 소위 하이브리드 레이저조사방법을 이용해도 된다. 단, 기관의 내열성에 따라서는, 레이저빔의 조사에 의한 가열처리는, 수 마이크로 초 내지 수십 초 사이에서 순간적으로 하는 것이 바람직하다. 급속 열어닐(RTA)은, 불활성가스의 분위기 하에서, 자외광 내지 적외광을 조사하는 적외램프나 할로겐램프 등을 사용하여, 급격하게 온도를 상승시키고, 수 마이크로 초 내지 수 분 사이에서 순간적으로 열을 가해서 행한다. 이 처리는 순간적으로 행하므로, 실질적으로 최 외곽 표면의 박막만을 가열할 수 있고, 하층의 막에는 영향을 주지 않는다.
- [0071] 게이트 배선층(202), 게이트 전극층(203) 및 용량배선층(204)을 형성한 후, 표면에 노출된 도전층(201)의 처리로서, 하기의 두 가지 공정 중 어느 하나의 공정을 실행하는 것이 바람직하다.
- [0072] 제1 방법으로는, 게이트 배선층(202), 게이트 전극층(203) 및 용량배선층(204)과 겹치지 않는 도전층(201)을 절

연화하여, 절연층(301~304)을 형성하는 공정이다. 즉, 게이트 배선층(202), 게이트 전극층(203) 및 용량배선층(204)과 겹치지 않는 도전층(201)을 산화해서 절연화한다(도 2b). 이렇게, 도전층(201)을 절연화할 경우에는, 그 도전층(201)을 0.01~10nm의 두께로 형성해 두는 것이 바람직하며, 그렇게 하면 산화되어 절연층이 된다. 또한, 도전층(201)을 산화하는 방법으로는, 산소분위기 하에 노출하는 방법을 이용해도 되고, 열처리를 행하는 방법을 이용해도 된다.

[0073] 제2의 방법으로는, 게이트 배선층(202), 게이트 전극층(203) 및 용량배선층(204)을 마스크로 해서, 도전층(201)을 에칭해서 제거하는 공정이다. 이 공정을 사용할 경우에는 도전층(201)의 두께에 제약이 없다.

[0074] 또한 도전성 재료를 포함하는 조성물을 토출해서 기판(200) 위에 게이트 배선층(202), 게이트 전극층(203) 및 용량배선층(204)을 형성하는 방법으로서, 기판과 조성물과의 밀착성을 좋게 하기 위해서 상기 공정 이외의 방법으로, 이하의 방법을 이용할 수 있다.

[0075] 우선, 절연 표면을 가지는 기판(200) 위에 하지막을 형성한다. 하지막은 기판(200) 속에 포함되는 Na 등의 알칼리 금속이나 알칼리 토금속이 반도체막 내에 확산하여, 반도체소자의 특성에 악영향을 끼치는 것을 막기 위해서 설치한다. 따라서 알칼리 금속이나 알칼리 토금속이 반도체막에 확산하는 것을 억제할 수 있는 산화규소, 질화규소, 질화산화규소, 산화티탄, 질화티탄 등의 절연막을 사용해서 하지막을 형성할 수 있다. 특히, 하지막의 재료는, 게이트 전극의 재료와 밀착성이 높은 것을 선택하는 것이 바람직하다. 예를 들면 게이트 배선층, 게이트 전극층 또는 용량배선층에 Ag, Cu 또는 Ag과 Cu의 적층막을 사용할 경우, 산화티탄(TiOx)으로 된 하지막을 형성하는 것이 바람직하다. 하지막은 단층구조 또는 적층구조로 해도 된다. 여기에서는, 하지막이 제1의 하지막과 제2의 하지막으로 된 적층구조의 경우를 나타낸다. 제1의 하지막으로서, 플라즈마 CVD법을 이용하여, 원료 가스에 SiH<sub>4</sub>, N<sub>2</sub>O, NH<sub>3</sub>, H<sub>2</sub>, 압력이 0.3Torr(39.9Pa), RF파워가 50W, RF주파수가 60MHz, 기판온도가 400℃로 형성되는 산화질화규소막을 10~200nm(바람직하게는 50~200nm)로 형성한다. 제2의 하지막으로서, 플라즈마 CVD법을 이용하여, 원료 가스에 SiH<sub>4</sub>, N<sub>2</sub>O, 압력이 0.3Torr(39.9Pa), RF파워가 150W, RF주파수가 60MHz, 기판온도가 400℃로 형성되는 산화질화규소막을 50~200nm(바람직하게는 200~150nm)로 형성한다.

[0076] 스테인레스 기판 또는 플라스틱 기판과 같이, 알칼리 금속이나 알칼리 토금속이 조금이라도 포함되어 있는 기판을 사용할 경우, 불순물의 확산을 막는다는 관점에서 하지막을 설치하는 것은 유효하다. 한편, 석영기판 등 불순물의 확산이 그다지 문제가 안 되는 경우에는, 반드시 하지막을 설치할 필요는 없다. 즉 불순물이 반도체막에 확산하는 것을 방지할 수 있으면, 하지막을 반드시 설치할 필요는 없다. 예를 들면 게이트 전극 위에 게이트 절연막을 사이에 두고 반도체막을 형성할 경우, 게이트 절연막이 반도체막으로의 불순물 확산을 방지할 수 있으므로, 하지막을 설치할 필요는 없다.

[0077] 그 후에 게이트 전극의 피형성면에 대하여 플라즈마 처리를 행한다. 본 실시예에서는, 게이트 전극이 하지막 위에 형성되므로, 하지막에 플라즈마 처리를 행한다. 플라즈마 처리는, 게이트 전극의 피형성층에 대하여 비접촉으로 하는 것이 바람직하다. 플라즈마 처리는, 공기, 산소 또는 질소를 처리 가스로서 사용하고, 압력이 수십 Torr~800Torr(106400Pa), 바람직하게는 700Torr(93100Pa)~800Torr(대기압 또는 대기압 근방의 압력)인 상태에서 행한다. 또 플라즈마 처리의 전원으로는 RF전원이나 AC전원을 사용할 수 있다. 예를 들면 AC전원을 사용하여, 교류전압 100V, 주파수 13.56MHz 등의 조건으로 인가하고, 파워를 변화시켜서 플라즈마를 발생시킨다. 이때 안정된 플라즈마를 방전하기 위해서, 전압 폭 2~4 μsec 간격으로 펄스를 인가한다. 이 플라즈마 처리를 행함으로써, 알코올이나 기름 등의 액체에 대하여 습윤성이 낮아지도록 표면을 개질한다. 그 후에 기판 위에 도전성 재료를 포함하는 조성물을 토출하여, 게이트 배선층, 게이트 전극층 및 용량배선층을 형성한다.

[0078] 상기 방법 중 어느 하나를 이용하여, 기판(200) 위에 게이트 배선층, 게이트 전극층 및 용량배선층을 형성한다.

[0079] 다음으로 플라즈마 CVD법이나 스퍼터링법을 이용하여, 게이트 절연막(205)을 단층 또는 적층구조로 형성한다. 특히, 질화규소로 된 절연막, 산화규소로 된 절연막, 질화규소로 된 절연막을 3층 적층해서 형성하는 것이 바람직하다. 여기에서는 간략하게 1층으로 된 게이트 절연막을 보이고 있다. 낮은 성막 온도에서 게이트 리크 전류가 적은 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스 원소를 반응 가스에 포함하고, 형성되는 절연막 중에 혼입시키는 것이 바람직하다. 게이트 배선층(202), 게이트 전극층(203) 및 용량배선층(204)에 접하는 제1의 층을 질화규소 혹은 질화산화규소로 형성함으로써 산화에 의한 열화를 방지할 수 있다.

[0080] 다음으로 게이트 절연막(205) 위에 반도체막(206)을 형성한다. 반도체막(206)은, 실란이나 게르만으로 대표되는 반도체재료 가스를 사용해서 기상성장법이나 스퍼터링법으로 제조되는 AS, 혹은 SAS로 형성한다.

- [0081] 플라즈마 CVD법을 이용할 경우에는, AS는 반도체재료 가스인 SiH<sub>4</sub> 혹은 SiH<sub>4</sub>과 H<sub>2</sub>의 혼합 기체를 사용해서 형성한다. SiH<sub>4</sub>을 H<sub>2</sub>로 3배~1000배에 희석하거나, Si<sub>2</sub>H<sub>6</sub>과 GeF<sub>4</sub>의 가스류량비, Si<sub>2</sub>H<sub>6</sub> 대 GeF<sub>4</sub>을 20~40 대 0.9로 희석하면, Si의 조성비가 80% 이상인 SAS를 얻을 수 있다. 특히, 후자의 경우에는 하지와의 계면으로부터 반도체막(206)에 결정성을 갖게 할 수 있으므로 바람직하다.
- [0082] 다음으로 반도체막(206)에, 일도전형 불순물원소를 함유하는 반도체로서, N형 또는 P형 반도체막(207)을 형성한다(이후 반도체막(207)이라 한다). 반도체막(207)은, 실란 gas와 포스핀 가스를 사용해서 형성하면 되고, AS 또는 SAS로 형성할 수 있다.
- [0083] 다음으로 도전성 금속막(208)을 스퍼터링법이나 진공증착법으로 형성한다. 도전성 금속막(208)의 재료로는, 반도체막(207)과 오믹 콘택트가 얻어지는 금속재료라면 특별히 한정되지 않는다. Al, Cr, Ta, Ti로부터 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금막 등을 들 수 있다.
- [0084] 지금까지의 공정으로, 게이트 절연막(205)부터 금속막(208)까지는 대기에 접촉하지 않고 연속으로 형성할 수 있다. 즉, 대기성분이나 대기중에 부유하는 오염 불순물원소에 오염되는 일 없이 각 적층계면을 형성할 수 있으므로, TFT의 특성의 편차를 저감할 수 있다.
- [0085] 또한 상기 금속막(208)을 N형 반도체막(207) 위에 도전성을 포함하는 조성물을 토출해서 형성할 수 있다. 이 금속막(208)을 형성하는 도전성 재료로서는, Ag, Au, Cu, W, Al 등의 금속 입자를 주성분으로 한 조성물을 사용할 수 있다. 또한 투광성을 가지는 인듐 주석산화물, 인듐 주석산화물과 산화규소로 이루어지는 ITSO, 유기 인듐, 유기 주석, 산화아연, 질화 티타늄 등을 조합해도 된다.
- [0086] 다음으로 금속막(208) 위에 조성물을 선택적으로 토출하여, 마스크(209)를 형성한다. 마스크(209)로는, 에폭시 수지, 아크릴수지, 페놀수지, 공지락수지, 멜라민수지, 우레탄수지 등의 수지재료를 사용한다. 또한 벤조시클로부텐, 파리렌, 플레어, 투과성을 가지는 폴리이미드 등의 유기재료, 실록산계 폴리머 등의 중합에 의해 생긴 화합물재료, 수용성 호모 폴리머와 수용성 혼성중합체를 포함하는 조성물재료 등을 사용해서 형성한다. 또는, 감광제를 포함하는 시중의 레지스트 재료를 사용해도 된다. 예를 들면 대표적인 포지티브형 레지스트인 공지락수지와 감광제인 나프토퀴논디아미드 화합물, 네거티브형 레지스트인 베이스수지, 디페닐실란디올 및 산발생제 등을 사용해도 된다. 어느 재료를 사용하더라도, 그 표면장력과 점도는, 용매의 농도를 조정하거나, 계면활성제 등을 첨가해서 적절히 조정한다.
- [0087] 마스크(209)를 이용하여, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극(소스 배선)을 형성한다(도 3a). 이때의 에칭 방법으로서 습식 에칭 또는 드라이 에칭을 사용한다. 이때, 반도체막(206), 일도전형 불순물원소를 함유하는 반도체막(207), 및 도전성 금속막(208)이 에칭되며, 화소TFT부에 있어서는, 반도체막(211), 일도전형 불순물원소를 함유하는 반도체막(212), 및 도전성 금속막(213)을 형성한다. 또 용량부에 있어서는 용량배선(204)과 게이트 절연막(205)을 남기고, 마찬가지로 단자부에 있어서는, 단자(202)와 게이트 절연막(205)을 남긴다.
- [0088] 다음으로 마스크(209)를 제거한 후, 도전성 재료를 포함하는 조성물을 토출해서 앞면에 투광 도전막(214)을 형성한다(도 3b). 또한 이때의 평면도를 도 8에 나타낸다. 다만, 간략화를 위해 도 8에서는 전체 면에 성막된 투광 도전막(214)은 도시하지 않는다.
- [0089] 투광 도전막(214)은, 투과형 액정표시 패널을 제조할 경우에는, 인듐 주석산화물(ITO), 산화규소를 포함하는 인듐 주석산화물(ITSO), 산화아연(ZnO), 산화 주석(SnO<sub>2</sub>) 등을 포함하는 조성물에 의해 소정의 패턴을 형성하고, 소성에 의해 투광 도전막을 형성해도 된다. 또한 반사형 액정표시 패널을 제조할 경우에는, Ag(은), Au(금), Cu(동), W(텅스텐), Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다. 다른 방법으로는, 스퍼터링법에 의해 투광 도전막 혹은 광반사성의 도전막을 형성하고, 액적토출법에 의해 마스크 패턴을 형성하고, 에칭 가공을 조합해서 형성해도 된다.
- [0090] 다음으로 투광 도전막(214) 위에, 조성물을 선택적으로 토출해서 마스크(215)를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 반도체막(216), 소스 영역(217) 및 드레인 영역(218), 소스 전극(219) 및 드레인 영역(220), 화소 전극(221)을 형성한다(도 3c).
- [0091] 이 에칭 공정을 통해, 투광 도전막(214)을 패턴형성함과 동시에, 도전성 금속막(213)과 반도체(212)과 반도체막(211)의 일부를 에칭에 의해 제거해서 개공(227)을 형성한다. 본 실시예에서는, 우선 ITO로 된 화소 전극을 초산과 염산의 혼합액 또는 염화계 제2절계 용액을 사용한 습식 에칭에 의해 선택적으로 제거한 후, 드라이 에칭

에 의해 도전성 금속막(213)과 반도체(212)과 반도체막(211)의 일부를 에칭했다. 본 실시예에서는, 습식 에칭과 드라이 에칭을 사용했지만, 실시자가 반응 가스를 적절히 선택해서 드라이 에칭만으로 행해도 되고, 실시자가 반응 용액을 적절히 선택해서 습식 에칭만으로 행해도 된다.

- [0092] 또한 개공(227)은 반도체막(216)에 달하여, 오목부를 가지는 반도체막(211)이 형성된다. 이 개공(227)에 의해 도전성을 가지는 금속막(213)은 소스 전극(219)과 드레인 전극(220)으로 분리되며, 반도체막(212)은 소스 영역(217)과 드레인 영역(218)으로 분리된다. 또한 소스 전극(219)과 접하는 투광 도전막(220)은, 소스 전극(219)에 접속된 소스 배선을 덮고, 그의 제조 공정, 특히 러빙 처리로 생기는 정전기를 방지하는 역할을 한다.
- [0093] 본 실시예에서는, 소스 배선 위에 투광 도전막(214)을 형성한 예를 게시했지만, 상기 ITO막의 에칭시에 투광 도전막(214)을 제거해도 된다. 또한 상기 ITO막의 에칭시에 상기 ITO막을 이용해서 정전기로부터 보호하기 위한 회로를 형성해도 된다.
- [0094] 이 에칭 공정에 있어서, 단자부에 형성된 투광 도전막(214)은 제거된다. 또한 용량부에 있어서의 게이트 절연막(205)을 유전체로 해서, 용량배선(204)과 화소 전극(221)으로 저장용량을 형성한다.
- [0095] 다음으로 마스크(215)를 제거한 후, 조성물을 선택적으로 도출해서 마스크를 형성한다. 그리고, 단자부의 단자(202)를 덮는 게이트 절연막(205)을 선택적으로 제거한다(도 4a). 또한 조성물을 도출해서 형성하는 액적도출법 대신에 스크린인쇄법이나 새도우 마스크를 사용해서 레지스트 마스크를 형성해도 된다.
- [0096] 이렇게 조성물을 도출해서 선택적으로 형성한 마스크를 사용하여, 역 스테거형 n채널형 TFT(231)을 가지는 화소 TFT부, 저장용량(232)을 완성할 수 있다. 그리고, 이것들을 각각의 화소에 대응해서 매트릭스형으로 배치해서 화소부를 구성함으로써 액티브 매트릭스형 액정표시장치를 제조하기 위한 하나의 기관을 형성할 수 있다. 본 명세서에서는 편의상 이러한 기관을 액티브 매트릭스 기관이라고 부른다.
- [0097] 다음으로 액티브 매트릭스 기관의 화소부에만 배향막(233)을 선택적으로 형성한다. 배향막(233)을 선택적으로 형성하는 방법으로는, 스크린인쇄법을 이용해도 되고, 배향막을 도포한 후, 새도우 마스크를 사용해서 레지스트 마스크를 형성해서 제거하는 방법을 이용해도 된다. 보통, 액정표시 소자의 배향막에는 폴리이미드 수지가 많이 이용되고 있다. 본 실시예에서는, 단자부의 단자(202)를 덮는 게이트 절연막(205)을 선택적으로 제거한 후, 배향막을 형성한 예를 게시했지만, 단자부의 단자(202)을 덮는 게이트 절연막(205) 위에 배향막을 형성한 후, 단자부에서의 게이트 절연막(205)과 배향막을 동시에 제거해도 된다.
- [0098] 그 후에 배향막으로의 기능을 하는 절연체막(234), 대향 전극으로의 기능을 하는 도전체막(235)이 설치된 대향 기관(236)과 TFT기관(200)을 스페이서를 사이에 두고 접촉시킨다. 그 공극에 액정층(237)을 설치함으로써 액정표시 패널을 제조할 수 있다.
- [0099] 다음으로 단자부의 입력단자(202)에 플렉시블 프린트 배선판(FPC)을 접속한다. FPC는 폴리이미드 등의 유기수지 필름(244)과 구리배선(243)으로 형성되어 있으며, 이방성도전성 접착제로 입력단자를 덮는 투광 도전막과 접속한다. 이방성도전성 접착제는 접착제(241)와, 그 속에 혼입되어 금 등이 도금된 수십~수백  $\mu\text{m}$  지름의 도전성 표면을 가지는 입자(242)로 구성된다. 이 입자(242)가 입력단자(202) 위의 투광 도전막과 구리배선(243)에 접속함으로써 이 부분에서 전기적인 접촉이 형성된다. 또한, 이 부분의 기계적 강도를 높이기 위해서 수지층(245)을 설치한다. 상기 공정을 거쳐, 채널 에칭형 스위칭용TFT와 용량소자를 포함하는 액정표시 패널이 완성된다(도 4b).
- [0100] 본 실시예에서는 단자부에 있어서, 게이트 절연막(205) 위에 투광 도전막(214)을 형성하지만(도 3b), 게이트 배선층(202) 위에 투광 도전막(214)을 형성하기 전에 단자부의 단자(202)를 덮는 게이트 절연막(205)을 선택적으로 제거할 수 있다. 도 10a, 10b에 이 경우의 공정을 나타낸다. 도 2a 내지 2c, 도 3a 내지 3c, 도 4a 및 4b에 대응하는 장소는 동일한 부호를 사용했다.
- [0101] 이상 나타난 바와 같이, 본 실시예에서는, 포토마스크를 이용한 광노광 공정이 필요하지 않으므로 제조 공정이 간단해 진다.
- [0102] (실시예 2)
- [0103] 본 실시예에서는, 도 5a 내지 5c, 도 6a 및 6b를 참조하여 상기 실시예와 다른 예에 관하여 설명한다. 실시예 1에서는, 도 3a에 나타난 바와 같이 반도체막(206), 반도체막(207), 및 금속막(208)을 동시에 에칭하는 공정에 대해서 나타냈지만, 게이트 절연막(205)도 동시에 에칭해도 된다. 이 경우의 공정을 도 5a 내지 5c에 나타낸다.

금속막(208) 형성 공정까지는, 실시예 1과 유사하므로, 그에 따른 설명은 생략한다.

- [0104] 도 5a 이후에는, 도전막(208) 위에 조성물을 선택적으로 토출해서 마스크(209, 309)를 형성한다. 다음으로 마스크(209, 309)를 사용하여, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극을 형성하는데(도 5b), 이때의 에칭 방법으로서 습식 에칭 또는 드라이 에칭을 이용한다. 이때, 화소TFT부에서 절연막(305), 반도체막(311), 일도전형 불순물원소를 함유하는 반도체막(312), 및 도전성 금속막(313)을 형성하는 동안, 게이트 절연막(205), 반도체막(206), 반도체막(207), 및 금속막(208)을 에칭한다. 따라서, 이들 막의 단면은 대략 일치한다.
- [0105] 용량부에 있어서는, 절연막(321), 반도체막(322), 일도전형 불순물원소를 함유하는 반도체막(323) 및 도전성 금속막(324)을 형성한다. 마찬가지로 이들 막의 단면은 일치한다.
- [0106] 또 단자부에 있어서는, 단자(202)만을 남기고 에칭한다. 다른 배선과의 교차부만을 남기고 게이트 배선 위의 절연막을 제거한다. 이 때문에 단자(202)나 게이트 배선의 재료와 절연막은, 충분한 선택비를 가지는 것을 고려 필요가 있으며, 단자의 재료와 도전성 금속막도 충분한 선택비를 가지는 것을 고려 필요가 있다. 다시 말해, 단자 및 게이트 배선의 재료와 도전성 금속막의 재료는 다르다.
- [0107] 다음으로 마스크(209, 309)를 제거한 후, 도전성 재료를 포함하는 조성물을 토출해서 전체 면에 투광 도전막(325)을 형성한다(도 5c). 계속해서, 투광 도전막(325) 위에, 조성물을 선택적으로 토출해서 마스크(326)를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 반도체막(316), 소스 영역(317) 및 드레인 영역(318), 소스 전극(319) 및 드레인 영역(320), 화소 전극(330)을 형성한다(도 6a).
- [0108] 이상과 같이 하여, 도 6b에 나타내는 액정표시 패널이 완성된다. 본 실시예는 상기 실시예와 자유롭게 조합하여 실행할 수 있다.
- [0109] (실시예 3)
- [0110] 본 실시예에서는, 상기 실시예와 다른 예를 도 7을 참조하여 나타낸다. 상기 실시예와 동일한 부분은 도 7에서 동일한 부호로 나타낸다.
- [0111] 우선, 실시예 1에 따라 도 4a의 상태를 얻은 후, 보호막의 역할을 하는 절연막을 형성한다. 절연막은 조성물을 선택적으로 토출하여 형성한다. 화소부TFT에 있어서는 절연막(240), 단자부에 있어서는 절연막(241)을 각각 형성한다. 이 절연막(240, 241)은 패시베이션막의 기능을 한다.
- [0112] 또한 다른 형성 방법으로서, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 산화탄탈막 등의 무기절연막을 단층 또는 적층구조로서 형성해도 된다. 이 경우, 얇은 무기절연막을 전체 면에 형성하므로, 절연막 위에 선택적으로 조성물을 토출해서 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 절연막(240, 241)을 형성한다.
- [0113] 이렇게 해서, 포토마스크를 이용한 광노광 공정을 거치지 않고, 절연막으로 보호된 역 스테이지형 TFT를 완성할 수 있다.
- [0114] 본 실시예는, 실시예 1 또는 실시예 2의 구성과 자유롭게 조합할 수 있다.
- [0115] (실시예 4)
- [0116] 실시예 4로서, 전극과 배선의 단면에 배리어층을 설치할 경우에 대해서, 도 9a 내지 9c에 나타낸다. 본 실시예는, 실시예 1의 도 3a의 상태까지 동일하므로 다른 점에 대해서 이하에 설명한다. 또한 도 3a에 대응하는 장소는 동일한 부호를 사용했다.
- [0117] 우선, 실시예 1에 따라 도 3a의 상태를 얻은 후, 마스크(209)를 제거한다. 그 후에 조성물을 선택적으로 토출하여, 반도체막(211), 일도전형 불순물원소를 함유하는 반도체막(212), 및 금속막(213)의 단면에 배리어막(280, 281)을 형성한다.
- [0118] 배리어막(280, 281)을 형성하는 조성물로서는, 공지의 도전성 재료나, 에폭시 수지, 아크릴수지, 페놀 수지, 노보락수지, 멜라민수지, 우레탄 수지 등의 수지재료를 들 수 있다. 이들 수지재료를 사용할 경우, 그 점도는, 용매를 사용해서 용해 또는 분산함으로써 조정하는 것이 바람직하다. 또한 발액성 수지가 바람직한데, 예를 들면 불소 원자가 포함된 수지, 혹은 탄화수소만으로 구성된 수지를 들 수 있다. 더 자세하게는, 분자 내에 불소 원자를 함유하는 모노머를 포함하는 수지, 또는 탄소와 수소 원자만으로 구성된 모노머를 포함하는 수지를 들 수 있다. 배리어막을 도전성 재료로 형성하는 때는, 배선과의 쇼트가 생기지 않도록 형성할 필요가 있다. 따라서,

배선과의 쇼트가 발생할 가능성이 있는 영역에 있어서는, 배리어막은 수지재료로 형성하는 것이 바람직하다. 또한 배리어막의 형성시에, 측면의 각도에 따라서는, 절단을 일으킬 가능성이 있다. 이 절단을 방지하기 위해서, 1방울 또는 복수 방울을 토출 후에 소성하여, 조성물을 고화하는 처리, 즉, 토출과 소성을 반복해서 실행하는 것이 바람직하다.

- [0119] 일반적으로, 반도체막(206), 반도체막(207) 및 금속막(208)을 동시에 에칭하고, 패턴을 형성했을 경우 단차가 생긴다. 그 때문에 반도체막(211), 반도체막(212), 및 금속막(213)의 단면에 배리어막을 형성함으로써, 투광 도전막을 형성할 때에 절단을 방지할 수 있다. 배리어막은 위치에 따라 토출량을 조정하여, 단면의 단차가 평탄화 되도록 형성한다.
- [0120] 본 실시예에 나타낸 바와 같이, 단차가 있는 부분에 선택적으로 조성물을 토출해서 배리어층을 설치함으로써 절단을 방지할 수 있고, 제품으로서의 수율 향상이 실현된다. 또한 본 실시예에서 설명한 방법은 단차가 있는 부분이면 어디에든 이용할 수 있다.
- [0121] 본 실시예는, 실시예 1~3의 구성과 자유롭게 조합할 수 있다.
- [0122] (실시예 5)
- [0123] 실시예 1에서는, 절연막, 제1의 아모포스 반도체막, N형 또는 P형을 부여하는 불순물원소를 포함하는 제2의 아모포스 반도체막, 제1의 도전막을 차례로, 연속적으로 적층하는 예를 제시했다. 이렇게 연속적으로 성막할 경우에 있어서 사용하는 복수의 챔버를 구비한 장치의 일례를 도 13에 나타냈다.
- [0124] 도 13에 본 실시예에서 나타내는 장치(연속 성막 시스템)의 윗면으로부터 본 개요를 나타낸다. 도 13에 있어서, 10~15이 기밀성을 가지는 챔버다. 각 챔버에는, 진공배기 펌프, 불활성가스 도입계가 배치되어 있다.
- [0125] 10, 15로 나타낸 챔버는, 시료(처리 기관)(30)를 시스템에 반입하기 위한 로드 록이다. 11은 절연막(104)을 성막하기 위한 제1의 챔버다. 12는 제1의 아모포스 반도체막(105)을 성막하기 위한 제2의 챔버다. 13은 N형을 부여하는 제2의 아모포스 반도체막(106)을 성막하기 위한 제3의 챔버다. 14는 제1의 도전막(107)을 성막하기 위한 제4의 챔버다. 또한 20은 각 챔버에 대하여 공통으로 배치된 공통실이다.
- [0126] 우선, 모든 챔버는 고진공 상태로 진공처리된 후, 불활성 가스, 여기에서는 질소에 의해 퍼지되어 있는 상태(상압)로 한다. 또한 모든 게이트 밸브(22~27)를 폐쇄한 상태로 한다.
- [0127] 우선, 처리 기관을 여러 장이 수납한 카세트(28)를 로드 록 챔버(10)에 반입한다. 카세트(28)의 반입 후, 도면에 나타내지 않은 로드 록 챔버(10)의 문을 폐쇄한다. 이 상태에서, 게이트 밸브(22)를 열어서 카세트로부터 처리 기관(30)을 1장 꺼내고, 로봇 암(21)에 의해 공통실(20)에 추출한다. 이때, 공통실에서 얼라인먼트가 행해진다. 이 기관(30)은 실시예 1에 따라 얻어진 배선(202, 203, 204)이 형성된 것을 사용했다.
- [0128] 여기에서 게이트 밸브(22)를 폐쇄하고, 이어서 게이트 밸브(23)를 연다. 그리고 제1의 챔버(11)에 처리 기관(30)을 이송한다. 처리 기관(30)을 제1의 챔버 내에서 150℃ 내지 300℃의 온도로 성막 처리하여, 게이트 절연막(205)을 얻는다. 절연막으로는, 질화규소막, 산화규소막, 질화산화규소막, 또는 이것들의 적층막 등을 사용할 수 있다. 본 실시예에서는 단층의 질화규소막을 채용하고 있지만, 2층 또는 3층 이상의 적층구조로 해도 된다. 여기에서는 플라즈마 CVD법이 가능한 챔버를 사용했지만, 타겟을 사용한 스퍼터링법이 가능한 챔버를 사용해도 된다.
- [0129] 절연막의 성막 종료 후, 처리 기관은 로봇 암에 의해 공통실에 인출되고, 제2의 챔버(12)에 이송된다. 제2의 챔버 내에서는 제1의 챔버와 마찬가지로 150℃~300℃의 온도로 성막 처리를 행하고, 플라즈마 CVD법으로 제1의 아모포스 반도체막(105)을 얻는다. 제1의 아모포스 반도체막으로는, 미결정 반도체막, 비정질 게르마늄막, 비정질 실리콘 게르마늄막, 또는 이것들의 적층막 등을 사용할 수 있다. 또한 제1의 아모포스 반도체막의 형성 온도를 350℃~500℃로 함으로써 수소농도를 저감하기 위한 열처리를 생략해도 된다. 여기에서는 플라즈마 CVD법이 가능한 챔버를 사용했지만, 타겟을 사용한 스퍼터링법이 가능한 챔버를 사용해도 된다.
- [0130] 제1의 아모포스 반도체막(105)의 성막 종료 후, 처리 기관은 공통실에 인출되고, 제3의 챔버(13)에 이송된다. 제3의 챔버 내에서는 제2의 챔버와 마찬가지로 150℃~300℃의 온도로 성막 처리를 행하고, 플라즈마 CVD법으로 N형을 부여하는 불순물원소(P 또는 As)를 포함하는 제2의 아모포스 반도체막(106)을 얻는다. 여기에서는 플라즈마 CVD법이 가능한 챔버를 사용했지만, 타겟을 사용한 스퍼터링법이 가능한 챔버를 사용해도 된다.
- [0131] N형을 부여하는 불순물원소를 포함하는 제2의 아모포스 반도체막(106)의 성막 종료 후, 처리 기관은 공통실에

인출되고, 제4의 챔버(14)에 이송된다. 제4의 챔버 내에서는 금속 타겟을 사용한 스퍼터링법으로 제1의 도전막(107)을 얻는다. 실시예 1에서 나타낸 바와 같이, 제1의 도전막은 도전성 재료를 포함하는 조성물을 토출해서 형성해도 되고, 실시자가 적절히 선택해서 제1의 도전막을 형성할 수 있다.

- [0132] 이렇게 하여 4층이 연속적으로 성막된 피처리 기판은 로봇 암에 의해 로드 록 챔버(15)에 이송되고 카세트(29)에 수납된다.
- [0133] 도 13에 나타낸 장치는 일례에 지나지 않음은 말할 것도 없다. 또한 본 실시예는 실시 예 1~4 중 어느 하나와 자유롭게 조합하는 것이 필요하다.
- [0134] (실시예 6)
- [0135] 실시예 6에서는 도 14를 참조하여 실시예 5와 다른 예를 설명한다. 실시예 5에서는, 복수의 챔버를 사용해서 연속적으로 적층 하는 예를 게시했지만, 본 실시예에서는 도 14에 나타낸 장치를 사용해서 하나의 챔버 내에서 고진공을 유지한 채 연속적으로 적층했다.
- [0136] 본 실시예에서는 도 14에 나타낸 장치 시스템을 사용했다. 도 14에 있어서, 40은 처리 기판, 50은 공통실, 44, 46은 로드 록 챔버, 45은 챔버, 42, 43은 카세트를 나타낸다. 본 실시예에서는 기판 반송시에 생기는 오염을 막기 위해서 동일 챔버에서 적층 형성했다.
- [0137] 본 실시예는 실시예 1 내지 4 중에서 자유롭게 조합하여 실시할 수 있다.
- [0138] 예를 들면 실시 예 1에 적용할 경우에는, 챔버(45)에 복수의 타겟을 설치하였다. 그리고 차례로, 반응 가스를 교체해서 게이트 절연막(205), 제1의 아모포스 반도체막(206), N형을 부여하는 불순물원소를 포함하는 제2의 아모포스 반도체막(207), 제1의 도전막(208)을 적층 형성한다.
- [0139] (실시예 7)
- [0140] 본 실시예에서는 도 12를 이용하여, 반사형 액정표시장치에 적용하는 예에 대해서 나타낸다.
- [0141] 우선, 절연 표면을 가지는 기판(700)을 준비한다. 기판(700)은 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 혹은 알루미늄 실리케이트 유리 등, 퓨전법이나 플로트법으로 제조되는 무알칼리 유리 기판, 세라믹 기판 외에, 본 제조 공정의 처리 온도를 견디어낼 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 또한 단결정 실리콘 등의 반도체기판, 스테인레스 등의 금속기판의 표면에 절연층을 설치한 기판을 적용해도 된다.
- [0142] 다음으로 기판(700) 위에 도전성 재료를 포함하는 조성물을 선택적으로 토출하여, 게이트 배선(701) 및 볼록부(702)를 형성한다. 이 볼록부는, 게이트 배선과 소스 배선으로 둘러싸인 영역, 즉 화소 전극이 형성되어서 표시 영역이 되는 영역에 배치한다. 볼록부(702)의 형상은 특별히 한정되지 않고, 지름방향의 단면이 다각형이어도 되고, 좌우 대칭이 아닌 형상이어도 된다. 예를 들면 볼록부(702)의 형상은 원기둥 모양이나 각기둥형이어도 되고, 원추형이나 각뿔형이어도 된다. 또 볼록부(702)는 규칙적으로 배치해도 되고 불규칙하게 배치해도 된다.
- [0143] 다음으로 플라즈마 CVD법이나 스퍼터링법을 이용하여, 게이트 절연막(703)을 단층 또는 적층구조로 형성한다. 절연막(703)은 볼록부가 형성된 기판 위에 형성되고, 표면에 요철을 가진다.
- [0144] 계속해서, 제1의 반도체막, 불순물원소를 포함하는 제2의 반도체막, 및 제1의 도전막을 차례로, 적층 형성한다.
- [0145] 제1의 반도체막은, 실란이나 게르만으로 대표되는 반도체재료 가스를 사용해서 기상성장법이나 스퍼터링법으로 제조되는 AS, 혹은 SAS로 형성한다. 불순물원소를 포함하는 제2의 반도체막은, 실란 가스와 포스핀 가스를 사용해서 형성하면 되고, AS 또는 SAS로 형성할 수 있다.
- [0146] 다음으로 제1의 도전막 위에 조성물을 선택적으로 토출해서 마스크를 형성하고, 이 마스크를 이용하여, 상기 제1의 반도체막, 상기 제2의 반도체막 및 상기 제1의 도전막을 에칭한다. 그리고 각각 제1의 반도체막, 제2의 반도체막 및 제1의 도전막을 패턴 형성한다.
- [0147] 그 후에 공지의 방법을 이용해서, 전체 면에 제2의 도전막을 형성한다. 제2의 도전막으로는, 반사성을 가지는 도전막을 사용한다. 또한 도전 재료를 토출해서 제2의 도전막을 형성해도 된다.
- [0148] 이어서, 제2의 도전막 위에 조성물을 선택적으로 토출해서 마스크를 형성하고, 마스크에 덮이지 않은 부분을 에칭하여, 반도체막(716), 소스 영역(717) 및 드레인 영역(718), 소스 전극(719) 및 드레인 영역(720), 화소 전극

(705)을 형성한다.

- [0149] 이렇게 해서, 블록부(702) 위에 형성된 절연막의 표면은 요철을 가진다. 이 요철을 표면에 가지는 절연막(703) 위에 화소 전극(705)이 형성되므로, 화소 전극(705)의 표면에 요철을 갖게 해서 광산란성을 피할 수 있다.
- [0150] 본 실시예의 구성으로 함으로써, 화소TFT부를 제조할 때, 조성물을 선택적으로 토출해서 마스크를 형성하는 것이 가능해서, 포토마스크를 이용한 광노광 공정을 거치지 않는 것에 의해, 공정을 생략할 수 있다. 또한 종래에는, 요철부를 형성할 때에 공정을 늘릴 필요가 있었지만, 본 실시예에서는, 조성물을 토출해서 게이트 배선과 동시에 블록부를 형성하므로, 전혀 공정을 늘리는 않고 화소 전극에 요철부를 형성할 수 있다.
- [0151] (실시예 8)
- [0152] 본 실시예에서는, 실시예 1에 있어서의 액티브 매트릭스 기관의 제조 공정의 보다 간략화한 방법을 도 11a 내지 11c를 이용하여 설명한다.
- [0153] 우선, 기관(200) 위에, 도전성 재료를 포함하는 조성물을 선택적으로 토출하여, 게이트 배선층(202), 게이트 전극층(203), 용량배선층(204)을 형성한다. 다음으로 플라즈마 CVD법이나 스퍼터링법을 이용하여, 게이트 절연막(205)을 단층 또는 적층구조로 형성한다. 또한 활성층의 기능을 하는 반도체막(206) 및 일도전형 불순물원소를 함유하는 반도체로서, N형 또는 P형 반도체막(207)을 형성한다. 이상의 공정은 실시예 1과 동일하므로, 자세한 설명은 생략한다.
- [0154] 다음으로 반도체막(207) 위에, 도전성을 포함하는 조성물을 선택적으로 토출해서 도전성 금속막(508)을 형성한다(도 11a). 이 금속막을 형성하는 도전성 재료로서는, Ag, Au, Cu, W, Al 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다. 또한 투광성을 가지는 인듐 주석산화물, 인듐 주석산화물과 산화규소로 이루어지는 ITSO, 유기 인듐, 유기 주석, 산화아연, 질화티탄 등을 조합해도 된다.
- [0155] 다음으로 금속막(508)을 마스크로 해서 금속막에 덮이지 않은 반도체막(206 및 207)을 에칭함으로써, 화소TFT부에서는, 반도체막(511) 및 N형 반도체막(512)을 형성한다(도 11b). 여기에서의 에칭 방법으로서, 습식 에칭 또는 드라이 에칭 중 어느 쪽을 이용해도 되지만, 되도록 금속막(508)이 침식되지 않는 방법으로 행한다.
- [0156] 계속해서, 도전성 재료를 포함하는 조성물을 토출해서 전체 면에 투광 도전막(514)을 형성한 후, 조성물을 선택적으로 토출해서 마스크(515)를 형성한다. 이 마스크(515)를 이용해서 에칭함으로써, 반도체막(516), 소스 영역(517) 및 드레인 영역(518), 소스 전극(519) 및 드레인 영역(520), 화소 전극(521)을 형성한다.
- [0157] 이와 같이, 본 실시예에서는, 금속막(508)을 선택적으로 형성하고 그것을 마스크로 사용함으로써, 더 이상 마스크를 형성하고 에칭 후에 마스크를 제거하는 공정이 필요 없다. 따라서 더욱 간단한 공정으로 액정표시 패널을 제조할 수 있게 된다.
- [0158] (실시예 9)
- [0159] 다음으로 상기 실시예에 의해 제조되는 액정표시 패널에 구동용 드라이버 회로를 설치하는 태양에 대해서, 도 17a, 17b, 도 18a, 18b, 도 19a, 19b를 참조해서 설명한다.
- [0160] 우선, COG방식을 채용한 표시장치에 대해서, 도 17a, 17b를 이용하여 설명한다. 기관(1001) 위에는, 문자나 화상 등의 정보를 표시하는 화소부(1002), 주사축의 구동회로(1003, 1004)가 설치된다. 복수의 구동회로가 설치된 기관(1005, 1008)은, 사각형 모양으로 분단되고, 분단 후의 구동회로(이하 드라이버IC로 표기)는, 기관(1001) 위에 설치된다. 도 17a는 단부가 테이프(1006)로 부착된 복수의 드라이버IC(1007)를 설치하는 예를 설명한다. 도 17b는 단부가 테이프(1009)로 부착된 드라이버IC(1010)를 설치하는 예를 나타낸다.
- [0161] 다음으로 TAB방식을 채용한 표시장치에 대해서, 도 18a, 18b를 이용하여 설명한다. 기관(1001) 위에는, 화소부(1002), 주사축의 구동회로(1003, 1004)가 설치된다. 도 18a는 기관(1001) 위에 복수의 테이프(1006)를 부착하고, 상기 테이프(1006)에 드라이버IC를 설치하는 형태를 나타낸다. 도 18b는 기관(1001) 위에 테이프(1009)를 부착하고, 상기 테이프(1009)에 드라이버IC(1010)를 설치하는 형태를 나타낸다. 후자를 채용할 경우에는, 강도의 문제로, 드라이버IC(1010)를 고정하는 금속편 등을 함께 붙이는 것이 바람직하다.
- [0162] 이러한 액정표시 패널에 설치되는 드라이버IC은, 생산성을 향상시키는 관점에서, 한 변이 300mm 내지 1000mm 이상의 사각형 기관(1005, 1008) 위에 복수 개 형성하는 것이 바람직하다.
- [0163] 즉, 기관(1006, 1008) 위에 구동회로부와 입출력 단자를 하나의 유닛으로 하는 회로 패턴을 복수 개 형성하고,

분할해서 추출하면 된다. 드라이버IC의 긴 변의 길이는, 화소부의 한 변의 길이나 화소 피치를 고려하여 결정한다. 드라이버IC 도 17a, 도 18a에 나타낸 바와 같이 긴 변이 15~80mm, 짧은 변이 1~6mm인 사각형 모양으로 형성할 수 있다. 또는 드라이버IC는 화소영역(1002)의 한 변, 또는 화소부(1002)의 한 변과 각 구동회로(1003, 1004)의 한 변을 더한 길이로 형성해도 된다.

[0164] 도 17a, 17b, 도 18a, 18b에 나타낸 바와 같이, 유리 기판 위에 드라이버IC를 형성함으로써, 긴 변은 특별히 길이에 제약받지 않으므로, 화소부(1002)에 대응해서 설치하는 데도 필요한 수 적다. 즉, 단결정 실리콘으로 형성된 드라이버IC는 물리적힘이나 기판에 의존하여 길게 형성될 수 없다. 드라이버IC를 유리 기판에 형성함으로써, 모체로서 사용하는 기판의 형상이 한정되지 않으므로 생산성이 떨어지지 않는다. 이는 원형 실리콘 웨이퍼로부터 IC칩을 추출할 경우와 비교하면, 큰 우위점이다.

[0165] 도 17a 및 17b, 도 18a 및 18b에 있어서, 화소영역(1002)의 외측 영역에는, 구동회로가 형성된 드라이버IC(1007, 1008 또는 1009)가 설치된다. 이들 드라이버IC(1007~1009)는, 신호선 측의 구동회로다. RGB 풀컬러에 대응한 화소영역을 형성하기 위해서는, XGA클래스에서 신호선의 개수가 3072개 필요하며, UXGA클래스에서는 4800개가 필요하다. 이러한 개수로 형성된 신호선은, 화소영역(1002)의 단부에서 수 블록마다 구분되어 인출선을 형성하고, 드라이버IC(1007~1009)의 출력 단자의 피치에 맞춰서 모인다.

[0166] 드라이버IC는, 기판 위에 형성된 결정질 반도체로 형성되는 것이 바람직하다. 상기 결정질 반도체는 연속 발광의 레이저빔을 조사함으로써 형성되는 것이 바람직하다. 따라서, 상기 레이저빔을 발생시키는 발진기로서는, 연속 발광의 고체레이저 또는 기체레이저를 사용한다. 연속 발광의 레이저를 사용하면, 결정 결함이 적고, 입자가 큰 다결정 반도체층을 사용하여, 트랜지스터를 작성하는 것이 가능해진다. 또한 이동도나 응답 속도가 양호하므로 고속구동이 가능해서, 종래보다도 소자의 동작 주파수를 향상시킬 수 있다. 따라서 특정 편차가 적기 때문에 높은 신뢰성을 얻을 수 있다. 또한, 주파수를 더욱 향상시키기 위해, 트랜지스터의 채널길이 방향과 레이저빔의 조사 방향을 일치시키는 것이 바람직하다. 연속 발광 레이저에 의한 레이저 결정화 공정에서는 트랜지스터의 채널길이 방향과 레이저빔의 기판에 대한 조사 방향이 대략 병행(바람직하게는  $-30^{\circ} \sim 30^{\circ}$ )일 때에, 가장 높은 이동도를 얻을 수 있기 때문이다. 채널길이 방향은 채널 형성 영역에서, 전류가 흐르는 방향, 환언하면 전하가 이동하는 방향과 일치한다. 이렇게 제조한 트랜지스터는, 결정립이 채널 방향으로 연장하는 다결정 반도체층으로 구성되는 활성층을 가지는데, 이것은 결정립 경계가 대략 채널 방향을 따라 형성되어 있다는 것을 의미한다.

[0167] 레이저 결정화를 행하기 위해서는, 레이저빔의 대폭적인 압축을 행하여, 그 빔 스폿의 폭을 드라이버IC의 짧은 변의 같은 폭인 1~3mm 정도로 하는 것이 바람직하다. 또한 피조사체에 대하여, 충분히 또한 효율적인 에너지밀도를 확보하기 위해서, 레이저빔의 조사 영역은, 선형인 것이 바람직하다. 단, 여기에서 하는 선형은 엄밀한 의미로 선을 뜻하는 것이 아니고, 어스펙트비가 큰, 예를 들면 어스펙트비가 2 이상(바람직하게는 10~10000)인 장방형 또는 장타원형을 의미한다. 이렇게, 레이저빔의 빔 스폿의 폭을 드라이버IC의 짧은 변과 같은 길이로 함으로써 생산성을 향상시킨 표시장치의 제조 방법을 제공할 수 있다.

[0168] 도 17a, 17b, 도 18a, 18b에서는, 주사선 구동회로는 화소부와 함께 일체로 형성하고, 신호선 구동회로로서 드라이버IC를 설치한 형태를 나타냈다. 그렇지만, 본 발명은 이 형태에 한정되지 않고, 주사선 구동회로 및 신호선 구동회로 모두로서 드라이버IC를 설치해도 된다. 그 경우에는, 주사선측과 신호선측에서 사용하는 드라이버IC의 사양을 다른 것으로 하는 것이 바람직하다.

[0169] 화소영역(1002)에서는, 신호선과 주사선이 교차해서 매트릭스를 형성하고, 각 교차부에 대응해서 트랜지스터가 배치된다. 본 발명은, 화소영역(1002)에 배치되는 트랜지스터로서, 비정질 반도체 또는 세미 아모포스 반도체를 채널부로 한 TFT를 사용하는 것을 특징으로 한다. 아모포스 반도체는, 플라즈마 CVD법이나 스퍼터링법 등에 의해 형성한다. 세미 아모포스 반도체는, 플라즈마 CVD법으로 300℃ 이하의 온도로 형성할 수 있다. 예를 들면 외형 치수 550×650mm의 무알칼리 유리 기판이라도, 트랜지스터를 형성하는데 필요한 막 두께를 단시간에 형성한다는 특징을 가진다. 이러한 제조 기술의 특징은, 대화면 표시장치를 제조하는 데에 유효하다. 또한 세미 아모포스TFT는, SAS로 채널 형성 영역을 구성함으로써 2~10 cm<sup>2</sup>/V<sup>2</sup>sec의 전계 효과이동도를 얻을 수 있다. 따라서, 이 TFT를 화소의 스위칭용 소자나, 주사선측의 구동회로를 구성하는 소자로서 사용할 수 있다. 따라서, 시스템은 패널화를 실현한 액정표시 패널을 제조할 수 있다.

[0170] 도 17a, 17b, 도 18a, 18b에서는, 반도체층을 SAS로 형성한 TFT를 사용함으로써, 주사선측 구동회로도 기판 위에 일체로 형성하는 것을 보이고 있다. 반도체층을 AS로 형성한 TFT를 사용할 경우에는, 주사선측 구동회로 및

신호선측 구동회로 모두로서 드라이버IC를 설치해도 된다.

- [0171] 그 경우에는, 주사선측과 신호선측에서 사용하는 드라이버IC의 사양을 다른 것으로 하는 것이 바람직하다. 예를 들면 주사선측의 드라이버IC를 구성하는 트랜지스터에는 30V 정도의 내압이 요구되지만, 구동주파수는 100kHz 이하이고, 비교적 고속동작은 요구되지 않는다. 따라서, 주사선측의 드라이버를 구성하는 트랜지스터의 채널길이(L)는 충분히 크게 설치하는 것이 바람직하다. 한편, 신호선측의 드라이버IC를 구성하는 트랜지스터에는, 12V 정도의 내압이 있으면 충분하지만, 구동주파수는 3V에서 65MHz 정도이고, 고속동작이 요구된다. 그 때문에 드라이버를 구성하는 트랜지스터의 채널길이 등은 미크론 룰로 설치하는 것이 바람직하다.
- [0172] 도 19a, 19b는 드라이버IC를 COG로 설치하는 구성을 보이고 있다. 도 19a는 TFT기판(800)에, 드라이버IC(806)가 이방성 도전재를 사용해서 설치된 구조를 나타낸다. TFT 기판(800) 위에는 화소영역(801), 신호선측 입력단자(804)(주사선 입력단자도 유사)를 가지고 있다. 대향기판(829)은 실링재(826)로 TFT기판(800)과 접촉되어 있고, 그 사이에 액정층(830)이 형성되어 있다.
- [0173] 신호선측 입력단자(804)에는, FPC(812)이 이방성 도전재로 접촉되어 있다. 이방성 도전재는 수지(815)와 표면에 Au 등이 도금된 수십 ~ 수백  $\mu\text{m}$  지름의 도전성 입자(814)로 이루어진다. 도전성 입자(814)에 의해 신호선측 입력단자(104)와 FPC(812)에 형성된 배선(813)이 전기적으로 접속된다. 드라이버IC(806)도, 이방성 도전재로 TFT 기판(800)에 접촉되며, 수지(811) 중에 혼입된 도전성 입자(810)에 의해, 드라이버IC(806)에 설치된 입출력 단자(809)와 신호선측 입력단자(804)가 전기적으로 접속된다.
- [0174] 또한 도 19b에서 나타난 바와 같이 TFT기판(800)에 드라이버IC(806)을 접착재(816)로 고정하고, Au와이어(817)에 의해 드라이버IC의 입출력 단자와 인출선 또는 접속 배선을 접속해도 된다. 그리고 밀봉수지(818)로 밀봉한다. 드라이버IC의 설치 방법은, 특별히 한정되지 않고, 공지의 COG방법이나 와이어 본딩 방법, 또는 TAB방법을 이용할 수 있다.
- [0175] 드라이버IC의 두께를 대향기판과 같은 두께로 함으로써, 양자 간의 높이는 거의 같아지고, 표시장치 전체로서의 초박형화에 기여한다. 또한 각각의 기판을 같은 재료로 제조함으로써, 표시장치에 온도변화가 생겨도 열 응력이 발생하는 않아, TFT로 제조된 회로의 특성을 손상시키지 않는다. 그 밖에도, 본 실시예에서 나타난 바와 같이 IC칩보다 긴 드라이버IC로 구동회로를 설치함으로써, 하나의 화소영역에 설치되는 드라이버IC의 개수를 절감할 수 있다.
- [0176] 이상과 같이 하여, 액정표시 패널에 구동회로를 삽입할 수 있다.
- [0177] (실시예 10)
- [0178] 실시예 9에 의해 제조되는 액정표시 패널에 의해, 액정 텔레비전 수상기를 완성할 수 있다. 도 23은 액정 텔레비전 수상기의 주요 구성을 나타내는 블럭도다. 액정표시 패널에는, 도 20에 나타내는 바와 같은 구성으로서 화소부(401)만이 형성되어서 주사선측 구동회로(403)와 신호선측 구동회로(402)가 TAB방식에 의해 설치될 경우와, 도 21에 나타낸 바와 같은 구성으로서 화소부(401) 주변에 주사선측 구동회로(403)와 신호선측 구동회로(402)가 COG방식에 의해 설치될 경우가 있다. 또는 도 22에 나타낸 바와 같이 SAS로 TFT를 형성하고, 화소부(401)와 주사선측 구동회로(403)를 기판 위에 일체형으로 이루고, 신호선측 구동회로(402)를 드라이버IC로서 설치할 경우 등이 있다. 본 발명은 어떤 형태로 해도 된다.
- [0179] 기타의 외부회로의 구성으로서, 튜너(404)로 수신한 신호 중, 영상신호를 증폭하는 영상신호 증폭회로(405)와, 거기에서 출력되는 신호를 빨강, 초록, 파란 각 색에 대응한 색 신호로 변환하는 영상신호처리 회로(406)와, 그 영상신호를 드라이버IC의 입력 사양으로 변환하기 위한 컨트롤 회로(407) 등으로 되어 있다. 컨트롤 회로(407)는 주사선측과 신호선측에 각각 신호를 출력한다. 디지털 구동인 경우에는, 신호선측에 신호 분할 회로(408)를 설치하고, 입력 디지털 신호를 m개로 분할해서 공급하는 구성으로 할 수 있다.
- [0180] 튜너(404)로 수신한 신호 중, 음성신호는, 음성신호 증폭회로(409)에 보내지고, 그 출력은 음성신호처리 회로(410)를 거쳐 스피커(413)에 공급된다. 제어회로(411)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(412)로부터 받고, 튜너(404)나 음성신호처리 회로(410)에 신호를 송출한다.
- [0181] 도 24는 액정표시 모듈의 일례로, TFT기판(200)과 대향기판(229)이 실링재(226)에 의해 고정되고, 그 사이에 화소부(101)와 액정층(230)이 설치되어 표시영역을 형성하고 있다. 착색층(250)은 컬러 표시를 행할 경우에 필요하다. RGB 방식의 경우에는, 빨강, 초록, 파란 각 색에 대응한 착색층이 각 화소에 대응해서 설치된다. TFT 기판(200)과 대향기판(229)의 외측에는 편광판(251, 252)이 설치되어 있다. 광원은 냉음극관(258)과 도광판(259)

으로 구성된다. 회로기판(257)은, 플렉시블 배선 기판(256)에 의해 TFT기판(200)과 접속되고, 컨트롤 회로나 전원회로 등의 외부회로가 삽입되어 있다.

[0182] 도 25는 액정표시 모듈을 케이싱(2301)에 내장하여 텔레비전 수상기를 완성한 상태를 보이고 있다. 액정표시 모듈에 의해 표시 화상(2303)이 형성되며, 기타 부속 설비로서 스피커(2304), 조작 스위치(2305) 등이 구비되어 있다. 이렇게, 본 발명에 의해 텔레비전 수상기를 완성할 수 있다.

**산업상 이용 가능성**

[0183] 본 발명은 텔레비전 수상기에 한정되지 않고, PC의 모니터를 비롯하여, 철도의 역이나 공항 등에서의 정보표시판이나, 가두에서의 광고 표시판 등 특히 대면적의 표시기판으로서 여러 가지 용도로 적용할 수 있다.

[0184] 본 출원은 2003년 11월 14일에 일본 특허청에 출원된 특허 No. 2003-386013에 근거하며, 그 내용은 본 발명에 참조로 인용된다.

[0185] [부호의 설명]

[0186]	203 게이트 배선	223 게이트 배선
[0187]	219 소스 배선	239 소스 배선
[0188]	220 화소 전극	214 투광 도전막
[0189]	204 용량 배선	228 배선
[0190]	100 기판	101 화소부
[0191]	102 화소	103 주사선측 입력단자
[0192]	104 신호선측 입력단자	107 주사선측 입력단자
[0193]	1400 기판	1403 액적도출수단
[0194]	1404 화상 픽업 수단	1405 헤드
[0195]	1407 제어 수단	1408 기억 매체
[0196]	1409 화상처리수단	1410 컴퓨터
[0197]	1411 마커	200 기판
[0198]	201 도전층	202 게이트 배선층
[0199]	203 게이트 전극층	204 용량 배선층
[0200]	205 게이트 절연층	206 반도체막
[0201]	207 반도체막	208 금속막
[0202]	209 마스크	211 반도체막
[0203]	212 반도체막	213 금속막
[0204]	214 투광 도전막	215 마스크
[0205]	216 반도체막	217 소스 영역
[0206]	218 드레인 영역	219 소스 전극
[0207]	220 드레인 전극	221 화소 전극
[0208]	227 개공	228 투광 도전막
[0209]	231 TFT	232 저장용량
[0210]	234 절연막	235 도전막

[0211]	236 대향기관	237 액정층
[0212]	241 접촉제	242 입자
[0213]	243 구리배선	244 유기수지 필름
[0214]	245 수지층	280 배리어막
[0215]	281 배리어막	309 마스크
[0216]	305 절연막	311 반도체막
[0217]	312 반도체막	313 금속막
[0218]	316 반도체막	317 소스 영역
[0219]	318 드레인 영역	319 소스 전극
[0220]	320 드레인 전극	321 절연막
[0221]	322 반도체막	323 반도체막
[0222]	324 금속막	325 투광 도전막
[0223]	330 화소 전극	140 절연막
[0224]	141 절연막	10 로드 록 챔버
[0225]	11 제1의 챔버	12 제2의 챔버
[0226]	13 제3의 챔버	14 제4의 챔버
[0227]	15 로드 록 챔버	20 공통실
[0228]	21 로봇 암	22 게이트 밸브
[0229]	23 게이트 밸브	24 게이트 밸브
[0230]	25 게이트 밸브	26 게이트 밸브
[0231]	27 게이트 밸브	28 카세트
[0232]	29 카세트	30 처리 기관
[0233]	40 처리 기관	42 카세트
[0234]	43 카세트	44 로드 록 챔버
[0235]	45 챔버	46 로드 록 챔버
[0236]	700 기관	701 배선
[0237]	702 볼록부	703 게이트 절연막
[0238]	705 화소 전극	706 반도체막
[0239]	717 소스 영역	718 드레인 영역
[0240]	719 소스 전극	720 드레인 전극
[0241]	508 금속막	511 반도체막
[0242]	512 N형 반도체막	515 마스크
[0243]	516 반도체막	517 소스 영역
[0244]	518 드레인 영역	519 소스 전극
[0245]	520 드레인 전극	521 화소 전극
[0246]	1001 기관	1002 화소부

[0247]	1003 주사축의 구동회로	1004 주사축의 구동회로
[0248]	1005 기관	1006 테이프
[0249]	1007 드라이버IC	1008 기관
[0250]	1009 테이프	1010 드라이버IC
[0251]	800 기관	801 화소 영역
[0252]	806 드라이버IC	804 신호선측 입력단자
[0253]	829 대향기관	826 실링재
[0254]	830 액정층	812 PFC
[0255]	815 수지	814 도전성 입자
[0256]	811 수지	816 접착재
[0257]	401 화소부	402 신호선측 구동회로
[0258]	403 주사선측 구동회로	404 튜너
[0259]	405 영상신호 처리회로	406 영상신호 증폭회로
[0260]	407 제어 수단	408 신호 분할 회로
[0261]	409 음성신호 증폭회로	410 음성신호 처리회로
[0262]	411 제어회로	412 입력부
[0263]	413 스피커	229 대향기관
[0264]	226 실링재	230 액정층
[0265]	250 착색층	251 편광판
[0266]	252 편광판	256 플렉시블 배선 기관
[0267]	257 회로기관	258 냉음극관
[0268]	259 도광판	2301 케이싱
[0269]	2303 표시 화상	2304 스피커
[0270]	2305 조작 스위치	105 제1의 아모포스 반도체막
[0271]	106 제2의 아모포스 반도체막	109 제1의 도전막

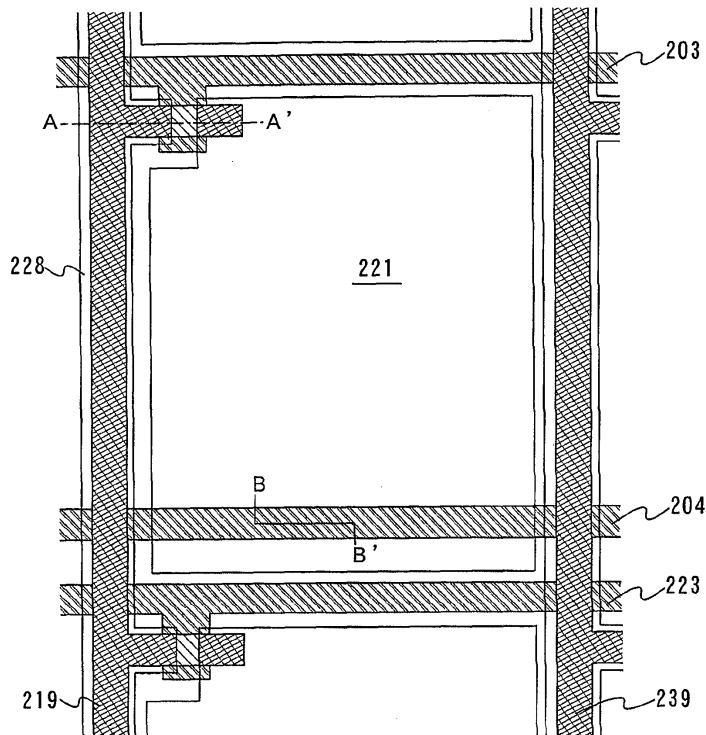
**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 평면도다.
- [0021] 도 2a 내지 2c는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0022] 도 3a 내지 3c는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0023] 도 4a, 4b는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0024] 도 5a 내지 5c는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0025] 도 6a, 6b는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0026] 도 7은 액정표시장치의 단면도다.
- [0027] 도 8은 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0028] 도 9a 내지 9c는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.

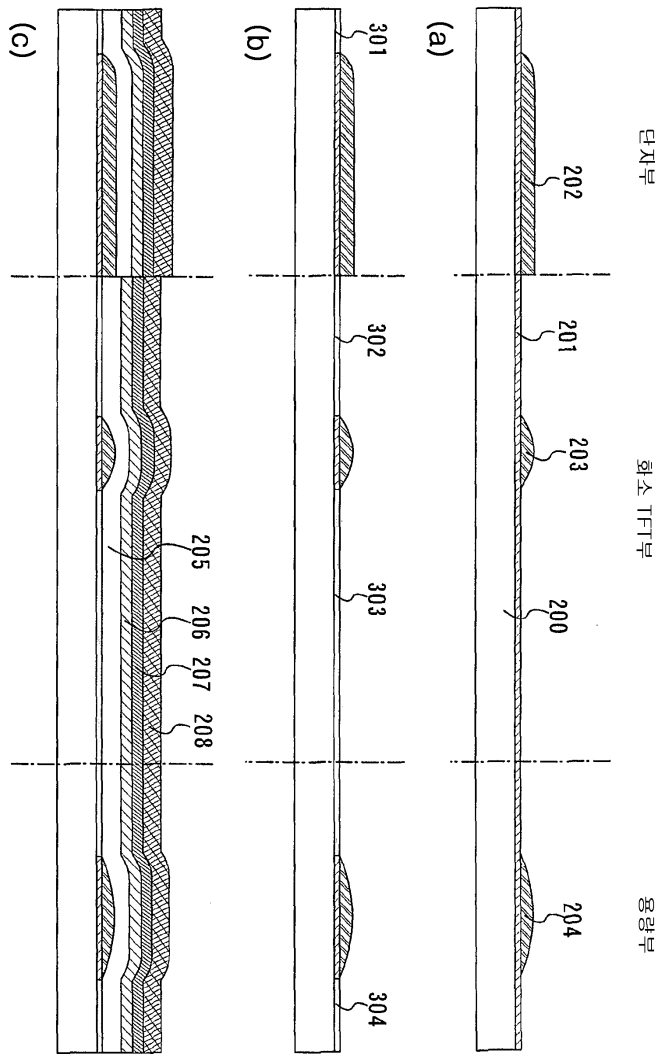
- [0029] 도 10a, 10b는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0030] 도 11a 내지 11c는 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0031] 도 12는 반사형 전기광학장치의 단면도다.
- [0032] 도 13은 제조 장치의 윗면을 나타낸 도면이다.
- [0033] 도 14는 제조 장치의 윗면을 나타낸 도면이다.
- [0034] 도 15는 본 발명에 적용할 수 있는 액적토출장치의 구조를 나타내는 도면이다.
- [0035] 도 16은 본 발명의 액정표시장치의 제조 공정을 나타내는 단면도다.
- [0036] 도 17a, 17b는 본 발명의 액정표시장치의 구동회로의 설치 방법을 나타내는 도면이다.
- [0037] 도 18a, 18b는 본 발명의 액정표시장치의 구동회로의 설치 방법을 나타내는 도면이다.
- [0038] 도 19a, 19b는 본 발명의 액정표시장치의 구동회로의 설치 방법을 나타내는 도면이다.
- [0039] 도 20은 본 발명의 액정표시장치의 구성을 설명하는 평면도다.
- [0040] 도 21은 본 발명의 액정표시장치의 구성을 설명하는 평면도다.
- [0041] 도 22는 본 발명의 액정표시장치의 구성을 설명하는 평면도다.
- [0042] 도 23은 본 발명의 액정표시장치의 수상기의 주요 구성을 나타내는 블록도다.
- [0043] 도 24는 본 발명의 액정표시장치의 구성을 나타내는 도면이다.
- [0044] 도 25는 본 발명에 의해 완성되는 전자기기의 예의 도면이다.

**도면**

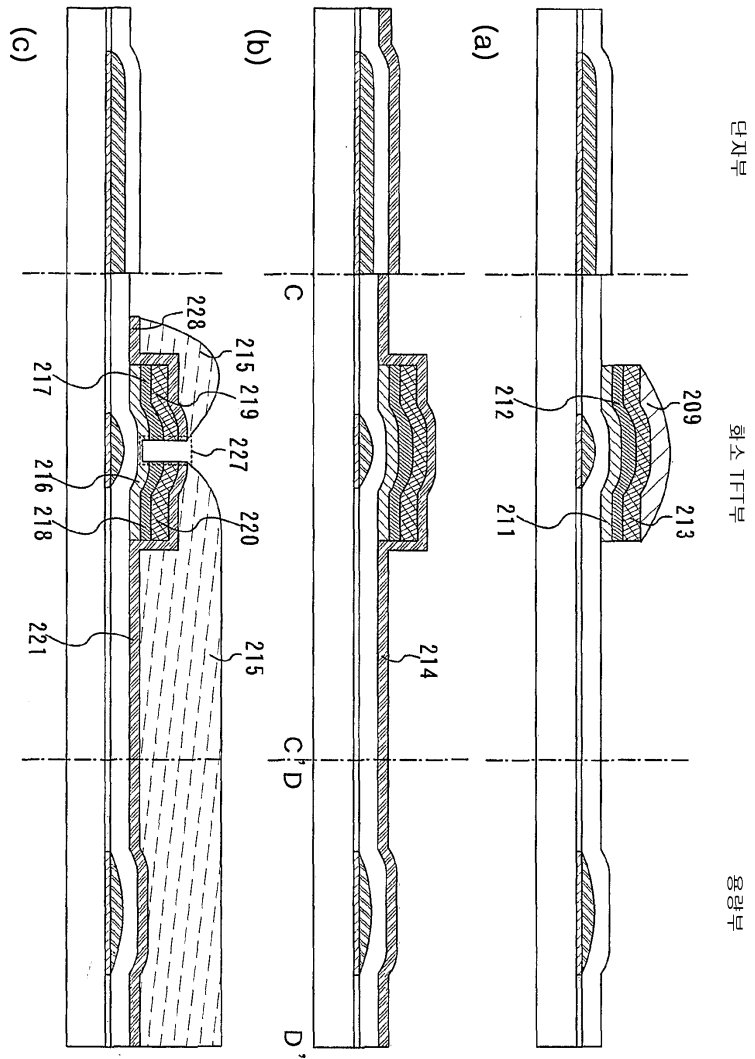
**도면1**



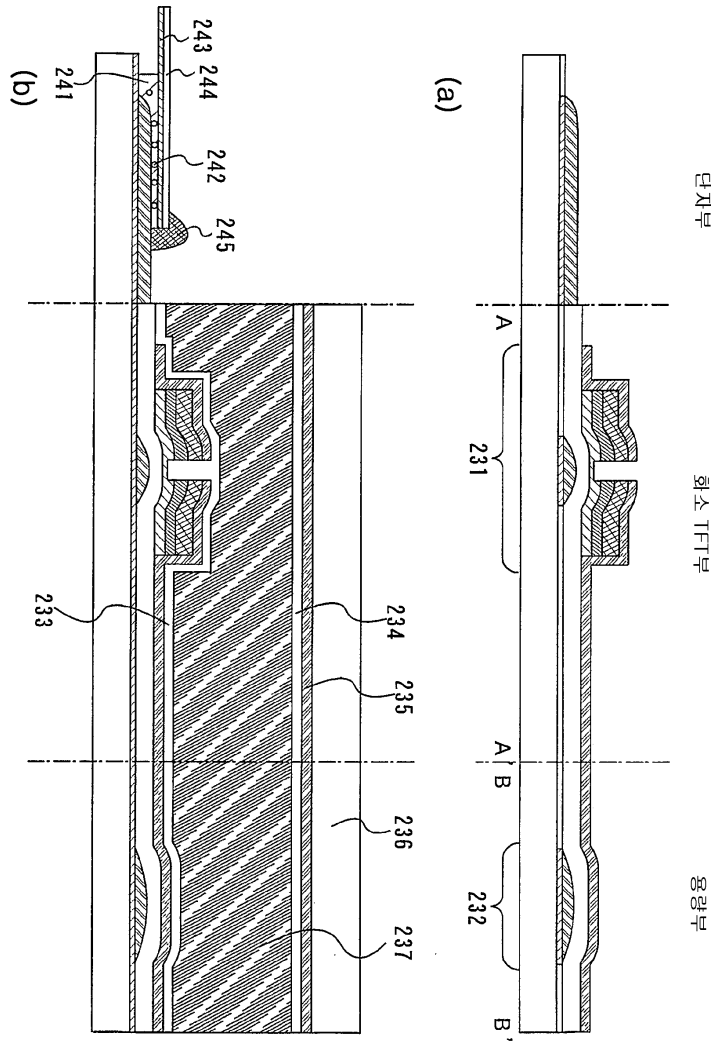
도면2



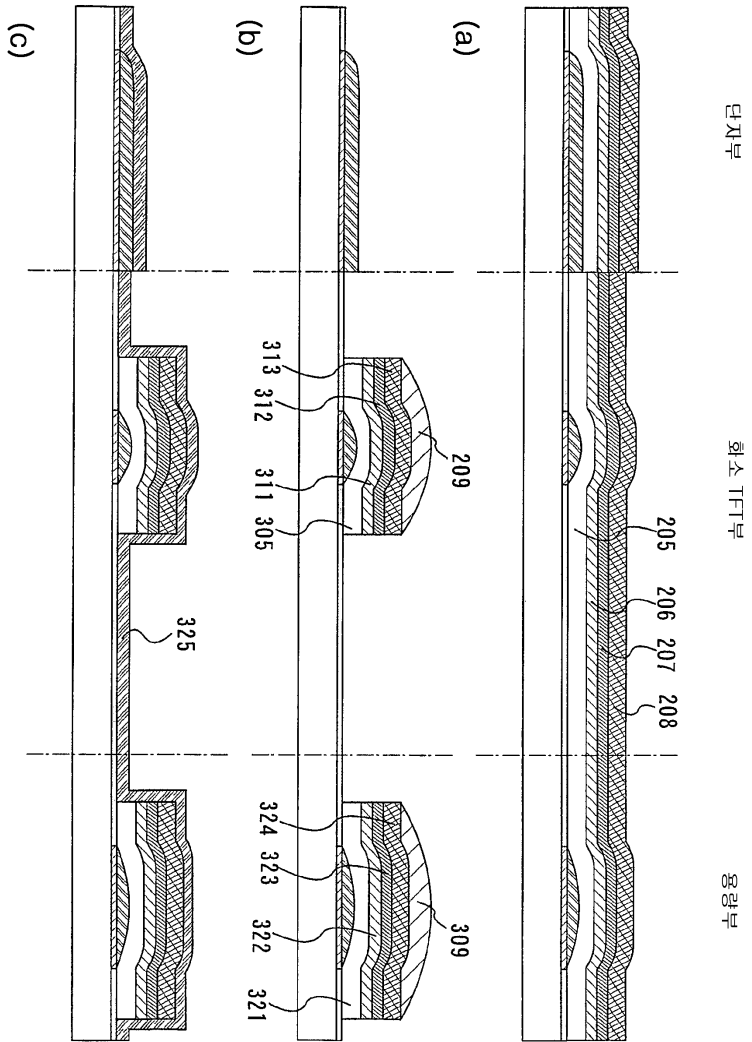
도면3



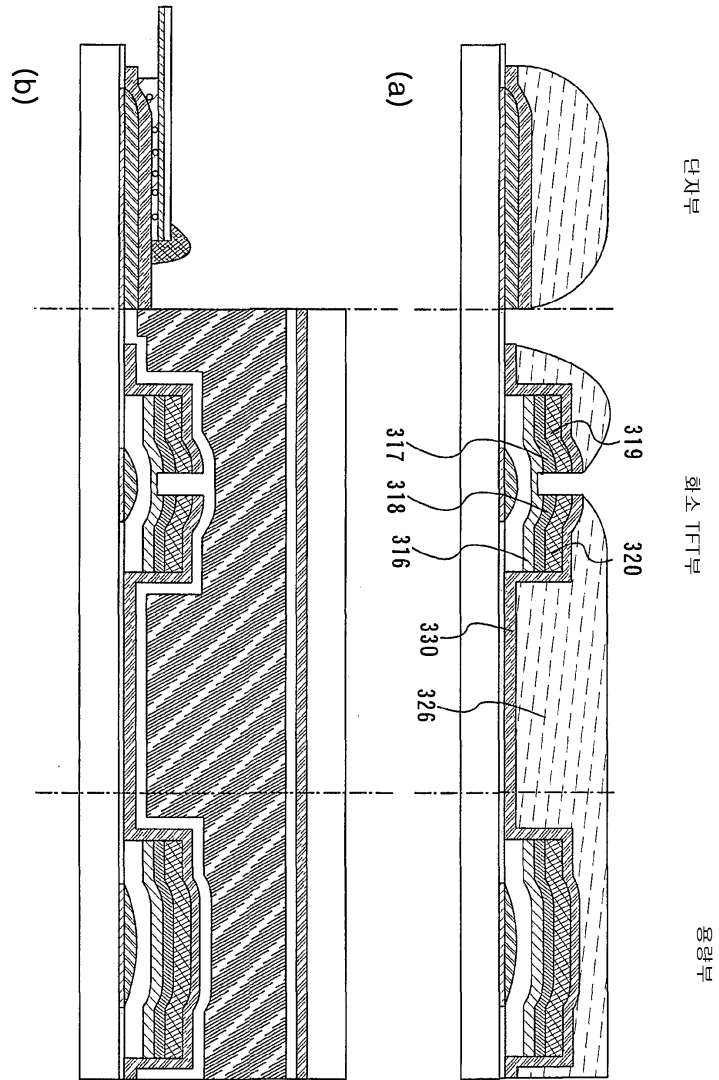
도면4



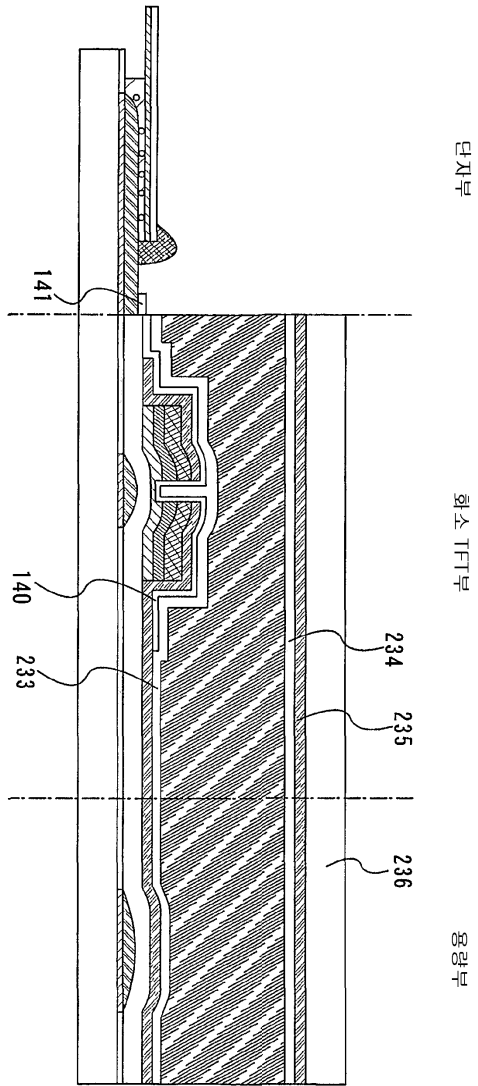
도면5



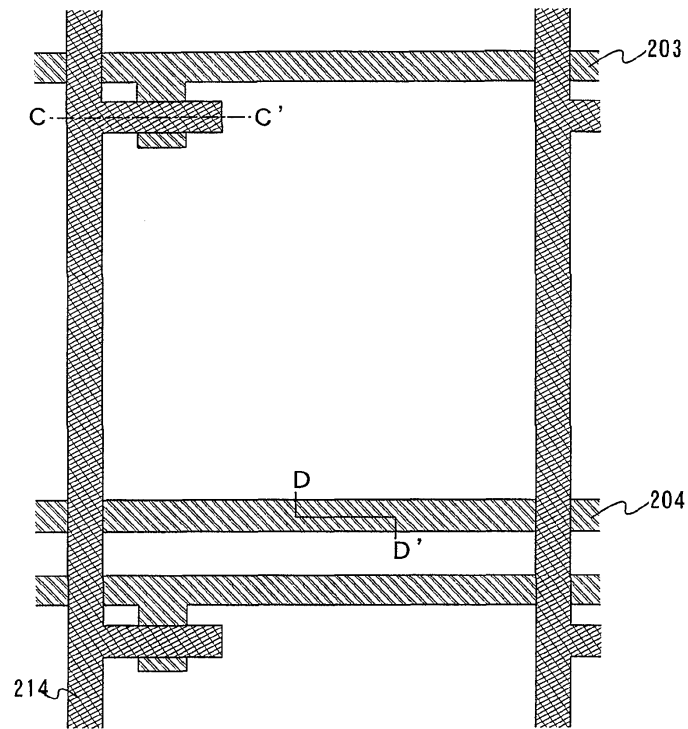
도면6



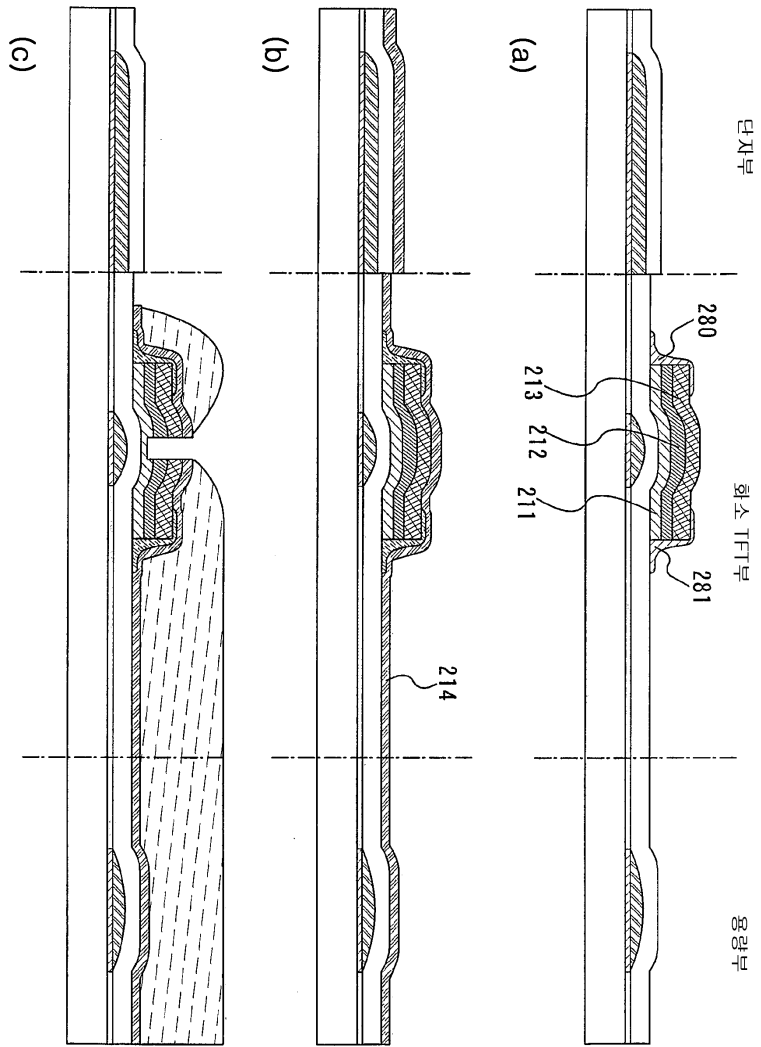
도면7



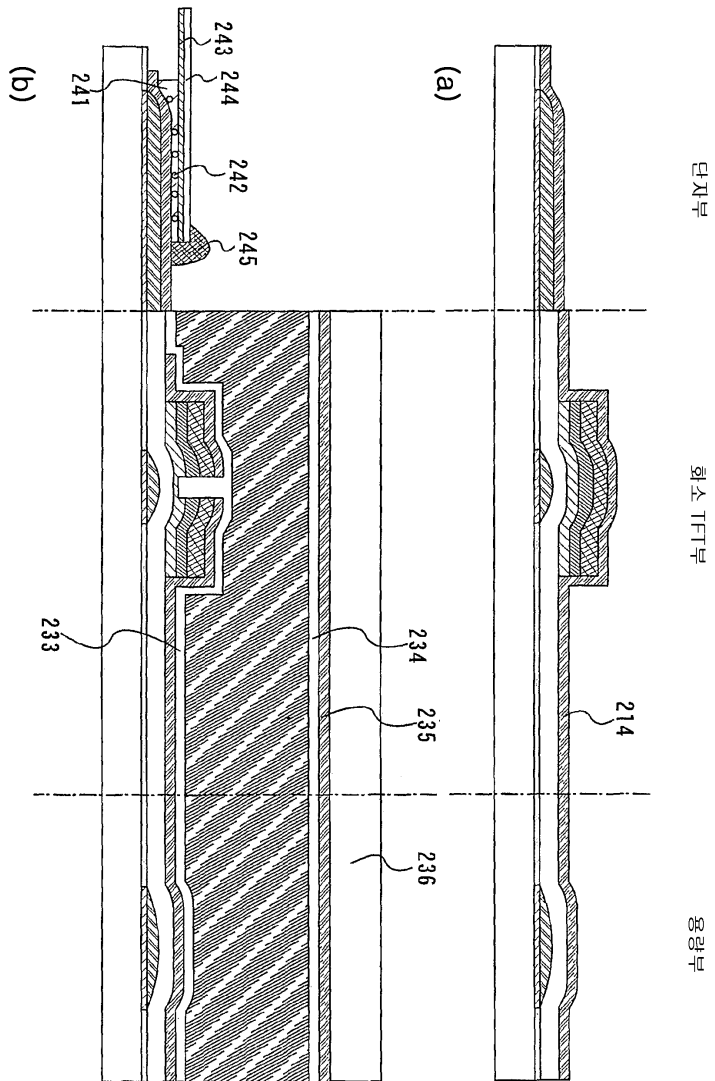
도면8



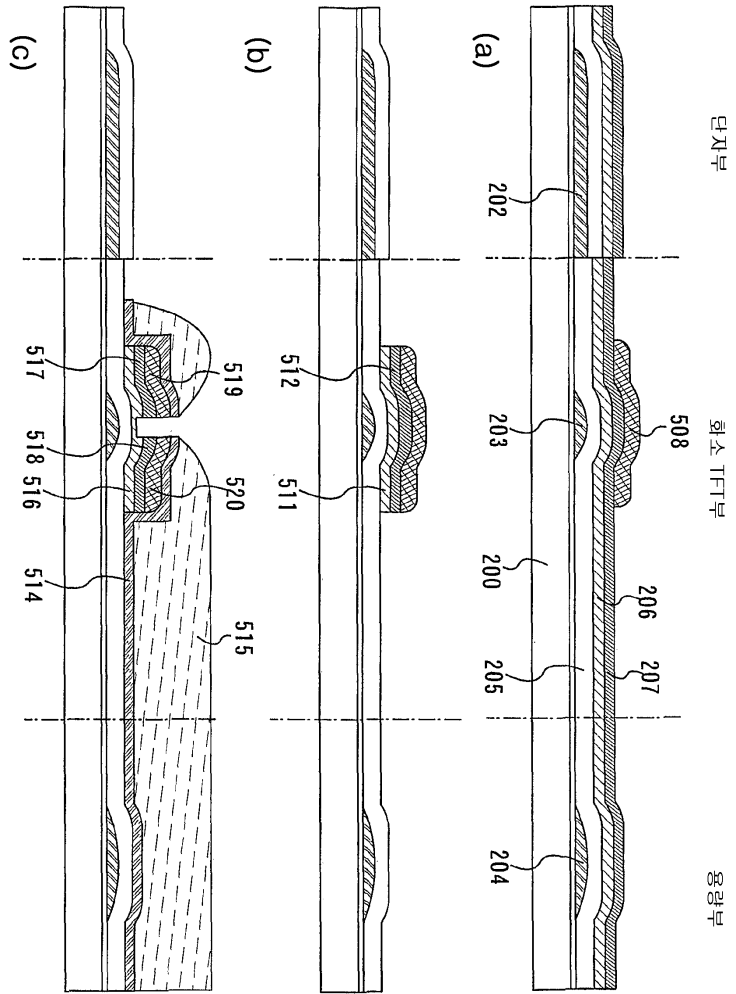
도면9



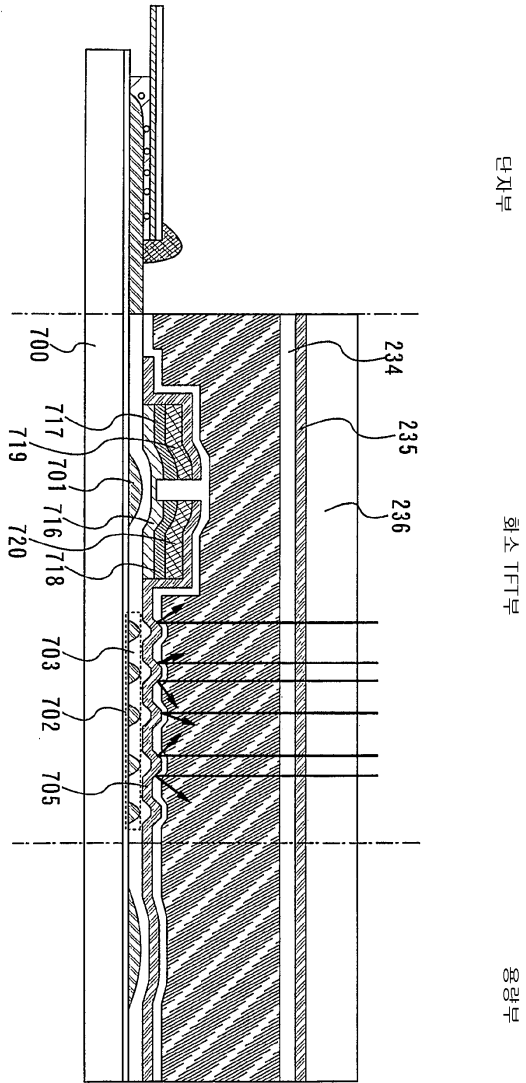
도면10



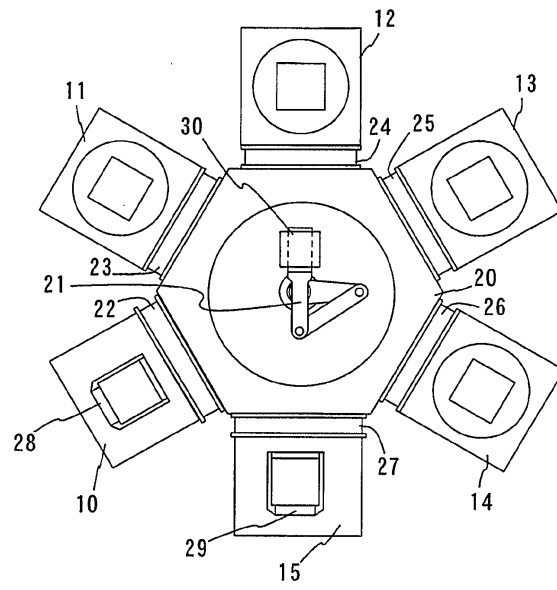
도면11



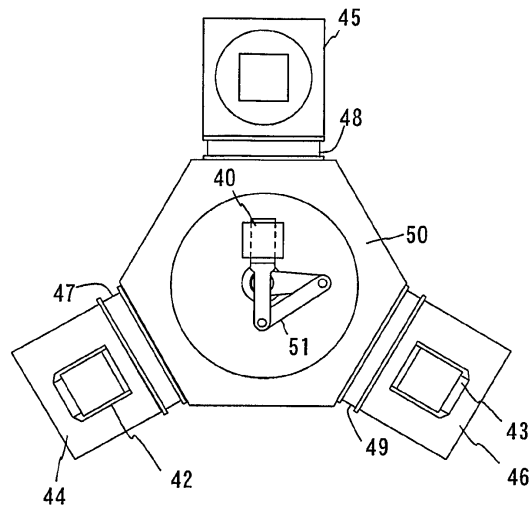
도면12



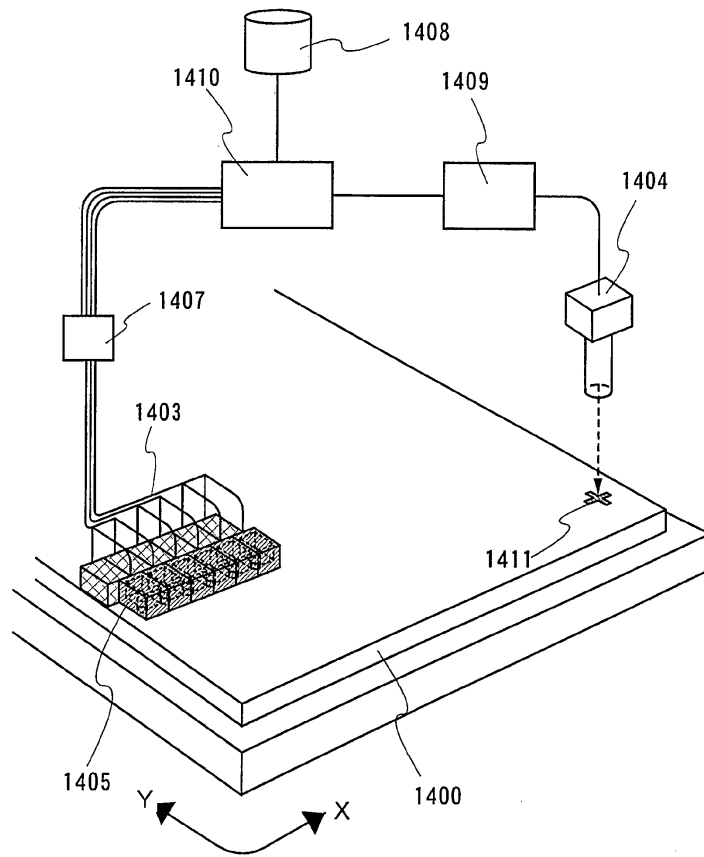
도면13



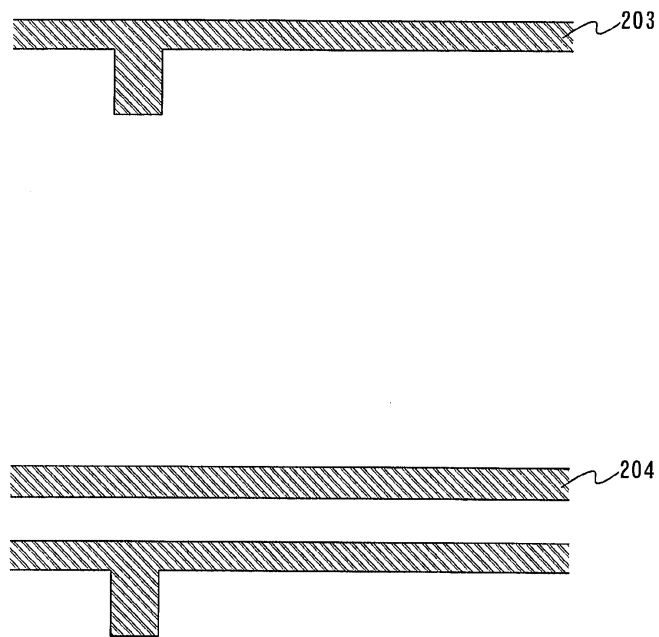
도면14



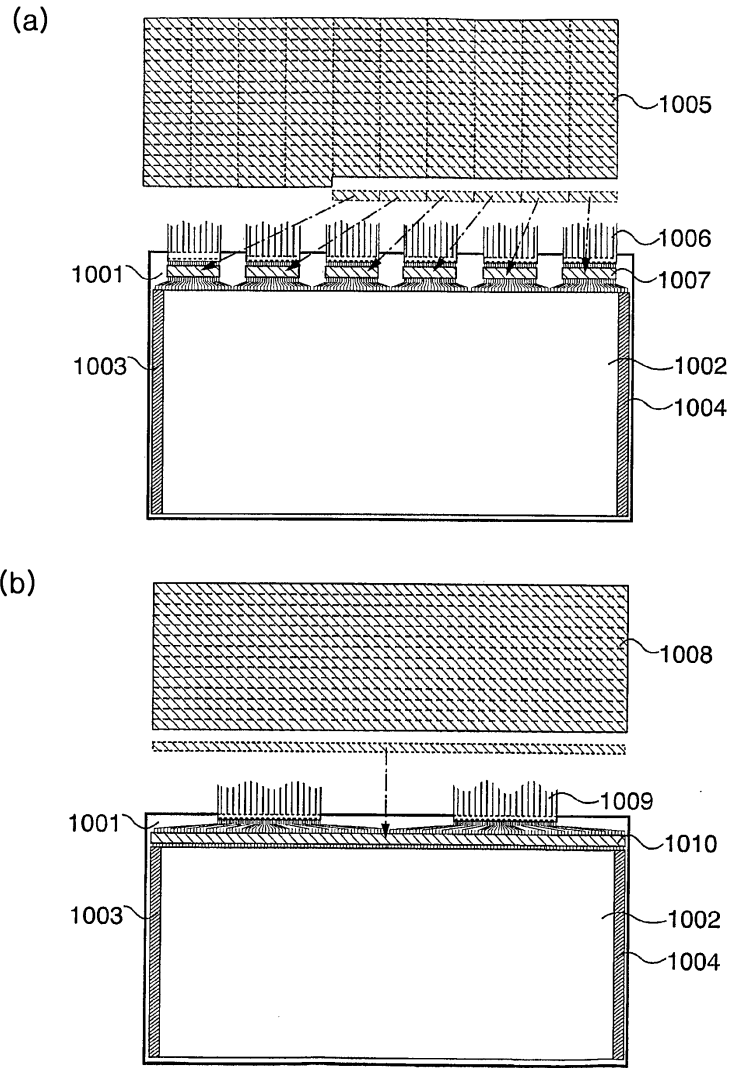
도면15



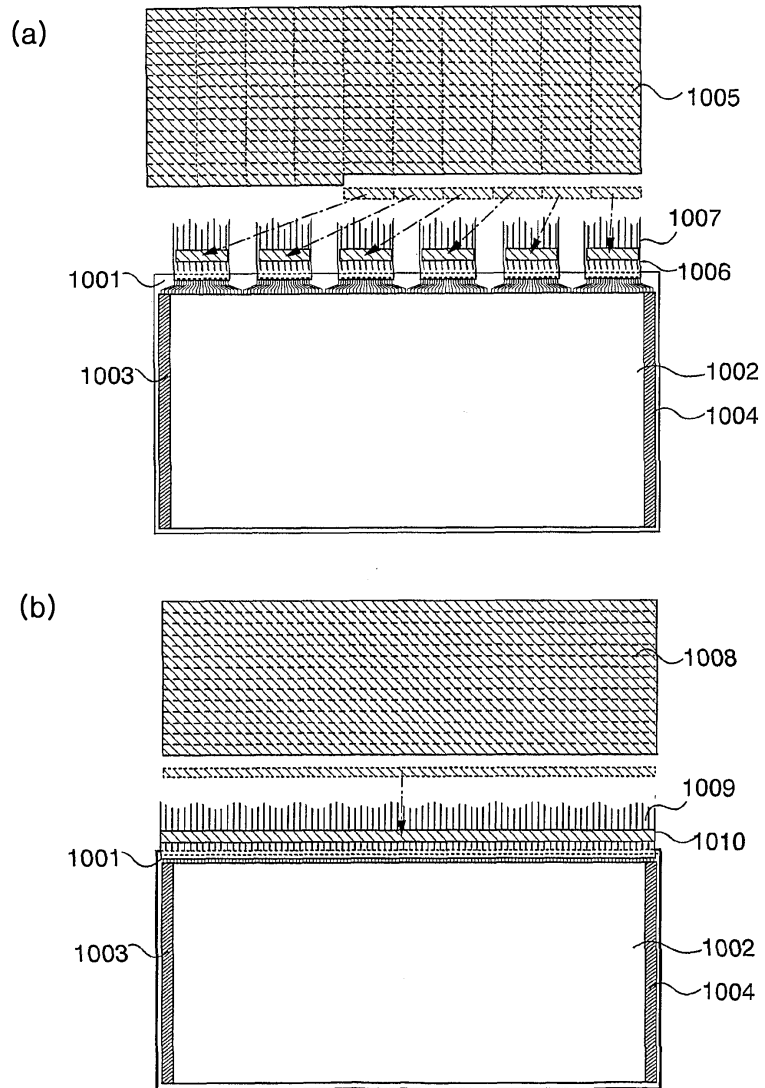
도면16



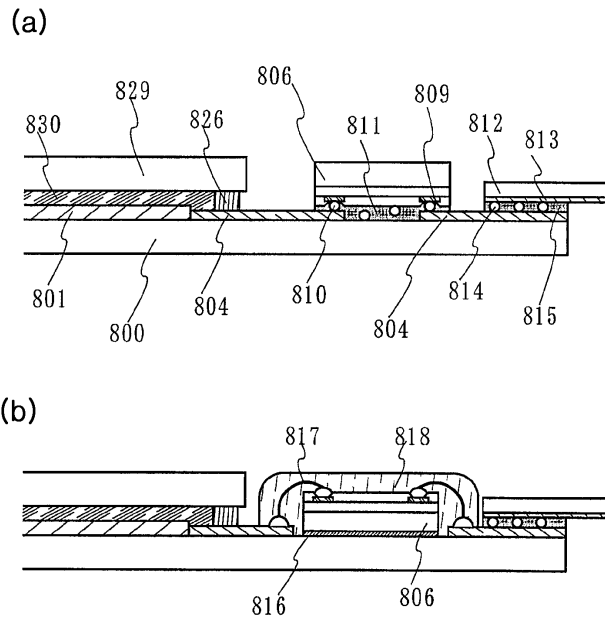
도면17



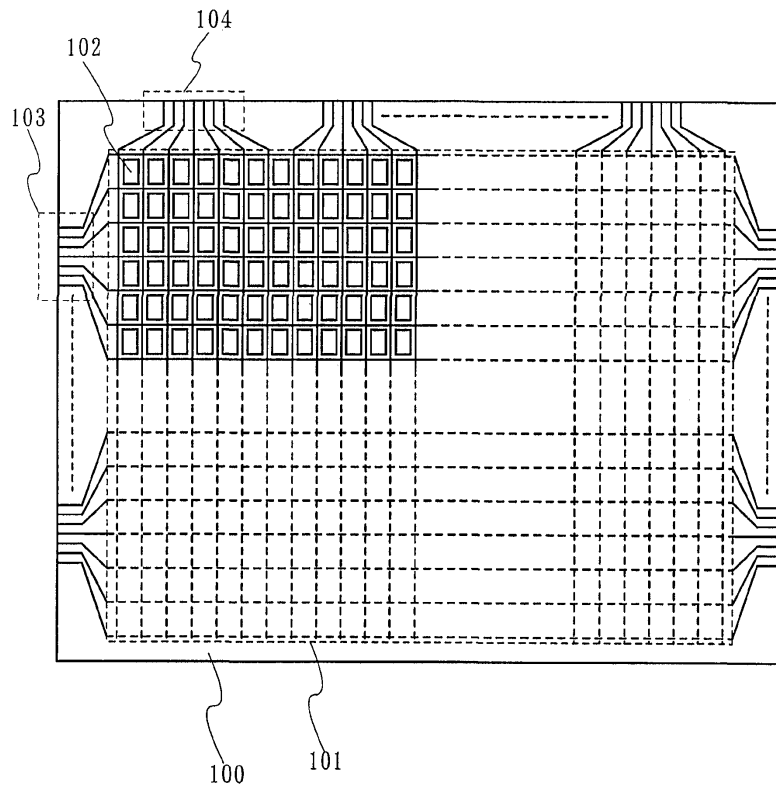
도면18



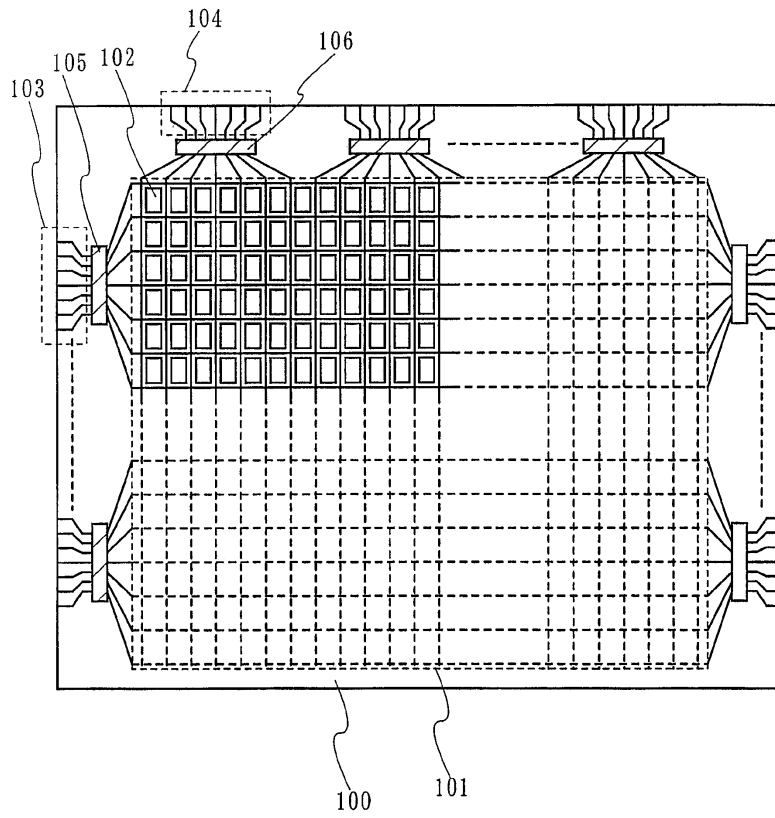
도면19



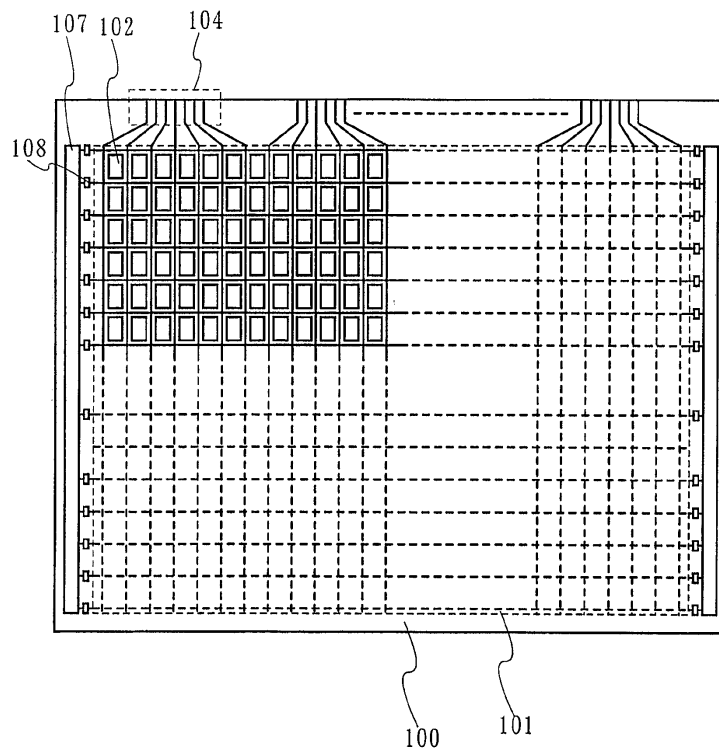
도면20



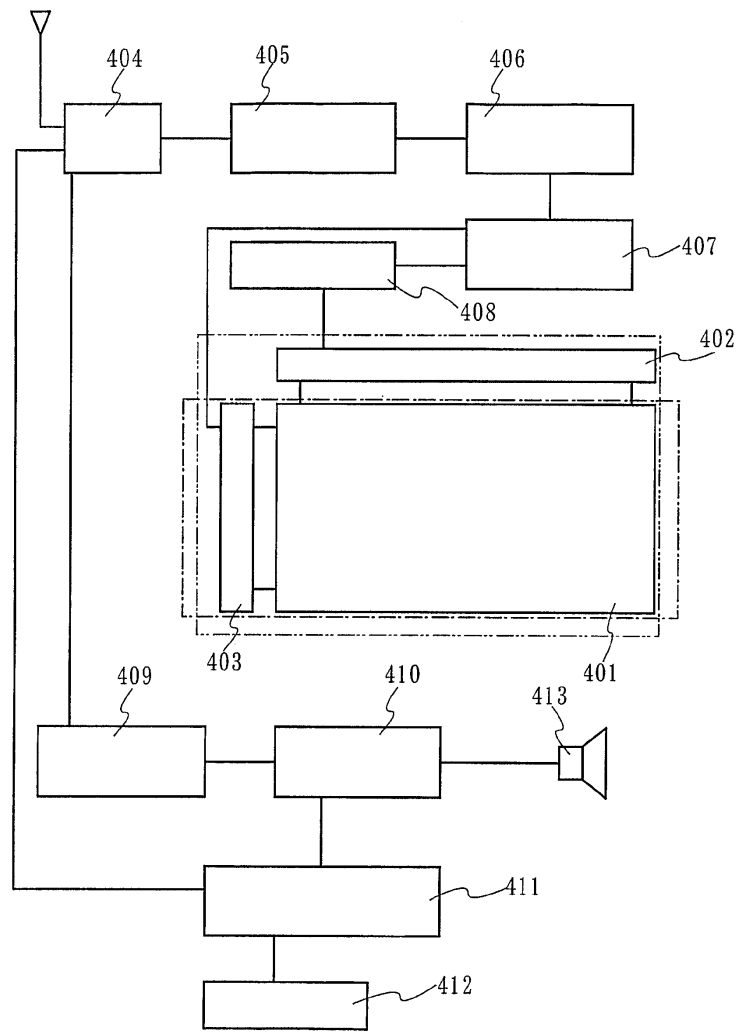
도면21



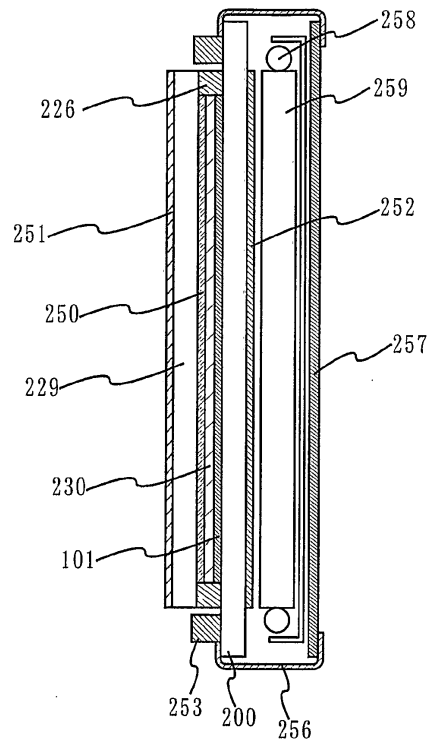
도면22



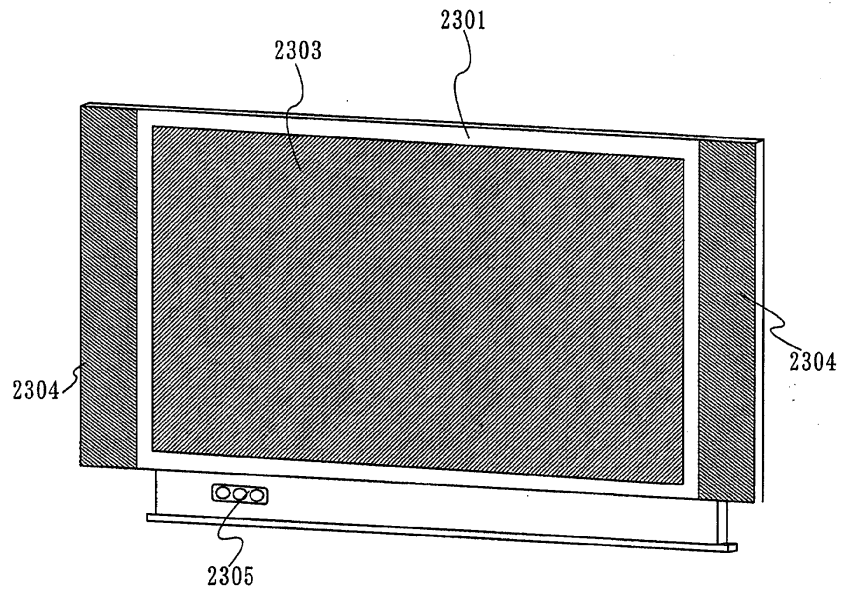
도면23



도면24



도면25



专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	<a href="#">KR101110766B1</a>	公开(公告)日	2012-03-16
申请号	KR1020067011216	申请日	2004-11-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	MAEKAWA SHINJI 마에가와신지 YAMAZAKI SHUNPEI 야마자키순페이 KUWABARA HIDEAKI 쿠와바라히데아키 MORIYA YOSHITAKA 모리야요시타카		
发明人	마에가와신지 야마자키순페이 쿠와바라히데아키 모리야요시타카		
IPC分类号	G02F1/136 G02F1/1368 H01L21/288		
CPC分类号	G02F1/1368 H01L2224/16225 H01L2224/32225 H01L2224/48091 H01L2224/48227 H01L2224/48464 H01L2224/73204 H01L2224/73265 H01L2924/181		
代理人(译)	Yihwaik		
优先权	2003386013 2003-11-14 JP		
其他公开文献	KR1020070005923A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

通过在液晶显示装置的制造步骤中使用一个光掩模，诸如抗蚀剂涂覆，预烘烤，曝光，显影和后烘烤的步骤，以及覆盖膜的形成，蚀刻，抗蚀剂剥离，漂洗，干燥和需要在上述步骤之前和之后使用，这使得该过程复杂化。为了解决该问题，采用沟道蚀刻型底栅TFT（反交错TFT）来图案化源区和漏区以及具有相同掩模的像素电极。此外，根据本发明，在形成诸如用于布线层或电极的导电层的液晶显示装置，用于形成预定图案的掩模等所需的图案中，它们中的至少一个或多个是通过可选择性地形成图案的方法形成，从而制造液晶显示装置。

