



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월25일
(11) 등록번호 10-0860243
(24) 등록일자 2008년09월19일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2007-0023599

(22) 출원일자 2007년03월09일

심사청구일자 2007년03월09일

(65) 공개번호 10-2008-0082815

(43) 공개일자 2008년09월12일

(56) 선행기술조사문헌

KR1020040017049 A*

KR1020050058048 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 유니디스플레이

경기도 이천시 마장면 회억리 234-2

(72) 발명자

송청용

서울 서초구 서초동 1434-2 신원아침도시 1차 402호

김민석

경기 용인시 기흥구 보정동 죽현마을 아이파크1차 208동 203호

김경호

경기 안양시 동안구 관양1동 강림아트빌라 다동 101호

(74) 대리인

박경훈

전체 청구항 수 : 총 5 항

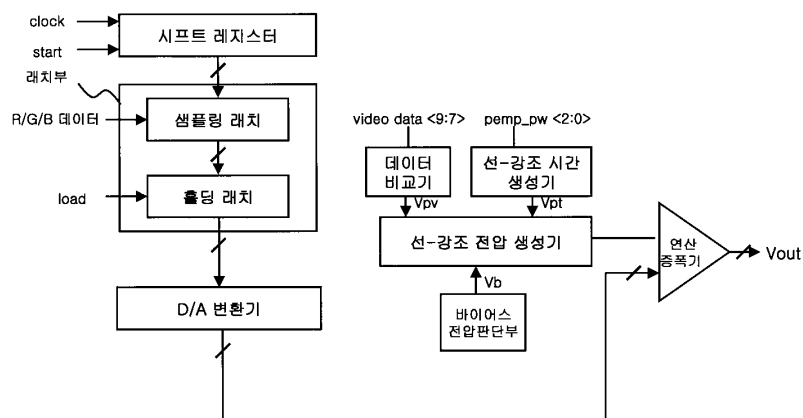
심사관 : 하정균

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 본 발명은 상기 구동 회로부가 상기 타이밍 생성기로부터 전 단계에 입력된 비디오 데이터를 저장하고, 상기 저장된 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하고, 비교된 선-강조 전압 제어 신호를 출력하는 데이터 비교기와, 상기 데이터 비교기의 선-강조 전압 제어 신호에 따라 상기 D/A 변환기로부터 입력되는 아날로그 신호에 선-강조 전압을 부가하여 증폭 출력하는 연산 증폭기를 포함하고, 상기 데이터 비교기는 상기 비디오 데이터 중에서 적어도 2개의 최상위 비트를 이용하여 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하는 것을 특징으로 하는 액정표시장치를 제공하는 것을 목적으로 한다.

대표도 - 도7



특허청구의 범위

청구항 1

삭제

청구항 2

회로 각 부분에 대한 타이밍 제어신호를 생성하는 타이밍 생성기와, 상기 타이밍 제어신호에 따라 시프트 신호를 생성하는 시프트 레지스터와, 상기 시프트 신호에 따라 외부에서 인가되는 비디오 디지털 신호를 샘플링하고 홀딩하는 래치부와, 상기 래치부의 출력 디지털 신호를 아날로그 신호로 변환하는 D/A 변환기를 구비하는 구동 회로부와, 매트릭스 형태로 배열되는 액정 셀 어레이를 구비하는 액정표시장치에 있어서,

상기 구동 회로부가

상기 타이밍 생성기로부터 전 단계에 입력된 비디오 데이터를 저장하고, 상기 저장된 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하고, 비교된 선-강조 전압 제어 신호를 출력하는 데이터 비교기와,

상기 데이터 비교기의 선-강조 전압 제어 신호에 따라 상기 D/A 변환기로부터 입력되는 아날로그 신호에 선-강조 전압을 부가하여 증폭 출력하는 연산 증폭기를 포함하는 것을 특징으로 하고,

상기 데이터 비교기는 상기 비디오 데이터 중에서 적어도 2개의 최상위 비트를 이용하여 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2항에 있어서,

상기 연산 증폭기는 전류 구동 방식인 것을 특징으로 하는 액정표시장치.

청구항 4

제 2항에 있어서,

상기 구동 회로부가

타이밍 생성기로부터 입력되는 선-강조 폭 제어 신호를 이용하여 선-강조 전압이 인가되는 시간을 제어하는 제어신호를 출력하는 선-강조 시간 생성기를 더 구비하는 것을 특징으로 하며, 상기 연산증폭기는 상기 선-강조 시간 생성기의 제어 신호에 따른 기간만큼 선-강조 전압을 부가하여 증폭 출력하는 것을 특징으로 하는 액정표시장치.

청구항 5

회로 각 부분에 대한 타이밍 제어신호를 생성하는 타이밍 생성기와, 상기 타이밍 제어신호에 따라 시프트 신호를 생성하는 시프트 레지스터와, 상기 시프트 신호에 따라 외부에서 인가되는 비디오 디지털 신호를 샘플링하고 홀딩하는 래치부와, 상기 래치부의 출력 디지털 신호를 아날로그 신호로 변환하는 D/A 변환기를 구비하는 구동 회로부와, 매트릭스 형태로 배열되는 액정 셀 어레이를 구비하는 액정표시장치에 있어서,

상기 구동 회로부가

상기 타이밍 생성기로부터 전 단계에 입력된 비디오 데이터를 저장하고, 상기 저장된 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하고, 비교된 선-강조 전압 제어 신호를 출력하는 데이터 비교기와,

상기 데이터 비교기의 선-강조 전압 제어 신호에 따라 상기 D/A 변환기로부터 입력되는 아날로그 신호에 선-강조 전압을 부가하여 증폭 출력하는 연산 증폭기를 포함하며,

상기 연산 증폭기는

VDD 전원에 소스가 연결되고, 게이트 전극은 상호 연결되는 전류 미러의 로드 트랜지스터 G1, G2와,

상기 G1 트랜지스터의 드레인 단자와 연결되고, 게이트 전극에 D/A 변환기의 출력 신호가 연결되는 트랜지스터 G3와,

상기 G2 트랜지스터의 드레인 단자와 연결되고, 게이트 전극은 전압 제어 스위칭 트랜지스터를 통하여 상기 G2 트랜지스터의 드레인 단자와 연결되는 트랜지스터 G4와,

소스 전극은 상기 트랜지스터 G3 및 G4의 드레인 단자와 연결되며, 드레인 단자는 접지와 연결되며, 게이트 전극에는 바이어스 전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5항에 있어서,

상기 트랜지스터 G2의 드레인 단자와 상기 연산 증폭기의 출력단자 사이에 직렬로 연결되는 전-강조 시간 제어용 트랜지스터를 더 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 출력 버퍼로 입력되는 입력 영상 신호 전압을 증폭시켜 상기 출력 영상 신호 전압을 출력하는 과정에서, 전-강조(pre-emphasis) 전압을 가하여 출력 영상 신호 전압을 출력시키는 구동 회로부를 갖는 액정표시장치에 관한 것이다.
- <12> 액정표시장치는 투과형과 반사형으로 대별할 수 있으며, LCoS는 반사형 액정 디스플레이 장치중 하나로서 반도체 기판 위에 액정 셀을 형성한 소위 엘코S(LCoS:Liquid Crystal on Silicon, 이하 'LCoS'라 한다)로 불리우는 반사형 액정 디스플레이 장치이다.
- <13> LCoS는 투명한 상하부 기판을 이용하는 통상의 액정 디스플레이와 달리 반도체 기판과 투명 기판 사이에 액정을 주입한 것으로서, 각 픽셀의 구성 요소와 스위칭 회로를 고집적으로 배치하여 대략 1인치 정도의 소형 크기로 HD TV급 이상의 고해상도를 실현할 수 있으며, 최근 들어 프로젝션 시스템의 디스플레이로 주목을 받고 있다.
- <14> 일반적인 LCoS 디스플레이 장치는 도 1에 도시된 바와 같이, 화소를 구성하는 셀들이 어레이 형태로 배열되어 있고, 각 셀들은 액정셀, 저장 커패시터(Storage Capacitor, C_{ST}) 및 스위치 기능을 하는 NMOS로 구성된다.
- <15> 각각의 NMOS의 소오스 전극은 컬럼 방향으로 공통으로 연결되어 데이터 라인(D1~Dn)을 형성한 후 데이터 스위치 컨트롤 시프트 레지스터에 연결되고, 각각의 NMOS의 게이트 전극은 로우(row) 방향으로 공통으로 연결되어 스캔 라인(S1~Sm)을 형성한 후, 게이트 시프트 레지스터에 연결되어, N x M 해상도를 갖는 표시장치를 구현한다. 도 1에서는 설명의 편의성을 위하여 4 x 4의 해상도를 가지는 표시장치를 도시하기로 하였다.
- <16> 상기 픽셀 어레이를 구동시킬 때, 픽셀의 액정에 한쪽 방향으로만 전압이 인가되면 액정의 열화(degradation)가 촉진되므로, 액정에 인가되는 화상 데이터 전압을 주기적으로 반대 극성으로 인버전(inversion) 시켜야 한다. 데이터 전압을 정방향과 반대 방향으로 바꾸어 인가하는 주기는 보통 한 필드마다 바꾸어 주는데, 매 필드마다 패널의 모든 픽셀의 전압 극성을 한꺼번에 인버전 시키는 필드 인버전 또는 프레임 인버전 방법, 로우 라인별로 인버전시키는 라인 인버전 방법, 컬럼 라인별로 인버전시키는 컬럼 인버전 방법, 및 각 픽셀 별로 인버전시키는 도트 인버전 방법 등이 있다. 어느 경우에도 인버전시킬 때 화소전압(NMOS의 드레인에 연결된 화소 전극에 인가된 전압)이 공통전압(Vcom)에 대하여 양(+)의 방향이거나 음(-)의 방향이 되도록 교대로 변화시킨다.
- <17> 도 2는 일반적인 액정표시장치의 회로 구성도이다. 액정표시장치는 타이밍 제어신호를 생성하는 타이밍 제어기와, 타이밍 제어기에서 생성된 타이밍 신호를 이용하여 액정 셀의 온/오프 제어신호를 생성하는 구동 회로부 및 액정 셀로 구성된다.
- <18> 도 3은 일반적인 반사형 액정표시장치의 구동 회로부의 기능 블록도를 도시한 것이다. 구동 회로부는 시프트 레지스터, 샘플링 래치 및 홀딩 래치로 구성된 래치부, D/A 변환기, 전압 출력 버퍼 등으로 구성된다. 시프트

레지스터는 샘플링 래치에서 데이터를 래치하기 위한 클럭을 발생하고, 샘플링 래치에 순차적으로 저장된 한 라인에 대한 데이터 신호는 홀딩 래치로 전달되어 D/A 변환기에 제공하며, D/A 변환기는 디지털 데이터를 아날로그 신호로 변환한다. 바이어스 전압 판단부는 인가하여야 할 데이터 전압이 정(正)방향 데이터 전압인지 또는 부(負)방향 데이터 전압인지를 판단하는 회로부이며, 이러한 로직의 출력을 이용하여 전압 출력 버퍼는 D/A변환기의 출력을 입력받아 LCos 패널의 데이터 라인으로 전압을 출력한다.

<19> 도 4는 일반적인 반사형 액정표시장치의 전압 인가 파형(스캔 파형)을 도시한 것이다. 도 4의 액정표시장치는 풀 HD(Full HD)를 표현하는 1920 x 1080 액정 셀로 구성되며, 이 중 4개의 행에 게이트 신호가 인가되는 것을 도시하였으며, 4번째 행에 인가되는 게이트 신호가 활성화된 상태에서 1920개의 액정 셀에 영상 신호가 인가되는 타이밍도를 상세하게 도시한 것이다. 하나의 행에 전기적으로 접속하는 1920개의 액정 셀은 한 번에 16개 액정 셀에 영상 신호가 인가되도록 총 120개의 블록으로 분할 구동되는 방식을 도시한 것이다. 일반적인 반사형 액정표시장치 구동은 게이트 시프트 레지스터에 의해 G1행, G2행, G3행 등이 순차적으로 선택되어 균일한 시간 동안 화소의 NMOS를 온시키고, 상기 화소의 NMOS가 온(On) 되어 있는 시간(스캔 시간) 동안 구동 LSI(large scale integration)에서 출력된 데이터 신호 전압을 화소에 인가하여 충전시킨다.

<20> 그러나, 소면적 반사형 액정표시장치는 모든 데이터 라인이 동시에 독립적으로 전압을 인가받을 수 없다. 따라서 반사형 액정표시장치의 구동 LSI는 제한된 개수의 출력으로 모든 데이터 라인을 충전하여야 하며 구동 LSI의 출력과 데이터 라인 사이에 큰 면적의 고전압 스위치가 필요하게 된다. 고해상도 반사형 액정표시장치의 경우 구동 LSI에서 출력된 데이터 신호 전압을 화소에 충전시키기 위한 시간을 충분히 확보할 수 없게 된다.

<21> 도 5는 데이터 라인의 저항, 커패시턴스 및 고전압 스위치가 신호에 미치는 영향을 도시한 것이다. RC로 등가된 고전압 스위치와 데이터 라인을 통과하기 전의 파형을 구동 LSI에서 출력되는 데이터 신호라고 가정하면, 고전압 스위치와 데이터 라인을 통과한 데이터 신호는 상기 고전압 스위치와 데이터 라인의 저항 및 커패시터로 인한 RC 지연에 의하여 충전 및 방전 시간이 증가하는 것을 확인할 수 있다.

<22> 이와 같이, 반사형 액정표시장치의 해상도가 증가함에 따라 주어지는 스캔시간, 즉 화소의 NMOS를 온 시키는 시간이 감소하게 되고 제한된 개수의 출력으로 인해 화소에 데이터 신호를 충전 및 방전 시간이 감소하게 된다. 이러한 데이터 라인 및 고전압 스위치의 RC 지연 및 데이터 신호 충전 및 방전 시간의 감소는 정해진 NMOS의 데이터 신호 충전 및 방전 시간 안에 화소에 충전되어야 하는 데이터 신호가 충전되거나 방전되지 못하게 한다. 따라서 원하는 데이터 신호를 화소에 표시하지 못하게 되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<23> 본 발명은 대면적 및 고해상도의 액정표시장치에서 신호선과 고전압 스위치의 RC 지연에 의한 데이터 신호의 충전 및 방전 시간 부족 문제를 해결하기 위한 것으로서, 영상 신호 전압 중에서 적어도 2개의 최상위 비트를 이용하여, 입력되는 영상 신호 전압과 전(前) 단계에서 입력된 영상 신호 전압과의 크기를 비교하고, 비교 결과를 기준으로 선-강조(pre-emphasis) 전압을 가한 영상 신호 전압을 출력하는 액정표시장치를 제시하는 것을 목적으로 한다.

<24> 본 발명의 상기 목적은 회로 각 부분에 대한 타이밍 제어신호를 생성하는 타이밍 생성기와, 상기 타이밍 제어신호에 따라 시프트 신호를 생성하는 시프트 레지스터와, 상기 시프트 신호에 따라 외부에서 인가되는 비디오 디지털 신호를 샘플링하고 홀딩하는 래치부와, 상기 래치부의 출력 디지털 신호를 아날로그 신호로 변환하는 D/A 변환기를 구비하는 구동 회로부와, 매트릭스 형태로 배열되는 액정 셀 어레이를 구비하는 액정표시장치에 있어서, 상기 구동 회로부가 상기 타이밍 생성기로부터 전 단계에 입력된 비디오 데이터를 저장하고, 상기 저장된 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하고, 비교된 선-강조 전압 제어 신호를 출력하는 데이터 비교기와, 상기 데이터 비교기의 선-강조 전압 제어 신호에 따라 상기 D/A 변환기로부터 입력되는 아날로그 신호에 선-강조 전압을 부가하여 증폭 출력하는 연산 증폭기를 포함하고, 상기 데이터 비교기는 상기 비디오 데이터 중에서 적어도 2개의 최상위 비트를 이용하여 전 단계 비디오 데이터와 현재 단계에 입력되는 비디오 데이터의 크기를 비교하는 것을 특징으로 하는 액정표시장치에 의해서 달성 가능하다.

발명의 구성 및 작용

<25> 이하에서는, 첨부한 도면을 참조하여 본 발명의 장점, 특징 및 바람직한 실시례에 대해 상세히 설명한다.

<26> 도 6은 구동 회로부를 구성하는 전압 출력 버퍼의 입력 파형 및 출력 파형을 나타내는 파형도이다. 도 6(a)는 선-강조 전압이 인가되기 전의 종래 전압 출력 버퍼의 입력 및 출력 파형을 도시한 것이며, 도 6(b)는 본 발명

에 따른 전압 출력 버퍼의 입력 및 출력 파형을 도시한 것이다. 도 6(a) 및 도 6(b)를 비교하면, 선-강조 전압이 연산 증폭기의 입력 신호로 가해질 경우 종래 연산 증폭기에 비하여 연산 증폭기 출력 신호의 라이징(rising) 시간이 빨라지고, 딜레이 시간이 줄어드는 것을 확인할 수 있다. 따라서 선-강조 전압이 가하여진 출력 버퍼의 출력 영상 신호 전압을 데이터 라인에 제공함으로써 데이터 라인을 원하는 영상 신호 전압까지 빠르게 충전 및 방전시킬 수 있다. 도 6(b)에 도시된 바와 같이 선-강조 전압과 선-강조 전압 인가 시간이 정의된다. 즉, 선-강조 전압은 선-강조 전압이 인가되지 않은 신호의 최대 진폭에서부터 선-강조 전압의 오버 슈팅(over shooting) 전압의 최대 진폭 사이의 전압치를 의미하며, 선-강조 전압 인가 시간은 시작점부터 오버 슈팅의 최대 진폭까지 상승하는데 걸리는 시간을 의미하는 것이다.

<27> 도 7은 본 발명에 따른 액정표시장치 구동 회로부의 블록 구성도이다. 본 발명에 따른 구동 회로부는 시프트 레지스터, 샘플링 래치 및 홀딩 래치로 구성되는 래치부, D/A 변환기, 바이어스 전압 판단부, 데이터 비교기, 선-강조 시간 생성기 및 선-강조 전압 생성기를 구비하는 전압 출력 버퍼로 구성된다. 시프트 레지스터는 샘플링 래치에서 데이터를 래치하기 위한 클럭을 발생하고, 샘플링 래치에 순차적으로 저장된 하나의 행에 대한 데이터 신호는 홀딩 래치로 전달되어 D/A 변환기에 제공하며, D/A 변환기는 디지털 데이터를 아날로그 신호로 변환한다. 데이터 비교기는 타이밍 생성기로부터 입력되는 비디오 데이터(video data)를 구성하는 일부 상위 데이터 비트를 이용하여 전단계에 인가되는 비디오 신호와 현재 단계에 인가되는 비디오 신호의 크기를 비교하고, 비교된 선-강조 전압 제어 신호(Vpv)를 출력하는 회로부이며, 선-강조 시간 생성기는 타이밍 생성기로부터 입력되는 선-강조 폭 제어 신호(pemp_pw, Pre-EMphasis Pulse width control)를 이용하여 선-강조 전압이 인가되는 시간을 제어하는 제어신호(Vpt)를 출력하는 회로부이다. 바이어스 전압 판단부는 인가하여야 할 데이터 전압이 정(正)방향 데이터 전압인지 또는 부(負)방향 데이터 전압인지를 판단하여 바이어스 제어신호(Vb)를 출력하는 회로부이며, 선-강조 전압 생성기는 데이터 비교기, 선-강조 시간 생성기 및 바이어스 전압 판단부의 제어 신호에 따라 선-강조 전압을 생성하고, 연산증폭기는 선-강조 전압 생성기에 따라 D/A 변환기로부터 입력된 아날로그 신호를 증폭하여 액정표시소자로 출력신호(Vout)를 출력하는 회로이다.

<28> 도 8은 본 발명에 따른 액정표시장치의 선-강조 전압 생성 기능을 구비하는 연산증폭기의 개념도이다. 본 발명에 따른 선-강조 전압 생성 기능을 구비하는 연산증폭기는 비반전 입력단자에 D/A 변환기의 출력 신호와 직렬로 연결되는 선-강조 전압과 스위치 sw1을 구비함을 알 수 있다. 인가될 선-강조 전압은 데이터 비교기의 출력 제어신호에 의해 결정되며, 스위치 sw1의 동작시간은 선-강조 시간 생성기에 의해서 결정된다.

<29> 데이터 비교기의 예시적인 구성 및 동작에 대해 설명하기로 한다. 데이터 비교기는 타이밍 생성기로부터 비디오 신호(총 10 비트) 중의 상위 비트 3개(9번째, 8번째, 7번째)를 입력받는다. 또한 별도의 메모리를 구비하고, 바로 전 단계에서 입력되는 비디오 신호 중의 상위 3개 비트값을 별도로 저장하여 둔다. 현 단계에서 입력되는 3개의 상위 비트와 전 단계에서 입력되는 3개의 상위 비트를 비교하여 차이만큼의 선-강조 전압 제어 신호(Vpv)를 생성한다. 보다 구체적으로 예시를 통하여 각각의 비디오 데이터가 입력될 경우에 대해 인가되는 선-강조 전압에 대해서 설명하기로 한다.

표 1

구분	현재 비트	이전 비트
사례 1	101	110
사례 2	110	011

<31> 표 1의 사례 1은 현재 입력되는 비디오 신호 입력 중 최상위 비트 3개가 "101"을 가지고, 이전 단계에서 입력된 비디오 신호 입력 중 최상위 비트 3개가 "110"를 갖는 경우를 나타낸다. 이 경우 현재 비디오 신호 입력 중 세 번째 비트값 "1"과 이전 비디오 신호 입력 중 세 번째 비트값 "0"은 "1"값만큼 차이가 있으며, 나머지 두 개의 상위 비트는 "10"과 "11"로서 "1"값만이 차이가 나므로, 현재 비디오 신호 입력값과 이전 비디오 신호 입력값의 차이는 거의 없다고 판단하고, 선-강조 전압을 인가하지 않기로 한다.

<32> 표 1의 사례 2는 현재 입력되는 비디오 신호 입력 중 최상위 비트 3개가 "110"을 가지고, 이전 단계에서 입력된 비디오 신호 입력 중 최상위 비트 3개가 "011"를 갖는 경우를 나타낸다. 이 경우 현재 비디오 신호 입력 중 세 번째 비트값 "0"과 이전 비디오 신호 입력 중 세 번째 비트값 "1"은 "1"값만큼 차이가 있으나, 현재 비디오 신호 입력 중 두 개의 상위 비트는 "11"이고, 이전 단계의 비디오 신호 입력 중 두 개의 상위 비트는 "01"이므로 양자의 차이는 "2"만큼 차이가 나므로, "2"에 해당하는 선-강조 전압 제어 신호(Vpv)를 출력한다.

- <33> 예시된 선-강조 데이터 비교기는 입력되는 비디오 신호 입력 최상위 비트 3개 중에서 3번째 비트는 참조값만으로 활용하고 실질적인 전압차로는 인식되지 않는다. 결과적으로 최상위 비트 2개만을 활용하므로 선-강조 데이터 비교기에서 출력되는 전압차이는 0 부터 3까지 4단계로 계수됨을 알 수 있다.
- <34> 선-강조 시간 생성기는 타이밍 생성기로부터 입력되는 선-강조 폭 제어 신호(pemp_pw, Pre-EMphasis Pulse width control)를 이용하여 선-강조 전압이 인가되는 시간을 제어하는 회로부이다. 타이밍 생성기로부터 입력되는 선-강조 폭 제어 신호(pemp_pw)는 3개의 비트로 구성되며, 입력되는 3개의 비트값을 이용하여 선-강조 신호의 인가 시간을 "0"부터 "8"구간으로 인가할 수 있게 된다. 도 9는 선-강조 시간 생성기의 동작을 설명하기 위한 설명도이다. 도 9(a)는 선-강조 시간 생성기의 내부 클럭을 도시한 것이며, 도 9(b)는 선-강조 폭 제어 신호로서 "001"을 인가받을 경우 선-강조 시간 생성기에서 발생하는 타이밍도이며, 출력으로는 도 9(a)의 클럭 신호와 도 9(b)의 타이밍도의 논리곱 신호가 출력되므로 1 클럭만큼의 선-강조 신호(펄스)가 인가된다. 도 9(c)는 선-강조 폭 제어 신호로서 "011"을 인가받은 경우 선-강조 시간 생성기에서 발생하는 타이밍도이며, 출력으로는 도 9(a)의 클럭 신호와 도 9(c)의 타이밍도의 논리곱 신호가 출력되므로 3 클럭 만큼의 선-강조 신호(Vpt)가 출력된다.
- <35> 도 10은 본 발명에 따른 선-강조 전압 생성기를 구비하는 연산 증폭기의 일 실시예이다. 도 10(a)는 부(負)전압으로 인버전되는 하강 전이용 출력 신호를 인가하는데 적용되는 실시 회로도이며, 도 10(b)는 정(正)전압으로 인버전되는 상승 전이용 출력 신호를 인가하는데 적용되는 실시 회로도로서, 전류 구동 방식의 연산증폭기이다. 도 10(a)와 도 10(b) 회로도에는 상호 인버전되는 신호를 출력하는 점을 제외하면 실질적인 동작은 동일하므로 도 10(a)의 회로에 대해서 주로 설명하고, 도 10(b)에 대해서는 차이점만을 설명하기로 한다.
- <36> 트랜지스터 G1 및 G2는 전류 미러(current mirror)의 로드 트랜지스터로 동작하고, 트랜지스터 G3 및 G4는 차동 입력단 트랜지스터, 트랜지스터 G7은 바이어스 트랜지스터로 동작되며, 트랜지스터 G8은 출력 스위칭 트랜지스터로서의 기능을 한다.
- <37> 트랜지스터 G3의 게이트 단자(Vin)에는 D/A 변환기의 출력신호가 인가되며, 트랜지스터 G4의 게이트 단자는 전압 제어 스위칭 트랜지스터를 통하여 트랜지스터 G2의 드레인 단자와 연결된다. 전압 제어 스위칭 트랜지스터의 게이트 단자에는 데이터 비교기의 선-강조 전압 제어 신호(Vpv)가 인가됨으로써 데이터 비교기의 선-강조 제어 신호(Vpv)에 따라 트랜지스터 G4의 온/오프를 제어하게 된다. 트랜지스터 G7의 입력단에는 바이어스 전압 판단부의 출력신호(Vb)가 연결된다. 출력단에는 트랜지스터 G8가 직렬로 연결되고, 트랜지스터 G8의 입력단에는 선-강조 시간 생성기의 출력신호(Vpt)가 연결된다. 선-강조 전압 생성기를 구비하는 연산 증폭기는 단일 이득 연산 증폭기로 구성되며, 출력단에는 G4 트랜지스터를 병렬로 스프레드 연결하는 방식을 사용하였으며, 출력단과 직렬로 연결되는 선-강조 시간 제어용 트랜지스터(G8)를 구비하였다.
- <38> 하강 전이시 도 10(a)의 회로에서 입력단과 출력단 간의 출력 오차 전압은 수학식 1과 같이 나타난다. 수학식 1은 수식 전개를 간단히 하고자 트랜지스터 G8에 의한 영향은 무시하였다.

수학식 1

$$I_{n1} = I_{n2}$$

$$\frac{K_n}{2} \cdot \frac{W}{L} \cdot (V_{in} - V_{ox} - V_{TH})^2 = \frac{I_{n3}}{2}$$

$$V_{in} - V_{out} = \left(1 - \frac{1}{\sqrt{\alpha}}\right) \sqrt{\frac{I \cdot L}{K_n \cdot W}}$$

- <39>
- <40> 상수 Kn : 게이트 옥사이드의 전자 이동도와 옥사이드 캐패시턴스의 곱으로 정의되는 프로세서 트랜스 컨턴던스 파라미터
- <41> VTH : 트랜지스터의 임계 전압
- <42> L : 트랜지스터의 채널 길이

- <43> W : 트랜지스터의 채널 폭
- <44> I : 바이어스 트랜지스터 (G7)에 흐르는 전류 (In3)
- <45> 수학적 식 1에 유도된 바와 같이 $\alpha=1$ 일 경우에는 $V_{in} = V_{out}$ 이라는 관계가 성립하므로 선-강조 전압이 인가될 필요가 없는 경우를 나타내며, $\alpha=4$ 일 경우에는 대략 0.5V의 선-강조 전압이 인가될 필요가 있음을 나타낸다.
- <46> 유사하게 도 10(b)의 상승 천이에 따른 회로의 정량적인 분석은 수학적 식 2와 같다. 도 10(b) 회로는 상승 천이를 나타내는 회로도로서, 도 10(a)의 경우는 트랜지스터 G4가 스프레드 되고 데이터 비교기의 출력신호(Vpv)가 스프레드되는 트랜지스터 G4의 제어용 트랜지스터의 게이트 단자로 연결되는 반면, 도 10(b) 회로는 트랜지스터 G2가 스프레드되고 데이터 비교기의 출력신호(Vpv)는 스프레드되는 트랜지스터 G2의 동작을 제어하는 신호로 연결되는 차이점이 있다.
- <47> 수학적 식 2의 유도에서도 수식 전개를 간단히 하고자 트랜지스터 G8에 의한 영향은 무시하였다.

수학적 식 2

$$\alpha \cdot I_{p1} = I_{p2}$$

$$\frac{K_p}{2} \cdot \frac{W}{L} \cdot (V_{in} - V_{px} - V_{TH})^2 = \frac{I_{p3}}{1 + \alpha}$$

$$V_{in} - V_{out} = -(\sqrt{\alpha} - 1) \sqrt{\frac{2I \cdot L}{(1 + \alpha)K_n \cdot W}}$$

- <48>
- <49> 상수 Kn : 게이트 옥사이드의 전자 이동도와 옥사이드 캐패시턴스의 곱으로 정의되는 프로세서 트랜스 컨턴던스 파라미터
- <50> V_{TH} : 트랜지스터의 임계 전압
- <51> L : 트랜지스터의 채널 길이
- <52> W : 트랜지스터의 채널 폭
- <53> I : 바이어스 트랜지스터 (G7)에 흐르는 전류 (In3)
- <54> 도 11은 도 10(a)의 하강 천이를 보다 구체적으로 구현한 회로도의 일 실시예이다. 도 11에서 In2는 트랜지스터 G4, G5, 및 G6를 흐르는 전류치를 모두 합한 값을 의미한다. 도 11을 이용하여 하강 천이 시 동작을 정성적으로 설명하기로 한다. 트랜지스터 G4는 트랜지스터 G40, G41, G42, 및 G43로 스프레드 되어 있음을 보여준다. 데이터 비교기의 출력신호(Vpv)로 "1111"가 출력되어 트랜지스터 G40, G41, G42 및 G43가 모두 "ON"이 되는 상태를 가정하기로 한다. 차동증폭기의 좌변에 흐르는 전류 In1의 값과 In2의 값은 동일한 값을 유지하여야 하며, In2의 전류치는 트랜지스터 G40, G41, G42 및 G43를 흐르는 전류치를 합한 값이므로, 트랜지스터 G40, G41, G42 및 G43에는 각각 In2/4 만큼의 전류가 흐르게 되고, 출력 전압은 1/4만큼 감소하는 효과가 있게 된다. 즉, 하강 천이시 부(負) 전압을 감소시키는 선-강조 전압을 인가할 수 있게 되는 것이다. 이와 별도로 선-강조 시간 생성기의 출력신호(Vpt)에 의한 클럭 동안 트랜지스터 G8이 "ON" 상태를 유지하게 되어 선-강조 전압의 인가 시간이 결정되게 된다.
- <55> 또 다른 동작 예로서, 트랜지스터 G40, G41, G42, 및 G43 중에서 어느 하나만이 "ON" 상태를 유지하면, 선-강조 전압은 인가되지 않는 상태를 나타내는 것이며, 트랜지스터 G40, G41, G42, 및 G43 중에서 두 개의 트랜지스터가 "ON" 상태를 유지하면 출력전압은 1/2만큼 감소하는 선-강조 전압을 인가할 수 있게 된다.
- <56> 유사한 방법으로 도 10(b)의 회로도 트랜지스터 G2를 스프레드 할 수 있으며, 이러한 회로 구성은 동일 내지는 유사한 분야에 종사하는 회로 설계자에게는 용이한 것이므로 상세한 설명은 생략하기로 한다.

발명의 효과

- <57> 본 발명의 구동 방법 및 구동 회로에 의해 소면적 고해상도의 액정표시장치를 구동하는 경우, 선-강조 전압으로

인하여 액정표시장치 패널의 데이터 라인이 빠르게 충전 및 방전되므로, 소면적 고해상도의 액정표시장치 구동시 가장 큰 문제인 RC 지연에 의한 충전 방전 에러 및 액정표시장치 표시의 불균일성을 해소할 수 있게 되었다.

<58> 본 발명의 바람직한 실시례가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 오로지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고서 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어야 한다.

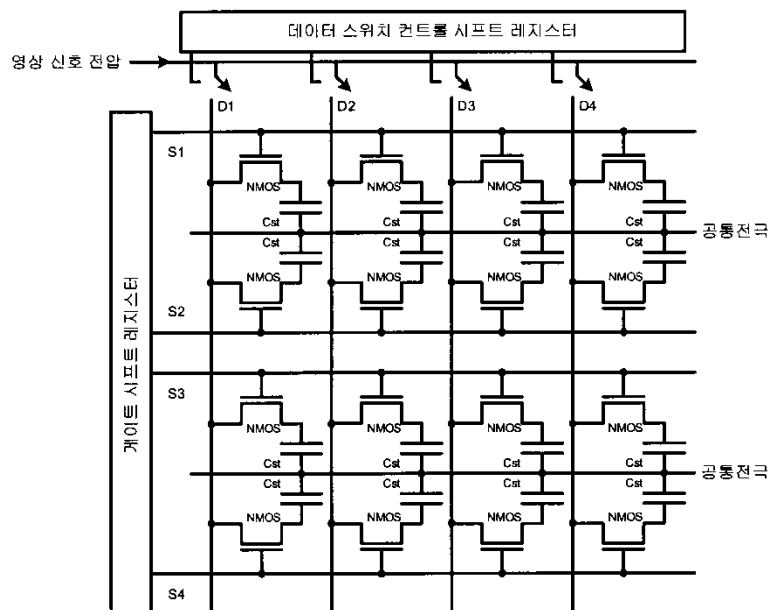
<59> 특히, 본 발명에서는 주로 소형의 LCoS 액정표시장치를 이용하여 설명하였으나, 본 발명은 LCoS 액정표시장치에 한정되지 않고, 매트릭스 형태의 셀을 갖는 표시장치의 구동 회로에 널리 사용될 수 있는 것이다.

도면의 간단한 설명

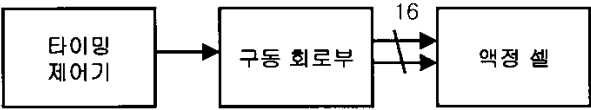
- <1> 도 1은 일반적인 LCoS 디스플레이 장치의 액정 셀 어레이.
- <2> 도 2는 일반적인 액정표시장치의 회로 구성도.
- <3> 도 3은 일반적인 반사형 액정표시장치의 구동 회로부의 기능 블록도.
- <4> 도 4는 일반적인 반사형 액정표시장치의 전압 인가 타이밍도.
- <5> 도 5는 데이터 라인의 저항, 커패시턴스 및 고전압 스위치가 신호에 미치는 영향을 도시한 입력 대 출력 파형도.
- <6> 도 6은 구동 회로부를 구성하는 전압 출력 버퍼의 입력 파형 및 출력 파형을 나타내는 파형도.
- <7> 도 7은 본 발명에 따른 액정표시장치 구동 회로부의 블록 구성도. 도 8은 본 발명에 따른 액정표시장치의 선-강조 전압 생성 기능을 구비하는 연산증폭기의 개념도.
- <8> 도 9는 선-강조 시간 생성기의 동작을 설명하기 위한 설명도.
- <9> 도 10은 본 발명에 따른 선-강조 전압 생성기를 구비하는 연산 증폭기의 일 실시예.
- <10> 도 11은 도 9(a)의 하강 천이를 보다 구체적으로 구현한 회로도의 일 실시예.

도면

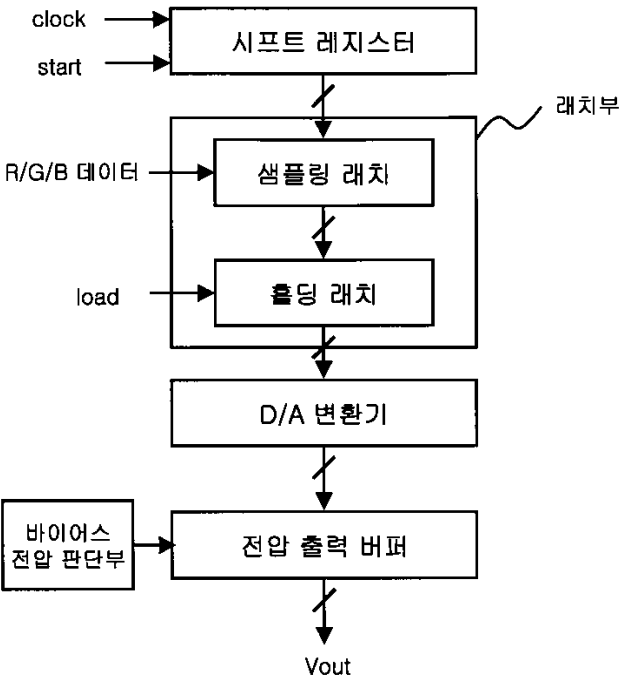
도면1



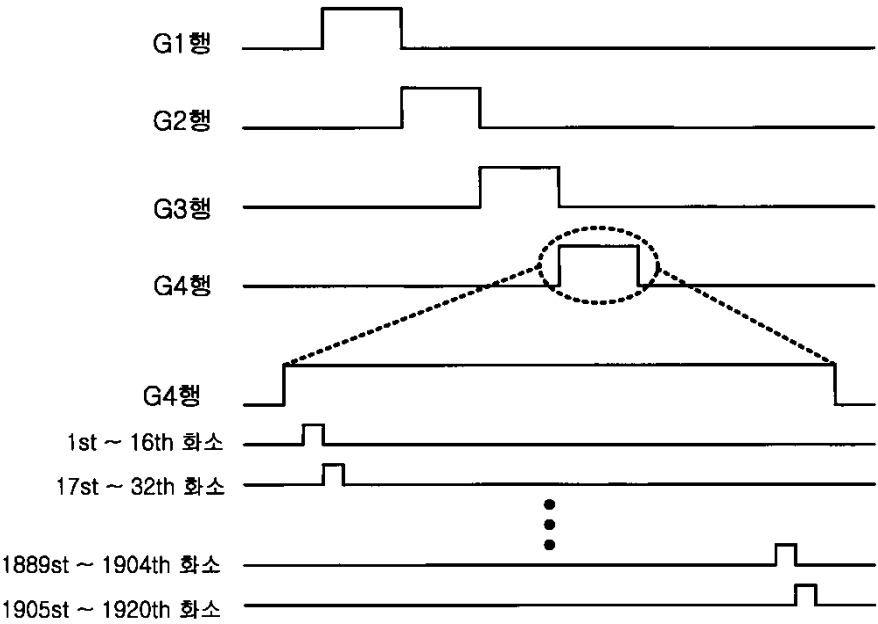
도면2



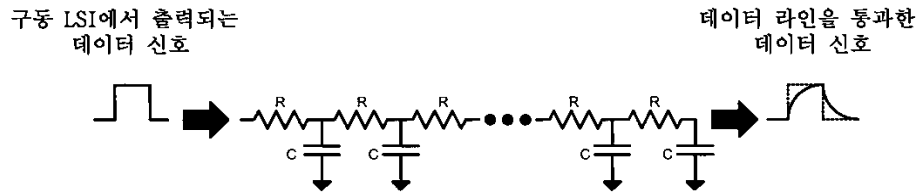
도면3



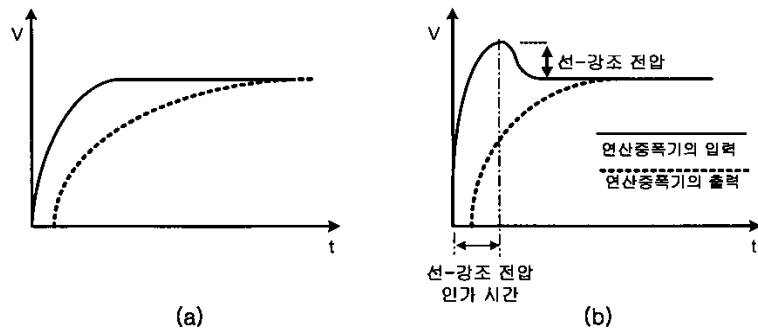
도면4



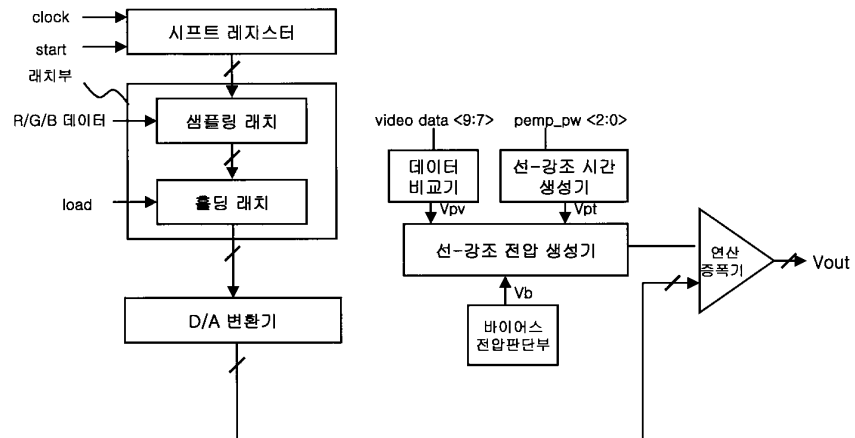
도면5



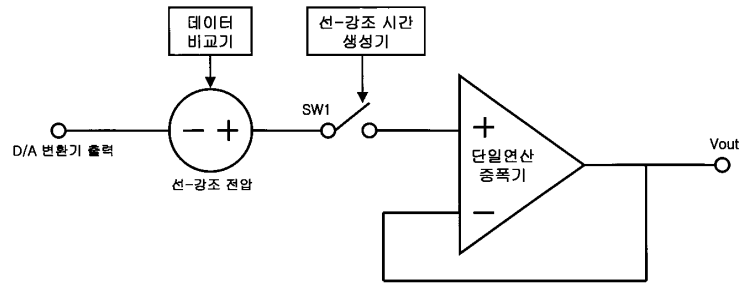
도면6



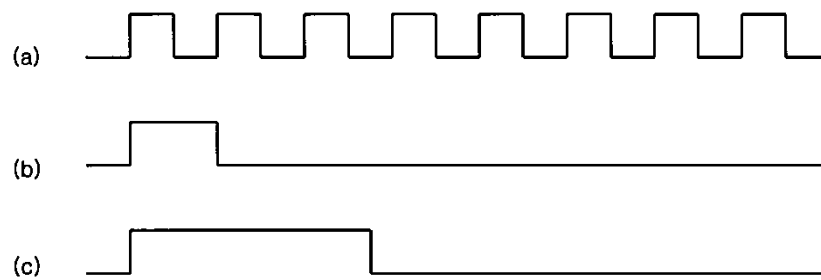
도면7



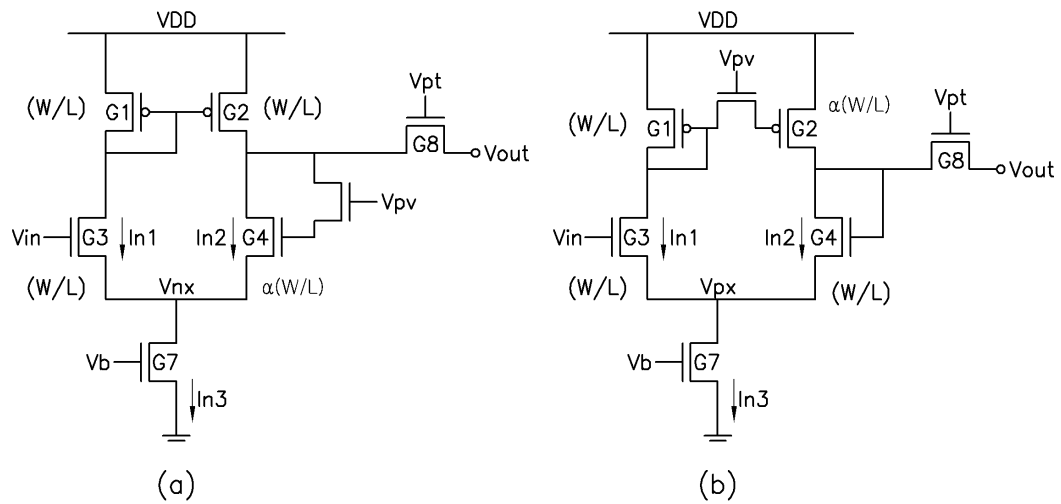
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR100860243B1	公开(公告)日	2008-09-25
申请号	KR1020070023599	申请日	2007-03-09
[标]申请(专利权)人(译)	明兴光电股份有限公司		
申请(专利权)人(译)	股份公司，显示		
当前申请(专利权)人(译)	股份公司，显示		
[标]发明人	SONG CHUNG YONG 송청용 KIM MIN SEOK 김민석 KIM KYONG HO 김경호		
发明人	송청용 김민석 김경호		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2340/16 G09G2320/0252 G09G2320/0223 G09G3/3688		
代理人(译)	Kyeong HUN PARK		
其他公开文献	KR1020080082815A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其中驱动电路部分存储来自定时发生器的前一阶段输入的视频数据，并将存储的前一级视频数据与当前阶段输入的视频数据的大小进行比较。一种数据比较器，用于输出线路加重电压控制信号，该信号与数据比较器的预加重电压控制信号进行比较，以及线路加重电压控制电路，用于将线路加重电压加到从D /输入的模拟信号上。其中，数据比较器使用视频数据的至少两个最高有效位将前一级视频数据的大小与当前级输入的视频数据的大小进行比较，的目的。

