



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월22일
(11) 등록번호 10-0831301
(24) 등록일자 2008년05월15일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2001-0083238
(22) 출원일자 2001년12월22일
심사청구일자 2006년10월23일
(65) 공개번호 10-2003-0053180
(43) 공개일자 2003년06월28일
(56) 선행기술조사문헌
KR1020010056509 A

(73) 특허권자
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
박정식
경상남도진주시상봉서동1067-4
(74) 대리인
김용인, 박영복

전체 청구항 수 : 총 3 항

심사관 : 안준형

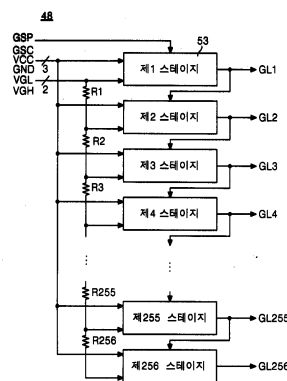
(54) 라인 온 글래스형 액정표시장치

(57) 요약

본 발명은 액정패널 상에 형성된 라인 온 글래스형 패턴들의 라인저항에 의한 게이트 드라이브 집적회로들 간의 전압차를 방지할 수 있는 라인 온 글래스형 액정표시장치에 관한 것이다.

본 발명은 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와; 상기 게이트라인들을 구동하는 다수의 게이트 드라이브 집적회로들 각각이 실장된 다수의 게이트 테이프 캐리어 패키지들과; 상기 데이터라인들을 구동하는 다수의 데이터 드라이브 집적회로들 각각이 실장된 다수의 데이터 테이프 캐리어 패키지들과; 상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들과; 상기 게이트 드라이브 집적회로들 각각은 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 입력단에 공통적으로 접속되는 게이트 하이전압 입력라인과 게이트 로우전압 입력라인 중 적어도 하나 이상의 입력라인에 형성된 게이트 입력 라인저항을 포함하며, 상기 게이트 입력 라인저항 값은 라인순차적으로 일정한 비율을 가지면서 상기 게이트 드라이브 집적회로들 사이에 접속된 라인 온 글래스형 신호라인의 라인저항 값까지 증가하게 설정된 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와;
 상기 게이트라인들을 구동하는 다수의 게이트 드라이브 집적회로들 각각이 실장된 다수의 게이트 테이프 캐리어 패키지들과;
 상기 데이터라인들을 구동하는 다수의 데이터 드라이브 집적회로들 각각이 실장된 다수의 데이터 테이프 캐리어 패키지들과;
 상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들과;
 상기 게이트 드라이브 집적회로들 각각은 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 입력단에 공통적으로 접속되는 게이트 하이전압 입력라인과 게이트 로우전압 입력라인 중 적어도 하나 이상의 입력라인에 형성된 게이트 입력 라인저항을 포함하며,
 상기 게이트 입력 라인저항 값은 라인순차적으로 일정한 비율을 가지면서 상기 게이트 드라이브 집적회로들 사이에 접속된 라인 온 글래스형 신호라인의 라인저항 값까지 증가하게 설정된 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 게이트 입력 라인저항은
 상기 게이트 드라이브 집적회로 내에서 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 출력라인별로 독립되게 형성되어 그 출력라인들 각각이 순차적으로 일정한 비율로 증가하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 게이트 드라이브 집적회로 각각에 접속되는 마지막번째 게이트라인의 입력 라인저항 값은 상기 게이트 드라이브 집적회로들 간의 라인 온 글래스 신호라인군의 라인저항에 의해 다음단 게이트 드라이브 집적회로에 접속되는 첫번째 게이트라인의 입력 라인저항 값과 동일한 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 액정표시장치에 관한 것으로, 특히 액정패널 상에 형성된 라인 온 글래스형 패턴들의 라인저항에 의한 게이트 드라이브 집적회로들 간의 전압차를 방지할 수 있는 라인 온 글래스형 액정표시장치에 관한 것이다.
- <18> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- <19> 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마

려되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.

- <20> 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍 제어부와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍 제어부는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(Vcom), 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등과 같은 구동전압들을 생성한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.
- <21> 이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이브 IC와 게이트 드라이브 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.
- <22> 여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC들은 TCP에 접속되어진 PCB(Printed Circuit Board)에 실장되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이브 IC들은 데이터 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이브 IC들은 게이트 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.
- <23> COG 방식으로 액정패널에 실장되는 드라이브 IC들은 신호라인들이 액정패널, 즉 하부 글래스 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍 제어부 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.
- <24> 최근에는 드라이브 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정표시장치가 더욱 박형화될 수 있게 하고 있다. 특히 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이브 IC들은 액정패널의 하부 글래스 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.
- <25> 실제로, LOG형 신호배선들을 이용하여 게이트 PCB를 제거한 액정표시장치는 도 1에 도시된 바와 같이 액정패널(1)과, 액정패널(1)과 데이터 PCB(12) 사이에 접속되어진 다수개의 데이터 TCP들(8)과, 액정패널(1)의 다른 측에 접속되어진 다수개의 게이트 TCP들(14)과, 데이터 TCP들(8) 각각에 실장되어진 데이터 드라이브 IC(10)들과, 게이트 TCP들(14) 각각에 실장되어진 게이트 드라이브 IC들(16)을 구비한다.
- <26> 액정패널(1)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(2)과, 칼라필터 어레이가 형성된 상부기판(4)과, 하부기판(2)과 상부기판(4) 사이에 주입된 액정을 포함한다. 이러한 액정패널(1)에는 게이트라인들(20)과 데이터라인들(18)의 교차영역마다 마련되는 액정셀들로 구성되어 화상을 표시하는 화상표시영역(21)이 마련된다. 화상표시영역(21)의 외곽부에 위치하는 하부기판(2) 외곽영역에는 데이터라인(18)으로부터 신장되어진 데이터 패드들과, 게이트라인(20)로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(2)의 외곽영역에는 게이트 드라이브 IC(16)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(26)이 위치하게 된다.
- <27> 데이터 TCP(8)에는 데이터 드라이브 IC(10)가 실장되고, 그 데이터 드라이브 IC(10)와 전기적으로 접속된 데이터 TCP(8)의 입력패드들(24) 및 데이터 TCP(8)의 출력패드들(25)이 형성된다. 데이터 TCP(8)의 입력패드들(24)은 데이터 PCB(12)의 출력패드들과 전기적으로 접속되고, 데이터 TCP(8)의 출력패드들(25)은 하부기판(2) 상의 데이터패드들과 전기적으로 접속된다. 특히 첫번째 데이터 TCP(8)는 하부기판(2) 상의 LOG형 신호라인군

(26)에 전기적으로 접속되는 게이트 구동신호 전송군(22)이 추가적으로 형성된다. 이 게이트 구동신호 전송군(22)은 데이터 PCB(12)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(26)에 공급하게 된다.

- <28> 데이터 드라이브 IC들(10)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정 패널 상의 데이터라인들(18)에 공급한다.
- <29> 게이트 TCP(14)에는 게이트 드라이브 IC(16)가 실장되고, 그 게이트 드라이브 IC(16)와 전기적으로 접속된 게이트 구동신호 전송라인군(28) 및 게이트 TCP(14)의 출력패드들(30)이 형성된다. 게이트 구동신호 전송라인군(28)은 하부기판(2) 상의 LOG 신호라인군(26)과 전기적으로 접속되고, 게이트 TCP(14)의 출력패드들(30)은 하부기판(2) 상의 게이트패드들과 전기적으로 접속된다.
- <30> 게이트 드라이브 IC들(16)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트 라인들(20)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(16)들은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.
- <31> LOG형 신호라인군(26)은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGH), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다.
- <32> 이러한 LOG형 신호라인군(26)은 화상표시부(21)의 외곽영역에 위치하는 패드부와 같이 매우 한정된 좁은 공간에서 미세패턴으로 나란하게 형성된다. 그리고 LOG형 신호라인군(26)은 게이트라인들(20)과 동일하게 게이트 금속층으로 구성된다. 게이트 금속층으로는 통상 AlN_d 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속이 이용된다. 이렇게 LOG형 신호라인군(26)이 제한된 영역내에서 미세패턴으로 형성됨과 아울러 비교적 큰 비저항값을 갖는 게이트금속층으로 구성됨에 따라 기존의 게이트 PCB에 동박으로 형성된 신호라인들과 대비하여 상대적으로 높은 저항성분을 포함하게 된다. 또한 LOG형 신호라인군(26)의 저항값은 라인길이에 비례함에 따라 데이터 PCB(12)로부터 멀어질수록 라인저항값이 증가하여 게이트 구동신호가 감쇄하게 된다. 이 결과 LOG형 신호라인군(26)을 통해 전송되는 게이트 구동신호들이 그의 라인저항값에 의해 왜곡됨으로써 화상표시부(21)에 표시되는 화상의 품질이 저하되게 된다.
- <33> 특히 LOG형 신호라인군(26)을 통해 공급되는 게이트 구동신호들 중 게이트 로우전압(VGL)의 왜곡이 화상표시부(21)의 화질에 큰 영향을 미치게 된다. 이는 게이트 로우전압(VGL)이 게이트 하이전압(VGH) 구간에서 액정셀에 충전된 화소전압을 다음 화소전압이 충전되기 전까지 유지되게 하는 것으로 그 게이트 로우전압(VGL)이 왜곡되는 경우 충전된 화소전압이 가변되기 때문이다.
- <34> 상세히 하면, 게이트 로우전압(VGL)을 공급하는 LOG형 게이트 로우전압 전송라인(VGLL)은 도 2에 도시된 바와 같이 제1 데이터 TCP(8)와 제1 내지 제4 게이트 TCP들(14A 내지 14D) 사이 각각에 접속되는 제1 내지 제4 LOG형 게이트 로우전압 전송라인들(VGLL1 내지 VGLL4)로 구성된다. 제1 내지 제4 LOG형 게이트 로우전압 전송라인들(VGLL1 내지 VGLL4)은 그 라인길이에 비례하는 라인저항값(a, b, c, d)을 갖고 제1 내지 제4 게이트 TCP(14A 내지 14D)를 경유하여 직렬로 연결된다.
- <35> 이러한 LOG형 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 라인저항값(a, b, c, d)에 의해 게이트 드라이브 IC(16)마다 공급되는 게이트 로우전압(VGL)이 달라지게 된다.
- <36> 구체적으로 제1 게이트 TCP(14A)에 실장된 게이트 드라이브 IC(16)에는 제1 LOG형 게이트 로우전압 전송라인(VGLL1)의 제1 라인저항값(a)에 비례하여 전압강하된 제1 게이트 로우전압(VGL1)이 공급된다. 제1 게이트 로우전압(VGL1)은 제1 게이트 드라이브 IC(16)를 통해 제1 수평라인 블록(A)의 게이트라인들에 공급된다.
- <37> 제2 게이트 TCP(14B)에 실장된 게이트 드라이브 IC(16)에는 직렬접속된 제1 LOG형 게이트 로우전압 전송라인(VGLL1) 및 제2 LOG형 게이트 로우전압 전송라인(VGLL2)의 제2 라인저항값(a+b)에 비례하여 전압강하된 제2 게이트 로우전압(VGL2)이 공급된다. 제2 게이트 로우전압(VGL2)은 제2 게이트 드라이브 IC(16)를 통해 제2 수평라인 블록(B)의 게이트라인들에 공급된다.
- <38> 제3 게이트 TCP(14C)에 실장된 게이트 드라이브 IC(16)에는 직렬접속된 제1 LOG형 게이트 로우전압 전송라인 내지 제3 LOG형 게이트 로우전압 전송라인(VGLL1 내지 VGLL3)의 제3 라인저항값(a+b+c)에 비례하여 전압강하된 제3 게이트 로우전압(VGL3)이 공급된다. 제3 게이트 로우전압(VGL3)은 제3 게이트 드라이브 IC(16)를 통해 제3

수평라인 블록(C)의 게이트라인들에 공급된다.

- <39> 제4 게이트 TCP(14D)에 실장된 게이트 드라이브 IC(16)에는 직렬접속된 제1 LOG형 게이트 로우전압 전송라인 내지 제4 LOG형 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 제4 라인저항값(a+b+c+d)에 비례하여 전압강하된 제4 게이트 로우전압(VGL4)이 공급된다. 제4 게이트 로우전압(VGL4)은 제4 게이트 드라이브 IC(16)를 통해 제4 수평라인 블록(D)의 게이트라인들에 공급된다.
- <40> 이렇게 게이트 드라이브 IC(16) 별로 게이트라인들에 공급하는 게이트 로우전압(VGL1 내지 VGL4)에 차이가 발생함에 따라 서로 다른 게이트 드라이브 IC(16)에 접속되는 수평라인 블록(A 내지 D) 간에 휘도차 발생하게 된다. 이 수평라인 블록(A 내지 D)의 휘도차는 가로선(32) 현상으로 나타나게 되어 화면이 분할되어 보이게 함으로써 화질저하를 초래한다. 특히 제1 게이트 드라이브 IC(16)에서 제4 게이트 드라이브 IC(16) 쪽으로 진행할 수록 LOG형 게이트 로우전압 전송라인(VGLL)의 라인저항 값(a, b, c, d)이 가산됨에 따라 수평라인 블록(A 내지 D)에 공급되는 제1 내지 제4 게이트 로우전압(VGL1 내지 VGL4)은 $VGL1 > VGL2 > VGL3 > VGL4$ 와 같은 관계를 갖게 된다.
- <41> 이러한 게이트 드라이브 IC(16) 단위의 게이트 로우전압 차이는 게이트 드라이브 IC(16) 각각에 독립적으로 접속되는 다수개의 LOG형 게이트 로우전압 전송라인을 마련하고 그 라인들의 단면적을 라인길이에 반비례하게 증가시키는 방법 등을 이용하여 보상할 수 있다. 그러나 LOG형 신호라인군(26)이 형성되는 화상표시부(21)의 외곽 영역은 한정되어 있으므로 다수개의 LOG형 게이트 로우전압 전송라인을 마련하는게 어려울 뿐만 아니라 단면적을 증가시키는데 한계가 있다.
- <42> 따라서 제한된 공간 내에 형성되는 LOG형 게이트 로우전압 전송라인(VGLL)의 설계변경 없이 라인저항에 의한 게이트 로우전압 차를 보상할 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

- <43> 따라서, 본 발명의 목적은 제한된 영역내에서 LOG형 신호라인군의 라인저항에 의한 게이트 드라이브 IC 간의 전압차를 보상하여 수평라인 블록간의 휘도차를 방지할 수 있는 LOG형 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <44> 상기 목적을 달성하기 위하여, 본 발명에 따른 LOG형 액정표시장치는 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와; 상기 게이트라인들을 구동하는 다수의 게이트 드라이브 집적회로들 각각이 실장된 다수의 게이트 테이프 캐리어 패키지들과; 상기 데이터라인들을 구동하는 다수의 데이터 드라이브 집적회로들 각각이 실장된 다수의 데이터 테이프 캐리어 패키지들과; 상기 화상표시부의 외곽 영역에 라인 온 글래스 방식으로 형성되어 상기 게이트 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들과; 상기 게이트 드라이브 집적회로들 각각은 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 입력단에 공통적으로 접속되는 게이트 하이전압 입력라인과 게이트 로우전압 입력라인 중 적어도 하나 이상의 입력라인에 형성된 게이트 입력 라인저항을 포함하며, 상기 게이트 입력 라인저항 값은 라인순차적으로 일정한 비율을 가지면서 상기 게이트 드라이브 집적회로들 사이에 접속된 라인 온 글래스형 신호라인의 라인저항 값까지 증가하게 설정된 것을 특징으로 한다.
- <45> 여기서 상기 게이트 입력 라인저항은, 게이트 드라이브 집적회로 내에서 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 입력단에 공통적으로 접속되는 게이트 하이전압 입력라인과 게이트 로우전압 입력라인 중 적어도 하나 이상의 입력라인에 형성되어, 스테이지마다 일정한 비율로 증가하는 것을 특징으로 한다.
- <46> 이와 달리 상기 게이트 입력 라인저항은, 게이트 드라이브 집적회로 내에서 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 출력라인별로 독립되게 형성되어 그 출력라인들 각각이 순차적으로 일정한 비율로 증가하는 것을 특징으로 한다.
- <47> 그리고, 상기 게이트 드라이브 집적회로 각각에 접속되는 마지막번째 게이트라인의 입력 라인저항 값은 게이트 드라이브 집적회로들 간의 라인 온 글래스 신호라인군의 라인저항에 의해 다음단 게이트 드라이브 집적회로에 접속되는 첫번째 게이트라인의 입력 라인저항 값과 동일한 것을 특징으로 한다.
- <48> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명

을 통하여 명백하게 드러나게 될 것이다.

- <49> 이하, 본 발명의 바람직한 실시 예를 도 3 내지 도 5를 참조하여 상세히 설명하기로 한다.
- <50> 도 3은 본 발명의 실시 예에 따른 LOG형 액정표시장치의 구성을 개략적으로 도시한 도면이다. 도 3에 도시된 액정표시장치는 액정패널(34)과, 액정패널(34)과 데이터 PCB(44) 사이에 접속되어진 다수개의 데이터 TCP들(40)과, 액정패널(34)의 다른 측에 접속되어진 다수개의 게이트 TCP들(46A 내지 46D)과, 데이터 TCP들(40) 각각에 실장되어진 데이터 드라이브 IC들(42)과, 게이트 TCP들(46A 내지 46D) 각각에 실장된 게이트 드라이브 IC들(48) 각각을 구비한다. 여기서 게이트 드라이브 IC들(48) 각각은 게이트라인들(52) 각각에 공급되는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 일정한 비율로 증가하는 내부저항에 의해 연속적으로 전압강하되게 함으로써 직렬접속된 제1 내지 제4 LOG형 신호라인군(50A 내지 50D)의 급격한 라인저항 차에 의한 게이트 드라이브 IC들(48) 간의 전압차를 방지하게 된다.
- <51> 액정패널(34)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(36)과, 칼라필터 어레이가 형성된 상부기판(38)과, 하부기판(36)과 상부기판(38) 사이에 주입된 액정을 포함한다. 이러한 액정패널(34)은 게이트라인들과 데이터라인들의 교차영역마다 형성된 액정셀에 의해 화상표시영역(41)에 화상을 표시한다. 화상표시영역(41)의 외곽부에 위치하는 하부기판(36) 외곽영역에는 데이터라인으로부터 신장되어진 데이터 패드들과, 게이트라인으로부터 신장되어진 게이트 패드들이 위치하게 된다. 하부기판(36)의 외곽영역에는 게이트 드라이브 IC(48)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(50A 내지 50D)이 위치하게 된다.
- <52> LOG형 신호라인군(50A 내지 50D)은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같이 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다. 이러한 LOG형 신호라인군(50A 내지 50D)은 게이트라인들(52)과 동일한 게이트 급속도로 형성된다. LOG형 신호라인군(50A 내지 50D)은 그의 라인길이에 비례하는 라인저항 값을 가지게 된다.
- <53> 예를 들면, LOG형 신호라인군(50A 내지 50D)은 제1 데이터 TCP(40)와 제1 내지 제4 게이트 TCP들(46A 내지 46D) 사이 각각에 접속되는 제1 내지 제4 LOG형 신호라인군(50A 내지 50D)으로 구성된다. 제1 내지 제4 LOG형 신호라인군(50A 내지 50D)은 그 라인길이에 비례하는 라인저항값(a, b, c, d)을 갖고 제1 내지 제4 게이트 TCP(46A 내지 46D)를 경유하여 직렬로 연결된다. 여기서, 제1 내지 제4 게이트 TCP들(46A 내지 46D) 사이에 위치하는 제1 LOG형 신호라인군(50A)을 제외한 제2 내지 제4 LOG형 신호라인군(50B 내지 50D) 각각은 동일한 라인길이를 가지므로 동일한 라인저항값(b=c=d)을 갖게 된다. 그러나 제2 내지 제4 LOG형 신호라인군(50B 내지 50D) 각각에서의 라인저항 값은 경유한 LOG형 신호라인군의 라인저항 값과 합산되어 나타나게 되므로 경유하는 LOG형 신호라인군이 길어질 수록 라인저항 값이 증가하게 된다.
- <54> 데이터 TCP(40)에는 데이터 드라이브 IC(42)가 실장되고, 그 데이터 TCP(40)는 데이터 드라이브 IC(42)와 접속되는 입출력 패드들을 통해 데이터 PCB(44)의 출력패드들 및 하부기판(36)의 데이터패드들과 접속된다. 특히 첫 번째 데이터 TCP(40)는 하부기판(36) 상의 제1 LOG형 신호라인군(50A)에 접속되는 게이트 구동신호 전송라인군을 더 구비한다. 이 게이트 구동신호 전송라인군은 데이터 PCB(44)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(50A)에 공급하게 된다.
- <55> 데이터 드라이브 IC들(42)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들에 공급한다.
- <56> 게이트 TCP(46A 내지 46D)에는 게이트 드라이브 IC(48)가 실장되고, 그 게이트 TCP(46A 내지 46D)는 게이트 드라이브 IC(48)와 접속되는 출력 패드들을 통해 하부기판(36)의 게이트패드들과 접속된다. 또한 게이트 TCP(46A 내지 46D)는 하부기판(36)의 LOG형 신호라인군(50A 내지 50D)과 게이트 드라이브 IC(48) 사이에 접속되는 게이트 구동신호 전송라인군을 더 구비한다.
- <57> 게이트 드라이브 IC들(48)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압(VGH)을 게이트라인들(52)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(48)은 게이트 하이전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압(VGL)을 게이트라인들(52)에 공급한다. 게이트 드라이브 IC들(48) 각각은 그의 내부에서 게이트라인들(52) 각각에 공급하는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 화질에는 영향을 미치지 않을 정도로 일정한 비율로 증가하는 내부저항에 의해 연속적으로 전압강하되게 한다. 이에 따

라, 게이트 드라이브 IC들(48) 내에서 게이트라인마다 일정한 비율로 전압강하되어 마지막번째 게이트라인에 공급되는 구동전압과 LOG형 신호라인군을 경유하여 전압강하되어 다음단 게이트 드라이브 IC들(48)의 첫번째 게이트라인에 공급되는 구동전압이 동일해지게 된다. 이 결과 직렬접속된 제1 내지 제4 LOG형 신호라인군(50A 내지 50D)의 급격한 라인저항 차에 의한 게이트 드라이브 IC들(48) 간의 전압차는 발생하지 않게 된다.

<58> 상세히 하면, 도 4에 도시된 바와 같이 게이트 드라이브 IC(48)는 통상 256개의 게이트라인들(GL1 내지 GL256)을 순차적으로 구동하는 제1 내지 제256 스테이지들(53)로 구성된다.

<59> 제1 내지 제256 스테이지(53) 각각은 외부로부터 입력되는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 응답하여 쉬프트시켜 출력하는 쉬프트 레지스터와, 쉬프트 레지스터로부터의 쉬프트신호에 응답하여 게이트 하이전압 또는 게이트 로우전압을 선택적으로 출력하는 레벨 쉬프터와, 레벨 쉬프터로부터의 출력신호를 신호완충하여 해당 게이트라인(GL1 내지 GL256)으로 출력하는 출력버퍼로 구성된다. 이를 위하여 제1 내지 제256 스테이지(53)는 게이트 스타트 펄스(GSP) 입력라인에 종속적으로 접속된다. 그리고 제1 내지 제256 스테이지(53)는 게이트 쉬프트 클럭(GSC), 게이트 하이전압(VGH), 게이트 로우전압(VGL), 전원전압(VCC), 그라운드 전압(GND) 입력라인에 공통적으로 접속된다.

<60> 여기서 게이트라인들(GL1 내지 GL256) 각각에 직접 공급되어 화질에 영향을 미치게 되는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 공급하는 입력라인에 있어서 그 라인길이에 비례하여 입력 라인저항이 일정한 비율로 증가하게끔 제1 내지 제256 스테이지(53) 사이마다 일정한 값의 저항(R1 내지 R255)을 형성한다. 이에 따라, 제2 게이트라인(GL2)에는 제1 게이트라인(GL1) 보다 제1 저항(R1)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 제2 스테이지(53)를 통해 공급되고, 제3 게이트라인(GL3)에는 제1 및 제2 저항(R1+R2)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 제3 스테이지(53)를 통해 공급된다. 이러한 방법으로 제4 내지 제256 게이트라인(GL4 내지 GL256)에는 제4 내지 제256 스테이지의 입력단에 접속된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL) 입력라인의 라인저항에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 여기서 제256 스테이지(53)의 입력단에 접속된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL) 입력라인의 라인저항(R1+R2+R3+...+R254+R255)은 현재단 게이트 드라이브 IC(48)와 다음단 게이트 드라이브 IC(48) 사이에 접속되는 LOG형 신호라인군(50B 내지 50D)의 라인저항과 동일하게 설정된다. 이에 따라, 현재단 게이트 드라이브 IC(48)의 제256 스테이지(53)에 접속되는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL) 입력라인의 라인저항(R1+R2+R3+...+R254+R255)과, LOG형 신호라인군(50B 내지 50D)을 경유하여 다음단 게이트 드라이브 IC(48)의 제1 스테이지(53)에 접속되는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL) 입력라인의 라인저항이 동일해지게 된다.

<61> 이렇게 게이트 드라이브 IC(48) 내부에서 게이트라인들(GL1 내지 GL256)에 대한 입력 라인저항을 LOG형 신호라인군(50B 내지 50D)의 라인저항에 도달하도록 라인순차적으로 증가시키는 경우 그 입력 라인저항은 소정량씩 일정한 비율로 변화하게 되므로 화질에 영향을 미치지 않게 된다.

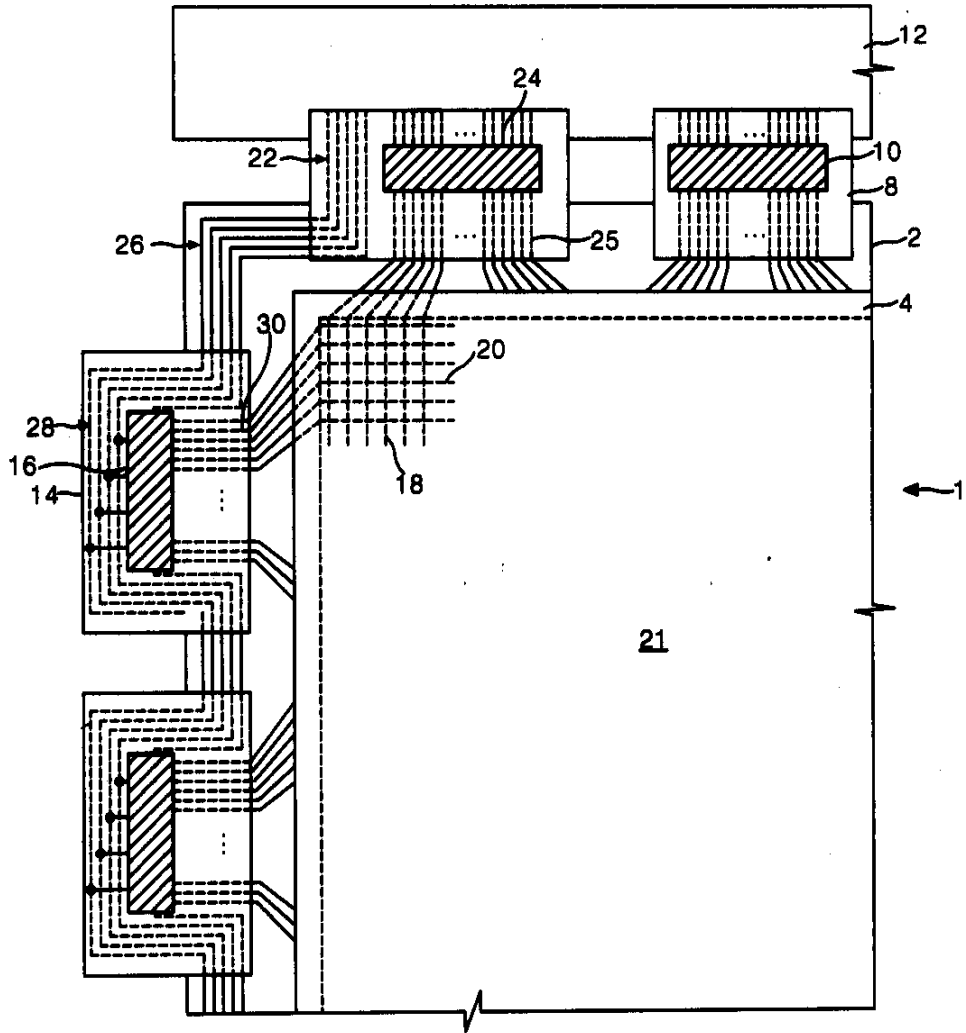
<62> 예를 들어, 제1 내지 제4 게이트 드라이브 IC들(48) 사이마다 접속된 제2 내지 제4 LOG형 신호라인군(50B 내지 50D) 각각의 라인저항이 10Ω이라고 가정하는 경우 게이트 드라이브 IC(48) 내에서는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL) 입력라인 전체의 라인저항(R1+R2+R3+...+R254+R255)이 10Ω이 되게끔 그 입력라인들을 설계하게 된다. 여기서 게이트 드라이브 IC(48) 내에서의 제1 내지 제255 라인저항(R1 내지 R255) 값은 일정하므로 그 제1 내지 제256 라인저항(R1 내지 R256) 각각의 저항값으로는 10/256Ω이 설정된다. 이에 따라, 제1 게이트 드라이브 IC(48)에 접속되는 제1 내지 제256 게이트라인들(G1 내지 G256)에는 게이트라인들(G1 내지 G256)마다 순차적으로 10/256Ω씩 증가하는 입력 라인저항에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 이 결과, 제1 게이트 드라이브 IC(48)의 제256 게이트라인(GL256)에는 제1 LOG형 신호라인군(50A)의 라인저항 값(a)과 (10/256Ω*256=10)Ω의 입력 라인저항 값의 합(a+10Ω)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 그리고, 제2 드라이브 IC(48)에 접속된 제1 게이트라인(GL1)에는 제1 및 2 LOG형 신호라인군(50A, 50B)의 라인저항 값의 합(a+10Ω)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 이에 따라 제1 게이트 드라이브 IC(48)에 접속되는 제256 게이트라인(GL256)과 제2 게이트 드라이브 IC(48)에 접속되는 제1 게이트라인(GL1) 간에 급격한 라인저항 차에 의한 전압차는 발생하지 않게 된다. 이러한 제1 게이트 드라이브 IC(48)와 동일하게 제2 내지 제4 게이트 드라이브 IC(48) 내에서도 제1 내지 제256 스테이지들(53)에 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 공급하는 입력라인의 저항이 스테이지들(53)마다 순차적으로 10/256Ω씩 증가하게끔 설정된다. 이에 따라, 현재단 게이트 드라이브 IC(48) 각각의 제256 게이트라인(GL256)과 다음단 게이트 드라이브 IC(48)의 제1 게이트

트라인(GL1) 사이에는 LOG형 신호라인군에 의한 라인저항 차가 발생하지 않게 된다.

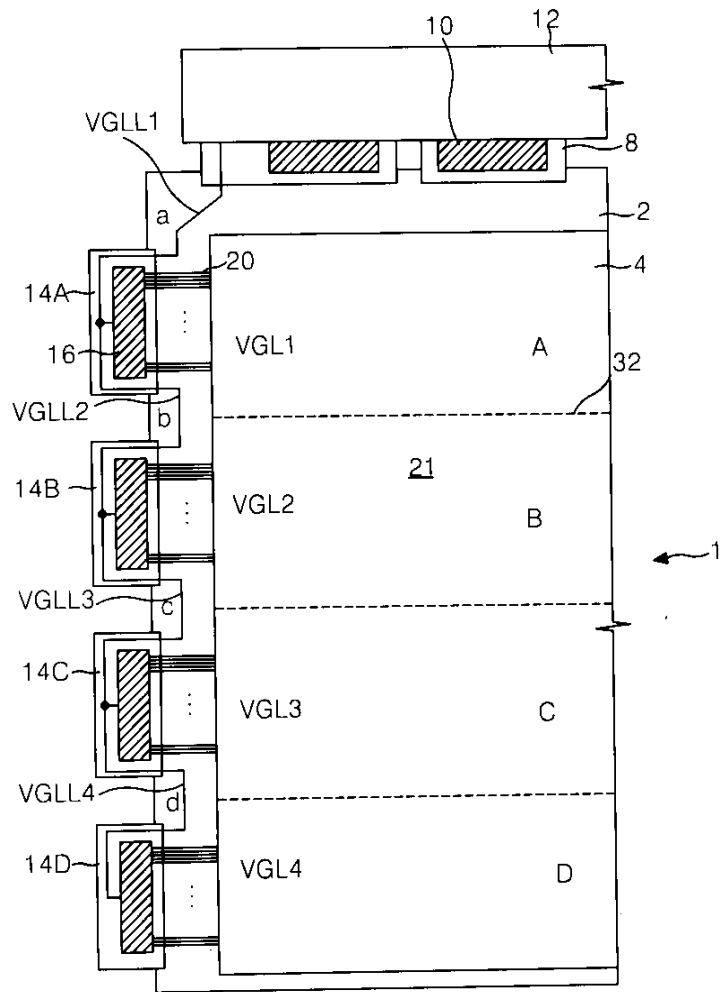
- <63> 이와 같이, 제1 내지 제4 게이트 드라이브 IC들(48)에서 제1 내지 제 256 스테이지들(53)에 대한 입력저항, 즉 제1 내지 제256 게이트트라인들(GL1 내지 GL256)에 대한 입력저항을 일정한 비율로 증가시킴으로써 LOG형 신호라인군(50B 내지 50D)에 의한 게이트 구동전압 차이가 발생하지 않게 되므로 종래의 수평라인 블록간의 가로선 현상은 발생하지 않게 된다. 결과적으로 제1 내지 제4 게이트 드라이브 IC(48)에 접속되는 제1 게이트트라인(GL1)에서 제1024(256*4) 게이트트라인(GL1024)에 대한 입력저항은 일정한 비율로 증가되지만 그 입력저항이 라인 순차적으로 소정량씩 증가하게 되므로 화질에는 영향을 미치지 않게 된다.
- <64> 이와 달리, 도 5에 도시된 바와 같이 게이트 드라이브 IC(54)에서 제1 내지 제256 게이트트라인들(GL1 내지 GL256) 각각에 접속되는 출력라인들 각각이 라인순차적으로 증가되는 출력저항(R1 내지 R256)을 포함하게끔 설계한다.
- <65> 게이트 드라이브 IC(54)는 제1 내지 제256 게이트트라인들(GL1 내지 GL256) 각각을 구동하는 제1 내지 제256 스테이지(56)를 구비한다. 제1 내지 제256 스테이지(56) 각각은 외부로부터 입력되는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 응답하여 쉬프트시켜 출력하는 쉬프트 레지스터와, 쉬프트 레지스터로부터의 쉬프트 신호에 응답하여 게이트 하이전압 또는 게이트 로우전압을 선택적으로 출력하는 레벨 쉬프트와, 레벨 쉬프트로부터의 출력신호를 신호완충하여 해당 게이트트라인(GL1 내지 GL256)으로 출력하는 출력버퍼로 구성된다. 이를 위하여 제1 내지 제256 스테이지(56)는 게이트 스타트 펄스(GSP) 입력라인에 종속적으로 접속된다. 그리고 제1 내지 제256 스테이지(56)는 게이트 쉬프트 클럭(GSC), 게이트 하이전압(VGH), 게이트 로우전압(VGL), 전원전압(VCC), 그라운드 전압(GND) 입력라인에는 공통적으로 접속된다.
- <66> 이러한 제1 내지 제256 스테이지(56) 각각의 출력라인 마다 형성된 출력저항(R1 내지 R256)은 LOG형 신호라인군(50B 내지 50D)의 라인저항(b, c, d)에 도달할 때까지 일정한 비율을 가지고 라인순차적으로 증가하는 저항값을 갖게 된다. 이에 따라, 제1 내지 제256 게이트트라인(GL1 내지 GL256)에는 제1 내지 제256 스테이지(56) 각각의 출력저항(R1 내지 R256)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 여기서 제256 스테이지(56) 출력라인의 라인저항(R256)은 현재단 게이트 드라이브 IC(54)와 다음단 게이트 드라이브 IC(54) 사이에 접속되는 LOG형 신호라인군(50B 내지 50D)의 라인저항(b, c, d)과 동일하게 설정한다. 이에 따라, 현재단 게이트 드라이브 IC(56)의 제256 스테이지(56)의 출력라인의 라인저항(R256)과, LOG형 신호라인군(50B 내지 50D)을 경유하여 다음단 게이트 드라이브 IC(54)의 제1 스테이지(56)의 출력라인의 라인저항(b+R1)이 동일해지게 된다. 이렇게 게이트 드라이브 IC(56) 내부에서 게이트트라인들(GL1 내지 GL256)에 대한 입력 라인저항을 LOG형 신호라인군(50B 내지 50D)의 라인저항에 도달하도록 라인순차적으로 증가시키는 경우 그 입력 라인저항은 소정량씩 일정한 비율로 변화하게 되므로 화질에 영향을 미치지 않게 된다.
- <67> 예를 들어, 제1 내지 제4 게이트 드라이브 IC들(54) 사이마다 접속된 제2 내지 제4 LOG형 신호라인군(50B 내지 50D) 각각의 라인저항이 10Ω이라고 가정하는 경우 게이트 드라이브 IC(54)의 출력 라인저항(R1 내지 R256)은 최소의 라인저항에서 10Ω까지 라인순차적으로 증가하게끔 설계된다. 이에 따라, 게이트 드라이브 IC(54) 출력 라인저항(R1 내지 R256) 값은 10*(라인번호/256)Ω이 설정된다. 이에 따라, 제1 게이트 드라이브 IC(54)에 접속되는 제1 내지 제256 게이트트라인들(G1 내지 G256)에는 출력 라인저항(R1 내지 R256)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 이 결과, 제1 게이트 드라이브 IC(54)의 제256 게이트트라인(GL256)에는 제1 LOG형 신호라인군(50A)의 라인저항 값(a)과 제256 출력 라인저항 값의 합(a+10Ω)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 그리고, 제2 드라이브 IC(54)에 접속된 제1 게이트트라인(GL1)에는 제1 및 2 LOG형 신호라인군(50A, 50B)의 라인저항 값의 합(a+10Ω)에 비례하여 전압강하된 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 공급된다. 이에 따라 제1 게이트 드라이브 IC(54)에 접속되는 제256 게이트트라인(GL256)과 제2 게이트 드라이브 IC(54)에 접속되는 제1 게이트트라인(GL1) 간에 급격한 라인저항 차에 의한 전압차는 발생하지 않게 된다. 이러한 제1 게이트 드라이브 IC(54)와 동일하게 제2 내지 제4 게이트 드라이브 IC(54) 내에서도 제1 내지 제256 스테이지들(56)의 출력 라인저항이 라인순차적으로 일정한 비율로 증가하게끔 설정된다. 이 결과, 현재단 게이트 드라이브 IC(54) 각각의 제256 게이트트라인(GL256)과 다음단 게이트 드라이브 IC(54)의 제1 게이트트라인(GL1) 사이에는 LOG형 신호라인군에 의한 라인저항 차가 발생하지 않게 된다.
- <68> 이와 같이, 제1 내지 제4 게이트 드라이브 IC들(54)에서 제1 내지 제 256 스테이지들(53)의 출력저항, 즉 제1 내지 제256 게이트트라인들(GL1 내지 GL256)에 대한 입력저항을 일정한 비율로 증가시킴으로써 LOG형 신호라인군(50B 내지 50D)에 의한 게이트 구동전압 차이가 발생하지 않게 되므로 종래의 수평라인 블록간의 가로선 현상은

도면

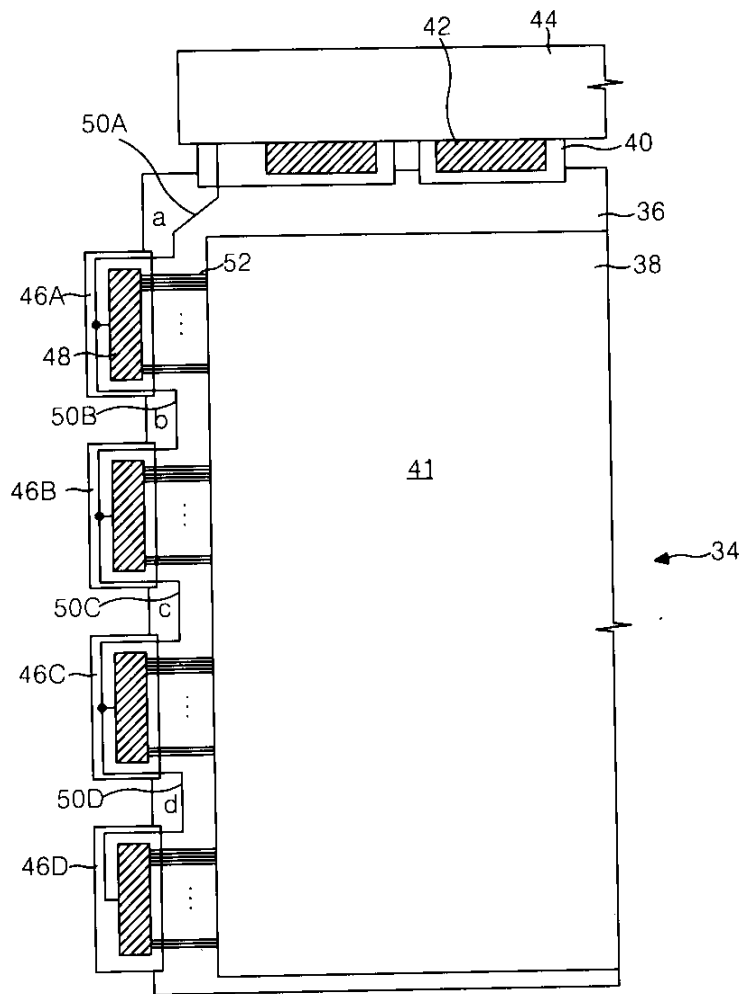
도면1



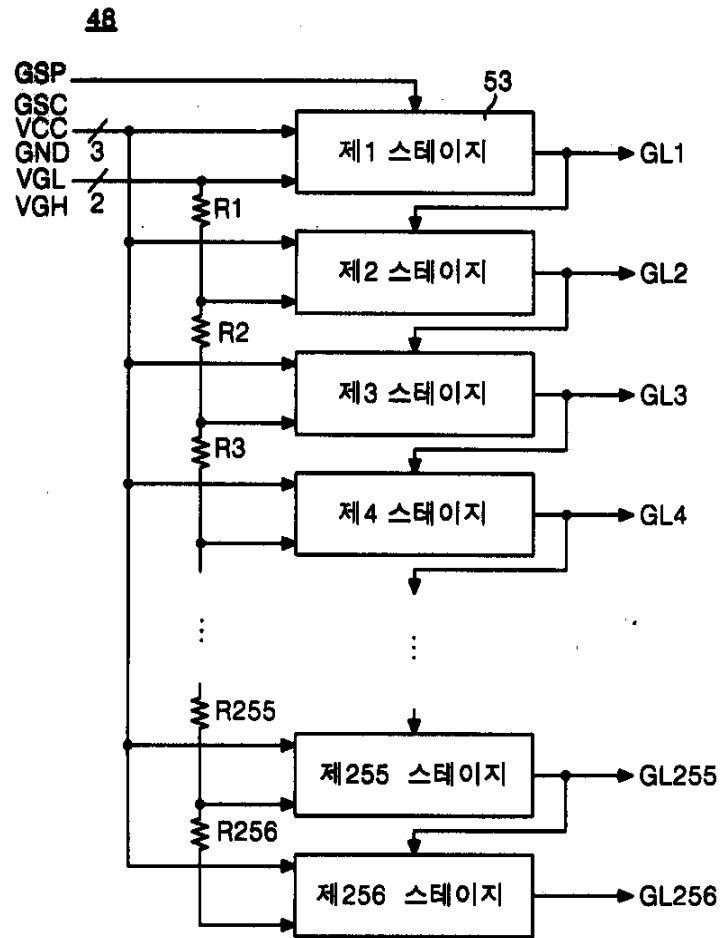
도면2



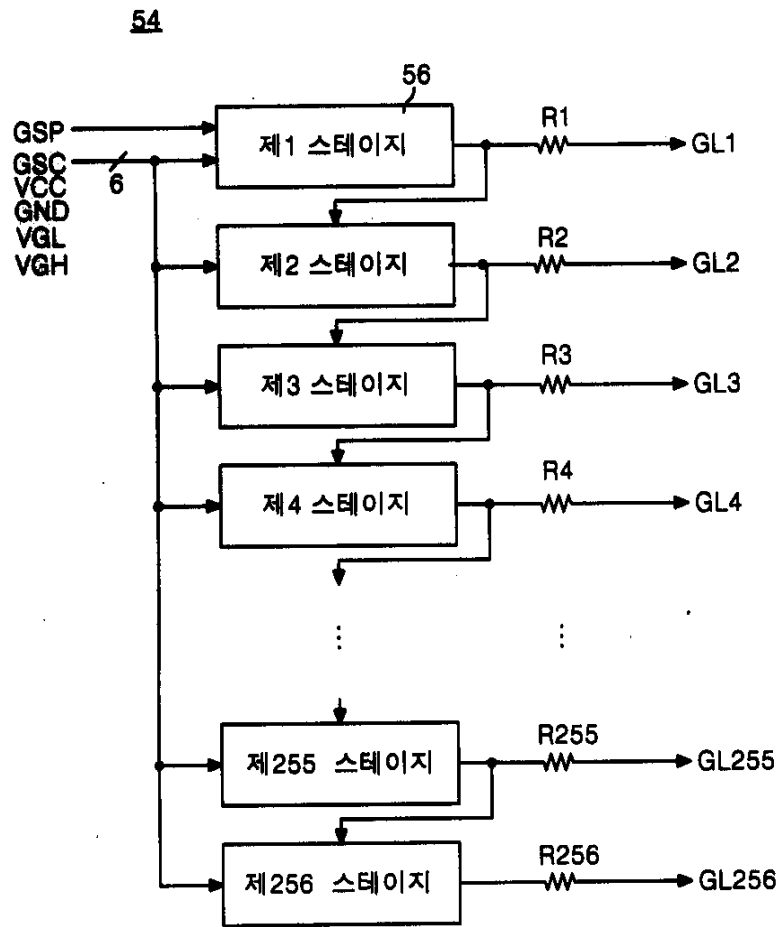
도면3



도면4



도면5



专利名称(译)	线上玻璃型液晶显示器		
公开(公告)号	KR100831301B1	公开(公告)日	2008-05-22
申请号	KR1020010083238	申请日	2001-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JUNGSIK		
发明人	PARK,JUNGSIK		
IPC分类号	G02F1/1345 G02F1/13 G09G3/36		
CPC分类号	G09G3/3677 G02F1/13452		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020030053180A		
外部链接	Espacenet		

摘要(译)

玻璃上线型液晶显示器技术领域本发明涉及一种玻璃上线型液晶显示器，其能够通过形成在液晶面板上的玻璃上线图案的线电阻来防止栅极驱动集成电路之间的电压差。本发明提供一种液晶显示装置，包括：图像显示单元，包括形成在栅极线和数据线的交叉区域处的多个液晶单元；多个多个栅极带载封装，其中的每一个被安装用于驱动的栅极驱动器集成电路的所述栅极线；多个数据驱动所述多个数据带载封装，其中的每一个被安装到驱动数据线的IC；上在图像显示单元的外区域玻璃线键入在栅极驱动IC中形成的玻璃上线信号线，以提供栅极驱动集成电路中所需的驱动信号；每个栅极驱动集成电路包括栅极高压输入线，其共同连接到顺序驱动栅极线的多个级的输入端子，并且在低压输入线的至少一个输入线上形成栅极输入线电阻，其中栅极输入线电阻值是在恒定线上连接在栅极驱动集成电路之间的玻璃型信号线上-线到线的线电阻值它表征。

