



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월31일
(11) 등록번호 10-0790059
(24) 등록일자 2007년12월21일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2000-0063440

(22) 출원일자 2000년10월27일

심사청구일자 2005년10월25일

(65) 공개번호 10-2001-0067364

(43) 공개일자 2001년07월12일

(30) 우선권주장

99-309499 1999년10월29일 일본(JP)

(56) 선행기술조사문헌

KR100209198B1

(뒷면에 계속)

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

야마구치신야

일본국도쿄토미타카시이노카시라4초메9반치10고

미야오마사노부

일본국후쿠오카켄후쿠오카시니시쿠오도5초메7반1노11

(뒷면에 계속)

(74) 대리인

특허법인 원전

전체 청구항 수 : 총 17 항

심사관 : 김주승

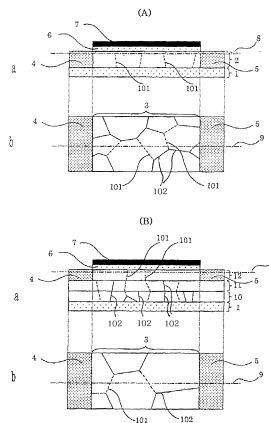
(54) 반도체장치, 그 제조방법 및 액정표시장치

(57) 요약

유리기판을 이용한 대화면의 액정표시장치를 실현하기 위해, 높은 전하이동도를 가지고 특성의 제조편차가 적은 개량된 저온 다결정 박막의 TFT를 제공한다.

다이아몬드 구조의 {111} 쌍정입계(雙晶粒界)에서 집합한 다결정 입자로 구성된 반도체 박막(의사적인 단결정 박막이라 칭함)을 TFT의 채널영역(즉, 활성영역)으로 하여 활용함으로써, 높은 전하이동도를 가지는 TFT를 소망의 특성 편차의 범위 내에서 재현성 좋게 실현할 수 있다.

대표도 - 도3



(72) 발명자	(56) 선행기술조사문헌
스기이노부유키	KR1019990024014A
일본국도쿄토나카노쿠쥬오4초메26반치4고	KR100209198 B1
박성기	KR100333154 B1
일본국도쿄토하치오지시코야스초2초메32반치A103고	KR1019940003097 A
나카가와키요카즈	KR1019950021777 A
일본국야마나시켄코후시오테2초메4반2-41고	KR1019990024014 A

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

절연체와, 상기 절연체 상에 형성된 다결정 박막과, 상기 다결정 박막 표면부에 형성된 소스영역, 드레인영역, 게이트전극, 상기 게이트전극과 협동관계에 있는 채널영역으로 이루어지는 트랜지스터를 가지며, 상기 다결정 박막은 IV족 원소 단독 혹은 그들 원소의 혼합물로 이루어지는 결정립(結晶粒)으로 구성되고, 그들의 결정입계가 다이아몬드 구조의 {111} 쌍정(雙晶)인 박막 반도체장치에 있어서,

상기 절연체는 유리기판이며, 상기 다결정 박막은 Si 박막이고, 상기 Si 박막은 막두께 10 ~ 150nm를 가지며, 또 상기 Si 박막은 기판 표면에 평행한 {110}면을 가지는 복수의 결정립을 가지고 있고, 상기 소스영역과 상기 드레인영역을 결선(結線)상에 있어서, 결정이 완전한 {110}면이 되는 영역이 존재하는 것을 특징으로 하는 박막 반도체장치.

청구항 36

절연체와, 상기 절연체 상에 형성된 다결정 박막과, 상기 다결정 박막 표면부에 형성된 소스영역, 드레인영역, 게이트전극, 상기 게이트전극과 협동관계에 있는 채널영역으로 이루어지는 트랜지스터를 가지며, 상기 다결정 박막은 IV족 원소 단독 혹은 그들 원소의 혼합물로 이루어지는 결정립으로 구성되고, 그들의 결정입계가 다이아몬드 구조의 {111} 쌍정인 박막 반도체장치에 있어서,

상기 채널영역에서 상기 {111} 쌍정의 접합을 가진 2면 내지 5면의 입계(粒界)가 상기 절연체에 평행한 {110}면을 가지고, 또 상기 다결정 박막 상의 일점에서 결합한 구조를 적어도 하나 가지며, 상기 소스영역과 상기 드레인영역을 결선 상에 있어서, 결정이 완전한 {110}면이 되는 영역이 존재하는 것을 특징으로 하는 박막 반도체장치.

청구항 37

절연체와, 상기 절연체 상에 형성된 반도체 박막과, 상기 반도체 박막의 표면부에 형성된 소스영역, 드레인영역, 채널영역, 게이트전극부로 이루어지는 트랜지스터를 가지며, 상기 반도체 박막은 IV족 원소의 비정질영역과 상기 소스영역과 상기 드레인영역을 연결하는 가늘고 긴 가지 모양의 IV족 원소의 결정영역을 가지는 박막 반도체장치에 있어서,

상기 채널영역에서, 상기 {111} 쌍정의 접합을 가진 2면 내지 5면의 결정립이 상기 절연체 표면에 평행한 {110}면을 가지고, 또 상기 가지 모양 결정의 일점에서 결합한 구조를 적어도 하나 가지고 있으며, 상기 소스영역과 상기 드레인영역을 결선 상에 있어서, 결정이 완전한 {110}면이 되는 영역이 존재하는 것을 특징으로 하는 박막 반도체장치.

청구항 38

절연체의 상부에 설치된 반도체 박막층; 상기 반도체 박막층에 형성된 복수의 절연게이트형 반도체소자, 이 각 반도체소자는 상기 반도체 박막층 표면에 게이트 절연막에 의해 이 반도체 박막층에서 분리된 게이트전극을 가지고 있으며; 그리고 적어도 2개의 상기 게이트 절연막의 사이에 위치하고 상기 게이트 절연막 바로 밑을 제외하는 상기 반도체 박막층의 표면부에 설치된 결정성장핵 금속으로 이루어지는 박막 반도체 집적회로장치에 있어서,

상기 게이트 절연막에 접하는 상기 반도체 박막층은 다이아몬드 구조의 {111} 쌍정으로 접합된 반도체 결정립으로 이루어지며, 상기 소스영역과 상기 드레인영역을 결선 상에 있어서, 결정이 완전한 {110}면이 되는 영역이 존재하는 것을 특징으로 하는 박막 반도체 집적회로장치.

청구항 39

절연체와, 상기 절연체 상에 형성된 반도체 박막과, 상기 반도체 박막의 표면부에 형성된 소스영역, 드레인영역, 채널영역, 게이트전극부로 이루어지는 트랜지스터를 가지고, 상기 반도체 박막은 IV족 원소의 비정질영역과 상기 소스영역과 상기 드레인영역을 연결하는 가늘고 긴 가지 모양의 IV족 원소의 결정영역을 가지는 박막 반도체장치에 있어서,

상기 가지 모양 결정영역은 상기 기판 표면에 평행한 {110}면과 상기 가지의 장축(長軸)에 수직인 {111}면을 가지는 하나의 가늘고 긴 단결정립에서 복수로 분기한 것이며, 상기 복수의 분기한 가지끼리는 39.0도, 70.5도, 109.5도 중 어느 한 각도로 접합하고, 그 접합면이 다이아몬드 구조의 {111} 쌍정으로 되어 있으며, 상기 소스영역과 상기 드레인영역을 결선 상에 있어서, 결정이 완전한 {110}면이 되는 영역이 존재하는 것을 특징으로 하는 박막 반도체장치.

청구항 40

절연체; 상기 절연체 상부에 설치되어 일주(一主) 표면을 가지는 반도체층, 상기 반도체층은 복수의 반도체 결정립을 가지고, 상기 복수의 반도체 결정립은 {110}면을 가지며 그 계면이 {111} 쌍정경계에서 접합되고, 또 상기 {110}면에서 상기 주 표면을 구성하고 있는; 및 상기 반도체층의 상기 주표면을 절연막을 통해 덮는 게이트전극으로 이루어지고, 상기 소스영역과 상기 드레인영역을 결선 상에 있어서, 결정이 완전한 {110}면이 되는 영역이 존재하는 것을 특징으로 하는 반도체장치.

청구항 41

절연체와, 상기 절연체 상에 형성된 다결정 박막과, 상기 다결정 박막 표면부에 형성된 소스영역, 드레인영역, 게이트전극, 상기 게이트전극과 협동관계에 있는 채널영역으로 이루어지는 트랜지스터를 가지며, 상기 다결정 박막은 IV족 원소 단독 혹은 그들 원소의 혼합물로 이루어지는 결정립으로 구성되고, 그들의 결정입계가 다이아몬드 구조의 {111} 쌍정인 박막 반도체장치에 있어서,

상기 다결정 박막은 n층(n은 복수)의 반도체 박막을 적층시킨 구조로 되며, 상기 제 n번째의 반도체 박막 표면부에 상기 소스영역, 드레인영역, 채널영역, 게이트전극으로 이루어지는 트랜지스터가 형성되고, 제 k번째(k = 1 ~ n)의 반도체 박막은 k의 값이 크게 됨에 따라 결정립이 큰 상기 다결정을 가지며, 제 n번째의 반도체 박막의 결정입계가 상기 다이아몬드 구조의 {111} 쌍정인 것을 특징으로 하는 박막 반도체장치.

청구항 42

절연체와, 상기 절연체 상에 형성된 반도체 박막과, 상기 반도체 박막의 표면부에 형성된 소스영역, 드레인영역, 채널영역, 게이트전극부로 이루어지는 트랜지스터를 가지고, 상기 반도체 박막은 IV족 원소의 비정질영역과 상기 소스영역과 상기 드레인영역을 연결하는 가늘고 긴 가지 모양의 IV족 원소의 결정영역을 가지는 박막 반도체장치에 있어서,

상기 반도체 박막은 n층(n은 복수)의 반도체 박막을 적층시킨 구조로 구성되며, 이 n번째의 반도체 박막의 표면부에 상기 소스영역, 드레인영역, 채널영역, 게이트전극부가 형성된 트랜지스터를 가지고, 제 k번째(k = 1 ~ n)의 반도체 박막은 k의 값이 크게 됨에 따라 상기 가지 모양 결정의 굵기, 길이가 증가하며, 제 n번째의 반도체 박막의 결정입계가 다이아몬드 구조의 {111} 쌍정인 것을 특징으로 하는 박막 반도체장치.

청구항 43

다이아몬드 구조의 {111} 쌍정경계에서 접합된 복수의 반도체 결정립에 의해 구성된 반도체 박막의 표면을 산화하여 게이트 절연막을 형성하고, 이 게이트 절연막 상에 게이트전극을 형성하는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 44

그 표면부에 결정성장핵 금속을 부분적으로 설치한 비정질 반도체 박막을 절연체의 주(主) 표면의 상부에 형성하고, 상기 반도체 박막을 가열처리하여 상기 결정성장핵 금속에서 상기 절연체기판의 주 표면방향으로 상기 반도체의 결정을 성장시키는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 45

절연체의 상부에 비정질 Si 박막을 퇴적하는 공정과,

채널을 형성해야할 표면을 제외하고 상기 박막의 표면에 결정성장핵 금속을 설치하는 공정과,

상기 비정질 Si 박막을 가열하여 상기 채널을 형성해야할 표면에 쌍정입계에서 접합된 상기 Si의 결정립을 형성하는 공정과,

상기 Si 박막의 상기 채널을 형성해야할 표면 상에 게이트 절연막을 통해 게이트전극을 설치하는 공정을 가지는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 46

절연체의 상부에 두께 10 ~ 150nm의 비정질 Si 박막을 퇴적하는 공정과,

채널을 형성해야할 표면을 제외하고 상기 박막의 표면에 결정성장핵 금속을 설치하는 공정과,

상기 비정질 Si 박막을 360 ~ 600℃의 온도로 가열하는 공정과,

상기 Si 박막의 상기 채널을 형성해야할 표면에 게이트 절연막을 통해 게이트전극을 설치하는 공정을 가지는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 47

제 45 항 또는 제 46 항에 있어서,

상기 절연체는 유리기관으로 이루어지며, 상기 비정질 Si 박막은 상기 기관을 300℃ 내지 600℃의 온도로 가열하여 형성되는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 48

절연체의 상부에 제1 비정질 Si 박막을 퇴적하는 공정과,

박막트랜지스터의 활성영역으로 해야 할 영역을 제외하고 상기 제1 박막의 영역에 결정성장핵 금속을 설치하는 공정과,

상기 제1 Si 박막을 가열하여 결정화하는 공정과,

이렇게 해서 얻어진 상기 제1 Si 박막의 상부에 제2 비정질 Si 박막을 퇴적하는 공정과,

상기 제2 박막을 가열하여 상기 활성영역으로 해야 할 상기 제2 박막의 영역에 쌍정경계에서 접합된 상기 Si의 결정립을 형성하는 공정과,

상기 제2 박막의 상기 활성영역의 표면 상에 게이트 절연막을 설치하는 공정과,

상기 게이트 절연막 상에 게이트전극을 설치하는 공정을 가지는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 49

제 43 항 또는 제 44 항에 있어서,

상기 반도체 박막은 C, Si, Ge, Sn 및 Pb로 이루어지는 IV족 원소의 어느 것인가 혹은 그들의 혼합물로 이루어지는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 50

제 44 항, 제 45 항, 제 46 항 또는 제 48 항 중 어느 한 항에 있어서,

상기 결정성장핵 금속은 Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ru, Rh, Pd, Ag, Os, Ir, Pt, Au 중 어느 것인가 혹은 그들의 합금으로 이루어지는 금속(M), 혹은 상기 금속(M)과 상기 IV족 원소의 화합물 $MxAy$ (A는 상기 IV족 원소, x와 y는 M과 A와의 혼정비(混晶比)), 혹은 상기 금속(M)과 상기 IV족 원소의 적층구조로 이루어지는 것을 특징으로 하는 박막 반도체장치의 제조방법.

청구항 51

제 45 항 또는 제 48 항에 있어서,

상기 가열처리를 행하기 전에, 상기 성장핵 금속과 상기 채널을 형성해야 할 표면 또는 활성영역과의 사이에, 상기 비정질 박막의 일부를 삭제하든지 혹은 일부를 다른 재료로 치환함으로써 병목부를 형성하는 공정을 가지는 것을 특징으로 하는 박막 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 반도체장치, 특히 박막 반도체장치, 그 제조방법 및 그것을 사용한 액정표시장치에 관한 것이다.
- <20> 종래의 박막 반도체장치(주로 화상표시장치 등에 이용되고 있는 박막트랜지스터(TFT)가 형성되는 모체재료(base material))로는, 주로 고온 다결정 Si(규소)가 사용되어 왔다. 이것은 석영기판 위에 900℃ 전후의 고온 열처리에 의해 다결정 Si를 형성한 것으로, 비교적 큰 입경(粒徑)(200 ~ 500nm)의 다결정 Si가 형성된다. 이 고온 다결정 Si 위에 형성된 TFT는 입계(粒界)밀도가 낮고 결정성이 좋은 Si 박막을 채널영역으로서 이용하기 위해, 전하이동도가 10 ~ 150cm²/(V·s)와 단결정 Si의 그것(약 500cm²/(V·s))에 근사한 값을 얻을 수 있다. 그러나 이 고온 다결정 Si는 고온 프로세스에 견디도록 고가인 석영기판을 사용할 필요가 있으므로, 기판 코스트가 원인으로 되어 장치 전체의 코스트 저감이 곤란하므로 TFT의 보급이 제한되어 있다.
- <21> 최근, 이것을 대신하는 것으로서 저온 다결정 Si가 활발히 연구되어 왔다. 이것은 저코스트의 유리기판 위에 플라즈마 CVD법 등으로 형성한 비정질 실리콘 혹은 미(微)결정 실리콘을 엑시머 레이저 어닐 등의 용융재결정화법을 이용하여 결정화한 다결정 Si이다. 이 수법을 이용하면 다결정 Si 박막을 유리 연화(軟化)온도 약 450℃보다 낮은 온도에서 형성 가능하므로, 매우 염가(廉價)인 TFT를 형성할 수 있다는 이점이 있다. 그러나 지금까지의 저온 다결정 Si는 고온 다결정 Si와 비교해 작은 입경의 다결정 Si막에 형성할 수 없었다. 이 때문에, 저온 다결정 Si를 소자재(素子材)로 한 TFT는 입계에서의 캐리어 산란이 크고, 전하이동도는 30 ~ 50cm²/(V·s)정도로 한정되어 있다. 이와 같은 작은 전하이동도에서는 필요로 되는 소자속도에 도달할 수 없으므로, 한장의 유리기판 위에 형성할 수 있는 소자의 종류가 제한된다는 문제가 일어난다. 예를 들면, 화상표시장치의 경우에는, 화소부는 유리 위에 형성할 수 있으나 그 이외의 소스 드라이버, 게이트 드라이버, 시프트레지스터, 주변 컨트롤러 등의 주변회로는 종래의 프린트기판 위에 형성하고, 이것을 유리기판과 케이블단자로 접속하여 사용하지 않으면 안된다. 이와 같은 방법에서는 화면 사이즈가 작게(4인치 ~ 10인치)될 뿐 아니라, 장치 전체의 코스트가 높게 되어 버린다는 문제가 있었다.
- <22> 한편, 극히 최근에서는 저온 다결정 Si를 대입경화(大粒徑化)하고, 또 결정입의 위치를 제어하기 위한 여러가지 기술이 제안되어 오고 있다. 절연체기판 위에 섬 모양 패턴으로 이루어지는 결정성장핵을 형성하고, 그 위에 비정질 Si를 고상성장(固相成長)시키는 기술(특개평 8-316485호), 다결정 Si 위에 비정질 Si의 퇴적층을 형성하여 표면에 노출한 다결정 Si를 다음의 결정성장핵으로 하는 수법(특개평 8-31749호), 부분적으로 결정화한 Si 박막을 이온주입법으로 선택적으로 비정질화하고, 남은 결정부분을 핵으로 하여 재차 결정 성장시키는 수법(특개평 10-55960), Si의 결정화를 조장(助長)하는 금속원소를 비정질 Si막 안에 고온으로 분산시켜 비정질 Si막을 결정화시키는 방법(특개평 9-27452), 레이저 어닐의 조사 에너지와 조사시간을 계단모양으로 변화시키는 방법(특개평 10-97993), 단차가 형성된 절연기판 위에 제 1의 비정질 Si막을 형성하고, 24시간 가열처리하여 단차 측면부에 배향성이 일치한 제 1의 다결정 Si막을 형성한 후, 그 위에 형성한 제 2의 비정질 Si막을 재차 24시간 가열처리하는 것에 의해 배향성과 결정입계의 위치가 제어된 대입경의 제 2의 다결정 Si막을 형성하는 방법(특개평 8-288515) 등이다.

발명이 이루고자 하는 기술적 과제

- <23> 그러나, 이들 수 많은 시험에도 불구하고, 결정입경을 크게하려고 하는 상기의 결정화법에서는, 충분히 결정성이 좋은 저온 다결정 Si를 재현성 좋게 얻는데에는 도달하지 않았으며, 대량 생산상에 아직도 문제가 많다. 예를 들면, 결정입경을 크게하여도 이들 결정입의 위치 어긋남에 의한 TFT 소자간의 특성 편차를 억제할 수

없다. 또, 형성되는 다결정의 면방위도 무질서하므로, 면방위에 의존하는 전자이동도가 TFT 소자 사이에서 일정치 않다는 문제가 있다. 그 때문에 많은 TFT를 집적한 대규모의 박막 반도체 집적회로장치의 제조수율에 큰 영향을 미치게 되며, 특히 대화면의 액정표시장치의 양산에 적용하는 것이 어렵다. 또, 상기 한 바와 같이 배향성과 결정입계의 위치를 제어하기 위한 종래의 결정화 프로세스는 장시간의 처리를 요한다. 이 때문에 아직 까지도 양산상 제조공정 수의 증대, 특성 편차, 수율 저하 등의 문제가 있으며, 특히, 15인치 이상의 대화면의 액정표시장치 실현의 과제로 되어 있다.

<24> 본 발명은 지금까지와는 전혀 다른 발상에 기초한 새로운 TFT 등의 반도체장치의 구조 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<25> 상기 한 바와 같이 종래는, 결정입계에 의한 전기적 특성으로의 영향을 회피하기 위해 다결정 박막의 결정의 입경을 크게하여 입계를 될 수 있는 한 작게하고, 그것을 TFT 소자의 활성영역에 사용하려고 하는 어프로치이었다. 그것에 비해, 본 발명은 그것과는 전혀 다르며, 오히려 다결정 특유의 결정입계 그것을 적극적으로 활성영역으로 활용하려고 하는 전혀 새로운 어프로치를 토대로 한 것이며, 다이아몬드 구조의 {111} 쌍정(雙晶)에서는 서로 미결합수(dangling bond)를 가지지 않는 정합조건에서 복수의 결정입을 접합할 수 있는 것에 착안하여, 이 쌍정경계(입계)에서 접합된 다결정입으로 구성된 반도체영역을 TFT 등의 반도체장치의 활성영역을 구성하는 채널부에 적용하려고 하는 것이다.

<26> 이하에 본 발명의 실시형태에 관해서 도면을 참조하여 상세하게 설명한다. 도면 중, 동일한 기능 또는 의미를 가지는 부분에는 동일한 번호를 붙여, 그 반복의 설명은 생략한다.

<27> 실시형태의 설명 전에 먼저 {111} 쌍정에 관해서 설명한다. 또 본 명세서에서는 면방위 (110), (101), (011)와 같이 결정학적으로 등가인 면방위군(群)을 정리하여 {110}으로 기록하고 있다. 따라서 {111} 쌍정이란 모든 (111)과 등가인 면방위에서의 쌍정을 포함한다. 또 간단하게 하기 위해 이하는 실리콘(Si)을 예로 하지만, C, Si, Ge, Sn 또는 Pb의 IV족 원소의 결정, 또는 그들 원소의 혼합물로 이루어지는 혼정(混晶)에 관해서도 동일한 것이 성립된다.

<28> 도 1은 TFT의 게이트전극에 의해 덮여 있는 Si 박막의 표면부, 즉 채널부분에서의 결정격자의 배열상태를 확대하여 표시한 채널부의 평면도이다.

<29> 도 1의 (A)는 본 발명과 비교하기 위해 그린 단결정 Si의 결정격자의 도면으로, 지면(紙面)과 {110}면이 평행하게 되도록 그려져 있다(이하도 동일함). 단결정 Si에는 도면의 점선과 같이, 2개의 등가인 {111}면이 존재하며, 서로 예각 70.5° (또는 둔각 109.5°)으로 교차하고 있다.

<30> 도 1의 (B)는 본 발명의 Si {111} 쌍정입계(101) 부근의 결정격자의 도면이다. 결정입(104)에 대해, 결정입(103)을 70.5° 기울여 결합하면, 서로 {111}면이 정확히 정합성 좋게 맞으며, 미결합수를 발생시키지 않고 입계를 형성할 수 있다. 다이아몬드 구조에서 채널을 형성할 수 있을 정도로 충분히 넓은 면적에서 이와 같이 정합하는 결정면은 {111} 뿐이다.

<31> 도 1의 (C)는 Si의 비쌍정입계(102) 부근의 결정격자의 도면이다. 결정입(103)과 결정입(104)이 상기 70.5° 이외의 각도로 결합한 경우, 입계에는 다수의 결정결합, 결정변형, 미결합수가 발생한다. 이들의 흐트러짐이 산란포텐셜로서 작용하여, 채널을 통과하는 전자의 이동도를 저하시킨다. 통상 다결정의 경우 이 입계산란이 이동도저하의 주 요인이며, 단결정에서의 이동도 약 500 [cm²/Vs]를 30 ~ 50 [cm²/Vs]까지 저하시켜 버린다.

<32> 한편, 이것에 비해 도 1의 (B)에 나타내는 {111} 쌍정입계(101)의 경우, 결함, 변형, 미결합수는 존재하지 않고, 격자의 대칭성 저하에 따른 약간의 밀도 저하가 작용할 뿐이며, 이 때문에 이상적인 {111} 쌍정이라면, 거의 단결정의 그것과 동등한 약 350 ~ 500 [cm²/Vs]의 전자이동도를 실현할 수 있다.

<33> 도 2a, 도 2b 및 도 2c는 본 발명의 쌍정입계(101) 중, 복수의 결정입에 걸치는 경우의 형성패턴(결정격자도면)을 열거한 것이다.

<34> 도 2a의 (A)와 같이, 2개의 결정입(103, 104) 사이의 쌍정입계(101)가 도중에 끊어지는 경우, 나머지의 입계부분은 상기 도 1의 (C)의 비쌍정입계(102)가 된다. 본 발명에 있어서는, 이와 같은 비쌍정입계가 채널부에는 존재하지 않는 쪽이 바람직하지만, 본 발명의 원리상은 채널형성부에 쌍정입계(101)에서 접합된 전류통로가 소스전극과 드레인전극과의 사이를 연결하도록 적어도 하나 존재시켜 두면 좋고, 비쌍정입계(102)가 다결정 박막중

에 부분적으로 존재하고 있어도 좋다. 왜냐하면 TFT의 채널부에서는, 가장 저항이 적은(다시 말하면, 산란포텐셜이 작은) 전류통로를 집중적으로 전자와 같은 캐리어가 흐르기 때문에, 이 도면에 있어서는 쌍정입계(101)의 상부표면이 채널이 되며, 비쌍정입계(102)의 영향은 거의 받지 않기 때문이다. 비쌍정입계(102)의 방향은 임의이고, 또 복수의 비쌍정입계(102)가 다중으로 복합하고 있어도 상관없다.

<35> 도 2a의 (B)에 나타내는 바와 같이, 3개의 결정입(103, 104, 105)의 접합, 본 발명의 2개의 쌍정입계(101)가 109.5°의 각도로 연결됨으로써, 결정입(103, 104) 사이를 결정입(105) 및 정합격자를 구성하는 쌍정경계(101)에서 연결하는 것이 가능하므로, 본 발명에 관계되는 특성이 좋은 전류경로를 형성할 수 있다. 단, 이 경우, 결정입(103에서 104)을 경유하여 105에 도달하는 경로에는 반드시 비쌍정입계(102)가 존재하게 된다. 이와 같은 경우, 102를 통한 결정입(103, 104) 사이의 전류통로의 전자이동도는 저하하지만, 결정입(103, 105) 사이 및 결정입(105, 104) 사이는 쌍정입계에서 접합하고 있으므로, 종합적으로는 소자의 전기적특성의 편차의 범위내에서도 2a의 (A)의 경우와 같이 본 발명의 양호한 채널을 형성할 수 있다. 이 도면의 구조는 쌍정입계(101)의 109.5°를 가지는 모든 꺾어진 점에서 성립한다.

<36> 도 2a의 (C)는 3개의 결정입의 접합에 성립하는 다른 하나의 구조로서, 본 발명의 2개의 쌍정입계(101)가 70.5°의 각도로 연결되는 경우를 나타내고 있다. 이것도 도 2a의 (B)와 동일한 효과를 얻을 수 있다. 본 발명의 쌍정입계(101)의 꺾어진 점의 각도는 상기 109.5°이든 이 70.5° 2가지 뿐이다. 도 2b의 (D)에 4개의 결정입(103, 104, 105, 106)의 접합에서, 본 발명의 3개의 쌍정입계(101)가 서로 109.5°의 각도로 연결되므로써 4개의 결정입에 걸친 연속한 정합격자를 구성한 예를 나타낸다. 단, 이 경우도 도 2a의 (B)와 같이 반드시 비쌍정입계(102)가 동반된다.

<37> 도 2b의 (E)에 나타내는 바와 같이, 4개의 결정입의 접합구조로서, 본 발명의 쌍정입계(101)가 70.5°의 각도로 연결되는 것도 허용된다. 본 도면에서는 3개의 쌍정입계(101)가 모두 70.5°로 접합한 일례를 나타냈지만, 그중 하나의 각도가 109.5°가 되는 구조도 허용된다. 이것도 도 2b의 (D)와 같은 효과를 얻을 수 있다. 본 발명의 4개의 결정입의 접합에서의 쌍정입계(101)의 꺾어진 점은 상기 (D)와 이 구조 2가지 뿐이다.

<38> 도 2c의 (F)에 나타내는 바와 같이, 5개의 결정입(103, 104, 105, 106, 107)의 접합에서 본 발명의 4개의 쌍정입계(101)가 서로 70.5°로 연결됨으로써 5개의 결정입에 걸치는 연속한 정합격자를 구성할 수 있다. 단, 이 경우도 도 2a의 (B)와 같이 반드시 비쌍정입계(102)가 동반된다.

<39> 도 2c의 (G)에 나타내는 바와 같이, 5개의 결정입(103, 104, 105, 106, 107)의 접합에서, 본 발명의 5개의 쌍정입계(101)가 서로 72.0°로 연결됨으로써, 특이하게 5개의 결정입 모두에 걸치는 연속한 정합격자를 구성할 수 있다. 단 이 경우, 5중점 근방의 결정격자에는 70.5°의 경우에 비해 인장 변형 예를 들면, 5중점에서 멀어짐에 따라 큰 면내 인장 변형이 생긴다. 이 구성의 경우, 모든 결정입을 채널로서 작용시킬 수 있다.

<40> 이상, 복수의 결정입이 쌍정경계에서 접합된 전류통로의 여러가지 형태를 설명 했으나, 상기한 바와 같이 그와 같은 전류통로가 소스와 드레인과의 사이를 연결하도록 적어도 하나 설치함으로써, 다결정의 결정입경이 그다지 크지 않아도 후술하는 바와 같이 260 ~ 500[cm²/Vs]이라는 높은 전자이동도를 가지는 다결정의 반도체 활성영역을 저온처리로 재현성 좋게 얻을 수 있다. 또, 적어도 260[cm²/Vs]이상의 전자이동도를 가지고 있으면 다수의 TFT소자 및 그들을 집적한 박막집적회로장치를 약간의 특성 편차의 범위 내에서 수율 좋게 제조할 수 있다.

<41> 이하, 본 발명의 실시예에 관한 설명을 행한다.

<42> (실시예 1)

<43> 도 3의 (A)는 본 발명의 제1 실시예에 관한 박막 반도체장치(TFT)의 주요부를 설명하기 위한 도면이며, 도 3의 (A)의 a는 도 3의 (A)의 b에서의 절단면(9)에 따라 묘사한 TFT의 단면도, 도 3의(A)의 b는 도 3의 (A)의 a에서의 절단면(8)에 따라 묘사한 평면도이며, 이것은 TFT의 채널부 즉, 박막 반도체층의 표면을 나타내고 있다 (도 3의 (B) 및 도 4의 (A), (B)도 동일함). 절연체기판(1) 상에 막두께 10 내지 150nm의 다결정 Si 박막(2)을 가진다. 이 다결정막(2)은 소스영역(4), 드레인영역(5), 채널부(3)(길이 약 5μm, 폭 약 2 ~ 3μm)를 가지고, 이 채널부(3) 상에는 SiO₂로 이루어지는 게이트 절연막(6), 게이트전극(7)이 형성되어 있다. 게이트전극 바로 밑의 채널(3)은 이 게이트전극과 협동관계를 가지고 동작하는 소위 전계효과 트랜지스터의 활성영역(즉, 능동영역)이며, 전류밀도가 가장 크다. 이 실시예에서는 다결정 Si 박막(2)은 다이아몬드 구조의 {111} 쌍정입계(101)에서 접합된 복수의 Si 결정입으로 이루어지는 것을 특징으로 한다. 그것은, 소스(4)와 드레인(5)을 연결하는 하나의 전류경로를 생각할 경우, 이 경로를 가로지르는 입계가 쌍정입계(101)이며, 그와 같은 경로가 채널 중에서 적어도 하나 있으면, 그 이외의 입계가 비쌍정입계(102)라도 관계없다. 본 실시예는 이와 같은 결정

구조를 지니므로써, 소스와 드레인 사이의 채널을 흐르는 전류를 대개 그 경로에 따라 집중시킴으로써, 비쌍정 입계(102)에서 받는 산란포텐셜을 대폭 저감하고, 단결정 Si에 필적하는 고전자이동도를 실현할 수 있다. 또한, 이와 같은 의미에서, 본 발명자는 이 쌍정입계에서 접합된 복수의 결정입으로 구성된 결정을 「의사단결정」이라 부르기로 했다.

<44> 또한, 적어도 하나의 전류통로를 쌍정입계에서 접합된 복수의 결정입으로 구성한 경우로 설명했지만, 상기 한 것으로부터 이해되듯이 게이트 절연막 바로 밑의 반도체층의 활성영역 표면의 거의 전부에 걸쳐 쌍정입계에서 접합된 복수의 결정입으로 구성한 경우가 가장 바람직하다.

<45> (실시예 2)

<46> 도 3의 (B)는 본 발명의 제2 실시예에 관한 박막 반도체장치의 주요부를 설명하는 도면이다. 본 실시예에서는 절연체기판(1) 상에 막두께 10 ~ 150nm의 다결정 Si 박막을 반복하여 다수층(다결정막 10, 11, 12) 가지는 것을 특징으로 한다. 각 층은 일단 비정질로서 퇴적된 후, 각 층마다 열처리에 의해 결정화되어 있다. 이와 같이 함으로써, 하층의 입계나 결정결합이 그것보다 상층으로 전파되기 어렵게 되어, 결과로서 상층으로 감에 따라 입계밀도가 저하한다는 이점이 있다. 그리고 도 3의 (A)에서도 설명한 바와 같이, 최상층(12)의 다결정입 사이의 거의 혹은 모든 입계를 쌍정입계(101)로 함으로써, 도 3의 (A)와 같은 1층의 경우보다도 보다 높은 전자이동도를 가지는 채널을 실현할 수 있다.

<47> (실시예 3)

<48> 도 4의 (A)는 본 발명의 제3 실시예에 관한 박막 반도체장치(TFT)의 주요부를 설명하기 위한 도면이다. 절연체기판(1) 상에 막두께 10 ~ 150nm의 Si 박막(2)을 가진다. 이 막(2)은 대개 비정질 Si에 의해 형성되며, 막중에 가지 모양의 결정(14)을 가진다. 이 가지 모양 결정(14)은 막(2)의 막두께를 가지고 횡방향으로 연재하는 경우가 많지만, 이 막두께보다도 얇은 두께를 가지고 횡방향으로 연재하고 있는 경우를 도시하고 있다. 또, 온도나 시간 등의 가열처리조건에 의해 가지의 폭이나 길이를 제어할 수 있다. 그리고, 본 실시예에서의 상기 가늘고 긴 결정의 가지는 기판면에 거의 평행한 {110}면과 가지의 장축에 수직인 {111}면을 가지고, 한개의 직선적인 단결정 혹은 그 단결정에서 분기한 복수개의 다결정입으로 되어 있다. 단 분기하고 있는 경우, 가지끼리가 대개 39.0°, 70.5°, 109.5° 중 어느 하나의 각도로 접합하고, 접합면이 대개 쌍정입계(101)로 되어 있는 것을 특징으로 한다. 이 박막(2)에 소스(4), 드레인(5), 채널(3) 및 채널(3) 상에 게이트 절연막(6), 게이트(7)를 가진다. 소스(4)와 드레인(5)을 연결하는 하나의 전류통로(경로)를 생각할 경우, 그 경로는 가지 모양 결정(14)에 따른 굴곡선으로 되며, 그 경로를 가로지르는 입계가 대개 쌍정입계(101)이며, 그와 같은 경로가 채널 중에 적어도 하나 있다. 이와 같은 가지가 하나 있으면, 그 이외의 채널부 혹은 Si층은 비정질인 그대로라도 관계 없다. 본 실시예는 채널을 통하는 전류를 대개 그 가지 모양 결정(14) 상의 경로에 집중시킴으로써, 비정질(13) 혹은 비쌍정입계(102)에서 받는 전자 산란포텐셜을 대폭 저감하고, 단결정 Si에 필적하는 고전자이동도를 가진 TFT소자를 실현할 수 있다.

<49> (실시예 4)

<50> 도 4의 (B)는 본 발명의 제4 실시예에 관한 박막 반도체장치의 주요부를 설명하기 위한 도면이다. 본 실시예에서는 절연체기판(1) 상에 막두께 10 ~ 150nm의 Si 박막을 반복하여 다수층(막 10, 11, 12) 가지는 것을 특징으로 한다. 각 층은 일단 비정질로서 퇴적된 후, 각 층마다 열처리에 의해 결정화 되어 있다. 이와 같이 함으로써, 하층에서 다수로 분기한 가지 모양 결정(14)의 입계나 결정결합이 그것보다 상층으로 전파되기 어렵게 되어, 결과로서 상층으로 감에 따라 폭 넓고 결정성 좋은 가지 모양 결정을 형성할 수 있다는 이점이 있다. 이와 같이 하여 얻어진 양질의 최상층(12)에, 소스(4), 드레인(5), 게이트 절연막(6), 게이트(7)를 형성하면, 채널(3)의 가지 모양 결정 상의 어떤 경로에 있어서는 거의 혹은 모든 입계를 쌍정입계(101)로 할 수 있다.

<51> (실시예 5)

<52> 도 5a 및 도 5b는 본 발명의 제5 실시예에 관한 박막 반도체장치를 설명하기 위한 평면도이며, 결정성장핵 금속의 배치패턴에 대응하여 (A) ~ (F)에 도시되어 있다.

<53> 여기서 결정성장핵 금속의 작용에 관하여 약간 설명한다. 또 본 실시예에서의 성장핵금속의 재질은 금속(M)(Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ru, Rh, Pd, Ag, Os, Ir, Pt, Au 중 어느 하나 혹은 그들의 합금), 혹은 그 금속(M)과 상기 IV족 원소의 화합물 MxAy(A는 상기 IV족 원소, x와 y는 M과 A와의 혼정비), 혹은 그 금속(M)과 그 IV족 원소의 적층구조로 이루어진다. 먼저 Si 박막을 일단 비정질로 형성하고, 그 위에 상기 성장핵금속을 형성한 후에 전체를 열처리하면, 이 성장핵금속에서 확산한 금속원자가 Si중에서 핵이 되며, 저온(약 450

℃)에서 규화금속핵을 형성한다. 성장핵금속은 Si 박막 표면으로의 퇴적이라도, Si 박막과 절연기판과의 사이에 퇴적시켜도 된다. 또 Si 박막의 일부를 치환한 것이라도 상관없다. 형성된 규화금속은 주변의 비정질 Si를 취입(取入)하여 차례차례로 결정 Si를 형성하는 성질이 있다. 규화금속 자신은 항상 비정질과 결정과의 계면에 존재하고, 결정결함에 취입되지 않는 한, 그대로 연속적으로 결정화를 계속 매개시킨다. 이 규화금속이 소모하지 않는 한, 결정화는 성장핵금속이 진행하는 방향에 향하여 시간과 온도에 의해 결정되는 활성화과정으로 진행해 간다. 충분히 장시간의 열처리를 행하면, 채널보다 넓은 면적을 결정화하는 것도 가능하고, 그와 같이 하여 얻어진 다결정 박막은 규화금속을 거의 포함하지 않고, 면방위가 대개 쌍정입계에 일치시킬 수 있다. 본 실시예는 이상의 현상을 이용하는 것이다.

<54> 먼저, 도 5a의 (A) ~ (C)를 설명한다. 각 도면은 본 실시예의 박막 반도체장치의 상면 평면도이다. 각 도면 모두, 소스(4)는 소스컨택트(15)를 통하여 소스배선(16)과, 또 드레인(5)은 드레인컨택트(17)를 통하여 드레인배선(18)과 또한 게이트(7)는 게이트컨택트(19)를 통하여 게이트배선(20)과 각각 접속되어 있다.

<55> (A) 채널(3)과 평행하게 게이트(7)에서 조금 떨어진 위치의 반도체층 상에 성장핵금속(21)이 형성되어 있다. 이와 같이 함으로써 성장핵금속(21)을 장대화할 수 있고, 예를 들면, 채널의 길이(L) 혹은 소스·드레인영역도 포함한 길이에 걸쳐 성장핵금속층을 설치함으로써, 채널(3)영역을 단시간에 일정하게 결정화할 수 있는 이점이 있다.

<56> (B) 채널부(3)를 둘러싸듯이 그 사방에 성장핵금속(21)을 분산시킨 경우이다. 이와 같이 함으로써 채널(3)에서의 다결정형성을 등방적으로 행할 수 있다. 그 결과 트랜지스터 특성의 편차를 줄이는 이점이 있다.

<57> (C) 소스(4), 드레인(5)의 양단 외측에 성장핵금속(21)을 형성한다. 이것은 성장핵금속(21)에서 연장한 가지 모양 결정으로, 소스(4)와 드레인(5)과의 사이를 연결하고, 그것을 채널로서 이용하는 경우에 적용할 수 있다.

<58> 상기 설명에서도 이해되듯이, 본 실시예에서는 결정성장핵 금속을 실질적으로 채널부(3) 위에는 설치하지 않고, 예를 들면 채널형성부(즉 활성영역) 이외의 반도체층 위에 설치함으로써, 반도체층의 얇은 두께를 이용하여 채널부의 외부에서 내부방향으로 결정성장을 진행시킬 수 있으므로, 면방위를 대개 상기한 바와 같은 쌍정입계에 일치시킬 수 있다. 이것에 대해, 채널부에 비해 수직방향으로 즉 반도체층의 막두께방향으로 결정성장시키면, 상기한 바와 같은 발명에 관한 다결정입계를 가진 것을 형성할 수 없다.

<59> 다음에, 결정화의 가열처리 시간을 짧게 하는 것을 주안으로 한 이 이외의 배치 패턴의 예를 도 5b의 (D) ~ (F)에서 설명한다.

<60> (D) 성장핵금속(21) 자신으로, 소스와 드레인을 형성한 경우이다. 이것은 형성프로세스를 최단화할 수 있는 이점이 있으나, 바른 오믹 콘택트를 취하는 재료가 Ti, Ni, Pt, Au 등의 금속에 한정되어 버린다는 문제가 있다. 이 대책으로서는 이 위치에 성장핵금속층을 설치하여 결정화처리를 한 후에, 이 금속층을 제거하여 통상의 전극 재료를 피착하는 것을 생각할 수 있다.

<61> (E) 게이트(7)의 바로 밑에 성장핵금속(21)을 형성하는 경우이다. 실장 치수를 작게 하고, 또 채널(3)을 단시간에 결정화할 수 있는 이점이 있으나, 반면 게이트 절연막의 특성에 따라서는 리크전류가 발생할 염려가 있다. 이 경우도, (D)와 같이 결정화처리 후, 이 금속층을 제거하는 것이 바람직하다.

<62> (F) 채널(3) 내 혹은 그 상부에 성장핵금속(21)을 형성하는 경우이다. 결정성장에 요하는 시간과 실장 치수의 양쪽을 최소화할 수 있는 이점이 있다. 이 예에서는 성장핵금속으로 덮여 있지 않은 채널부가 상당히 남겨져 있으므로, 앞서 설명한 바와 같이 이 성장핵금속 부분에서 그 주변에 횡방향으로 결정이 성장한다. 그러나 이것도 (E)와 같이, 재료의 특성에 따라 리크전류를 발생시킬 염려가 있다.

<63> (실시예 6)

<64> 도 6은 본 발명의 제6 실시예에 관한 박막 반도체장치를 설명하는 도면이다. 본 실시예는 성장핵금속(21)과 채널(3)과의 사이에 병목부(협착부)(22)를 가지고, 그 병목부는 다결정 박막(2)의 일부를 삭제한 오목부(凹部) 혹은 일부를 다른 재료로 치환한 영역으로 이루어지며, Si 박막(2)의 단면적은 병목부(22)의 부분에서 다른 것과 비교하여 작게 되어 있고, 그 작은 단면적 부분을 통하여 성장핵금속(21)과 채널(3)이 접속되어 있는 것을 특징으로 한다.

<65> (A)는 본 실시예의 반도체 박막장치의 부감도이다. 병목부(22)는 Si 박막(2)의 일부를 파내려간 오목부로 이루어져 있다. 즉, 병목부는 반도체 박막을 그 밖의 부분에 비해 부분적으로 그 두께 혹은 폭을 작게 하는(즉, 단면적을 작게 한다)것이며, 이 오목부를 다른 재료(예를 들면, 질화규소막을 이용한 통상의 선택산화처리에 의한

SiO₂ 등)로 치환하여도 동일한 효과를 얻을 수 있다.

- <66> (B), (C), (D)는 이 박막 반도체장치의 종단면도(상단의 B), 평면도(중단의 C), 및 절단면(8)에서의 Si층 표면부에서 본 평면도(하단의 D)이다. 병목부(22)에 의해 절단된 오목부에 의해, 다결정 박막(2)은 상당히 얇은 상태로 성장핵금속(21)이 있는 영역과 연결하고 있다. 이 다결정 박막(2)을 일단 비정질로 형성하고, 성장핵금속(21)을 퇴적한 후에 열처리를 행하면, 전술한 바와 같이 성장핵금속(21)에서 결정성장이 진행된다. 이 결정성장은 병목부(22)에 도달하면, 그 얇은 병목부(22)의 아래의 막중을 더욱 앞서 진행하지만, 이때 성장하고 있는 결정 중에 약간 면방위가 다른 것과 다른 결정입이 있으면, 그것은 이 얇은 막중에서 상하 어느 한쪽의 표면에 부딪쳐 성장이 멈춰버린다. 이것에 의해, 병목부(22)를 통과한 결정입은 보다 면방위가 일치한 것만으로 구성되게 된다. 이와 같이 함으로써, 채널형성 영역(3)에 도달하는 결정입의 결정성을 향상시켜 결과로서 채널형성 영역(3)이 보다 쌍정입계(101)에서 형성되도록 하는 효과가 있다.
- <67> 또한, 상기한 병목부(22)는 TFT소자 주요부를 형성한 후에도, 그 상부를 배선영역으로 이용하기 위해서, 혹은 소자의 전기적특성을 측정하기 위해 그대로 남겨두는 것이 좋다.
- <68> (실시예 7)
- <69> 도 7은 본 발명의 제7 실시예에 관한 박막 반도체장치를 설명하는 도면이다. 본 실시예는 상기 실시예(6)와 같이 성장핵금속(21)과 채널(3)과의 사이에 병목부(23)를 가지고, 그 병목은 다결정 박막(2)의 일부를 삭제한 오목부 혹은 일부를 다른 재료로 치환한 영역으로 이루어지는 것은 동일하다.
- <70> (A)는 본 실시예의 조감도이며, 성장핵금속(21)에서 채널(3)로의 하나의 경로를 남기고, 다른 절연체기판(1)까지 다결정 박막(2)의 전부를 제거하고 있다.
- <71> (B)는 본 실시예의 반도체장치의 단면도(상단의 B), 평면도(중단의 C) 및 절단면(8)에서의 반도체층 표면에서 본 평면도(하단의 D)이다. 병목부(23)에 의해 형성된 오목부에 의해, 다결정 박막(2)은 매우 좁은 영역에서 성장핵금속(21)이 있는 영역과 연결하고 있다. 이 다결정 박막(2)은 일단 비정질로 형성하고, 성장핵금속(21)을 퇴적한 후에 열처리를 행함으로써, 전술한 바와 같이 성장핵금속(21)에서 가지 모양 결정을 하여 형성할 수 있다. 이 결정성장은 병목부(23)에 도달하면, 그 좁은 병목부(23)를 더욱 앞서 진행하지만, 이때 성장하고 있는 가지 모양 결정 중에서 약간 성장방향이 다른 것과 다른 결정입이 있으면, 좁은 막중에서 좌우 어느 한쪽의 벽에 부딪쳐 성장이 멈춰버린다. 이것에 의해, 병목부(23)를 통과한 가지 모양 결정입은 보다 성장방향이 일치된 것만으로 구성되게 된다. 이와 같이 함으로써, 채널(3)에 도달하는 가지 모양 결정의 방향과 결정성을 향상시켜, 결과로서 채널(3)이 보다 쌍정입계(101)에서 형성되도록 하는 효과가 있다.
- <72> 도 8은 본 발명의 박막 반도체장치의 제조과정을 설명하는 도면이며, 예로서 결정성장핵 금속(21), 병목부(22), 복수층의 다결정 박막(10 ~ 12)을 가지는 장치의 경우를 나타낸다.
- <73> (A) 절연체기판(1) 상에, CVD법을 이용하여 실온에서 Si를 퇴적함으로써, 비정질의 박막(10)을 두께 약 50nm의 두께로 형성한다. 그 위에 레지스트도포, 포토마스크노광, 현상, 에칭, 증착이라는 통상의 패턴형성 프로세스에 의해 두께 5nm, 폭 1nm, 길이 10nm의 결정성장핵 금속(21)을 형성한다. 이 금속으로서로는 전술한 바와 같은 각종 금속재료를 이용해도 좋으나, 본 실시예에서는 니켈(Ni)을 증착한 경우로 설명한다.
- <74> (B) 다음에 상기 패턴형성 프로세스와 같은 방법(단 증착은 행하지 않는다)으로 병목부(22)를 형성한다. 이때 에칭액농도, 에칭시간을 제어하고, 병목부(22)의 오목부의 깊이를 약 3 ~ 4nm로 한다. 병목부(22)와 성장핵금속(21)과의 거리는 약 1μm로 한다.
- <75> (C) 질소분위기중에서, 온도 약 450℃, 약 24시간의 열처리를 행하고, 박막(10)을 결정화시킨다. 이것에 의해, 성장핵금속(21)에서 병목부(22)의 오목부 아래를 거쳐 약 30μm 결정화가 일어나고, 박막(10)이 쌍정입계(101)와 비쌍정입계(102)를 포함한 다결정으로 된다. 또한, 이 공정에서는 가열온도의 범위는 360 ~ 600℃가 바람직하고, 처리조건을 제어함으로써 10시간 이내, 예를 들면 5시간 정도의 짧은 가열처리에 의해서도 본 발명에 의한 소망의 결정입계에서 접합된 다결정 박막을 얻을 수 있다.
- <76> (D) 이어서 이 박막(10) 위에, (A)와 같은 방법으로 비정질의 Si 박막(11)을 형성한다. 이때 박막(11)은 성장핵금속(21)과 접촉하지 않도록 한다.
- <77> (E) 이어서 (C)와 같은 방법에 의해, 박막(11)을 결정화시킨다. 박막(11)은 베이스 박막(10)의 계면에서 결정화하지만, 성장속도가 빠른 결정입이 먼저 표면에 도달하고, 성장속도가 느린 결정입은 다른 결정입에 성장을 방

해받아 그 이상 크게 될 수 없다. 이 때문에, 박막(11)의 표면부근은 박막(10)의 표면 부근에 비해 각각의 결정 입이 크게 된다. 따라서 쌍정입계(101) 및 비쌍정입계(102)의 밀도도 작게 되고, 보다 넓은 단결정영역을 가지도록 된다.

- <78> (F) 또한 (D) ~ (E)의 프로세스를 반복하여, 다결정 박막(12)을 형성하고, 그 위에 비소(As) 또는 붕소(B) 이온 주입 및 열활성화에 의해, 소스(4), 드레인(5)을 형성한다.
- <79> (G) 다결정 박막(12) 표면을 열산화법에 의해 산화하고, 게이트 절연막(6)을 형성하며, 그 위에 A1을 패턴형성 프로세스에 의해 퇴적함으로써 게이트(7)를 형성한다.
- <80> (H) 마지막으로 소스(4), 드레인(5), 게이트(7) 위에 각각 소스 콘택트(16), 드레인 콘택트(18), 게이트 콘택트(20)를 A1에 의해 배선함으로써 박막 반도체장치를 형성한다.
- <81> 또, 상기 제조과정에 있어서, 특히 결정화 프로세스의 처리조건을 제어함으로써, 예를 들면 가열시간을 24시간 이상으로 길게함으로써, (111) 쌍정에 의해 다른 결정입과 접합한 입경이 큰 결정입을 만들 수도 있다. 단, 완성된 소자간의 특성의 편차를 억제하는 데에 있어서는 전술한 바와 같이 그 정도 결정사이즈, 즉 입경을 크게 하는 것은 중요하지 않다.
- <82> 도 9는 본 발명의 박막 반도체장치를 적용함으로써 달성되는 이점을 설명하기 위한 도면이다.
- <83> (A) 종래의 화상표시장치는 석영 혹은 유리기관의 화상표시패널(24) 위에 비정질 Si를 이용하여 화소(25)를 형성하고 있다. 그리고 시프트레지스터(27), 디지털아날로그 컨버터(28), 버퍼앰프(29) 등의 데이터제어에 사용하는 주요 주변회로 부분은 통상의 Si 단결정기관 위에 형성한 개별의 반도체 패키지를 통상의 회로기관에 설치함으로써 데이터드라이버(26)로서 외장 구성하고, 화상표시패널(24)과의 사이는 단자(32)를 통하여 접속하고 있다. 동일한 것은 게이트 제어용의 시프트레지스터(31)와 게이트드라이버(30) 등의 주변회로에도 적합하다. 이와 같은 구성은 데이터드라이버(26)와 게이트드라이버(30)에 필요하게 되는 동작속도가 비정질 Si의 전하이동도에서는 달성 불가능한 것이 원인이었다. 이와 같은 구성에서는 화면사이즈가 제한됨과 동시에 장치코스트가 증대한다는 결점이 있다.
- <84> (B)는 본 발명의 박막 반도체장치를 이용한 경우의 액정화상 표시장치이다. 전하이동도가 260 ~ 500[cm²/Vs]의 저온다결정 Si 박막을 이용함으로써, 대면적의 유리기관 위에 주요한 회로를 작은 전기적특성 편차를 가지고 집적화할 수 있다. 이 때문에 종래의 버퍼앰프 등 단자증폭 목적의 회로는 일부 생략할 수 있고, 대화면의 화상표시장치를 형성할 수 있다. 또한 저코스트의 유리기관을 이용하여 수가 적은 공정에 의해 제조할 수 있다는 이점이 있다.
- <85> 도 10은 본 발명을 이용하여 유리기관 위에 형성하는 주변회로부용 반도체 박막집적회로장치의 패턴형성 예의 평면도를 나타낸 것이다.
- <86> (A)는 실시예 5에서의 도 5a의 (A)를 고집적도로 조립한 예로, 게이트패턴(33), 소스패턴(34), 드레인패턴(35)과 함께, 결정성장핵 금속패턴(21)을 형성한다. 각 트랜지스터의 채널부는 연속적으로 결정성장핵 금속(21)에 의해 쌍정입계를 포함한 형태로 결정화된다. 도 5a 및 도 5b에서 설명한 바와 같이, 결정성장핵 금속(21)을 복수의 TFT소자의 사이(보다 구체적으로는 소자의 게이트전극 7과 7'와의 사이)에, 즉 복수의 소자의 채널영역 사이에, 이들 채널 형성영역을 제외하는 반도체 박막층에 설치하면 좋다. 본 도면에 나타내는 바와 같이 설치함으로써, 다수의 TFT 사이의 특성 편차를 적게 할 수 있다. 또한, 도 6, 도 7에서 설명한 바와 같이, 이들 결정성장핵 금속(21)과 TFT소자와의 사이의 반도체 박막층에 병목부(22, 22')를 복수개 설치해 둠으로써 결정화 특성을 개선할 수 있다.
- <87> (B)는 실시예 5에서의 도 5a의 (C)를 고집적도로 조립한 예로, 주로 가지 모양 결정을 채널로서 사용하는 경우에 적용할 수 있다.
- <88> 이상의 패턴은 일부의 예이며, 실시예 5에서의 도 5의 (A) ~ (F)에 따라 다양한 패턴형상을 갖게 하는 것이 가능하다. 복수개의 결정성장핵 금속(21, 21', 21'')을 설치한 이외는 상기 (A)와 동일하므로 상세한 설명은 생략한다.
- <89> 이상, 본 발명에 관한 각종 실시예를 반도체층의 상부표면에 게이트전극이나 소스, 드레인전극을 배치한 박막 반도체소자를 베이스로 설명해 왔지만, 본 발명은 이들에 한정되지 않고, 다른 구조의 박막 반도체소자 및 그것을 이용한 박막 반도체 집적회로장치에도 적용할 수 있는 것이다. 그 예를 도 11에서 설명한다.

- <90> 도 11은 이러한 박막 반도체소자의 단면도를 나타내는 것으로, (A)에 나타내는 바와 같이, 절연체(1)의 상부에 게이트전극(7)을, 그 표면에 게이트 절연막(6)을 설치하고, 그들의 위에 반도체층(2)을 퇴적시켜, 채널부(능동 영역부)를 구성하는 반도체층 부분을 제외하는 주변부의 반도체층 위에 결정성장핵 금속층(21)을 설치한다. 그 후, (B)에 나타내는 바와 같이, 가열처리를 행하여 이 결정성장핵 금속층에서 측면방향으로 결정을 성장시켜, 게이트전극에 면하는 채널부를 쌍정입계에 의해 접합된 복수의 결정입자로 구성시킨다. 그 후, 상기 성장핵금속층을 제거하고, 소스, 드레인전극(15, 17)을 설치한다. 이와 같은 소자구조에서는 비교적 높은 처리온도를 필요로 하는 게이트 산화막을 형성한 후에 반도체막의 퇴적이나 그 결정화처리를 시키므로, 상당히 자유롭게 제어성 좋고 소망의 특성을 가진 다결정 박막을 만들 수 있다. 또한, 소자표면의 평탄성을 유지한 상태에서 다층으로 반도체층을 퇴적시켜 결정의 특성을 개선하기 쉽게 하므로, 비교적 간단하게 우수한 특성의 박막 반도체장치를 만들 수 있다.
- <91> (C)는 소스, 드레인전극(15, 17)이 절연체 위에 설치되고, 그 위에 반도체층(2)이 퇴적되며, 그 위에 게이트 절연막(6)을 통해 게이트전극(7)이 설치된 박막 반도체장치를 나타내는 것으로, 이 경우는 게이트전극(15, 17)으로서 도 5b의 (D)와 같이 결정성장핵 금속재료를 사용하든지, 또는 상기 도 11의 (A)와 같이 채널형성부 이외의 반도체층(2)의 상부 표면에 이러한 금속층을 피착시켜도 좋다.
- <92> (D)는 게이트전극(7)이 절연체(1) 상에 설치되고, 절연막을 통해 소스전극(15)과 드레인전극(17)이 설치되며, 그들 사이의 게이트전극 상에 게이트 절연막(6)을 통해 반도체층(2)이 형성된 박막 반도체장치를 나타내고 있다. 이 경우도 상기와 같이 본 발명을 적절하게 적용할 수 있는 것은 말할 필요도 없다. 단, 이 예의 경우는 상기 도 11의 (A) 및 (B)에서의 설명과 같이, 게이트 절연막 형성 후에 반도체 박막의 퇴적이나 결정화처리를 행한다. 또, 비교적 저저항의 특성을 필요로 하는 소스, 드레인전극을 형성한 후에 결정화처리를 행하므로, 다른 타입의 박막장치에 비해 반도체층으로의 가열처리의 치밀한 제어를 행하기 쉽다.
- <93> 이상, 본 발명의 각 실시예에서는 특히 전계효과트랜지스터(FET)의 경우에 관해서 설명했으나, 본 발명의 반도체영역을 가지고, 그것을 능동영역(활성영역)으로서 사용하는 것이라면, 그 밖의 반도체소자(예를 들면, 바이폴라소자, 고전자이동도소자(HEMT), 광발진소자 등)라도, 본 발명에 의해 고기능/고성능의 반도체장치 및 그 복합 집적장치를 구성할 수 있다.

발명의 효과

- <94> 본 발명에 의하면, 박막 반도체장치의 소자제가 되는 저온 다결정 Si를, 면방위를 일치시켜 결정화(의사적인 단결정화)하고, 또 입계에서 격자접합에서의 미결합수 밀도를 최소화할 수 있으므로, 전자이동도를 단결정 Si에 필적할 만큼 크게 할 수 있다(260 ~ 500[cm²/Vs]). 또, 특성 편차가 작은 박막 반도체 집적회로장치를 높은 수율로 제조할 수 있다. 그것에 의해, 동일 유리기관 상에, 화소부, 주변회로를 하나 혹은 복수의 박막 반도체 집적회로장치로서 집약적으로 형성하는 것이 가능하게 되기 때문에, 실질적으로 균일한 화질을 가진 대면적 화면(화면의 체격선 길이가 15인치 이상)의 화상표시장치를 실현할 수 있다.

도면의 간단한 설명

- <1> 도 1은 TFT의 게이트전극에 의해 덮여져 있는 Si 박막의 표면부, 즉 채널부분에서의 결정격자의 배열상태를 확대하여 표시한 채널부의 평면도,
- <2> 도 2a의 (A), (B), (C)는 본 발명에 관한 Si 박막의 표면부에서의 결정격자의 배열상태를 확대하여 표시한 채널부의 평면도, 도 2b의 (D), (E)는 본 발명에 관한 Si 박막의 표면부에서의 결정격자의 다른 배열상태를 확대하여 표시한 채널부의 평면도, 도 2c의 (F), (G)는 본 발명에 관한 Si 박막의 표면부에서의 결정격자의 또 다른 배열상태를 확대하여 표시한 채널부의 평면도,
- <3> 도 3은 본 발명의 TFT의 주요부를 설명하기 위한 도면,
- <4> 도 4는 본 발명의 다른 TFT의 주요부를 설명하기 위한 도면,
- <5> 도 5a의 (A), (B), (C)는 본 발명의 각종 TFT의 주요부를 설명하기 위한 도면, 도 5b의 (D), (E), (F)는 본 발명의 다른 TFT의 주요부를 설명하기 위한 도면,
- <6> 도 6은 본 발명의 TFT의 주요부를 설명하기 위한 도면,
- <7> 도 7은 본 발명의 다른 TFT의 주요부를 설명하기 위한 도면,

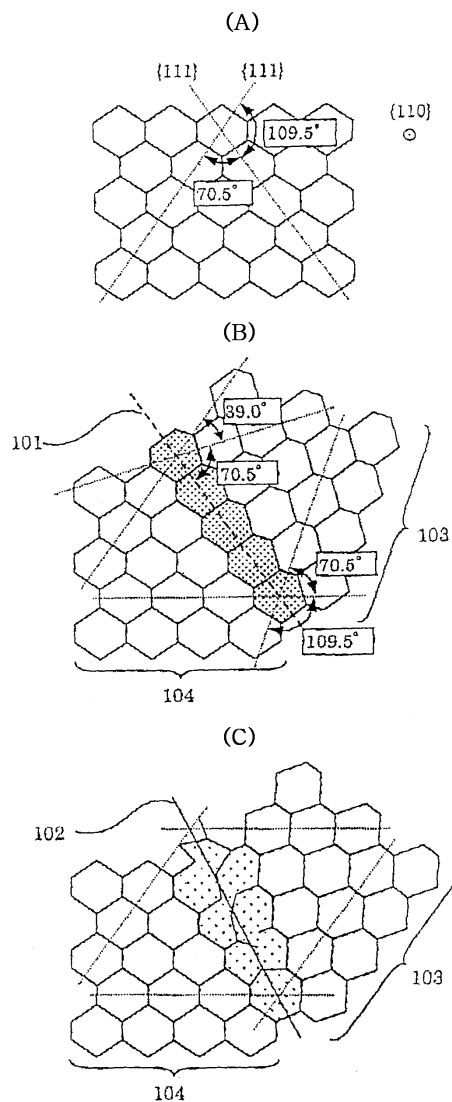
- <8> 도 8은 본 발명의 TFT의 제조공정을 설명하기 위한 도면,
 <9> 도 9는 본 발명의 효과를 설명하기 위한 전자장치의 개략도,
 <10> 도 10은 본 발명의 박막집적회로장치의 주요부 평면도,
 <11> 도 11은 본 발명의 다른 TFT의 주요부를 설명하기 위한 단면도이다.

<12> (부호의 설명)

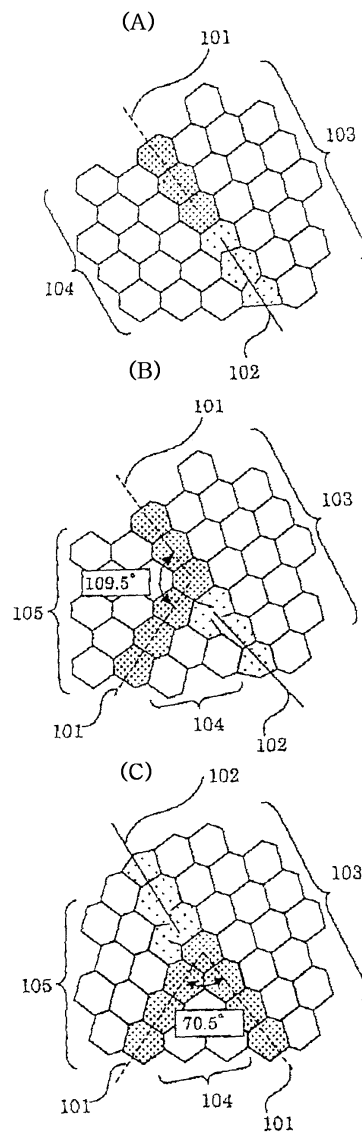
- | | | | | |
|------|-------------------|-------|-----|----------|
| <13> | 1 | 절연체기판 | 2 | 다결정 박막 |
| <14> | 3 | 채널 | 4 | 소스 |
| <15> | 5 | 드레인 | 6 | 게이트 절연막 |
| <16> | 7 | 게이트 | 21 | 결정성장핵 금속 |
| <17> | 101 | 쌍정입계 | 102 | 비쌍정입계 |
| <18> | 103, 104, 105 결정입 | | | |

도면

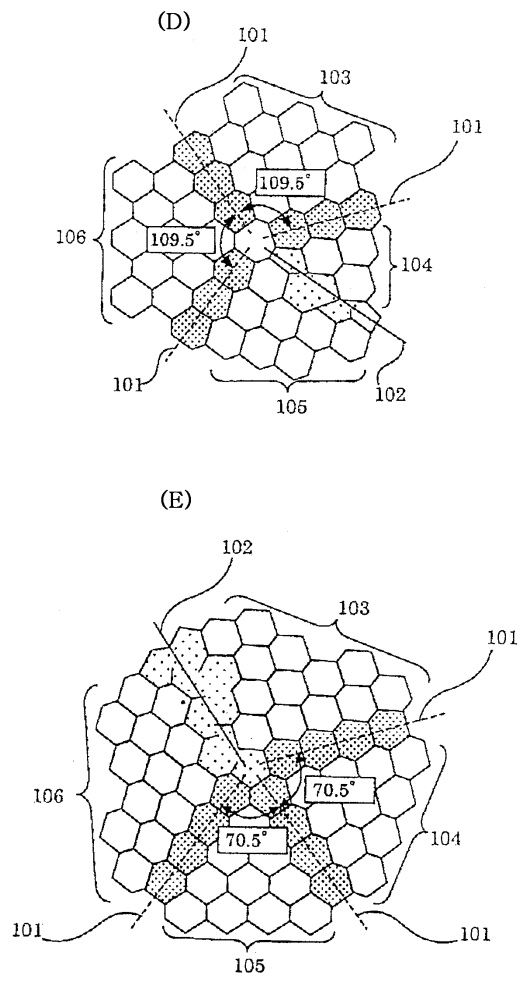
도면1



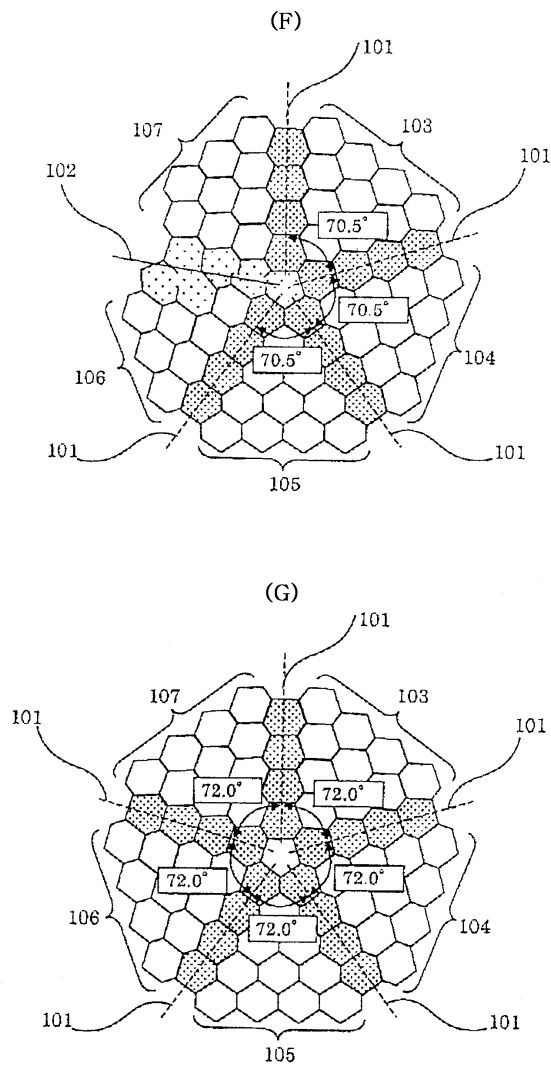
도면2a



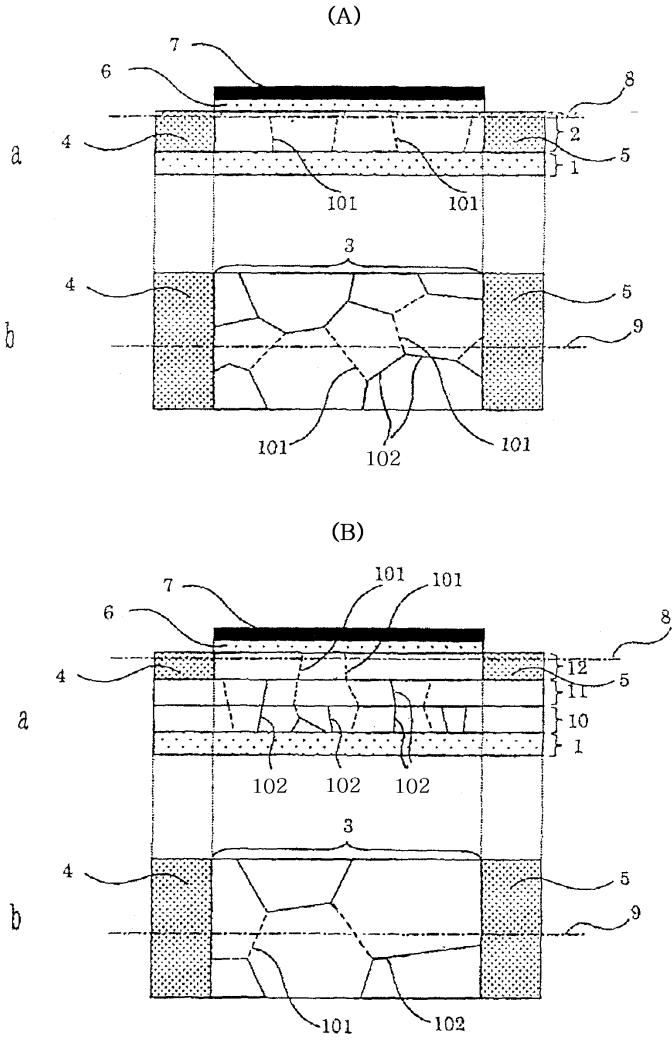
도면2b



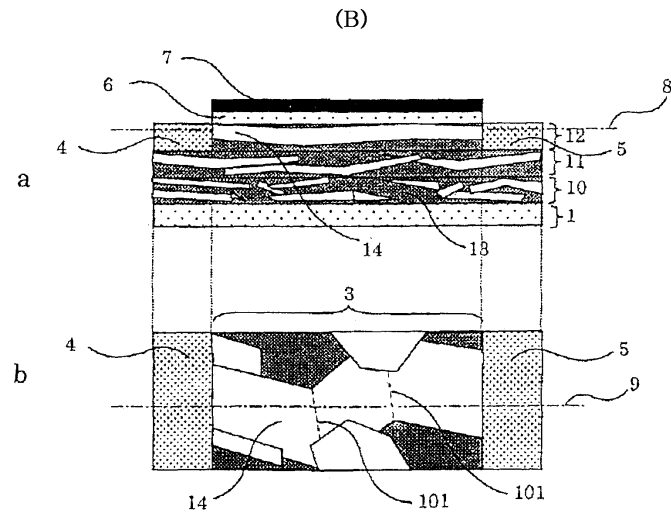
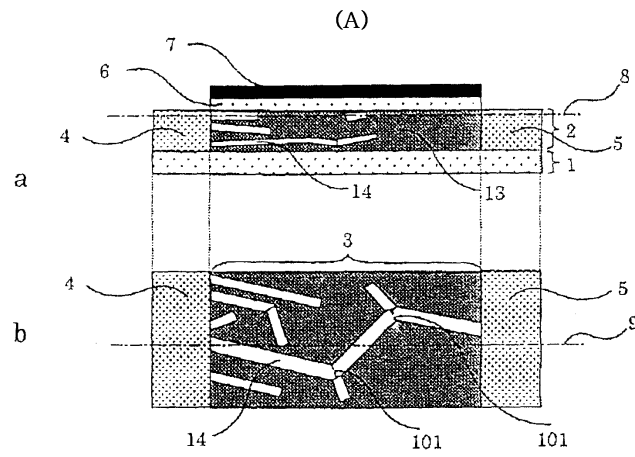
도면2c



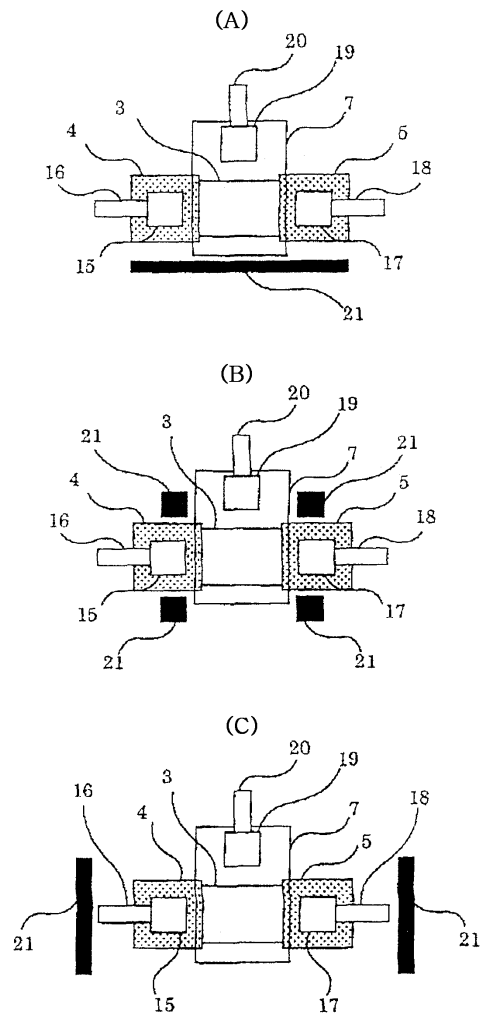
도면3



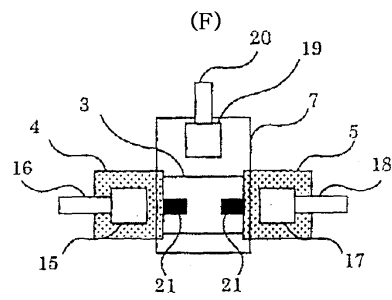
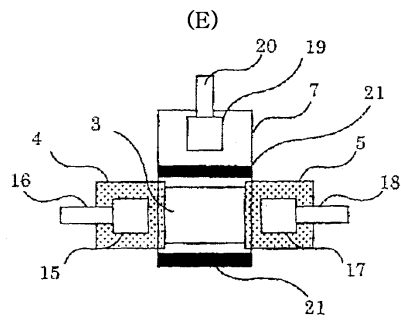
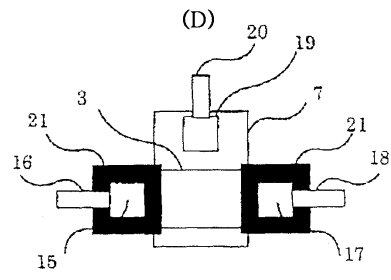
도면4



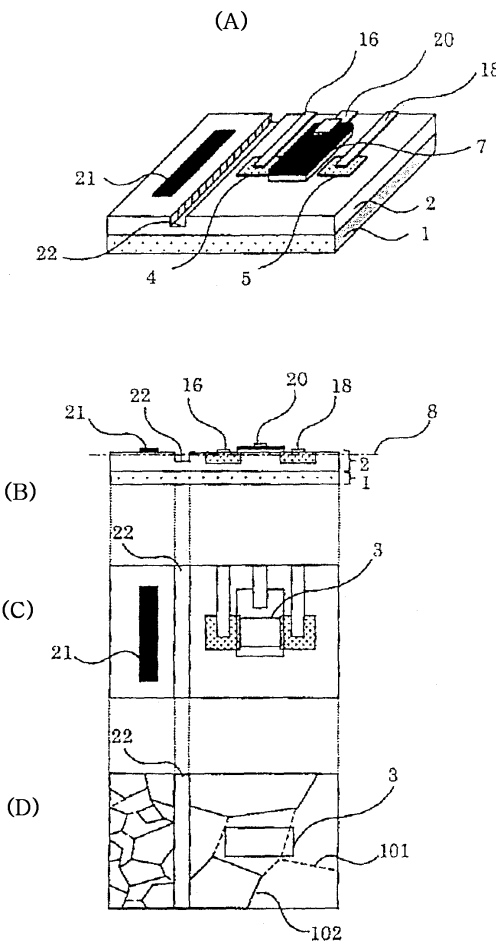
도면5a



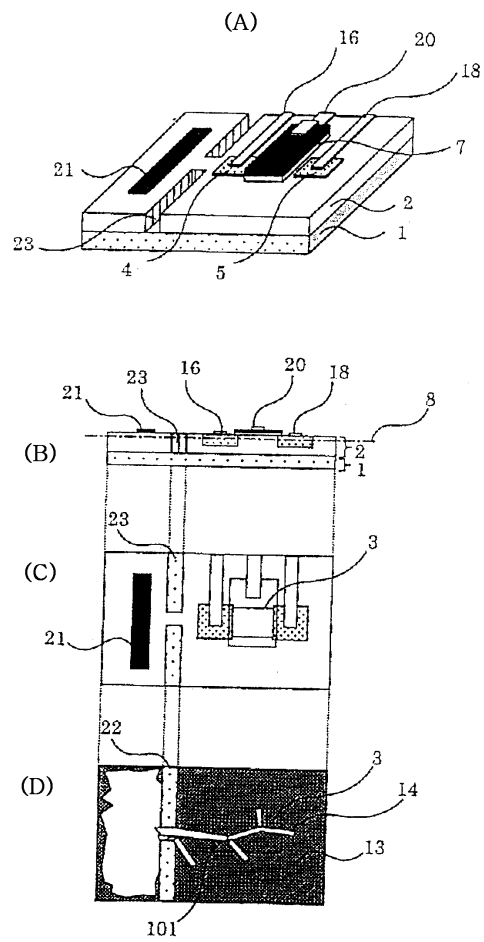
도면5b



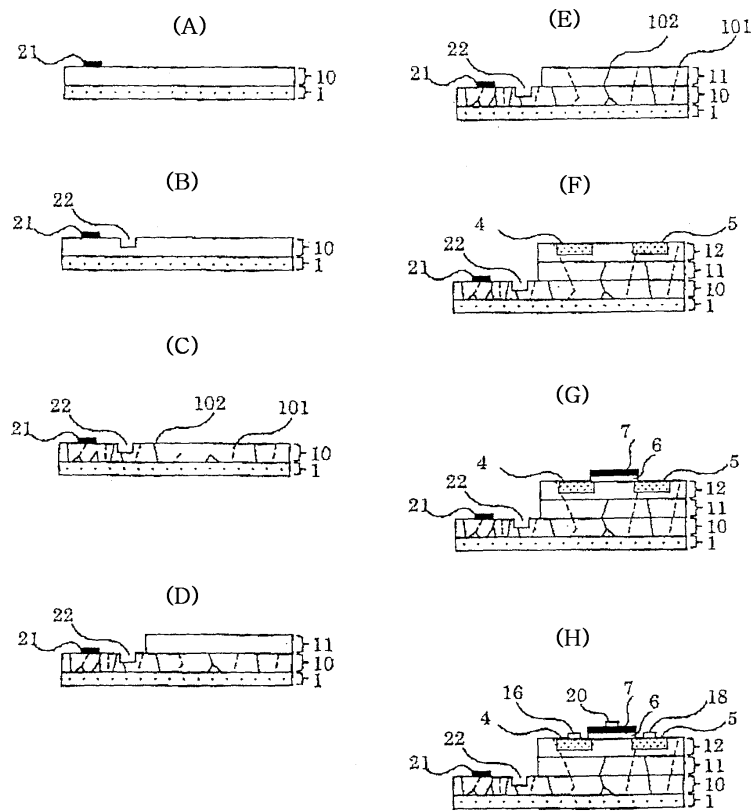
도면6



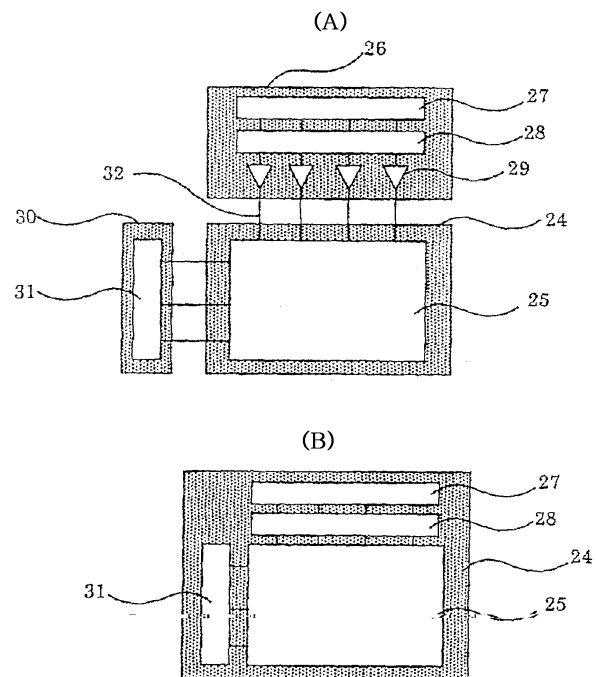
도면7



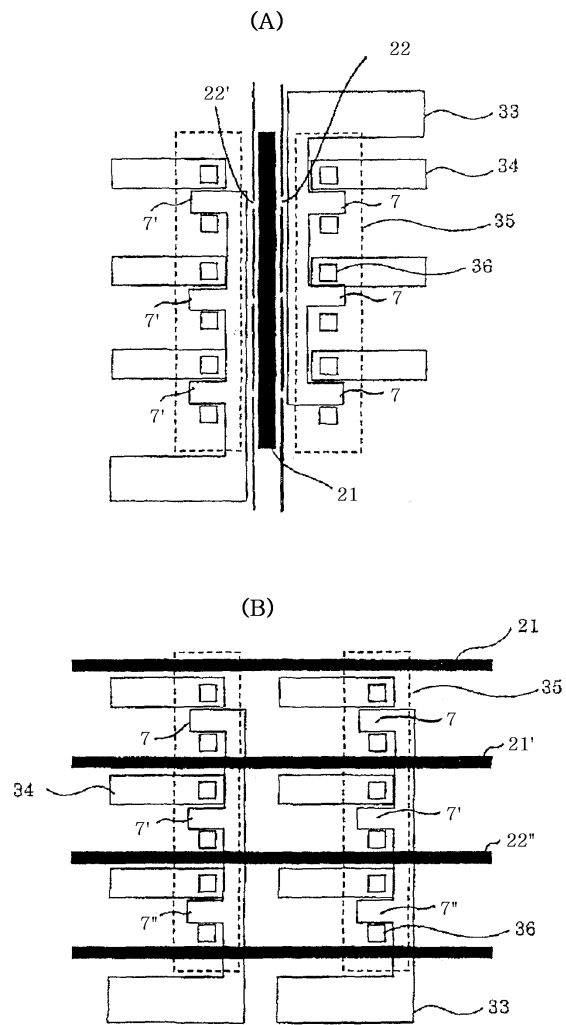
도면8



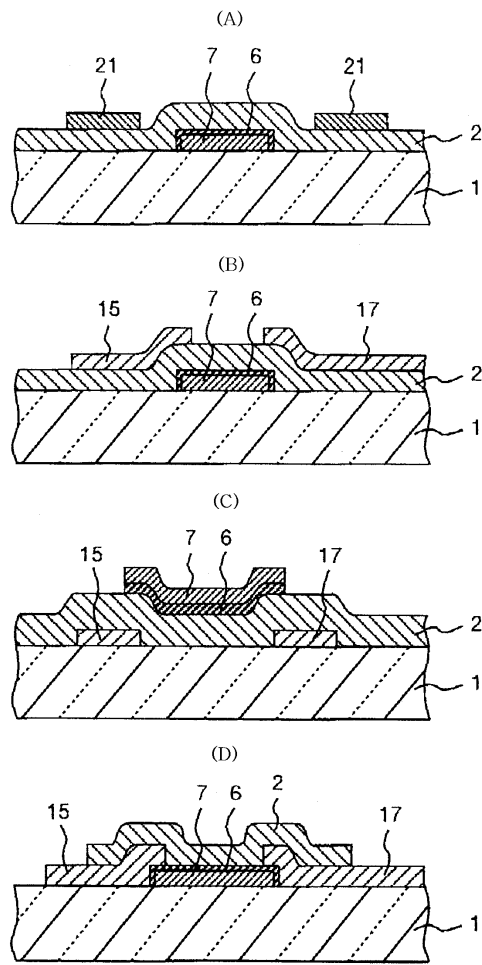
도면9



도면10



도면11



专利名称(译)	半导体器件，其制造方法和液晶显示器件		
公开(公告)号	KR100790059B1	公开(公告)日	2007-12-31
申请号	KR1020000063440	申请日	2000-10-27
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	YAMAGUCHI SHINYA 야마구치신야 MIYAO MASANOBU 미야오마사노부 SUGII NOBUYUKI 스기이노부유키 PARK SEONGKEE 박성기 NAKAGAWA KIYOKAZU 나카가와키요카즈		
发明人	야마구치신야 미야오마사노부 스기이노부유키 박성기 나카가와키요카즈		
IPC分类号	G02F1/136 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/04 H01L29/417 H01L29/786		
CPC分类号	H01L29/78666 H01L29/78675 H01L27/1277 G09G2300/0408 H01L27/1281 H01L29/78696 G09G3/3648 H01L29/04 H01L29/66765 H01L29/78678 H01L29/66757 H01L27/1296 H01L29/78669 H01L29/41733 H01L29/045		
优先权	1999309499 1999-10-29 JP		
其他公开文献	KR1020010067364A		
外部链接	Espacenet		

摘要(译)

本发明提供一种改进的低温多晶薄膜TFT，其具有高电子迁移率和小特性变化，以实现使用玻璃基板的大屏幕液晶显示装置。通过利用由在金刚石结构的{111}双晶界处键合的多晶颗粒组成的半导体薄膜（称为伪单晶薄膜）作为TFT的沟道区（即，有源区），可以在期望的特性偏差的范围内实现具有良好再现性的TFT。

