



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월22일
(11) 등록번호 10-0778835
(24) 등록일자 2007년11월16일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2000-0084088

(22) 출원일자 2000년12월28일

심사청구일자 2005년12월28일

(65) 공개번호 10-2002-0054848

공개일자 2002년07월08일

(56) 선행기술조사문헌

KR1020000065954A

KR1019990077818A

전체 청구항 수 : 총 3 항

(73) 특허권자

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

권오남

경기도의왕시삼동282-2미주아파트101-401

김종일

서울특별시광진구능동242-29

(74) 대리인

김용인, 심창섭

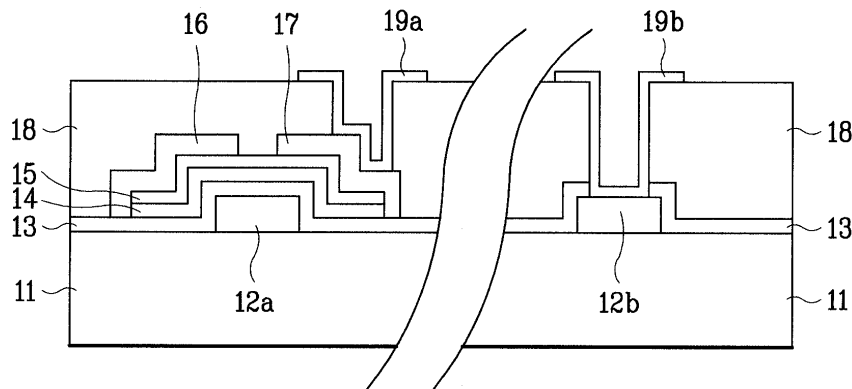
심사관 : 임동재

(54) 액정표시장치의 제조방법

(57) 요약

본 발명은 투명한도전막과 패드부(게이트, 데이터)의 접촉불량을 방지함으로써 생산수율을 향상시킬 수 있는 액정표시장치 제조방법에 관한 것으로서, 기판위에 게이트 전극 및 게이트 패드를 포함하는 게이트 라인을 형성하는 단계와, 상기 게이트 전극을 포함한 기관의 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 전극 상측의 게이트 절연막상에 반도체층을 형성하는 단계와, 상기 반도체층의 양단 상측에 일정한 간격을 갖는 소스 및 드레인 전극이 위치되도록 데이터 패드를 포함한 데이터 라인을 형성하는 단계와, 상기 기관의 전면에 보호막을 형성하고, 상기 드레인 전극, 게이트 패드 및 데이터 패드가 노출되도록 상기 보호막을 선택적으로 제거하여 각각에 콘택홀을 형성하는 단계와, 상기 각 콘택홀을 포함한 기관의 전면에 비정질 투명 도전막을 형성하는 단계와, 상기 비정질 투명 도전막을 선택적으로 제거하여 상기 콘택홀을 통해 상기 드레인 전극과 연결되는 화소전극 및 상기 게이트 패드 및 데이터 패드와 연결되는 패드접촉막을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

대표도 - 도2d



특허청구의 범위

청구항 1

기관위에 게이트 전극 및 게이트 패드를 포함하는 게이트 라인을 형성하는 단계;

상기 게이트 전극을 포함한 기관의 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극 상측의 게이트 절연막상에 반도체층을 형성하는 단계;

상기 반도체층의 양단 상측에 일정한 간격을 갖는 소스 및 드레인 전극이 위치되도록 데이터 패드를 포함한 데이터 라인을 형성하는 단계;

상기 기관의 전면에 보호막을 형성하고, 상기 드레인 전극, 게이트 패드 및 데이터 패드가 노출되도록 상기 보호막을 선택적으로 제거하여 각각에 콘택홀을 형성하는 단계;

상기 각 콘택홀을 포함한 기관의 전면에 비정질 투명 도전막을 형성하는 단계;

상기 비정질 투명 도전막을 선택적으로 제거하여 상기 콘택홀을 통해 상기 드레인 전극과 연결되는 화소전극 및 상기 게이트 패드 및 데이터 패드와 연결되는 패드접촉막을 형성하는 단계를 포함하여 이루어지고,

상기 비정질 투명 도전막은 H_2O 첨가-ITO 또는 H_2 첨가-ITO로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서, 상기 비정질 투명 도전막은 상온성막 ITO로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법

청구항 5

삭제

청구항 6

제 1 항에 있어서, 상기 비정질 투명 도전막은 섭씨 150~350도 범위에서 열처리하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 디스플레이장치에 관한 것으로, 특히 액정표시장치의 제조방법에 관한 것이다.

<12> 일반적으로 액정표시장치는 박막트랜지스터와 화소전극이 배열되는 하측 유리기관과, 색상을 나타내기 위한 칼라필터 및 공통전극이 구성되는 상측 유리기관과, 상기 상하 유리기관 사이에 채워지는 액정층으로 구성된다.

- <13> 액정표시장치는 기본적으로 액정이 봉입된 두 개의 유리기관 양단에 전압을 가하여 표시상태를 조절하는 소자로서, 유리기관의 표면에 빛을 차단하지 않는 도전물질이 있어야 한다. 이러한 필요에 의해 사용되는 것이 투명전극으로 유리 상하판에 스퍼터링(sputtering)에 의해 증착되는데 상판에 증착된 것을 공통전극, 하판에 증착된 것을 화소전극이라 부른다.
- <14> 액정표시용 투명전극은 산화주석인듐막(ITO : Indium Tin Oxide)막과 산화주석(SnO)막 등이 있다. 이 중 ITO는 가장 우수한 도전성을 갖는 투명전극재료로, 화학적 안정성과 열적 안정성을 갖고 있으며, 전극 패턴 가공성이 좋기 때문에 세그먼트 표시, 도트매트릭스(dot matrix) 표시를 불문하고 많은 액정표시의 투명전극으로 사용된다. 산화주석막은 ITO막보다 물리적 강도, 화학적 안정성이 우수하지만 도전율이 ITO막보다 떨어지고, 포토리소그래피(photo lithograph) 법에 의한 전극 가공에 난점이 있기 때문에 저저항을 필요로 하는 미세 패턴의 투명전극으로서는 사용될 수 없다.
- <15> 통상, ITO 투명 도전막으로서 요구되는 성능은 첫째, 패턴 형성에서의 에칭(etching) 잔유물이 없을 것. 둘째, 미세한 패턴 형성이 가능할 것. 셋째, 기판, 포토레지스트(photo resist)와의 접착성이 양호할 것. 넷째, 저저항일 것. 다섯째, 높은 투과성을 가질 것. 여섯째, 저항치, 투과율, 에칭 속도의 면내 균일성이 높을 것. 일곱째, 막중에 먼지나 결함이 없을 것. 여덟째, 제조 원가가 낮을 것 등이 있다.
- <16> 이하, 첨부된 도면을 참조하여 종래기술에 따른 액정표시장치의 구조에 대해 설명하기로 한다.
- <17> 도 1은 종래기술에 따른 액정표시장치의 구조단면도이다.
- <18> 도 1에 도시된 바와 같이, TFT부와 패드(Pad)부를 나누어 설명하면 먼저, TFT에서는 유리기관(1) 위에 게이트전극(2a)이 형성되고, 이 게이트 전극(2a)을 덮도록 유리기관(1) 상에 게이트절연막(3)이 형성되어 있다. 또, 게이트 절연막(3) 위에는 반도체막(4)이 형성되며, 이 반도체막(4) 위로 오믹 접촉막(ohmic contact layer)(5)이 형성된다. 그리고, 오믹 접촉막(5) 좌우로 각각 소스전극(6)과 드레인 전극(7)이 적층되어 있으며, 상기 소스전극(5)과 드레인전극(7)이 형성되어 있는 유리기관(1) 위로 상기 드레인 전극(7)이 노출되도록 콘택홀을 갖는 보호막(8)이 증착되며 상기 콘택홀을 통해 드레인전극(7)과 전기적으로 연결되는 화소전극(9a)이 형성되어 있다. 패드부에서는 유리기관(1) 위에 게이트 패드(2b) 또는 데이터패드가 형성되는데, 참고적으로 도 1은 게이트 패드만을 도시한 것이다. 상기 게이트 패드부(2b)를 덮도록 유리기관(1) 상에 게이트절연막(3)이 형성되어 있다. 또, 게이트 절연막(3) 위로 게이트 패드(2b)가 노출되도록 콘택홀을 갖는 보호막(8)이 증착되며 상기 콘택홀을 통해 게이트 패드(2b)와 전기적으로 연결되는 패드접촉막(9b)이 형성되어 있다.
- <19> 도 1에 표시하는 종래 액정표시장치에 있어서, 게이트 절연막(3) 및 보호막(8)은 실리콘질화막으로 구성되며, 소스전극(6), 드레인전극(7), 게이트 전극(2a) 및 게이트 패드부(2b)는 구리(Cu), 티타늄(Ti) 같은 도전성 금속재료로 구성되며, 화소전극(9a) 및 패드접촉막(9b)은 ITO(Indium Tin Oxide) 등의 투명도전막으로 구성된다.
- <20> 상기와 같은 종래 액정표시장치는 다음과 같은 제조공정을 통해 구현된다.
- <21> 먼저, TFT부와 패드부로 정의된 유리기관(1) 위에 게이트전극물질, 예컨대 알루미늄, 크롬, 알루미늄 합금 등을 스퍼터링(Sputtering)법을 이용하여 전면에 걸쳐 증착하고, P/R(Photo-Resist) 코팅, 노광, 현상의 단계를 거치는 포토리소그래피법을 이용하여 TFT부에서는 게이트 전극(2a)을, 패드부에는 게이트 패드(2b)를 패터닝한다.
- <22> 다음, 상기 게이트전극(2a)을 포함한 유리기관(1) 전면에 실리콘질화막(SiNx), 실리콘산화막(SiOx) 등을 PECVD(Plasma Enhanced Chemical Vapor Deposition)공정으로 증착하여 게이트 절연막(3)을 형성한다.
- 이후, 게이트전극(2a)이 형성된 부위에 상응하는 상기 게이트 절연막(3) 상에 반도체막(4) 및 오믹접촉막(5)을 적층한 후, 포토리소그래피법을 이용하여 상기 오믹접촉막(5)과 반도체막(4)을 선택적으로 패터닝한다.
- 이어, 상기 오믹 접촉막(5)을 포함한 유리기관(1)의 전면에 소스 및 드레인전극용 금속막을 증착하고, 포토리소그래피법을 이용하여 상기 금속막을 선택적으로 제거하여 상기 오믹접촉막(5)의 양단에 소스 전극(6)과 드레인 전극(7)을 형성한다.
- 이때 상기 소스전극(6) 및 드레인전극(7) 사이의 오믹접촉막(5)도 함께 제거한다.
- <23> 이어, 상기 소스전극(6) 및 드레인전극(7)을 포함한 유리기관(1) 전면에 보호막(8)을 형성한 후, 상기 TFT부의 드레인전극(7)과 패드부의 게이트 패드(2b)가 노출되도록 보호막(8) 및 보호막/게이트 절연막을 선택적으로 제거하여 콘택홀을 형성한다.

<24> 이후, 상기 콘택홀을 포함한 전면에 다결정질 ITO를 스퍼터링법으로 증착한 후, 패터닝하여 TFT부에는 상기 드레인 전극(7)과 연결되는 화소전극(9a)을 형성하고 동시에 패드부에는 상기 게이트패드(2b)와 연결되는 패드접촉막(9b)을 형성하면 종래 기술에 따른 액정표시장치의 제조공정이 완료된다.

발명이 이루고자 하는 기술적 과제

<25> 그러나 상기와 같은 종래 액정표시장치의 제조방법은 다음과 같은 문제점이 있었다.

<26> 화소전극 및 패드접촉막의 재료가 다결정질 ITO(Indium Tin Oxide)이기 때문에 상기 화소전극 및 패드접촉막을 패터닝에 따른 포토레지스트 박리공정시, 스트리퍼(stripper)가 다결정질 ITO(Indium Tin Oxide)의 결정입계(grain boundary)를 따라 확산, 침투하여 특히, 패드와 갈바닉(Galvanic) 현상을 일으켜 패드접촉막과 패드부의 계면에 미세공극을 형성함으로써 접촉불량(도 1의 도면부호 "10")을 야기시킨다.

<27> 이는 박막트랜지스터의 특성을 변화시킬 뿐만 아니라 생산수율의 저하를 야기하는 원인으로 작용한다.

<28> 본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 박막트랜지스터의 성능 및 생산수율을 향상시킬 수 있는 액정표시장치의 제조방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

<29> 상기 목적을 달성하기 위한 본 발명의 액정표시장치 제조방법은 기판위에 게이트 전극 및 게이트 패드를 포함하는 게이트 라인을 형성하는 단계와, 상기 게이트 전극을 포함한 기판의 전면에서 게이트 절연막을 형성하는 단계와, 상기 게이트 전극 상층의 게이트 절연막상에 반도체층을 형성하는 단계와, 상기 반도체층의 양단 상층에 일정한 간격을 갖는 소스 및 드레인 전극이 위치되도록 데이터 패드를 포함한 데이터 라인을 형성하는 단계와, 상기 기판의 전면에서 보호막을 형성하고, 상기 드레인 전극, 게이트 패드 및 데이터 패드가 노출되도록 상기 보호막을 선택적으로 제거하여 각각에 콘택홀을 형성하는 단계와, 상기 각 콘택홀을 포함한 기판의 전면에서 비정질 투명 도전막을 형성하는 단계와, 상기 비정질 투명 도전막을 선택적으로 제거하여 상기 콘택홀을 통해 상기 드레인 전극과 연결되는 화소전극 및 상기 게이트 패드 및 데이터 패드와 연결되는 패드접촉막을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

<30> 이하 도면을 참조하여 본 발명의 액정표시장치 제조방법을 상세히 설명한다.

<31> 도 2a 내지 2d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도로서, 게이트 패드를 중심으로 도시한 것이다.

<32> 도 2a에 도시된 바와 같이, TFT부와 패드부에 정의된 유리기판(11) 위에 Cu, Cu/Ti 의 단일막 또는 Cu와 Cu/Ti 가 차례로 적층된 적층막으로 구성된 게이트 배선용 물질을 스퍼터링 공정 등을 이용하여 증착한 후, 포토리소그래피 공정을 이용한 패터닝 공정으로 TFT부에는 게이트 전극(12a)을 형성하고, 패드부에는 게이트패드(12b)를 포함한 게이트 라인(도시되지 않음)을 형성한다. 이후, 게이트전극(12a) 및 게이트패드(12b)를 포함한 유리기판(11) 상에 실리콘산화막 또는 실리콘질화막으로 구성된 게이트 절연막(13)을 형성한다.

<33> 이어, 도 2b에 도시된 바와 같이, TFT부의 게이트 절연막(13) 상에 반도체막(14) 및 오믹접촉막(15)을 차례로 형성하고, 포토리소그래피 공정으로 상기 오믹접촉막(15) 및 반도체막(14)을 선택적으로 제거하여 상기 게이트 전극(12a) 상층의 게이트 절연막(13)상에 반도체층을 형성한다.

그리고 상기 반도체층을 포함한 유리기판(11)의 전면에서 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 상기 반도체층의 양단에 일정한 간격을 갖는 소스/드레인 전극(16, 17) 및 데이터 패드를 포함한 데이터 라인을 형성한다.

도 2c에 도시된 바와 같이, 상기 소스/드레인 전극(16, 17) 및 패드부의 게이트 절연막(13)을 포함한 기판 전면에서 보호막(18)을 형성한 후, 상기 보호막(18) 상에 포토레지스트(도시하지 않음)를 도포하고, 노광 및 현상공정을 이용한 패터닝 공정을 통해 상기 드레인 전극(17) 및 게이트 패드(12b)가 노출되도록 콘택홀(18a)을 형성한다.

<34> 삭제

<35> 도 2d에 도시된 바와 같이, 상기 콘택홀(18a)을 포함한 기판 전면에서 비정질 투명도전막을 증착한 후, 패터닝하

여 상기 드레인 전극(17)과 전기적으로 연결되는 화소전극(19a) 및 상기 게이트 패드(12b)와 전기적으로 연결되는 패드 접촉막(19b)을 형성하면, 본 발명 액정표시장치 제조공정이 완료된다.

<36> 이때, 상기 화소전극(19a) 및 패드 접촉막(19b)의 재질은 비정질 ITO(Indium Tin Oxide) 또는 비정질 IZO(Indium Zinc Oxide), 비정질 ITZO(Indium Tin Zinc Oxide) 중 어느 하나이며 상기와 같은 비정질 투명도전막은 다결정질 투명도전막과 동일한 저항 및 투과도를 갖기 위하여 섭씨 150~350 범위에서 열처리를 한다.

<37> 한편, 도 3a 내지 3d는 데이터 패드를 중심으로 도시한 것이다.

<38> 도 3a에 도시된 바와 같이, TFT부와 패드부로 정의된 유리기판(11) 위에 Cu 또는 Cu/Ti 또는 Cu와 Cu/Ti가 차례로 적층된 적층막으로 구성된 게이트 배선용 물질을 스퍼터링 공정 등을 이용하여 증착한 후, 포토리소그래피 공정을 이용한 패터닝 공정으로 TFT부에 게이트 전극(12a)을 형성한다.

<39> 이후, 상기 게이트 전극(12a) 및 패드부를 포함한 유리기판(11) 전면에 실리콘산화막 또는 실리콘질화막으로 구성된 게이트 절연막(13)을 형성한다.

<40> 이어, 도 3b에 도시된 바와 같이, TFT부의 게이트절연막(13) 상에 반도체막(14), 오믹접촉막(15) 및 소스/드레인 전극(16,17)을 차례로 형성하여 박막트랜지스터를 제조하고, 패드부의 게이트 절연막(13) 상에는 데이터패드(12c)를 포함한 데이터 라인을 형성한다.

<41> 도 3c에 도시된 바와 같이, 상기 소스/드레인전극(16, 17) 및 패드부의 데이터 패드(12c)를 포함한 기판 전면에 보호막(18)을 형성한 후, 상기 보호막(18) 상에 포토레지스트(도시하지 않음)를 도포하고, 노광 및 현상공정을 이용한 패터닝 공정을 통해 상기 드레인전극(17) 및 데이터패드(12c)가 노출되도록 콘택홀(18a)을 형성한다.

<42> 도 3d에 도시된 바와 같이, 상기 콘택홀(18a)을 포함한 기판 전면에 비정질 투명도전막을 증착한 후, 패터닝하여 상기 드레인 전극(17)과 전기적으로 연결되는 화소전극(19a) 및 상기 데이터 패드(12c)와 전기적으로 연결되는 패드접촉막(19b)을 형성하면, 본 발명 액정표시장치 제조공정이 완료된다.

<43> 이때, 상기 화소전극(19a) 및 패드접촉막(19b)의 재질은 비정질 ITO(Indium Tin Oxide) 또는 비정질 IZO(Indium Zinc Oxide), 비정질 ITZO(Indium Tin Zinc Oxide) 중 어느 하나이다.

<44> 이상에서와 같이, 본 발명의 액정표시장치 제조방법은 화소전극 및 패드접촉막의 물질을 비정질 투명도전막 예컨대, 비정질 ITO막, 비정질 IZO막, 비정질 ITZO막 등을 사용하여 특히, 패드접촉막과 게이트 패드 및 데이터 패드간의 접촉불량을 개선시킨 것이다.

<45> 하지만, 본 발명에서와 같이 비정질 투명도전막을 사용하지 않고 종래의 액정표시장치에서 사용되는 다결정질 ITO막의 두께를 기존 사용두께보다 두꺼운 500Å~2000Å로 증착한 투명도전막으로 구성하는 것도 가능하다.

발명의 효과

<46> 이상 설명한 바와 같이, 본 발명 액정표시장치의 제조방법은 다음과 같은 효과가 있다.

<47> 화소전극 및 패드접촉막을 비정질 투명도전막으로 사용함에 따라 포토레지스트를 제거공정에 따른 스트리퍼 (stripper)가 비정질 투명도전막으로 확산, 침투되지 못하므로 투명도전막과 게이트 패드 및 데이터 패드와의 계면특성을 향상시켜 두 층간의 접촉불량을 방지할 수 있다.

<48> 따라서, 박막트랜지스터의 성능 향상 및 생산수율을 높일 수 있다.

도면의 간단한 설명

<1> 도 1은 종래기술에 따른 액정표시장치의 단면도

<2> 도 2a 내지 2d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도

<3> 도 3a 내지 3d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도

<4> 도면의 주요부분에 대한 부호의 설명

<5> 11 : 유리기관 12a : 게이트 전극

<6> 12b : 게이트 패드 13 : 게이트 절연막

- <7>

14 : 반도체막
- <8>

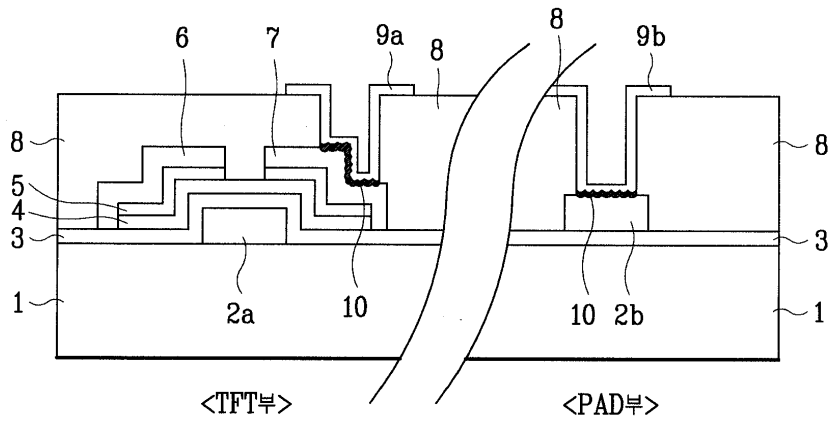
16, 17 : 소스/드레인 전극
- <9>

19a : 화소전극
- <10>

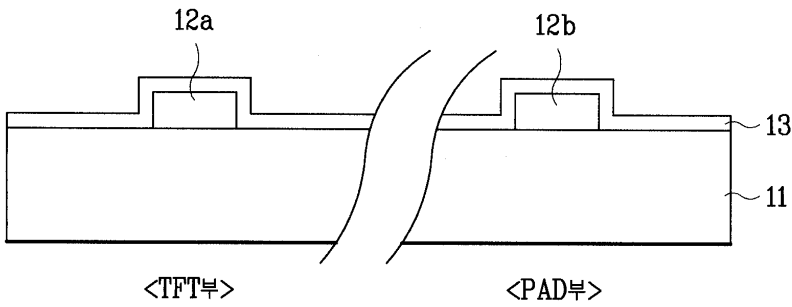
12c : 데이터 패드
- 15 : 오믹접촉막
- 18 : 보호막
- 19b : 패드접촉막

도면

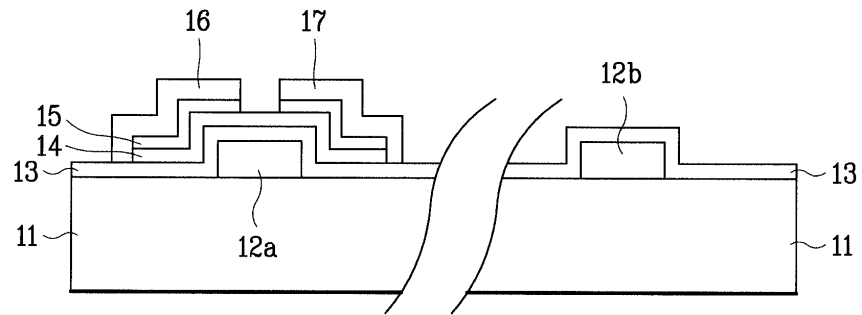
도면1



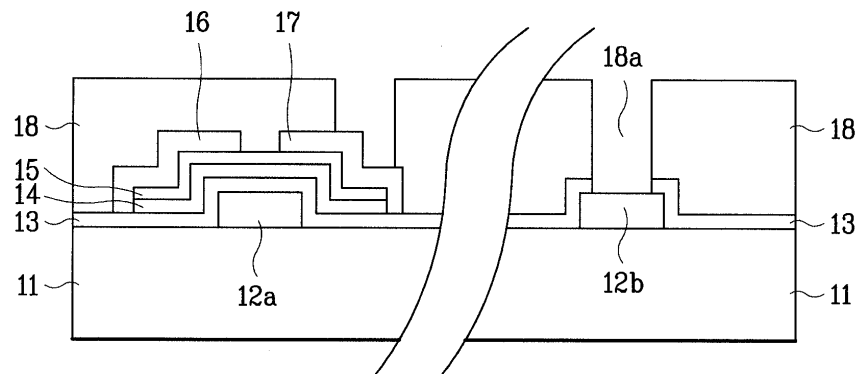
도면2a



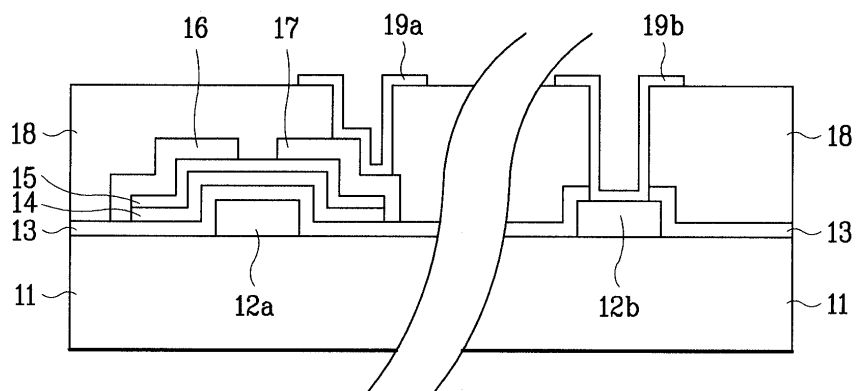
도면2b



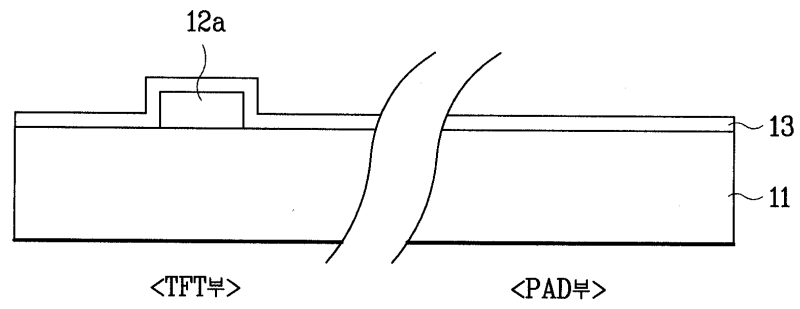
도면2c



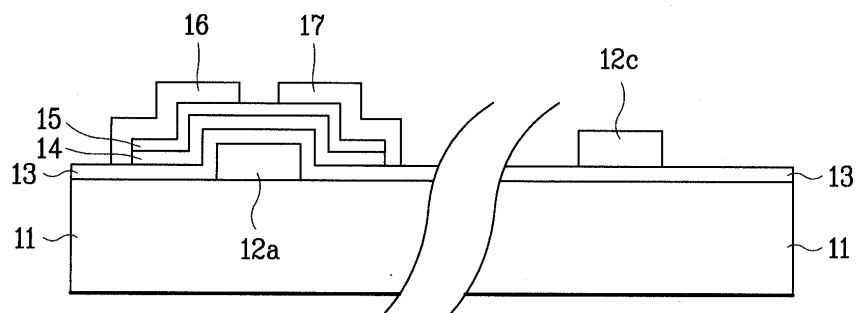
도면2d



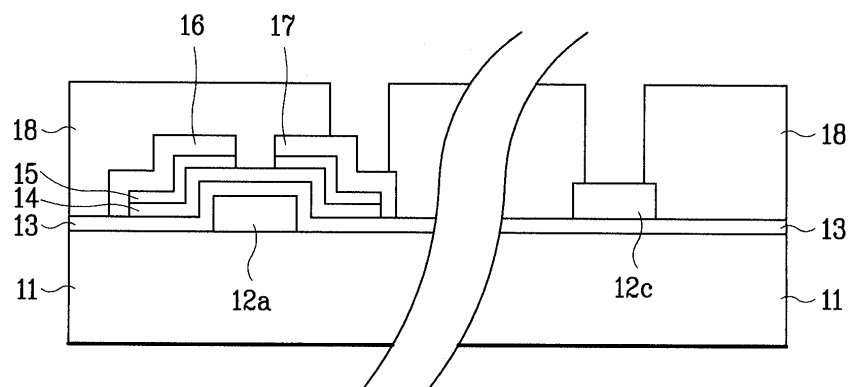
도면3a



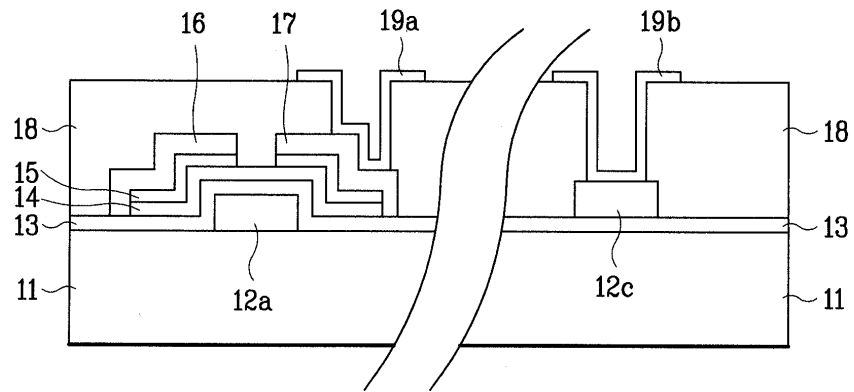
도면3b



도면3c



도면3d



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR100778835B1	公开(公告)日	2007-11-22
申请号	KR1020000084088	申请日	2000-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON OHNAM 권오남 KIM JONGIL 김종일		
发明人	권오남 김종일		
IPC分类号	G02F1/136 G02F1/1362		
CPC分类号	G02F1/13458 G02F1/136227		
代理人(译)	金勇 新昌		
其他公开文献	KR1020020054848A		
外部链接	Espacenet		

摘要(译)

形成栅线包括栅电极和所述基板上的栅极焊盘的本发明涉及一种用于制造可以通过防止透明导电膜的接触不良和焊垫部（栅极，数据）提高制造成品率的液晶显示装置在包括栅电极的基板的整个表面上形成栅极绝缘膜;形成包括数据焊盘的数据线，使得具有预定间隔的源极和漏极位于半导体层的两侧，在基板的整个表面上形成保护膜;选择性地去除保护层以暴露漏电极，栅极焊盘和数据焊盘形成的每一个的步骤的接触孔：形成薄膜的无定形的透明导电到衬底的整个表面，包括各接触孔的，以无定形的透明导电膜的像素被选择性地除去，即通过接触孔连接到所述漏电极形成连接到栅极焊盘和数据焊盘的电极和焊盘接触膜，的。

