



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월09일 10-0704210 2007년03월30일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2002-0014907 2002년03월20일 2005년09월23일	(65) 공개번호 (43) 공개일자	10-2003-0043571 2003년06월02일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      JP-P-2001-00360961      2001년11월27일      일본(JP)

(73) 특허권자      샤프 가부시킴가이샤  
                         일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자      세키도사토시  
                         일본가나가와켄가와사키시나카하라꾸가미고다나카4-1-1 후지쓰가부시  
                         끼가이샤나이

                         가타가와고이치  
                         일본가나가와켄가와사키시나카하라꾸가미고다나카4-1-1 후지쓰가부시  
                         끼가이샤나이

                         히라키가츠요시  
                         일본가나가와켄가와사키시나카하라꾸가미고다나카4-1-1 후지쓰가부시  
                         끼가이샤나이

                         후루코시야스타케  
                         일본가나가와켄가와사키시나카하라꾸가미고다나카4-1-1 후지쓰가부시  
                         끼가이샤나이

(74) 대리인      김태홍  
                         신정건

(56) 선행기술조사문헌  
                         JP 2001-092422 A      KR 10-1999-0013875 A  
                         KR 10-0182017 B      JP 06-202587 A  
                         \* 심사관에 의하여 인용된 문헌

심사관 : 김정훈

전체 청구항 수 : 총 13 항

(54) 액정 패널 구동 회로 및 액정 표시 장치

(57) 요약

본 발명은 충분한 데이터 기록 시간을 확보한 액정 표시 장치의 구동 회로를 제공하는 것을 목적으로 한다.

본 발명에 따르면, 액정 패널 구동 회로는 액정 패널의 복수의 데이터 버스 라인에 각각 접속되고 액정 구동 전압을 출력하는 복수의 출력 회로를 포함하며, 복수의 데이터 버스 라인의 선두 라인으로부터 최종 라인까지 순서대로 크게 되는 지연량으로 출력 회로로부터 액정 구동 전압을 출력한다.

## 대표도

도 4

## 특허청구의 범위

### 청구항 1.

액정 패널의 복수의 데이터 버스 라인에 각각 접속되고 액정 구동 전압을 출력하는 복수의 출력 회로를 포함하며, 상기 복수의 데이터 버스 라인의 선두 라인으로부터 최종 라인까지 순서대로 증가되는 지연량으로 상기 출력 회로로부터 상기 액정 구동 전압을 출력하는 것을 특징으로 하는 액정 패널 구동 회로.

### 청구항 2.

제1항에 있어서, 제어 신호를 지연시켜 지연량이 상이한 상기 제어 신호를 상기 출력 회로로 공급하는 지연 소자열을 더 포함하고, 상기 복수의 출력 회로는 상기 제어 신호의 타이밍에 따른 타이밍으로 상기 액정 구동 전압을 출력하는 것인 액정 패널 구동 회로.

### 청구항 3.

제2항에 있어서, 상기 최종 라인에 대응하는 상기 출력 회로로 공급되는 상기 제어 신호를 외부로 출력하는 것인 액정 패널 구동 회로.

### 청구항 4.

제2항에 있어서, 상기 출력 회로마다 설치되는 스위치 회로를 더 포함하고, 상기 스위치 회로는 상기 지연량이 상이한 상기 제어 신호의 적어도 2 개 중 하나를 선택하여 대응하는 출력 회로로 공급하는 것인 액정 패널 구동 회로.

### 청구항 5.

복수의 데이터 버스 라인과 복수의 게이트 버스 라인을 포함하는 액정 패널과;

상기 복수의 게이트 버스 라인을 게이트 펄스로 구동하는 게이트 드라이버와;

상기 복수의 데이터 버스 라인의 선두 라인으로부터 최종 라인까지 순서대로 증가되는 지연량으로 상기 복수의 데이터 버스 라인으로 액정 구동 전압을 출력하는 데이터 드라이버

를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 6.

제5항에 있어서, 상기 데이터 드라이버는,

상기 복수의 데이터 버스 라인에 각각 접속되며 상기 액정 구동 전압을 출력하는 복수의 출력 회로와,

제어 신호를 지연시켜 지연량이 상이한 상기 제어 신호를 상기 출력 회로로 공급하는 지연 소자열을 더 포함하고, 상기 복수의 출력 회로는 상기 제어 신호의 타이밍에 따른 타이밍으로 상기 액정 구동 전압을 출력하는 것인 액정 표시 장치.

## 청구항 7.

제6항에 있어서, 상기 데이터 드라이버는 복수의 데이터 드라이버를 포함하고, 각 데이터 드라이버 내에서의 최종 라인에 대응하는 상기 출력 회로로 공급되는 상기 제어 신호를 다음 단의 데이터 드라이버로 공급하는 형태로 상기 복수의 데이터 드라이버가 캐스케이드 접속되는 것인 액정 표시 장치.

## 청구항 8.

제6항에 있어서, 상기 데이터 드라이버는 상기 출력 회로마다 설치되는 스위치 회로를 더 포함하고, 상기 스위치 회로는 상기 지연량이 상이한 상기 제어 신호의 적어도 2 개 중 어느 하나를 선택하여 대응하는 출력 회로로 공급하는 것인 액정 표시 장치.

## 청구항 9.

복수의 게이트 버스 라인과 복수의 데이터 버스 라인을 포함하는 액정 패널과;

상기 복수의 게이트 버스 라인을 게이트 펄스로 구동하는 게이트 드라이버와;

상기 복수의 게이트 버스 라인으로 전달되는 상기 게이트 펄스의 지연량을 검출하는 검출 회로와;

상기 검출 회로에 의해 검출된 상기 지연량에 따라 상기 복수의 데이터 버스 라인을 구동하는 데이터 펄스의 타이밍을 지연시키는 데이터 드라이버

를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 10.

제9항에 있어서, 상기 검출 회로는 상기 복수의 게이트 버스 라인의 상기 게이트 드라이버측의 제1점으로부터 제1 펄스 파형을 수신함과 동시에, 상기 복수의 게이트 버스 라인의 상기 게이트 드라이버측과는 반대측의 제2점으로부터 제2 펄스 파형을 수신하고, 상기 제1 펄스 파형의 상승과 상기 제2 펄스 파형의 상승의 시간차를 상기 지연량으로서 검출하는 것인 액정 표시 장치.

## 청구항 11.

제10항에 있어서, 상기 검출 회로는 상기 제1 펄스 파형의 상승에서 세트되고, 상기 제2 펄스 파형의 상승에서 리셋되는 플립플롭을 포함하는 것인 액정 표시 장치.

**청구항 12.**

제11항에 있어서, 상기 검출 회로의 상기 플립플롭의 출력, 클록 신호 및 리셋 신호를 수신하는 카운터 회로를 더 포함하고,

상기 카운터 회로는 상기 리셋 신호에 의해 리셋된 후에 상기 클록 신호의 클록 펄스를 카운트하며, 상기 플립플롭의 출력이 세트 상태인 기간 동안 상기 클록 펄스의 카운트를 정지하고, 카운트값이 소정수에 도달되면 펄스 신호를 생성하는 것인 액정 표시 장치.

**청구항 13.**

제12항에 있어서, 상기 데이터 드라이버는 상기 카운터 회로로부터 출력되는 상기 펄스 신호의 타이밍에 따른 타이밍으로 상기 데이터 펄스를 상기 데이터 버스 라인으로 출력하는 것인 액정 표시 장치.

**청구항 14.**

삭제

**청구항 15.**

삭제

**청구항 16.**

삭제

**청구항 17.**

삭제

**청구항 18.**

삭제

**청구항 19.**

삭제

명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액정 패널 구동 회로 및 액정 표시 장치에 관한 것이다.

액정 패널에서는 트랜지스터를 포함하는 화소가 가로 세로로 배치되고, 가로 방향으로 연장되는 게이트 버스 라인이 각 화소의 트랜지스터의 게이트에 접속되며, 세로 방향으로 연장되는 데이터 버스 라인이 트랜지스터를 통하여 각 화소의 커패시터에 접속된다. 액정 패널에 데이터를 표시할 때에는 게이트 드라이버에 의해 게이트 버스 라인을 1 라인씩 순차로 구동하고 1 라인분의 트랜지스터를 도통 상태로 하며, 도통된 트랜지스터를 통하여 데이터 드라이버로부터 각 화소로 가로 1 라인분의 데이터를 동시에 기록한다.

액정의 게이트를 구동할 때에는 게이트 버스 라인의 저항이나 용량 등의 부하에 의해 게이트 드라이버로부터 멀어질수록 게이트 파형에 보다 큰 왜곡이 발생한다. 이러한 파형 왜곡에 의해 게이트 드라이버에 가까운 위치와 먼 위치에서는 게이

트가 개방되는 기간의 타이밍이 상이하게 된다. 구체적으로는, 게이트 드라이버로부터 먼 위치에 있어서는 게이트 드라이버에 가까운 위치와 비교해서 게이트의 오픈 시간의 타이밍이 지연되고 있다. 따라서, 데이터 드라이버로부터의 액정 구동 전압의 출력 타이밍은 게이트 파형의 왜곡을 고려하여 설정할 필요가 있다.

**발명이 이루고자 하는 기술적 과제**

게이트 파형의 왜곡에 의해 게이트 드라이버로부터 먼 위치에 있어서 게이트의 오픈 시간의 타이밍이 지연되게 되면, 원래 이 위치의 화소에 기록될 데이터가 아니라, 다음 타이밍의 데이터(다음 라인의 데이터)가 기록될 가능성이 있다. 이것을 피하기 위해서는 게이트 드라이버로부터 먼 위치의 게이트 타이밍에 맞춰 데이터 드라이버에 의한 데이터 기록 시간을 설정할 필요가 있다. 그러나, 이와 같이 설정하면, 게이트 드라이버에 가까운 쪽의 위치에 있어서의 데이터 기록 시간을 저감시키는 결과가 된다.

액정 패널이 고선명화되면, 수평 주기가 짧게 되어 충분한 데이터 기록 시간을 확보하는 것이 어렵게 된다. 또한, 액정 패널의 사이즈가 대형화되면, 게이트 버스 라인 길이가 길게 되고, 게이트 파형 왜곡의 영향이 더욱 크게 된다. 따라서, 액정 패널이 고선명화 및 대형화될수록 충분한 데이터 기록 시간을 확보하는 것이 어렵게 된다.

본 발명은 상기한 문제를 감안하여 이루어진 것으로, 충분한 데이터 기록 시간을 확보한 액정 표시 장치의 구동 회로를 제공하는 것을 목적으로 한다.

또한, 데이터 드라이버에 의한 데이터 기록 시간의 설정은 액정 패널이 고선명화 및 대형화될수록 충분한 정밀도가 필요하게 된다. 종래에 있어서 데이터 기록 시간의 설정은 특정한 액정 패널에 대하여 검사한 값을 다른 기종의 액정 패널에 적용하거나, 장시간에 걸쳐 축적된 노하우에 기초하여 결정된 값을 여러 가지 액정 패널에 적용하고 있었기 때문에, 어떤 종류의 액정 패널에서는 기록 불량을 발생하는 경우 등이 있었다.

따라서, 본 발명은 액정 패널의 기종이나 게이트 버스 라인의 지연 특성에 상관없이 안정되고 고정밀도로 데이터 기록 시간을 설정하는 액정 표시 장치를 제공하는 것을 목적으로 한다.

또한, 액정 표시 장치의 물리적인 사이즈가 한정된 상태에서 표시 사이즈를 크게 하기 위해서는 표시 부분 주위에 있는 프레임 부분을 저감할 필요가 있다. 이것을 위해서는 복수의 드라이버에 대한 입력 신호선을 종래와 같이 프레임 부분에 배선 기판을 설치하고 이 배선 기판 상에 설치하는 것이 아니라, 액정 패널 내(TFT 기판상)에 직접 배선하며 복수의 드라이버를 캐스케이드(cascade) 접속하는 것이 바람직하다.

따라서, 본 발명은 액정 패널 내에 신호선을 배선하고 복수의 드라이버를 캐스케이드 접속하는 구성에 있어서, 신호 전달 거리의 차에 따른 지연이나 파형 왜곡에 관계없이 적절한 제어 타이밍으로 동작 가능한 데이터 드라이버를 제공하는 것을 목적으로 한다.

**발명의 구성**

본 발명에 따른 액정 패널 구동 회로는 액정 패널의 복수의 데이터 버스 라인에 각각 접속되고 액정 구동 전압을 출력하는 복수의 출력 회로를 포함하며, 상기 복수의 데이터 버스 라인의 선두 라인으로부터 최종 라인까지 순서대로 증가되는 지연량으로 상기 출력 회로로부터 상기 액정 구동 전압을 출력하는 것을 특징으로 한다.

상기 발명에 있어서는, 데이터 드라이버에 의해 액정 구동 전압을 공급하는 타이밍을 게이트 드라이버로부터의 각 데이터 버스 라인의 거리에 따라 조정함으로써 게이트 드라이버로부터의 거리에 상관없이 일정한 데이터 기록 시간을 확보할 수 있다.

또한, 본 발명에 따른 액정 표시 장치는 복수의 게이트 버스 라인과 복수의 데이터 버스 라인을 포함하는 액정 패널과, 상기 복수의 게이트 버스 라인을 게이트 펄스로 구동하는 게이트 드라이버와, 상기 복수의 게이트 버스 라인으로 전달되는 상기 게이트 펄스의 지연량을 검출하는 검출 회로와, 상기 검출 회로에 의해 검출된 상기 지연량에 따라 상기 복수의 데이터 버스 라인을 구동하는 데이터 펄스의 타이밍을 지연시키는 데이터 드라이버를 포함하는 것을 특징으로 한다.

상기 발명에 따른 액정 표시 장치에서는 실제의 게이트 펄스의 지연을 검출하고 이 지연량의 분량만큼 데이터 펄스를 지연시키기 때문에, 액정 패널의 기종이나 게이트 버스 라인의 지연 특성에 상관없이 안정하고 고정밀도로 데이터 기록 시간을 설정할 수 있다.

또한, 본 발명에 따른 액정 패널 구동 회로는 액정 패널의 데이터 버스 라인에 접속되고 상기 데이터 버스 라인으로 표시 데이터를 공급하는 액정 패널 구동 회로로서, 상기 표시 데이터 및 클럭 신호를 수신하는 입력단과, 상기 표시 데이터를 상기 데이터 버스 라인으로 출력하는 제1 출력단과, 상기 표시 데이터와 상기 클럭 신호를 동기시키는 동기 회로와, 상기 동기 회로에 의해 상기 클럭 신호에 동기된 상기 표시 데이터를 다음 단의 액정 패널 구동 회로로 출력하는 제2 출력단을 포함하는 것을 특징으로 한다.

상기 발명에 따른 데이터 드라이버에 있어서는, 다음 단에 출력하는 표시 데이터 신호에 대해서는 데이터 드라이버 내부에서 사용되고 있는 클럭 신호와 동기시켜 출력한다. 이것에 의해, 패널 내의 배선 거리의 차에 따른 지연이나 파형 왜곡에 관계없이 적절한 제어 타이밍으로 데이터 드라이버를 구동하는 것이 가능해진다.

이하에, 본 발명의 실시예를 첨부도의 도면을 이용하여 상세히 설명한다.

도 1은 본 발명의 원리를 설명하기 위한 도면이다.

도 1의 본 발명에 따른 액정 표시 장치는 액정 패널(10), 게이트 드라이버(11), 데이터 드라이버(12), 게이트 버스 라인(13) 및 데이터 버스 라인(14)을 포함한다. 게이트 버스 라인(13)과 데이터 버스 라인(14)의 교차부에 각 화소가 배치된다. 각 화소에 있어서, 게이트 버스 라인(13)이 트랜지스터의 게이트에 접속되고, 데이터 버스 라인(14)이 트랜지스터를 통하여 각 화소의 커패시터에 접속된다. 액정 패널에 데이터를 표시할 때에는 게이트 드라이버(11)에 의해 게이트 버스 라인(13)을 1 라인씩 순차 구동하여 1 라인분의 트랜지스터를 도통 상태로 하고, 도통된 트랜지스터를 통하여 데이터 드라이버(12)로부터 각 화소로 가로 1 라인분의 데이터를 동시에 기록한다.

도 2는 트랜지스터가 도통하는 타이밍을 설명하기 위한 타이밍도이다. 도 2의 (a)는 도 1의 점 A에 있어서 게이트 버스 라인(13)으로부터 화소의 게이트로 인가되는 전압을 나타낸다. 도 2의 (b)는 도 1의 점 B에 있어서 게이트 버스 라인(13)으로부터 화소의 게이트로 인가되는 전압을 나타낸다. 각 전압 파형이 점선으로 표시되는 트랜지스터의 임계치를 초과하고 있는 동안, 트랜지스터가 도통 상태, 다시 말해서 게이트가 개방되어 있는 상태로 된다. 도 2에 도시된 바와 같이, 게이트 드라이버(11)로부터 먼 점 B에 있어서는 게이트 드라이버(11)에 가까운 점 A와 비교해서 게이트의 오픈 기간의 타이밍이 지연되고 있다. 이 상태에서, 종래 기술과 같이 점 B의 타이밍에 맞춰 데이터 드라이버(12)로부터 액정 구동 전압(데이터)을 공급한 것으로는 점 A에 있어서 충분한 데이터 기록 시간을 확보하는 것이 곤란하다.

본 발명에 있어서는 데이터 드라이버(12)에 의해 액정 구동 전압을 공급하는 타이밍을 게이트 드라이버(11)로부터의 각 데이터 버스 라인(14)의 거리에 따라 조정함으로써 게이트 드라이버(11)로부터의 거리에 상관없이 일정한 데이터 기록 시간을 확보한다. 도 3은 본 발명에 있어서 데이터 드라이버가 액정 구동 전압을 공급하는 타이밍을 도시하는 도면이다.

도 3의 (a)는 도 1의 점 A에 있어서 게이트 버스 라인(13)으로부터 화소의 게이트로 인가되는 전압을 나타낸다. 도 3의 (b)는 도 1의 점 B에 있어서 게이트 버스 라인(13)으로부터 화소의 게이트로 인가되는 전압을 나타낸다. 도 3의 (c)는 도 1의 점 A에 대응하는 데이터 버스 라인(14)으로 데이터 드라이버(12)로부터 공급되는 액정 구동 전압을 나타낸다. 도 3의 (d)는 도 1의 점 B에 대응하는 데이터 버스 라인(14)으로 데이터 드라이버(12)로부터 공급되는 액정 구동 전압을 나타낸다.

도 3의 (a) 및 도 3의 (b)에 도시된 바와 같이, 게이트의 오픈 기간은 점 A에 대하여 점 B에 있어서 시간 T만큼 지연되고 있다. 본 발명에 있어서는, 도 3의 (c) 및 도 3의 (d)에 도시된 바와 같이, 데이터 드라이버(12)가 공급하는 액정 구동 전압의 타이밍을 조정함으로써 점 A에 대한 액정 구동 전압[도 3의 (c) 참조]의 공급 타이밍에 대하여 점 B에 대한 액정 구동 전압[도 3의 (d) 참조]의 공급 타이밍을 시간 T만큼 지연시킨다. 이것에 의해, 게이트 드라이버(11)로부터의 거리에 상관없이 일정한 데이터 기록 시간을 확보하는 것이 가능해진다.

도 4는 본 발명에 따른 데이터 드라이버(12)의 제1 실시예의 일례를 도시하는 도면이다.

도 4에 도시되는 데이터 드라이버(12)는 X 개의 출력 회로(21-1 내지 21-X)와, 복수의 버퍼(지연 소자)(22)를 포함한다. 각 출력 회로에는 데이터와 제어 신호가 입력되고, 제어 신호가 공급되는 타이밍에 따라 데이터(액정 구동 전압)가 데이터 버스 라인(14)으로 출력된다. 각 출력 회로의 제어 신호 입력측에는 대응하는 데이터 버스 라인(14)의 게이트 드라이버(11)로부터의 거리에 따라 소정 갯수의 버퍼가 설치되어 있다.

예를 들면, 게이트 드라이버(11)에서 가장 가까운 데이터 버스 라인(14)에 대응하는 출력 회로(21-1)에는 버퍼(22)는 설치되지 않고, 게이트 드라이버(11)에 2 번째로 가까운 데이터 버스 라인(14)에 대응하는 출력 회로(21-2)에는 1 개의 버

퍼(22)가 설치된다. 또한, 게이트 드라이버(11)에 3 번째로 가까운 데이터 버스 라인(14)에 대응하는 출력 회로(21-3)에는 2 개의 버퍼(22)가 설치된다. 이 후 마찬가지로, 게이트 드라이버(11)에 X 번째로 가까운 데이터 버스 라인(14)에 대응하는 출력 회로(21-X)에는 X-1 개의 버퍼(22)가 설치된다.

이것에 의해, 게이트 드라이버(11)로부터의 각 데이터 버스 라인(14)의 거리에 따라 데이터 드라이버(12)로부터 출력되는 액정 구동 전압의 타이밍을 조정하는 것이 가능해지고, 게이트 드라이버(11)로부터의 거리에 상관없이 일정한 데이터 기록 시간을 확보할 수 있다.

도 5는 본 발명에 따른 데이터 드라이버(12)의 제1 실시예의 변형예를 도시하는 도면이다.

도 5의 구성에 있어서는 복수 개(도면에서는 X-1 개)의 버퍼(지연 소자)(23)가 직렬로 접속되고, 각 버퍼(23)의 출력이 출력 회로(21-1 내지 21-X)가 대응하는 하나로 공급된다. 이것에 의해, 도 4의 구성의 경우와 마찬가지로, 게이트 드라이버(11)로부터의 각 데이터 버스 라인(14)의 거리에 따라 데이터 드라이버(12)로부터 출력하는 액정 구동 전압의 타이밍을 조정하는 것이 가능해지고, 게이트 드라이버(11)로부터의 거리에 상관없이 일정한 데이터 기록 시간을 확보할 수 있다.

도 6은 데이터 드라이버(12)의 출력 회로로 공급되는 데이터와 제어 신호의 타이밍을 도시하는 도면이다. 도 6에 도시된 바와 같이, 각 출력 회로(21-1 내지 21-X)에 대하여 출력(OUT1 내지 OUTX)의 출력 타이밍을 규정하는 제어 신호가 순서대로 크게 되는 지연을 수반하여 공급된다. 이 지연은 도 4의 버퍼(22) 또는 도 5의 버퍼(23)에 의해 생성된다.

도 7은 데이터 드라이버(12)의 출력 회로로부터의 출력 전압을 도시하는 도면이다.

도 7의 (a) 내지 도 7의 (d)는 각각 출력 회로(21-1, 21-2, 21-3, 21-X)의 출력(OUT1, OUT2, OUT3, OUTX)의 전압 파형 및 타이밍을 도시한다. 도 7의 (b)에 도시된 바와 같이, 출력(OUT2)은 출력(OUT1)과 비교해서 시간 T1만큼 타이밍이 지연되어 출력된다. 여기서 시간 T1은 버퍼(22 또는 23)의 지연 시간에 해당한다. 또한, 도 7의 (c)에 도시된 바와 같이, 출력(OUT3)은 출력(OUT1)과 비교해서 시간 2×T1만큼 타이밍이 지연되어 출력된다. 마찬가지로, 도 7의 (d)에 도시된 바와 같이, 출력(OUTX)은 출력(OUT1)과 비교해서 시간 (X-1)×T1만큼 타이밍이 지연되어 출력된다.

도 8은 본 발명에 따른 데이터 드라이버(12)의 제2 실시예의 구성의 일례를 도시하는 도면이다. 도 8에 있어서, 도 4와 동일한 구성 요소에는 동일한 참조 번호를 부여하고, 그 설명은 생략한다.

일반적으로 액정 표시 장치에 있어서는 도 1에 도시된 바와 같이 복수의 데이터 드라이버(12)가 하나의 액정 패널(10)에 대하여 설치되고, 각 데이터 드라이버(12)가 액정 패널(10)의 가로 방향에 대해서 소정 부분의 데이터 기록을 담당한다. 이러한 구성에서는 본 발명과 같이 데이터 드라이버(12)로부터 데이터 버스 라인(14)으로 공급되는 액정 구동 전압의 타이밍을 조정할 경우에, 인접하는 데이터 드라이버(12) 사이에서 타이밍이 정합하고 있을 필요가 있다. 도 8의 데이터 드라이버(12)의 구성에 있어서는, 버퍼(22)에 대응하는 지연을 갖는 버퍼(지연 소자)(32)가 설치되고, 버퍼(32)의 출력을 외부로 공급한다. 이 버퍼(32)의 출력은 도 10에 도시된 바와 같이, 다음 단의 데이터 드라이버(12)로 공급된다.

또한, 도 8의 데이터 드라이버(12)의 구성에 있어서, 버퍼(32)는 다음 단으로의 출력측에 설치하지 않고, 제어 신호를 수신하는 전단으로부터의 입력측에 설치하도록 하여도 좋다.

도 9는 본 발명에 따른 데이터 드라이버(12)의 제2 실시예의 구성의 변형예를 도시하는 도면이다. 도 9에 있어서 도 5와 동일한 구성 요소에는 동일한 참조 번호를 부여하고, 그 설명은 생략한다. 도 9에 있어서는 도 5의 구성에 대하여 버퍼(23)에 대응하는 지연을 갖는 버퍼(지연 소자)(32)가 설치되고 버퍼(32)의 출력을 외부로 공급한다. 이 버퍼(32)의 출력은 도 10에 도시된 바와 같이 다음 단의 데이터 드라이버(12)로 공급된다. 또한, 도 9의 데이터 드라이버(12)의 구성에 있어서, 버퍼(32)는 다음 단으로의 출력측에 설치하지 않고, 제어 신호를 수신하는 전단으로부터의 입력측에 설치하도록 해도 좋다.

도 11은 본 발명에 따른 데이터 드라이버(12)의 제3 실시예의 일례를 도시하는 도면이다.

도 11의 데이터 드라이버(12)에 있어서 출력 회로(21-1 내지 21-X) 중에서 출력 회로(21-2 내지 21-X)의 제어 신호 입력측에는 2 입력 AND 회로(41), 한 쪽 입력이 부논리 입력인 2 입력 AND 회로(42), OR 회로(43) 및 복수의 버퍼(지연 소자)(51)로 구성되는 회로가 설치된다. 또한, 선택 신호가 2 입력 AND 회로(41)의 한 쪽 입력으로 공급됨과 동시에, 2 입력 AND 회로(42)의 부논리 입력측의 입력으로 공급된다.

선택 신호가 HIGH일 때에는 2 입력 AND 회로(41)측 버퍼(51)의 열을 통하여 공급되는 제어 신호가 대응하는 출력 회로로 공급된다. 또한, 선택 신호가 LOW일 때에는 2 입력 AND 회로(42)측 버퍼(51)의 열을 통하여 공급되는 제어 신호가 대응하는 출력 회로로 공급된다. 각 회로에 있어서, 2 입력 AND 회로(41)측 버퍼(51)의 열에 대하여 2 입력 AND 회로(42)측 버퍼(51)의 열에 있어서는, 배수(倍數)의 버퍼(51)가 설치되어 있고, 배(倍)의 지연 시간을 제공하도록 구성된다. 따라서, 선택 신호를 HIGH로 설정하거나 LOW로 설정함에 따라 데이터 드라이버(12)로부터 출력되는 액정 구동 전압(출력 OUT1 내지 출력 OUTX)의 지연량을 제어할 수 있다.

도 12는 본 발명에 따른 데이터 드라이버(12)의 제3 실시예의 변형예를 도시하는 도면이다.

도 12의 데이터 드라이버(12)에 있어서 출력 회로(21-1 내지 21-X) 중에서 출력 회로(21-2 내지 21-X)의 제어 신호 입력측에는 2 입력 AND 회로(61), 한 쪽 입력이 부논리 입력인 2 입력 AND 회로(62), OR 회로(63) 및 2 개의 버퍼(지연 소자)(71)로 구성되는 회로가 설치된다. 또한, 선택 신호가 2 입력 AND 회로(61)의 한 쪽 입력으로 공급됨과 동시에, 2 입력 AND 회로(62)의 부논리 입력측의 입력으로 공급된다.

선택 신호가 HIGH일 때에는 2 입력 AND 회로(61)측 버퍼(71)를 통하여 공급되는 제어 신호가 대응하는 출력 회로로 공급된다. 또한, 선택 신호가 LOW일 때에는 2 입력 AND 회로(62)측 버퍼(71)를 통하여 공급되는 제어 신호가 대응하는 출력 회로로 공급된다. 각 회로에 있어서, 2 입력 AND 회로(61)측에는 단지 1 개의 버퍼(71)가 설치되고, 2 입력 AND 회로(62)측에는 2 개의 버퍼(71)가 설치된다. 이것에 의해, 2 입력 AND 회로(62)측이 선택될 때에는 배의 지연 시간을 제공하도록 구성된다. 따라서, 선택 신호를 HIGH로 설정하거나 LOW로 설정함에 따라 데이터 드라이버(12)로부터 출력하는 액정 구동 전압(출력 OUT1 내지 출력 OUTX)의 지연량을 제어할 수 있다.

도 13은 본 발명에 따른 데이터 기록 시간 설정 기능을 가진 액정 표시 장치의 실시예를 도시하는 도면이다.

도 13의 액정 표시 장치(100)는 기준 전압 생성 회로(110), 타이밍 제어기(111), 데이터 드라이버(112), 게이트 드라이버(113) 및 액정 패널(114)을 포함한다. 액정 표시 장치(100)는 호스트 장치로부터 표시 데이터 신호, 클럭 신호 및 인에이블 신호 등의 제어 신호를 수신하고, 이들 신호에 기초하여 동작한다. 기준 전압 생성 회로(110)는 기준 전압을 생성하여 타이밍 제어기(111)와 게이트 드라이버(113)로 공급한다. 타이밍 제어기(111)는 호스트 장치로부터의 신호에 기초하여 데이터 드라이버(112) 및 게이트 드라이버(113)를 구동하는 제어 신호·타이밍 신호를 생성하고 데이터 드라이버(112) 및 게이트 드라이버(113)로 공급한다. 데이터 드라이버(112)는 액정 패널(114)의 게이트 버스 라인을 게이트 펄스에 의해 구동한다. 게이트 드라이버(113)는 액정 패널(114)의 데이터 버스 라인을 데이터 펄스에 의해 구동한다.

타이밍 제어기(111)는 제어 신호 생성 회로(121), 검출 회로(122), LP 생성 회로(123) 및 구동 신호 생성 회로(124)를 포함한다. 제어 신호 생성 회로(121)는 데이터 드라이버(112) 및 게이트 드라이버(113)를 제어하는 제어 신호·타이밍 신호를 포함하고, 여러 가지 제어 신호를 생성한다. 검출 회로(122)는 액정 패널(114)의 게이트 버스 라인에 의한 게이트 펄스의 지연 시간을 검출한다. 검출된 게이트 펄스의 지연 시간은 LP 생성 회로(123)로 공급된다. LP 생성 회로(123)는 데이터 드라이버(112) 내부에서 표시 데이터를 출력용 D/A 컨버터에 전송시키는 래치 펄스 LP를 생성한다. 구동 신호 생성 회로(124)는 데이터 드라이버(112)가 액정 패널(114)에 기록하는 표시 데이터를 적절한 타이밍으로 데이터 드라이버(112)로 공급한다.

검출 회로(122)는 액정 패널(114)의 게이트 버스 라인(126)으로부터 게이트 드라이버(113)에서 가장 가까운 점 A의 게이트 펄스와 게이트 드라이버(113)에서 가장 먼 점 B의 게이트 펄스를 입력으로서 수신하고, 양 펄스의 시간차, 즉 게이트 펄스의 지연 시간을 나타내는 펄스 신호를 생성하여 LP 생성 회로(123)로 공급한다. LP 생성 회로(123)는 데이터 드라이버(112)로부터 액정 패널(114)로의 아날로그 데이터 신호의 출력 타이밍을 결정하는 래치 펄스 LP를 생성하지만, 이 래치 펄스 LP의 타이밍을 검출 회로(122)로부터 공급되는 펄스 신호의 펄스 폭에 따라 지연시킨다. 이것에 의해, 데이터 드라이버(112)로부터 출력되는 기록 데이터 신호인 데이터 펄스의 타이밍을 게이트 펄스의 지연 시간에 따라 지연시킬 수 있게 된다.

도 14는 검출 회로(122)의 구성을 도시한 회로도이다.

검출 회로(122)는 비교기(131, 132), 전압 변환기(133) 및 JK 플립플롭(134)을 포함한다. 비교기(131, 132)는 게이트 버스 라인(126)의 A점 및 B점으로부터의 아날로그 펄스 파형을 수신하여 디지털 신호로 변환한다. 변환후의 디지털 신호는

전압 변환기(133)에서 JK 플립플롭(134)용 전압으로 변환된 후 JK 플립플롭(134)으로 입력된다. JK 플립플롭(134)은 A점의 펄스의 상승에서 세트되고 B점의 펄스의 상승에서 리셋된다. 따라서, JK 플립플롭(134)의 출력은 A점의 펄스와 B점의 펄스의 시간차, 즉 게이트 버스 라인의 지연 시간과 동등한 폭의 펄스 신호가 된다.

게이트 버스 라인의 지연 시간과 동등한 기간동안 LOW로 되는 JK 플립플롭(134)의 부논리 출력은 LP 생성 회로(123)의 인에이블 입력(ENAB)으로 입력된다. 또한, LP 생성 회로(123)의 클럭 입력(CLK)으로는 제어 신호 생성 회로(121)로부터 클럭 신호가 공급된다. 또한, LP 생성 회로(123)의 리셋 입력(RE)으로는 제어 신호 생성 회로(121)로부터 1 수평 기간의 개시를 나타내는 펄스 신호(기준 펄스)가 입력된다. 또한, 클리어 입력(CLR)은 통상은 LOW로 설정된다.

LP 생성 회로(123)는 ASIC 등에 의해 실현되는 카운터 회로로서, 종래부터 액정 표시 장치에서 사용되는 회로이다. 이 LP 생성 회로(123)는 클럭 입력(CLK)으로 입력되는 클럭 신호의 클럭수를 카운트하여 소정의 카운트수에서 래치 펄스(LP)를 출력하도록 구성된다. 리셋 입력(RE)이 공급되면 카운트값은 리셋된다. 본 발명에서는 이 회로의 인에이블 입력(ENAB)을 이용하여 출력 신호인 래치 펄스(LP)의 타이밍을 지연시킨다. 인에이블 입력(ENAB)이 LOW인 동안에는 클럭 입력(CLK)으로 입력되는 클럭 신호의 클럭수는 카운트되지 않는다. 따라서, 인에이블 입력(ENAB)으로 LOW 펄스 신호를 입력하면, 이 펄스 신호가 LOW인 동안만 카운트가 정지하고 펄스 폭에 대응하는 시간만큼 래치 펄스 LP의 출력 타이밍이 지연되게 된다.

도 15는 도 13 및 도 14에 도시된 구성에 의한 데이터 기록 시간 설정의 동작을 설명하기 위한 타이밍도이다.

도 15의 (a)는 LP 생성 회로(123)의 리셋 입력(RE)으로 공급되는 기준 펄스를 나타내고, 각 수평 기간의 개시 타이밍을 나타낸다. 도 15의 (b)는 본 발명에 따른 타이밍 보정이 없는 경우의 래치 펄스 LP를 나타내고, 이 래치 펄스 LP가 지시하는 타이밍이며, 도 15의 (c)에 도시된 바와 같이 데이터 드라이버(112)로부터 기록 데이터 신호가 출력된다. 여기서 도 15의 (c)에 도시되는 데이터 신호 파형은 본 발명에 따른 타이밍 보정이 없는 경우의 타이밍을 나타내는 파형이다.

도 15의 (d)는 도 13의 A점에 있어서의 게이트 펄스의 파형을 나타내고, 도 15의 (e)는 도 13의 B점에 있어서 관측되는 파형이 왜곡된 게이트 펄스의 파형을 나타낸다. B점에 있어서의 게이트 펄스의 파형의 하강은 A점에 있어서의 게이트 펄스의 파형의 하강보다 상당히 지연한다. 이 때문에 B점 있어서는, 도 15의 (c)에 도시되는 보정이 없는 데이터의 경우 본래의 기록 데이터가 아니라 다음 기록 데이터 NEXT가 기록될 가능성이 있다.

본 발명에 있어서는, 도 15의 (d)에 도시되는 A점에 있어서의 게이트 펄스의 파형의 상승과, 도 15의 (e)에 도시되는 B점에 있어서의 게이트 펄스의 파형의 상승과의 시간차를 검출 회로(122)에서 검출하고, 도 15의 (f)에 도시되는 지연 펄스로서 출력한다. 이 지연 펄스의 펄스 폭만큼 LP 생성 회로(123)에 있어서 래치 펄스 LP의 생성 타이밍을 지연시킴으로써, 도 15의 (g)에 도시되는 보정후의 래치 펄스 LP를 얻을 수 있다. 이 래치 펄스 LP가 지시하는 타이밍으로, 도 15의 (h)에 도시된 바와 같이 데이터 드라이버(112)로부터 기록 데이터 신호가 출력된다. 여기서 도 15의 (h)에 도시되는 데이터 신호 파형은 본 발명에 따른 타이밍 보정이 이루어진 파형이다.

도 15의 (h)에 도시된 기록 데이터의 타이밍은 도 15의 (c)의 보정이 없는 기록 데이터의 타이밍과 비교해서 지연 펄스 폭만큼의 지연이 포함되어 있다. 따라서, A점에서는 도 15의 (d)에 도시되는 게이트 펄스이고 B점에서는 도 15의 (e)에 도시되는 파형이 왜곡된 게이트 펄스이더라도, A점 및 B점에 있어서 본래의 데이터 기록의 대상인 데이터를 정상적으로 기록할 수 있다. 다시 말해서, A점으로부터 B점까지의 모든 위치에 있어서 정상적인 데이터 기록을 달성할 수 있다.

이와 같이, 본 발명에 따른 데이터 기록 시간 설정 기구에 따르면, 실제의 게이트 펄스의 지연을 검출하고 이 지연량만큼 데이터 펄스를 지연시키기 때문에, 액정 패널의 기중이나 게이트 버스 라인의 지연 특성에 상관없이 안정하고 고정밀도로 데이터 기록 시간을 설정할 수 있다.

이하에, 본 발명의 다른 측면에 대해서 설명한다.

개인용 컴퓨터·모니터의 공간 절약화에 부가하여 표시 용량 및 표시 사이즈의 대형화가 요구되고 있다. 액정 표시 장치는 TFT 기판과 공통 기판을 대향하여 접합시키고, 그 사이에 액정을 배치하는 구조로 되어 있다. 액정은 TFT 기판 전극과 공통 기판 전극의 전압차에 따른 광의 투과량이 결정되어 있고 전압의 차에 의해 계조를 갖게 된다. 이 전압차를 부가하고 액정 표시 장치의 화소에 전압을 유지시키기 위해서, TFT 기판에는 소스측 드라이버 IC(데이터 드라이버)와 게이트측 드라이버 IC(게이트 드라이버)가 전기적으로 접속되어 있다. 액정 표시 장치의 프레임에는 상기 소스측 드라이버와 게이트측 드라이버가 전기적으로 접속될 필요가 있고, 이들 드라이버 IC에는 제어 신호를 입력하는 프린트 기판이나 가요성 기판 등의 수단이 필요하다.

도 16은 종래의 액정 표시 장치의 구성을 도시하는 도면이다.

종래의 액정 표시 장치는 액정 패널(221), 소스측 가요성 기관(222), 게이트측 가요성 기관(223), 소스측 배선 기관(224), 게이트측 배선 기관(225), 소스측 구동 IC(226), 게이트측 구동 IC(227), 접속 기관(228) 및 입력 신호선(229)을 포함한다. 도 16에 도시된 바와 같이, 종래의 액정 표시 장치의 구성에서는 액정 패널(221) 주위에 소스측 배선 기관(224) 및 게이트측 배선 기관(225)을 설치하고 이들 배선 기관 상에 입력 신호선(229)을 배선하고 있다.

모니터 장치의 물리적인 사이즈가 한정된 상태에서 표시 사이즈를 크게 하기 위해서는 표시 부분 주위에 있는 프레임 부분을 저감할 필요가 있다. 이를 위해서는 복수 드라이버(구동 IC)에 대한 입력 신호선(229)을 도 16에 도시된 바와 같이 프레임 부분에 배선 기관을 설치하고 배선 기관 상에 설치하지 않으며, TFT 기관 상에 직접 배선하는 경향이 강해지고 있다.

도 17은 입력 신호선을 TFT 기관 상에 배선한 구성을 도시하는 도면이다.

도 17의 액정 표시 장치는 액정 패널(231), 소스측 가요성 기관(232), 게이트측 가요성 기관(233), 소스측 구동 IC(236), 게이트측 구동 IC(237), 접속 기관(238) 및 입력 신호선(239)을 포함한다. 도 17에 도시된 바와 같이, 복수 드라이버(구동 IC)는 입력 신호를 수신하여 액정으로 출력 신호를 공급함과 동시에, 복수 드라이버를 캐스캐이드 접속으로 구동하기 위해서 다음 단으로 신호를 출력한다. 그러나, 도 17에 도시된 바와 같이 TFT 기관 상에 입력 신호선(239)을 배선하면, 신호 입력에 가까운 위치에서는 드라이버 입력 파형에 지연이나 파형 왜곡이 없지만, 멀어짐에 따라 패널 내 배선 저항이나 기생 용량의 영향으로 데이터 신호나 클럭 신호의 파형이 왜곡되거나 지연이 발생하거나 한다.

패널의 배선 저항을 작게 하거나, 지연을 미리 예상하여 타이밍을 조정하거나 하는 등의 대책을 생각할 수 있지만, 표시 패널이 대형화 및 고선명화됨에 따라 신호 입력에 가까운 IC와 먼 IC의 시간차가 크게 되어 적절한 대책을 취하기 어렵게 된다.

이하에, 상기 배선 지연의 문제를 해결하는 본 발명의 데이터 드라이버에 대해서 설명한다.

도 18은 본 발명에 따른 데이터 드라이버의 구성을 도시하는 도면이다.

도 18의 데이터 드라이버는 시프트 레지스터부(241), 데이터 레지스터부(242), 래치부(243), 레벨 시프트부(244), D/A 컨버터부(245) 및 출력부(246)를 포함한다.

시프트 레지스터부(241)는 개인용 컴퓨터 등의 호스트 장치측 또는 제어 장치 등으로부터 공급되는 데이터 클럭 신호(ICLK)에 기초하여 복수의 출력선을 순차 제공함으로써 데이터 레지스터부(242)로 데이터 래치 신호를 공급한다. 데이터 레지스터부(242)는 시프트 레지스터부(241)로부터 공급되는 데이터 래치 신호에 기초하여 순차 공급되는 RGB 표시 데이터를 내부 레지스터 회로에 저장한다. 이와 같이 하여, 데이터 레지스터부(242)에는 하나의 표시 라인(게이트 버스 라인)의 대응하는 부분의 표시 데이터가 저장된다. 데이터 레지스터부(242)에 저장된 표시 데이터는 래치 펄스 LP에 동기하여 래치부(243)에 래치된다.

래치부(243)에 저장된 표시 데이터는 레벨 시프트부(244)를 통하여 D/A 컨버터부(245)로 공급된다. D/A 컨버터부(245)에는 각 데이터 라인에 대응하여 DA 변환 회로가 설치되어 있고, 이 DA 변환 회로에서 입력 표시 데이터를 DA 변환하고 아날로그 계조 신호로서 출력한다. D/A 컨버터부(245)로는 기준 전압군이 공급된다. 각 DA 변환 회로는 기준 전압군의 전압간을 더 분압함으로써 각 계조에 대응하는 전위를 생성하고, 공급되는 디지털 표시 데이터에 대응하는 전위를 아날로그 계조 신호로서 출력한다.

출력부(246)는 각 데이터 라인마다 설치되는 출력 버퍼를 포함하고, 각 출력 버퍼가 D/A 컨버터부(245)로부터 대응하는 아날로그 계조 신호를 수신한다. 각 출력 버퍼는 수신한 아날로그 계조 신호를 데이터 버스 라인을 구동하는 데이터 버스 라인 구동 신호로서 TFT 기관으로 출력한다.

본 발명의 데이터 드라이버에 있어서는 데이터 레지스터부(242)로 입력되는 표시 데이터 R, G 및 B를 시프트 레지스터부(241)로부터 다음 단으로 출력되는 출력 클럭(OCLK)에 동기하여 데이터 레지스터부(242)로부터 표시 데이터 OR, OG 및 OB로서 다음 단으로 출력한다. 또한, 다음 단으로 출력되는 캐스캐이드 신호를 출력 클럭(OCLK)에 동기하여 시프트 레지스터부(241)로부터 출력한다. 이 캐스캐이드 신호는 상기 데이터 드라이버에 대응하는 데이터의 개시 타이밍을 나타내는 신호이다.

도 19는 데이터 레지스터부(242)의 제1 실시예를 도시하는 도면이다.

도 19의 데이터 레지스터부(242)는 레지스터(250-1, 250-2, 250-3, ...) 및 출력 레지스터(251)를 포함한다. 레지스터(250-1, 250-2, 250-3, ...)는 시프트 레지스터부(241)로부터 공급되는 데이터 래치 신호에 기초하여 순차 공급되는 RGB 표시 데이터를 저장한다. 출력 레지스터(251)는 시프트 레지스터부(241)로부터 다음 단으로 공급되는 출력 클록(OCLK)에 동기하여 표시 데이터 RGB를 저장함으로써 출력 표시 데이터 OR, OG 및 OB를 출력 클록(OCLK)에 동기하여 다음 단으로 공급한다.

도 20은 데이터 레지스터부(242)의 제2 실시예를 도시하는 도면이다.

도 20의 데이터 레지스터부(242)는 레지스터(250-1, 250-2, 250-3, ...) 및 병렬/직렬 변환부(252)를 포함한다. 병렬/직렬 변환부(252)는 시프트 레지스터부(241)로부터 다음 단으로 공급되는 출력 클록(OCLK)에 동기하여 레지스터(250-1, 250-2, 250-3, ...)에 저장되는 병렬의 표시 데이터 RGB를 직렬 데이터로 변환하고, 출력 표시 데이터 OR, OG 및 OB로서 다음 단으로 공급한다. 또한, 도 20의 구성에 있어서, 병렬·직렬 변환부(252)는 데이터 레지스터부(242) 대신에 래치부(243)에 설치하더라도 좋다.

상기 설명에 있어서 시프트 레지스터부(241)로부터 공급되는 출력 클록(OCLK)은 시프트 레지스터부(241)로 공급되는 입력 클록(ICLK)과 동일한 신호이더라도 좋다. 단, 시프트 레지스터부(241)의 내부에 버퍼를 설치하는 경우 등에서는 출력 클록(OCLK)은 입력 클록(ICLK)과 타이밍이 상이하게 된다. 이러한 경우에는 시프트 레지스터부(241)로부터 출력되는 캐스캐이드 신호도 출력 클록(OCLK)에 동기시킬 필요가 있다.

도 21은 시프트 레지스터부(241)에 있어서 다음 단으로 공급되는 캐스캐이드 신호를 출력 클록에 동기시키는 구성을 도시하는 도면이다.

도 21의 구성은 카운터(261) 및 래치 회로(262)를 포함한다. 카운터(261)는 복수의 데이터 드라이버로부터 동시에 데이터를 출력하는 타이밍을 나타내는 래치 펄스 LP에 의해 리셋되고, 그 후 입력 클록(ICLK)의 클록 펄스를 카운트하고 카운트 수가 소정수가 되면 출력을 어서트한다. 이 출력이 종래에 있어서는 다음 단으로 출력되는 캐스캐이드 신호이다. 본 발명에 있어서는 이 캐스캐이드 신호를 출력 클록(OCLK)에 동기하여 래치 회로(262)에 래치한다. 이것에 의해, 출력 클록(OCLK)에 동기하여 래치 회로(262)로부터 캐스캐이드 신호를 다음 단으로 출력한다.

도 22는 본 발명에 따른 표시 데이터 신호 및 캐스캐이드 신호의 타이밍을 도시하는 타이밍도이다.

도 22에 있어서, 도 22의 (a)는 입력 표시 데이터 신호 RGB를 나타내고, 도 22의 (b)는 도 21의 카운터(261)로부터 출력되는 캐스캐이드 신호를 나타낸다. 도 22의 (c)에 도시되는 출력 클록 신호(OCLK)에 동기하여 입력 표시 데이터 신호 RGB를 래치함으로써, 도 22의 (d)에 도시되는 다음 단으로의 출력 표시 데이터 신호 OR, OG 및 OB를 얻을 수 있다. 또한, 출력 클록 신호(OCLK)에 동기하여 도 22의 (b)의 캐스캐이드 신호를 래치함으로써, 도 22의 (e)에 도시되는 다음 단으로의 출력 캐스캐이드 신호 OR, OG 및 OB를 얻을 수 있다.

이와 같이 본 발명에 따른 데이터 드라이버에 있어서는, 다음 단으로 출력되는 표시 데이터 신호나 캐스캐이드 신호에 대해서는 데이터 드라이버 내부에서 사용되고 있는 클록 신호와 동기시켜 출력한다. 이것에 의해, 패널 내 배선의 거리의 차에 의한 지연이나 파형 왜곡에 관계없이 적절한 제어 타이밍으로 데이터 드라이버를 구동하는 것이 가능해지고, 대형 패널에 있어서의 패널 내 배선이 가능하게 된다.

이상, 본 발명을 실시예에 기초하여 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고, 특허청구범위에 기재한 범위 내에서 여러 가지 변형이 가능하다.

### 발명의 효과

본 발명에 있어서는 데이터 드라이버에 의해 액정 구동 전압을 공급하는 타이밍을 게이트 드라이버로부터의 각 데이터 버스 라인의 거리에 따라 조정함으로써 게이트 드라이버로부터의 거리에 상관없이 일정한 데이터 기록 시간을 확보할 수 있다.

또한, 본 발명에 따른 액정 표시 장치에서는 실제의 게이트 펄스의 지연을 검출하고 이 지연량의 분량만큼 데이터 펄스를 지연시키기 때문에, 액정 패널의 기종이나 게이트 버스 라인의 지연 특성에 상관없이 안정되고 고정밀도로 데이터 기록 시간을 설정할 수 있다.

또한, 본 발명에 따른 데이터 드라이버에 있어서는, 다음 단으로 출력되는 표시 데이터 신호에 대해서는 데이터 드라이버 내부에서 사용되고 있는 클럭 신호와 동기시켜 출력한다. 이것에 의해, 패널 내 배선의 거리의 차에 의한 지연이나 과형 왜곡에 관계없이 적절한 제어 타이밍으로 데이터 드라이버를 구동하는 것이 가능하게 되고, 대형 패널에 있어서의 패널 내 배선이 가능하게 된다.

### 도면의 간단한 설명

도 1은 본 발명의 원리를 설명하기 위한 도면.

도 2는 트랜지스터가 도통하는 타이밍을 설명하기 위한 타이밍도.

도 3은 본 발명에 있어서 데이터 드라이버가 액정 구동 전압을 공급하는 타이밍을 도시하는 도면.

도 4는 본 발명에 따른 데이터 드라이버의 제1 실시예의 일례를 도시하는 도면.

도 5는 본 발명에 따른 데이터 드라이버의 제1 실시예의 변형예를 도시하는 도면.

도 6은 데이터 드라이버의 출력 회로로 공급되는 데이터와 제어 신호의 타이밍을 도시하는 도면.

도 7은 데이터 드라이버의 출력 회로로부터의 출력 전압을 도시하는 도면.

도 8은 본 발명에 따른 데이터 드라이버의 제2 실시예의 구성의 일례를 도시하는 도면.

도 9는 본 발명에 따른 데이터 드라이버의 제2 실시예의 구성의 변형예를 도시하는 도면.

도 10은 데이터 드라이버의 캐스케이드 접속을 도시하는 도면.

도 11은 본 발명에 따른 데이터 드라이버의 제3 실시예의 일례를 도시하는 도면.

도 12는 본 발명에 따른 데이터 드라이버의 제3 실시예의 변형예를 도시하는 도면.

도 13은 본 발명에 따른 데이터 기록 시간 설정 기능을 가진 액정 표시 장치의 실시예를 도시하는 도면.

도 14는 검출 회로의 구성을 도시하는 회로도.

도 15는 데이터 기록 시간 설정 동작을 설명하기 위한 타이밍도.

도 16은 종래의 액정 표시 장치의 구성을 도시하는 도면.

도 17은 입력 신호선을 TFT 기관 상에 배선한 구성을 도시하는 도면.

도 18은 본 발명에 따른 데이터 드라이버의 구성을 도시하는 도면.

도 19는 데이터 레지스터부의 제1 실시예를 도시하는 도면.

도 20은 데이터 레지스터부의 제2 실시예를 도시하는 도면.

도 21은 시프트 레지스터부에 있어서 다음 단으로 공급하는 캐스캐이드 신호를 출력 클럭에 동기시키는 구성을 도시하는 도면.

도 22는 본 발명에 따른 표시 데이터 신호 및 캐스캐이드 신호의 타이밍을 도시하는 타이밍도.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 액정 패널

11 : 게이트 드라이버

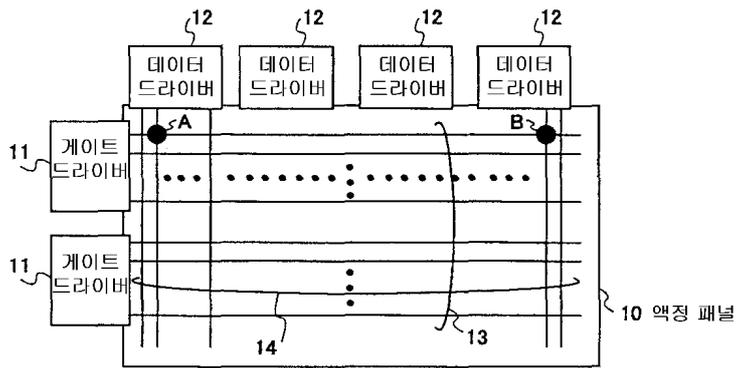
12 : 데이터 드라이버

13 : 게이트 버스 라인

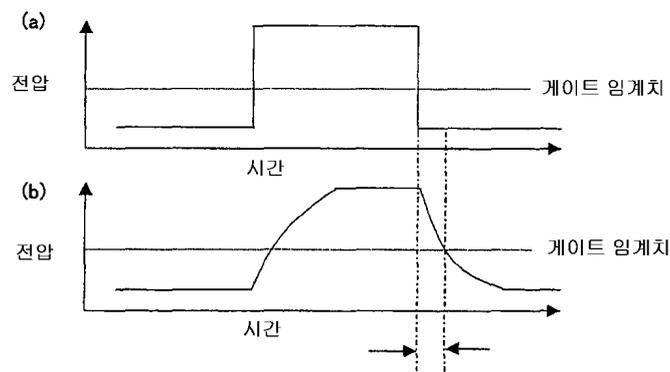
14 : 데이터 버스 라인

도면

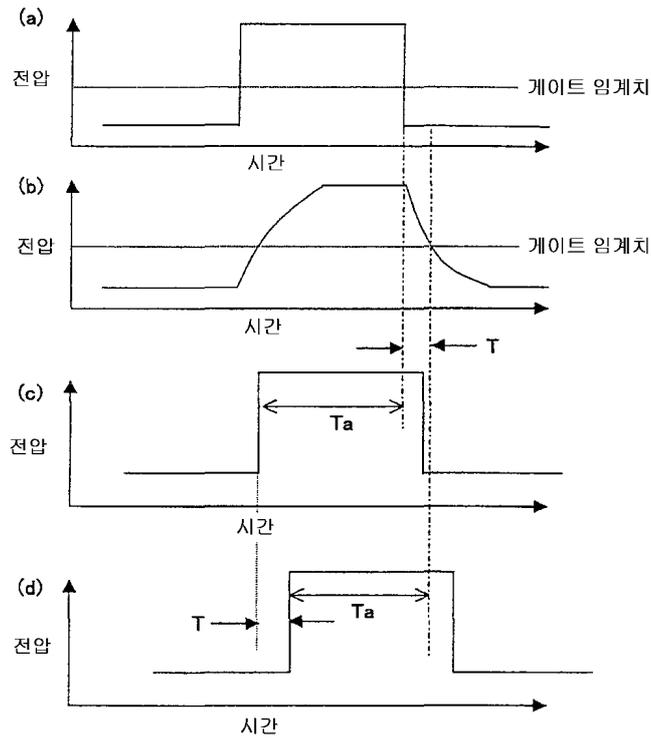
도면1



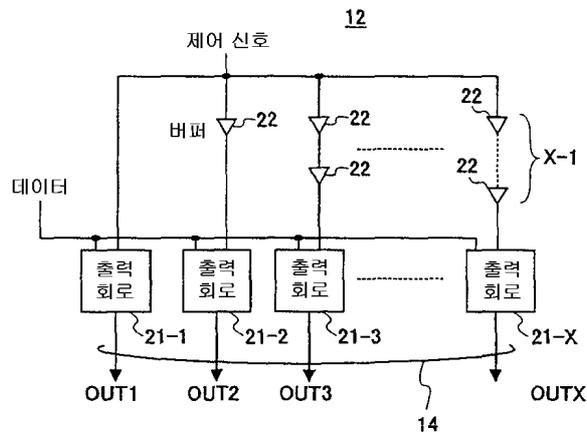
도면2



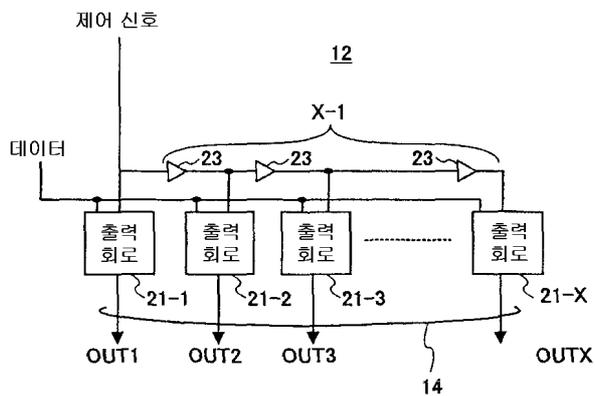
도면3



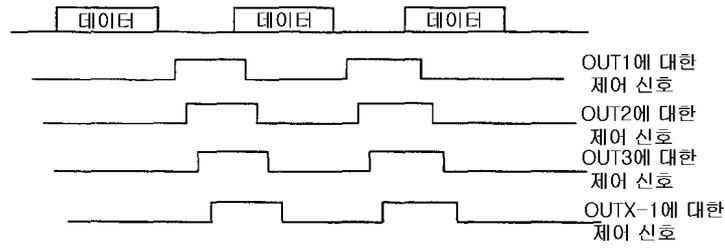
도면4



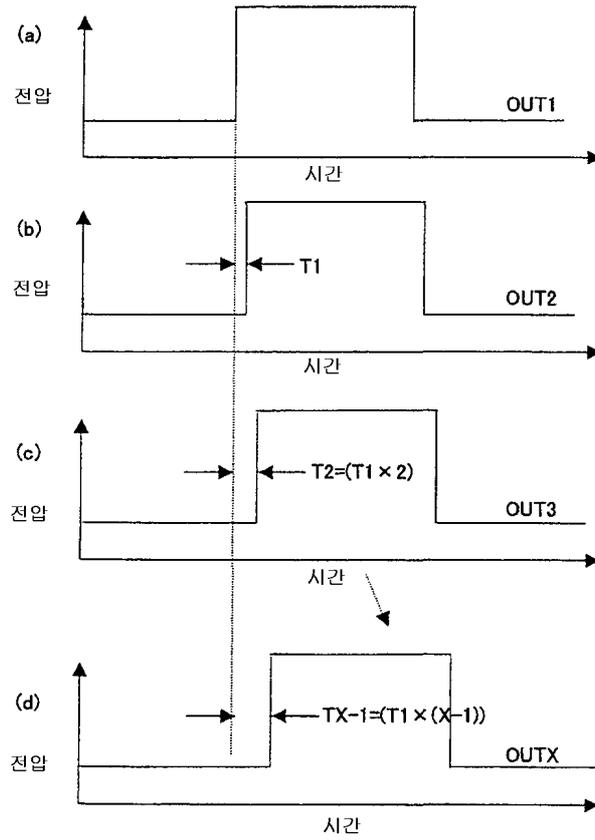
도면5



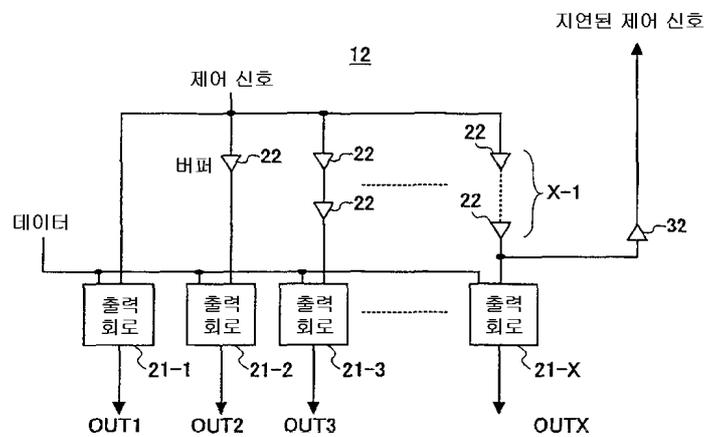
도면6



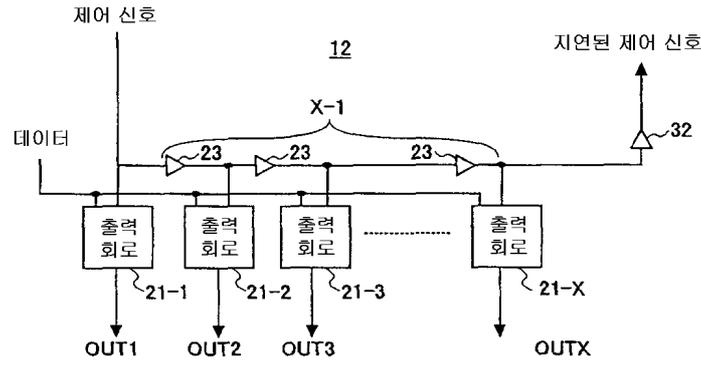
도면7



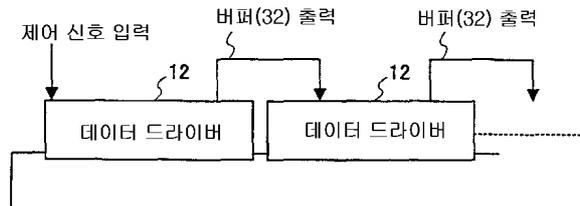
도면8



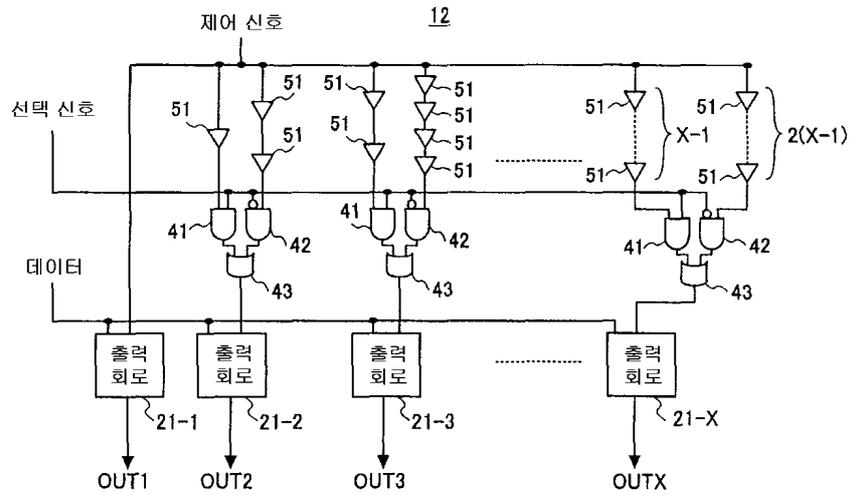
도면9



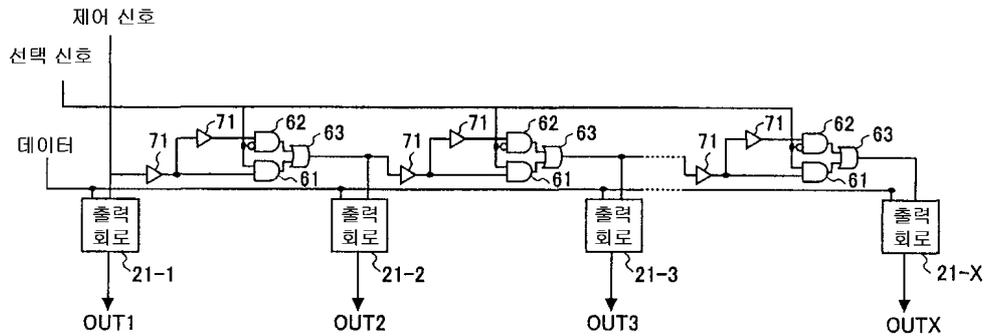
도면10



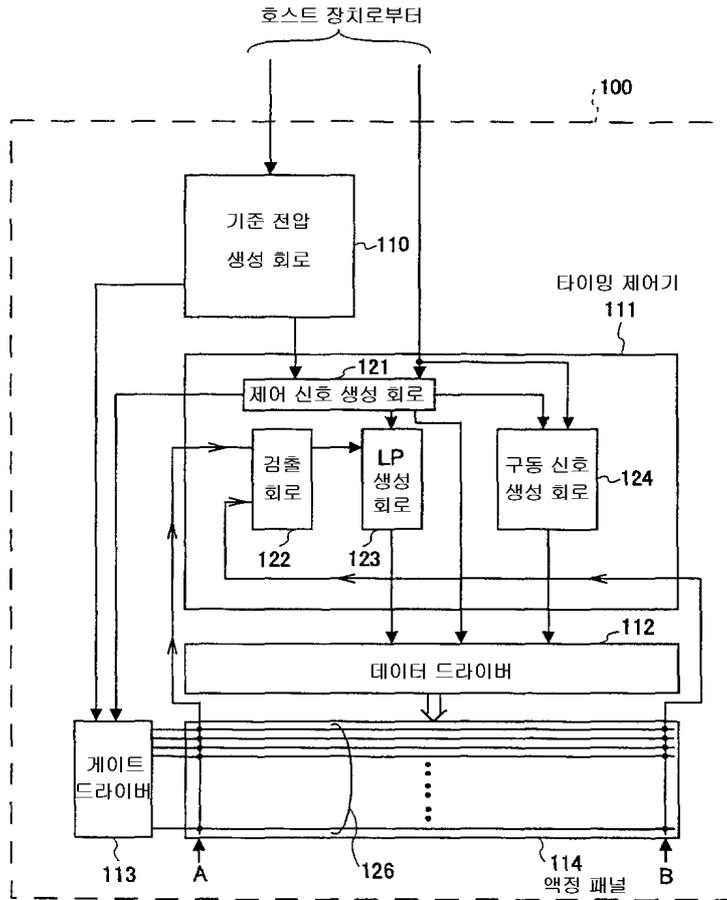
도면11



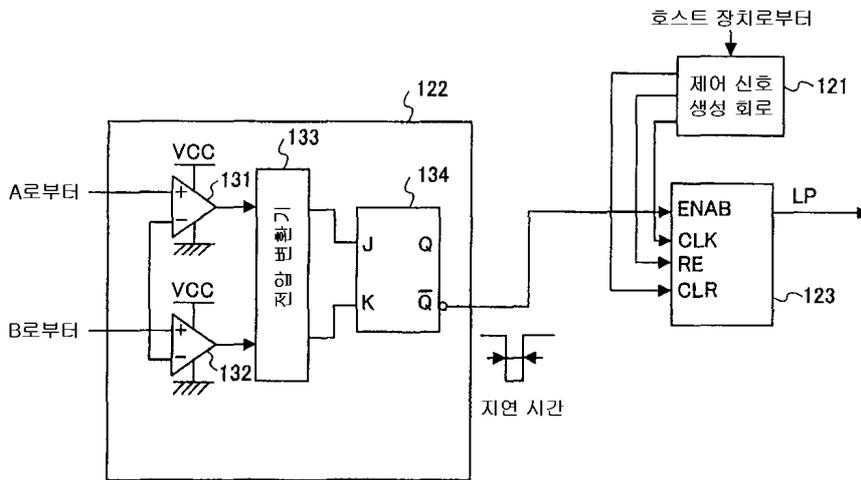
도면12



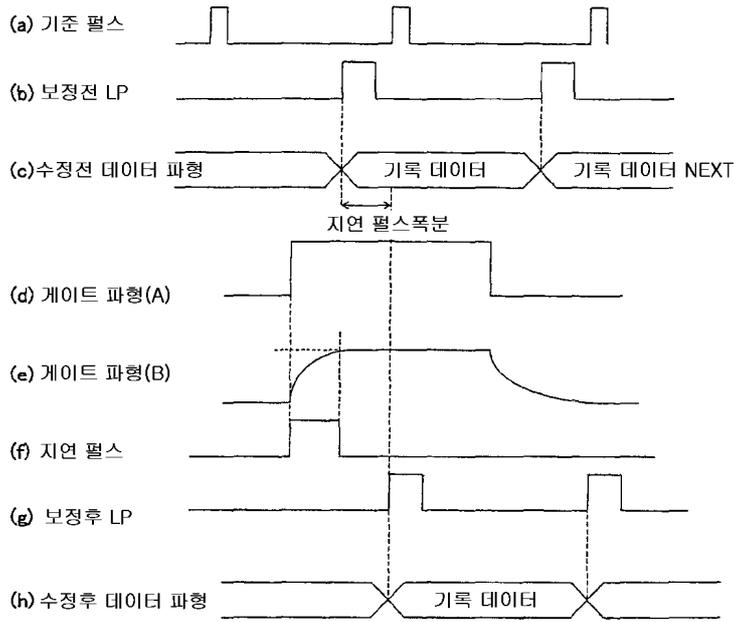
도면13



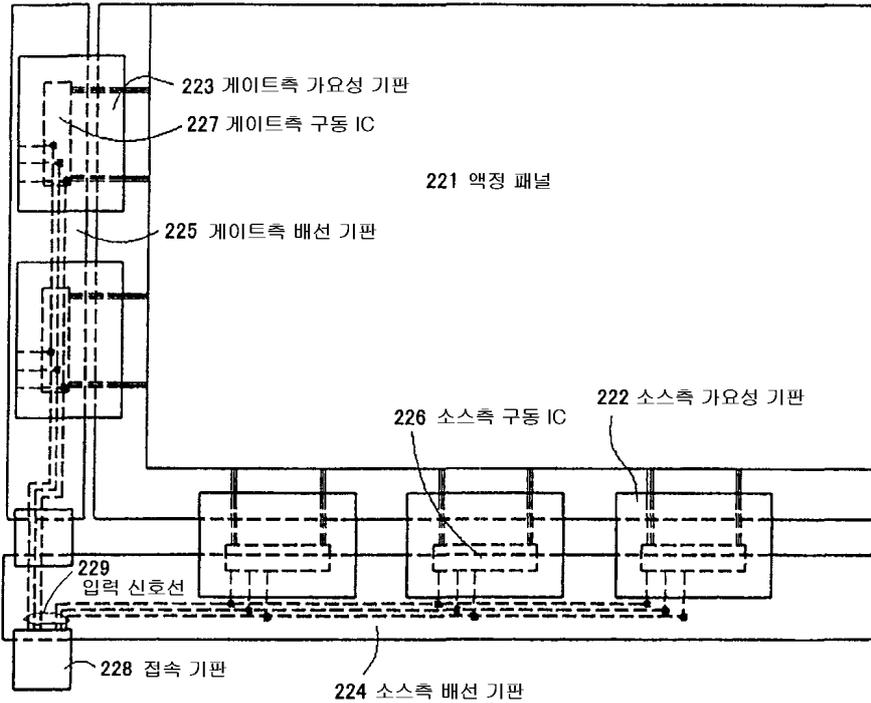
도면14



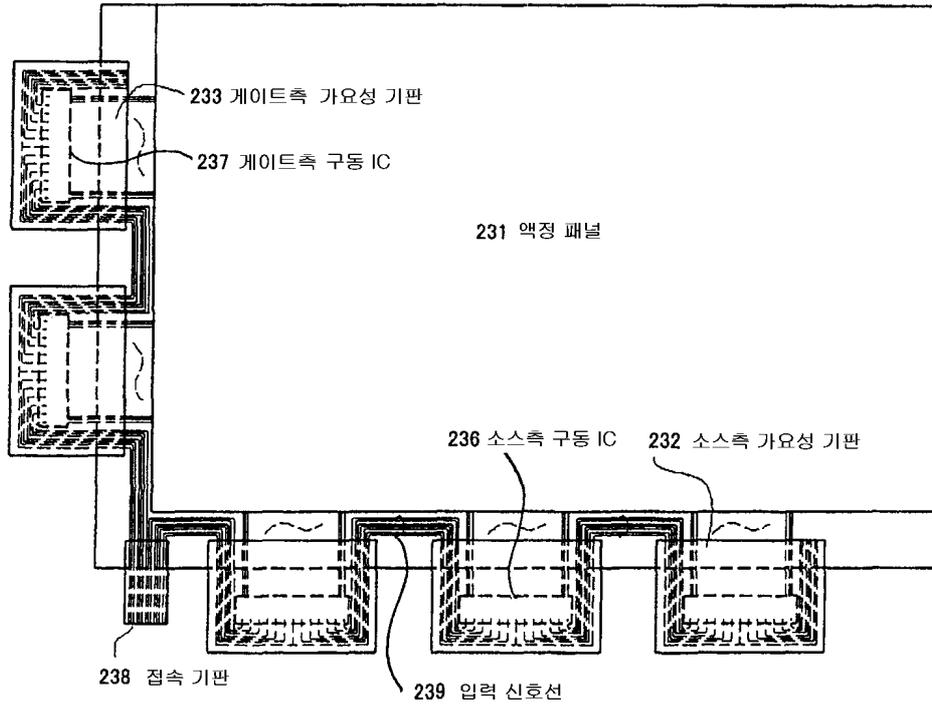
도면15



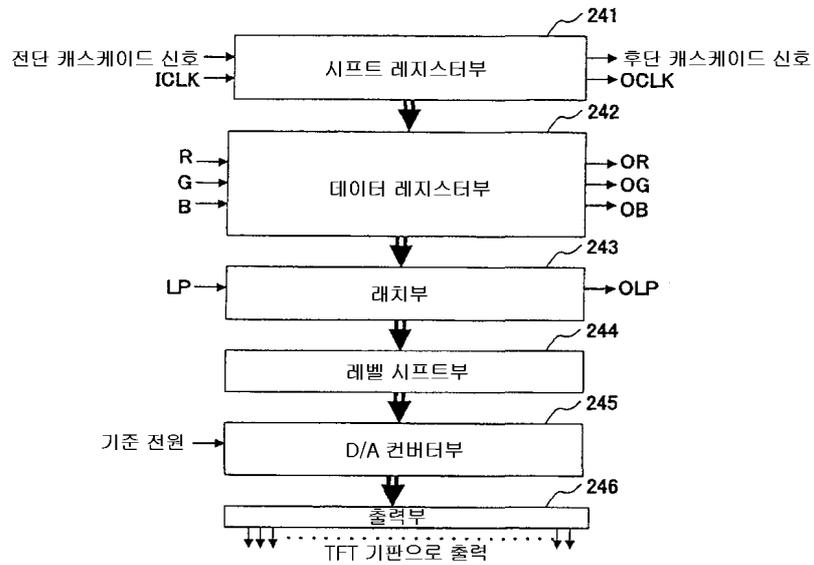
도면16



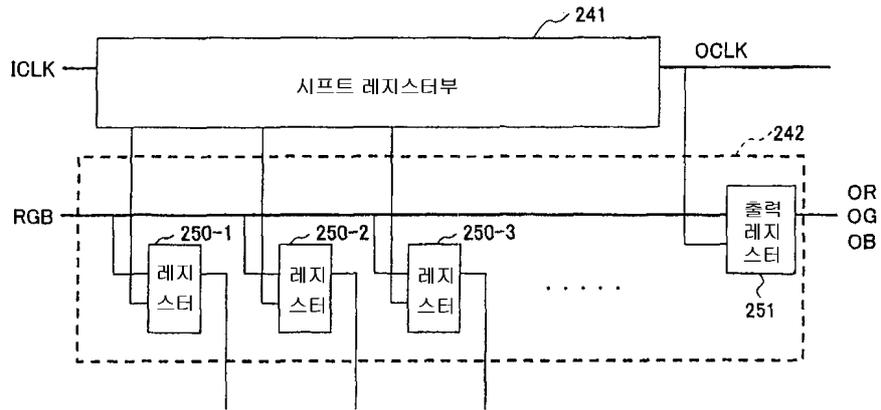
도면17



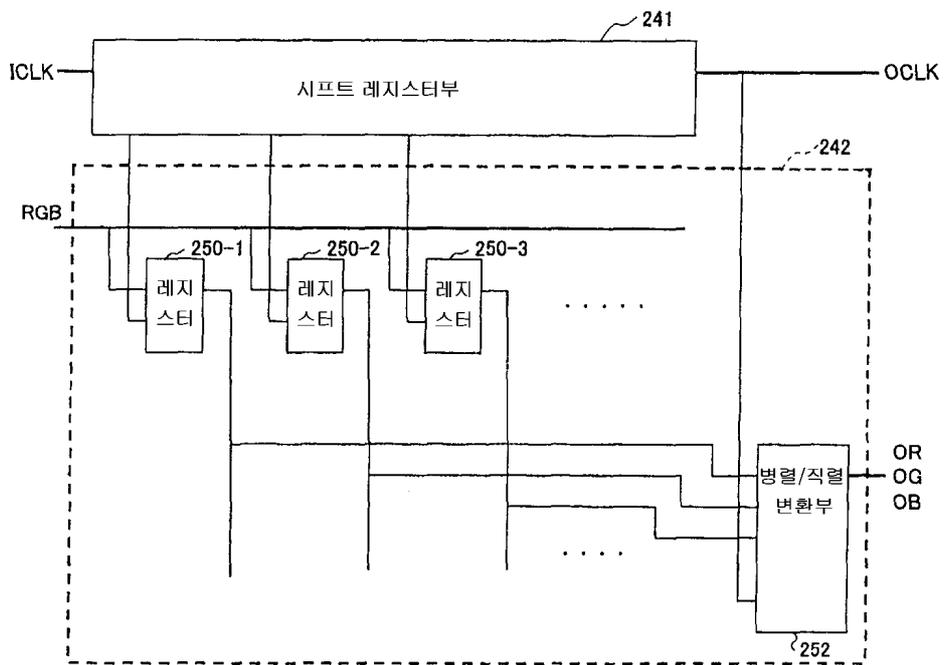
도면18



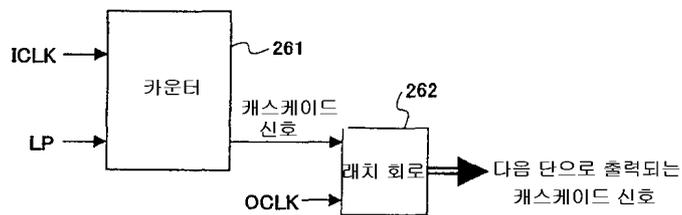
도면19



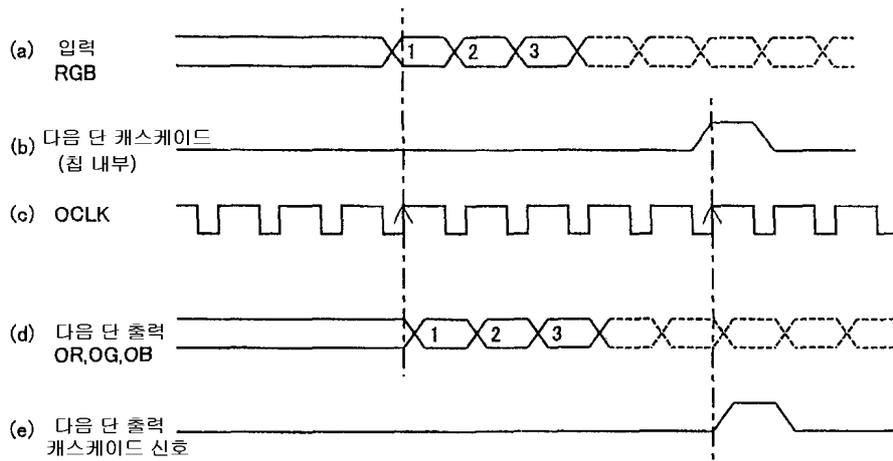
도면20



도면21



도면22



专利名称(译)	液晶面板驱动电路和液晶显示装置		
公开(公告)号	<a href="#">KR100704210B1</a>	公开(公告)日	2007-04-09
申请号	KR1020020014907	申请日	2002-03-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SEKIDO SATOSHI 세키도사토시 KATAGAWA KOICHI 가타가와고이치 HIRAKI KATSUYOSHI 히라키가츠요시 FURUKOSHI YASUTAKE 후루코시아스타케		
发明人	세키도사토시 가타가와고이치 히라키가츠요시 후루코시아스타케		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G2320/0223 G09G3/3688		
代理人(译)	金泰HONG SHIN JUNG KUN		
优先权	2001360961 2001-11-27 JP		
其他公开文献	KR1020030043571A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是提供一种确保足够的数据写入时间的液晶显示装置的驱动电路。根据本发明，液晶面板驱动电路包括多个输出电路，其连接到液晶面板的多条数据总线并输出液体驱动电压。并且液体驱动电压被输出到单位延迟，该单位延迟依次从多条数据总线的头线到输出电路的终点线。

