

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월23일 10-0614489 2006년08월14일
---	-------------------------------------	--

(21) 출원번호	10-2002-0033159	(65) 공개번호	10-2002-0096013
(22) 출원일자	2002년06월14일	(43) 공개일자	2002년12월28일

(30) 우선권주장	JP-P-2001-00181678	2001년06월15일	일본(JP)
(73) 특허권자	세이코 엡슨 가부시키키가이샤 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1		
(72) 발명자	모리타아키라 일본나가노켄스와의오와3초메3-5세이코엡슨가부시키키가이샤내		
(74) 대리인	김창세		

심사관 : 임동재

(54) 라인 구동 회로, 전기 광학 장치 및 표시 장치

요약

본 발명은 프로세스의 미세화에 의한 저비용화를 효율적으로 도모하는 라인 구동 회로, 이것을 이용한 전기 광학 장치 및 표시 장치를 제공하는 것이다.

액정 장치(10)는 LCD 패널(20), 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)를 포함하고, 이들은 LCD 콘트롤러(60)에 의해 제어된다. 신호 드라이버(30)는 인터페이스부(200)에 있어서 중내압 프로세스를 이용하여 저내압계의 전압을 고내압계의 전압으로 변환하는 인터페이스 회로를 포함하여, LCD 콘트롤러(60)로부터 공급된 저내압계의 신호군을 받아, 고내압계의 전압으로 변환한 뒤, 주사 드라이버(50) 혹은 전원 회로(80)에 공급한다

대표도

도 4

명세서

도면의 간단한 설명

도 1은 본 실시예에 있어서의 라인 구동 회로를 포함하는 표시 장치의 구성의 개요를 나타내는 블록도,

도 2는 본 실시예에 있어서의 액정 장치의 LCD 패널의 구동 파형의 일례를 나타내는 설명도,

도 3은 비교예로서 액정 장치를 구성하는 각 반도체 장치의 접속관계의 일례를 나타내는 설명도,

도 4는 본 실시예에 있어서의 액정 장치를 구성하는 각 반도체 장치의 접속관계의 일례를 나타내는 설명도,
 도 5는 본 실시예에 있어서의 신호 드라이버의 원리적 구성을 나타내는 구성도,
 도 6은 본 실시예에 있어서의 신호 드라이버의 구성의 개요를 나타내는 구성도,
 도 7은 본 실시예에 있어서의 신호 드라이버의 I/O 회로의 레이아웃 이미지를 모식적으로 나타내는 모식도,
 도 8은 본 실시예에 있어서의 I/O 회로의 회로 구성의 일례의 개요를 나타내는 구성도,
 도 9는 본 실시예에 있어서의 LV-LV 출력 버퍼 회로의 회로 구성의 일례를 나타내는 회로도,
 도 10은 본 실시예에 있어서의 LV-LV 입력 버퍼 회로의 회로 구성의 일례를 나타내는 회로도,
 도 11은 본 실시예에 있어서의 LV-HV 출력 버퍼 회로의 회로 구성의 일례를 나타내는 회로도,
 도 12는 본 실시예에 있어서의 HV-LV 입력 버퍼 회로의 회로 구성의 일례를 나타내는 회로도,
 도 13은 본 실시예에 있어서의 제어 회로의 회로 구성의 일례를 나타내는 구성도,
 도 14는 본 실시예에 있어서의 신호 드라이버가 적용된 액정 장치의 구성의 개요를 나타내는 설명도,
 도 15는 유기 EL 패널에 있어서의 2 트랜지스터 방식의 화소 회로의 일례를 나타내는 회로도,
 도 16(a)는 유기 EL 패널에 있어서의 4 트랜지스터방식의 화소 회로의 일례를 나타내는 회로도,
 도 16(b)는 4 트랜지스터방식의 화소 회로의 표시제어 타이밍의 일례를 나타내는 타이밍도.

도면의 주요 부분에 대한 부호의 설명

10, 100 : 액정 장치 20, 120 : LCD 패널
 22_{nm} : TFT 24_{nm} : 액정 용량
 26_{nm} : 화소 전극 28_{nm} : 대향 전극
 30, 130 : 신호 드라이버 50, 150 : 주사 드라이버
 60, 160 : LCD 컨트롤러 80, 180 : 전원 회로
 200, 210 : 인터페이스부 300₁~300_P, 410₁~410_Q : I/O 회로
 302₁~302_P : 레벨 변환 회로(L/S) 310₁~310_P : 입력 단자
 320₁~320_P : 출력 단자 400₁~400_Q : 입출력 패드
 412_j : LV-LV 버퍼 회로 414_j : LV-LV 출력 버퍼 회로
 416_j : LV-LV 입력 버퍼 회로 418_j : LV-HV 버퍼 회로

420_j : LV-HV 출력 버퍼 회로 422_j : HV-LV 입력 버퍼 회로

424_j : 선택기 회로 426_j : G/A 회로

430 : 선택기 라인 440_j : 제어 회로

500_j, 504_j, 524_j, 540_j, 544_j, 548_j, 552_j, 556_j, 560_j, 570_j : 인버터 회로

502_j, 526_j, 542_j, 572_j : EXOR 회로

506_j, 520_j, 550_j, 558_j : LS

508_j, 522_j : 트랜스퍼 회로

528_j, 532_j, 564_j, 576_j : n형 트랜지스터

530_j, 562_j, 574_j : p형 트랜지스터

546_j : NAND 회로

554_j : NOR 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 라인 구동 회로, 이것을 이용한 전기 광학 장치 및 표시 장치에 관한 것이다.

예컨대 휴대 전화기와 같은 전자 기기의 표시부에는 액정 패널 등의 표시 패널이 사용되고 있으며, 전자 기기의 저소비 전력화나 소형 경량화 등이 도모되고 있다. 이 표시 패널에 있어서는, 최근의 휴대 전화기의 보급에 의해서 정보성이 높은 정지 화상이나 동화상이 통신(配信)되게 되어, 그 고화질화가 요구되고 있다.

이러한 전자 기기의 표시부의 고화질화를 실현하는 액정 패널로서, 박막 트랜지스터(Thin Film Transistor : TFT) 액정을 이용한 액티브 매트릭스형 액정 패널이 알려져 있다. 그밖에, 유기 EL 소자를 이용한 유기 EL 패널이 알려져 있다.

그런데, 예컨대 TFT 액정을 이용한 액티브 매트릭스형 액정 패널에서는 액정재나 TFT의 트랜지스터 능력에 의존하여, 표시 구동하기 위해서 높은 전압을 필요로 한다. 그 때문에, 액정 패널 등을 표시 구동하는 드라이버 회로(라인 구동 회로)나 전원 회로는 고내압(高耐壓) 프로세스로 제조할 필요가 있다.

따라서, 액정 패널을 표시 구동하는 경우에는, 프로세스의 미세화(微細化)가 진행되어, 미세화에 의한 저비용화의 장점을 누릴 수 없다고 하는 문제가 있다.

본 발명은 이상과 같은 기술적 과제를 감안하여 이루어진 것이며, 그 목적은 프로세스의 미세화에 의한 저비용화를 효율적으로 도모하는 라인 구동 회로, 이것을 이용한 전기 광학 장치 및 표시 장치를 제공하는 것에 있다.

발명이 이루고자 하는 기술적 과제

상기 과제를 해결하기 위해, 본 발명은, 서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 제 1 라인을 구동하는 라인 구동 회로로서, 전기 광학 장치를 표시 제어하는 표시 콘트롤러로부터, 제 2 라인을 구동하는 제 2 라인 구동 회로에 공급되어야 할 신호가 입력되는 입력 단자와, 상기 입력 단자에 입력된 신호를 소정의 전압으로 변환하는 레벨 변환 회로와, 상기 소정의 전압으로 변환된 신호를 상기 제 2 라인 구동 회로에 출력하기 위한 출력 단자를 포함하는 것을 특징으로 하고 있다.

여기서 전기 광학 장치는, 예컨대 서로 교차하는 제 1 ~ 제 N의 주사 라인 및 제 1 ~ 제 M의 신호 라인과, 제 1 ~ 제 N의 주사 라인과 제 1 ~ 제 M의 신호 라인에 접속된 $N \times M$ 의 스위칭 수단과, 스위칭 수단에 접속된 $N \times M$ 의 화소 전극을 갖도록 구성해도 무방하다. 또한, 전기 광학 장치로서는 유기 EL 패널이라도 무방하다.

본 발명에서는 제 1 및 제 2 라인에 의해 특정되는 화소에 대해, 표시 콘트롤러의 제어에 의해 협조하여 표시 구동을 하는 라인 구동 회로와 제 2 라인 구동 회로 중, 라인 구동 회로에 있어서, 표시 콘트롤러로부터 제 2 라인 구동 회로에 대해 공급되어야 할 신호를 수신하여, 이것을 소정의 전압으로 변환하고 나서, 제 2 라인 구동 회로에 대해 공급하도록 했다. 따라서, 범용성이 높고, 회로 구성이 복잡한 표시 콘트롤러로부터, 표시 구동에 필요한 높은 전압 구동이 필요한 제 2 라인 구동 회로에 공급되어야 할 신호를, 회로 구성이 비교적 간소하고, 저렴한 프로세스에 의해 제조되는 라인 구동 회로로 중계(中繼)시킬 수 있다. 이와 같이, 표시 콘트롤러는 직접 제 2 라인 구동 회로에 신호를 공급하기 위해 필요한 고내압용 인터페이스 회로를 마련할 필요가 없으며, 최첨단이면서 저내압의 미세 프로세스에 의한 미세화에 따른 저비용화를 도모할 수 있다.

또한, 본 발명은 서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 제 1 라인을 구동하는 라인 구동 회로로서, 전기 광학 장치를 표시 제어하는 표시 콘트롤러로부터, 전원 회로에 공급되어야 할 신호가 입력되는 입력 단자와, 상기 입력 단자에 입력된 신호를 소정의 전압으로 변환하는 레벨 변환 회로와, 상기 소정의 전압으로 변환된 신호를 상기 전원 회로에 출력하기 위한 출력 단자를 포함하는 것을 특징으로 한다.

여기서 전원 회로는 고 전위측 및 저 전위측의 전압뿐만 아니라, 계조(階調) 전압과 같은 많은 값의 전압을 공급하는 기능을 갖더라도 무방하다.

본 발명에 의하면, 제 1 및 제 2 라인에 의해 특정되는 화소에 대해, 표시 콘트롤러의 제어에 의해 협조하여 표시 구동을 하는 라인 구동 회로와 전원 회로 중, 라인 구동 회로에 있어서, 표시 콘트롤러로부터 전원 회로에 대해 공급되어야 할 신호를 수신하여, 이것을 소정의 전압으로 변환하고 나서, 전원 회로에 대하여 공급하도록 했다. 따라서, 범용성이 높고, 회로 구성이 복잡한 표시 콘트롤러로부터, 표시 구동에 필요한 높은 전압 구동이 필요한 전원 회로에 공급되어야 할 신호를, 회로 구성이 비교적 간소하고, 저렴한 프로세스에 의해 제조되는 라인 구동 회로로 중계시킬 수 있다. 이것에 의해, 표시 콘트롤러는 직접 전원 회로에 신호를 공급하기 위해서 필요한 고내압용의 인터페이스 회로를 마련할 필요가 없어지게 되어, 최첨단이면서, 저내압의 미세 프로세스에 의한 미세화에 따른 저비용화를 도모할 수 있다.

또한, 본 발명은, 상기 제 1 라인은 화상 데이터에 근거하는 전압이 공급되는 신호 라인인 것을 특징으로 하고 있다.

본 발명에 의하면, 예컨대 신호 라인을 구동하는 신호 구동 회로에 의해, 상기 각 회로에 공급되어야 할 신호를 중계하도록 했다. 이것에 의해, 신호 구동 회로를 제어하는 표시 콘트롤러의 저비용화가 가능해진다.

또한 본 발명은, 복수의 선택기 라인과, 소정의 제 1 선택 신호에 근거하여, 상기 입력 단자와 상기 복수의 선택기 라인 중 어느 하나의 제 1 선택기 라인을 접속하기 위한 제 1 선택기 회로와, 소정의 제 2 선택 신호에 근거하여, 상기 출력 단자와 상기 제 1 선택기 라인을 접속하기 위한 제 2 선택기 회로를 포함하는 것을 특징으로 하고 있다.

본 발명에 의하면, 제 1 및 제 2 선택기 회로에 의해, 복수의 선택기 라인 중 어느 하나를 거쳐 입력 단자 및 출력 단자를 접속하도록 했기 때문에, 임의의 입력 단자 및 출력 단자의 조합을 복수 설정할 수 있게 된다. 이것에 의해, 라인 구동 회로의 임의의 단자에 표시 콘트롤러로부터의 신호를 접수하여, 임의의 단자로부터, 공급되어야 할 신호를 출력시킬 수 있다.

또한 본 발명은 상기 제 1 선택기 라인의 전압을 저내압계의 전압으로 변환하여 상기 출력 단자에 공급하는 제 1 출력 버퍼 회로와, 상기 제 1 선택기 라인의 전압을 고내압계의 전압으로 변환하여 상기 출력 단자에 공급하는 제 2 출력 버퍼 회로와, 상기 입력 단자에 공급된 저내압계의 전압을 저내압계의 전압 그대로 상기 제 1 선택기 라인에 공급하는 제 1 입력 버퍼 회로와, 상기 입력 단자에 공급된 고내압계의 전압을 저내압계의 전압으로 변환하여 상기 제 1 선택기 라인에 공급하는

제 2 입력 버퍼 회로를 포함하며, 상기 제 1 및 제 2 출력 버퍼 회로와 상기 제 1 및 제 2 입력 버퍼 회로의 어느 하나의 버퍼 회로를 동작 상태로 하고, 다른 버퍼 회로를 비동작 상태로 하는 배타적 동작 제어가 실행되는 것을 특징으로 하고 있다.

본 발명에 의하면, 제 1 및 제 2 출력 버퍼 회로와 제 1 및 제 2 입력 버퍼 회로에 의해, 내부의 저내압계의 전압을 그대로 저내압계의 전압으로 공급하거나, 혹은 고내압계의 전압으로 변환하거나, 혹은 외부로부터의 저내압계 및 고내압계의 전압을 저내압계의 전압으로 하여 내부로 취입하는 회로를 단자마다 마련할 수 있기 때문에, 임의의 단자를 전술한 입력 단자 또는 출력 단자에 설정할 수 있다. 이것에 의해, 사용자의 편의를 대폭 향상시킬 수 있다.

또한 본 발명에 따른 전기 광학 장치는 서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소와, 상기 어느 하나에 있어서의 라인 구동 회로와, 상기 제 2 라인을 구동하는 제 2 라인 구동 회로를 포함하는 것을 특징으로 하고 있다.

본 발명에 의하면, 프로세스의 미세화에 의해 표시 컨트롤러의 저비용화를 실현할 수 있는 전기 광학 장치를 제공할 수 있다.

또한, 본 발명에 따른 표시 장치는 서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소를 갖는 전기 광학 장치와, 상기 어느 하나에 있어서의 라인 구동 회로와, 상기 제 2 라인을 구동하는 제 2 라인 구동 회로를 포함하는 것을 특징으로 하고 있다.

본 발명에 의하면, 프로세스의 미세화에 의해 표시 컨트롤러의 저비용화를 실현할 수 있는 표시 장치를 제공할 수 있다.

발명의 구성 및 작용

이하, 본 발명이 바람직한 실시예에 대해, 도면을 이용하여 상세히 설명한다.

1. 표시 장치

1.1 표시 장치의 구성

도 1에, 본 실시예에 있어서의 라인 구동 회로를 포함하는 표시 장치의 구성의 개요를 나타낸다.

표시 장치로서의 액정 장치(10)는 액정 디스플레이(Liquid Crystal Display : LCD) 패널(20), 신호 드라이버(신호 구동 회로, 라인 구동 회로)(협의로는 소스 드라이버)(30), 주사 드라이버(주사 구동 회로)(협의로는, 게이트 드라이버)(50), LCD 컨트롤러(광의로는 표시 컨트롤러)(60) 및 전원 회로(80)를 포함한다.

LCD 패널(광의로는 전기 광학 장치)(20)은, 예컨대 유리 기판 상에 형성된다. 이 유리 기판상에는 Y 방향으로 복수배열되어 각각 X 방향으로 신장되는 주사라인(협의로는 게이트라인)(제 2 라인) $G_1 \sim G_N$ (N 은 2 이상의 자연수)과, X 방향으로 복수배열되어 각각 Y 방향으로 신장되는 신호 라인(협의로는 소스 라인)(제 1 라인) $S_1 \sim S_M$ (M 은 2 이상의 자연수)이 배치되어 있다. 또한, 주사 라인 G_n ($1 \leq n \leq N$, n 은 자연수)과 신호 라인 S_m ($1 \leq m \leq M$, m 은 자연수)과의 교차점에 대응하여, TFT 22_{nm} (광의로는 스위칭 수단)이 마련되어 있다.

TFT 22_{nm}의 게이트 전극은 주사 라인 G_n 에 접속되어 있다. TFT 22_{nm}의 소스 전극은 신호 라인 S_m 에 접속되어 있다.

TFT 22_{nm}의 드레인 전극은 액정 용량(광의로는 액정 소자) 24_{nm}의 화소 전극 26_{nm}에 접속되어 있다.

액정 용량 24_{nm}에 있어서는, 화소 전극 26_{nm}에 대향하는 대향 전극 28_{nm}와의 사이에 액정이 봉입(封入)되어 형성된, 이들 전극사이의 인가 전압에 따라 화소의 투과율이 변화되게 되어 있다.

대향 전극 28_{nm}에는 전원 회로(80)에 의해 생성된 대향 전극 전압 V_{com} 이 공급되어 있다.

신호 드라이버(30)는 1 수평 주사 단위의 화상 데이터에 근거하여 LCD 패널(20)의 신호 라인 $S_1 \sim S_M$ 을 구동한다.

보다 구체적으로는, 신호 드라이버(30)는 직렬 입력된 화상 데이터를 순차적으로 래치하여 1 수평 주사 단위의 화상 데이터를 생성한다. 그리고, 신호 드라이버(30)는 수평 동기 신호에 동기하여, 이 화상 데이터에 근거하는 구동 전압으로 각 신호 라인을 구동한다.

주사 드라이버(50)는 1 수직 주사 기간 내에 수평 동기 신호에 동기하여 LCD 패널(20)의 주사 라인 $G_1 \sim G_N$ 을 순차적으로 주사 구동한다.

보다 구체적으로는, 주사 드라이버(50)는 각 주사 라인에 대응한 플립플롭을 갖고, 각 플립플롭이 순차적으로 접속된 시프트 레지스터를 갖고 있다. 주사 드라이버(50)는 LCD 컨트롤러(60)로부터 공급된 수직 동기 신호를 순차적으로 시프트함으로써, 1 수직 주사 기간 내에 각 주사 라인을 순차적으로 선택한다.

LCD 컨트롤러(60)는 도시하지 않은 중앙 처리 장치(Central Processing Unit : CPU) 등의 호스트에 의해 설정된 내용에 따라, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)를 제어한다. 보다 구체적으로는, LCD 컨트롤러(60)는 신호 드라이버(30) 및 주사 드라이버(50)에 대해, 예컨대 동작 모드의 설정이나 내부에서 생성한 수직 동기 신호나 수평 동기 신호를 공급하고, 전원 회로(80)에 대하여는 대향 전극 전압 V_{com} 의 극성 반전 타이밍을 공급한다.

전원 회로(80)는 외부에서 공급되는 기준 전압에 근거하여, LCD 패널(20)의 액정 구동에 필요한 전압 레벨이나 대향 전극 전압 V_{com} 을 생성한다. 이러한 각종 전압 레벨은 신호 드라이버(30), 주사 드라이버(50) 및 LCD 패널(20)에 공급된다. 또한, 대향 전극 전압 V_{com} 은 LCD 패널(20)의 TFT의 화소 전극에 대향하여 마련된 대향 전극에 공급된다.

이러한 구성의 액정 장치(10)는 LCD 컨트롤러(60)의 제어하에서, 외부에서 공급된 화상 데이터에 근거하여, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)가 협조하여 LCD 패널(20)을 표시 구동한다.

또, 도 1에서는 액정 장치(10)에 LCD 컨트롤러(60)를 포함하여 구성하도록 하고 있지만, LCD 컨트롤러(60)를 액정 장치(10)의 외부에 마련하여 구성하도록 해도 무방하다. 혹은, LCD 컨트롤러(60)와 같이 호스트를 액정 장치(10)에 포함시키도록 구성하는 것도 가능하다.

1.2 액정 구동 파형

도 2에, 상술한 구성의 액정 장치(10)의 LCD 패널(20)의 구동 파형의 일례를 나타낸다. 여기서는, 라인 반전 구동 방식에 의해 구동하는 경우를 나타내고 있다.

액정 장치(10)에서는, LCD 컨트롤러(60)에 의해서 생성된 표시 타이밍에 따라, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)가 제어된다. LCD 컨트롤러(60)는 신호 드라이버(30)에 대해서는 1 수평 주사 단위의 화상 데이터를 순차적으로 전송함과 동시에, 내부에서 생성한 수평 동기 신호나 반전 구동 타이밍을 나타내는 극성 반전 신호 POL을 공급한다. 또한, LCD 컨트롤러(60)는, 주사 드라이버(50)에 대해서는 내부에서 생성한 수직 동기 신호를 공급한다. 또한, 컨트롤러(60)는 전원 회로(80)에 대하여 대향 전극 전압 극성 반전 신호 VCOM을 공급한다.

이것에 의해, 신호 드라이버(30)는 수평 동기 신호에 동기하여, 1 수평 주사단위의 화상 데이터에 근거하여 신호 라인을 구동한다. 주사 드라이버(50)는 수직 동기 신호를 트리거로 하여 LCD 패널(20)에 매트릭스형으로 배치된 TFT의 게이트 전극에 접속되는 주사 라인을 순차 구동 전압 V_g 로 주사 구동한다. 전원 회로(80)는 내부에서 생성한 대향 전극 전압 V_{com} 을 대향 전극 전압 극성 반전 신호 VCOM에 동기하여 극성 반전을 실행하면서, LCD 패널(20)의 각 대향 전극에 공급한다.

액정 용량에는 TFT의 드레인 전극에 접속되는 화소 전극과 대향 전극의 전압 V_{com} 과의 전압에 따른 전하가 충전된다. 액정 용량에 축적된 전하에 의해서 유지된 화소 전극 전압 V_p 가 소정의 임계값 V_{CL} 을 넘으면, 화상 표시가 가능해진다. 화소 전극 전압 V_p 가 소정의 임계값 V_{CL} 을 넘으면, 그 전압 레벨에 따라 화소의 투과율이 변화되어 계조 표현이 가능해진다.

2. 본 실시예의 특징

그런데, 액정 장치는 표시 구동하기 위해 필요한 전압이 각 반도체 장치(LCD컨트롤러, 신호 드라이버, 주사 드라이버, 전원 회로)마다 다르다.

도 3에 액정 장치를 구성하는 각 반도체 장치의 접속 관계의 일례를 나타낸다.

여기서는 각 반도체 장치 사이에서 송수신되는 신호의 전원 전압 레벨의 값을 함께 나타낸다.

액정 장치(100)를 구성하는 LCD 패널(120), 신호 드라이버(130), 주사 드라이버(150), LCD 콘트롤러(160) 및 전원 회로(180)는 각각 도 1에 나타내는 액정 장치(10)를 구성하는 각분과 동일한 기능을 갖는다.

예컨대, 신호 드라이버(130)는 회로 구성이 그다지 복잡하지는 않기 때문에, 최첨단의 미세화 프로세스뿐만 아니라, 집적화와 저비용화가 양립가능한 중내압 프로세스(예컨대, 0.35 μ 프로세스)로 제조된다.

또한, 주사 드라이버(150)는 회로 구성이 간소하기 때문에, 칩 사이즈의 축소화는 요구되지 않으며, 주사 드라이버(150)는 액정재와 TFT의 트랜지스터 능력과의 관계에서 결정되는 높은 전압(예컨대 20V~50V)을 구동하기 위해, 고내압 프로세스로 제조된다.

또한, 전원 회로(180)는 주사 드라이버(150)에 대하여 공급되는 고전압을 생성하기 때문에, 고내압 프로세스로 제조된다.

한편, LCD 콘트롤러(160)는 회로 구성이 복잡하고, 범용성이 높기 때문에, 칩 사이즈의 축소화에 의해, 한층 더 저비용화를 도모할 수 있다.

그 때문에, LCD 콘트롤러(160)는 최첨단의 미세화 프로세스(예컨대, 0.18 μ 프로세스)로 제조된다. 즉, LCD 콘트롤러(160)는 저내압 프로세스로 제조되기 때문에, 저내압 프로세스용의 인터페이스 회로와, 고내압 프로세스용의 인터페이스 회로를 공유한다.

저내압 프로세스용의 인터페이스 회로는 중내압 프로세스로 제조되는 신호 드라이버(130)에 대해, 저내압의 미세화 프로세스의 전원 레벨로 생성한 신호를 공급한다. 고내압 프로세스용의 인터페이스 회로는 고내압 프로세스로 제조된 주사 드라이버(150) 및 전원 회로(180)에 대해, 고내압 프로세스용의 전원 레벨로 변환한 신호를 공급한다.

이와 같이, LCD 콘트롤러(160)는 고내압 프로세스용의 인터페이스 회로를 포함하게 된다. 상기한 고내압 프로세스용의 인터페이스 회로는 프로세스의 미세화가 진행되더라도, 내압을 확보하기 위한 물리적 한계값이 디자인 룰 내에 존재하기 때문에, IC 내의 면적을 작게 할 수 없다. 따라서, 미세화에 의한 저비용화의 장점을 그다지 누릴 수가 없다.

이에 반해, 본 실시예에 있어서의 액정 장치(10)에서는, 저내압 프로세스로 제조된 LCD 콘트롤러(60)로부터 고내압 프로세스로 제조된 주사 드라이버(50) 및 전원 회로(80)에 대하여 공급되어야 할 신호군을, 일단 중내압 프로세스로 제조된 신호 드라이버(30)로 중계하여, 신호 드라이버(30)가 이들 신호군을 주사 드라이버(50) 및 전원 회로(80)에 대하여 공급하는 것을 특징으로 한다.

도 4에, 본 실시예에 있어서의 액정 장치를 구성하는 각 반도체 장치의 접속관계의 일례를 나타낸다.

이와 같이, 본 실시예에 있어서의 신호 드라이버(30)는 인터페이스부(200)에 있어서 중내압 프로세스를 이용하여, 저내압계의 전압을 고내압계의 전압으로 변환하는 인터페이스 회로를 포함하며, LCD 콘트롤러(60)로부터 공급된 저내압계의 신호군을 받아, 고내압계가 높은 전압으로 변환한 뒤, 주사 드라이버(50) 혹은 전원 회로(80)에 공급한다.

이렇게 함으로써, LCD 콘트롤러(60)의 인터페이스부(210)는 높은 전압을 구동하는 인터페이스 회로를 마련할 필요가 없어지기 때문에, 프로세스의 미세화에 따라, 복잡한 구성의 회로를 축소화하여, 저비용화를 도모할 수 있게 된다.

2.1 본 실시예의 원리적 구성

도 5에, 본 실시예에 있어서의 신호 드라이버(30)의 원리적 구성을 나타낸다.

신호 드라이버(30)는 I/O 회로(300₁~300_p)(P는 자연수)를 포함하고, I/O 회로(300_i)(1≤i≤P, i는 자연수)에 대응하여 입력 단자(310_i), 출력 단자(320_i)를 갖는다.

I/O 회로(300_i)는 저내압계의 전압을 고내압계의 전압으로 변환하는 레벨 변환 회로(Level Shifter : L/S)(302_i)를 포함한다.

L/S(302_i)는 입력 단자(310_i)에서 입력된 저내압계의 신호의 전압을 고내압계의 전압으로 변환하여 출력 단자(320_i)에 공급한다. 따라서, 입력 단자(310₁~310_p)를 저내압 프로세스로 제조된 LCD 콘트롤러(60)에 접속하고, 출력 단자(320₁~320_p)를 고내압 프로세스로 제조된 주사 드라이버(50) 및 전원 회로(80) 중 어느 하나에 접속함으로써, LCD 콘트롤러(60)의 미세화에 의한 저비용화가 가능해진다.

3. 본 실시예에 있어서의 신호 드라이버(라인 구동 회로)

이하에서는 이러한 신호 드라이버(라인 구동 회로)(30)에 대하여 구체적으로 설명한다.

도 6에 본 실시예에 있어서의 신호 드라이버(30)의 구성의 개요를 나타낸다.

신호 드라이버(30)는 반도체 장치의 각 단자에 대응하여 마련된 입출력 패드(400₁~400_Q)(Q는 자연수)를 갖는다.

신호 드라이버(30)는 입출력 패드(400_j)(1≤j≤Q, j는 자연수)에 대응하여 I/O 회로(410_j)를 더 갖는다. I/O 회로(410₁~410_Q)는 1 또는 복수의 선택기 라인(430)이 공통 접속되어 있다. 이하에서는, 선택기 라인이 16개인 것으로 한다.

I/O 회로(410_j)는 복수의 입력 버퍼 회로, 복수의 출력 버퍼 회로를 포함하며, 소정의 선택 신호에 따라, 입력 I/O 회로 혹은 출력 I/O 회로 중 어느 하나로서 기능하도록 되어 있다. 예컨대, I/O 회로(410₁)를 입력 I/O 회로를 입력 I/O 회로로서, I/O 회로(410_Q)를 출력 I/O 회로로서 설정한 경우, 입출력 패드(400₁)를 거쳐서 입력된 신호는 소정의 제 1 선택 신호에 의해, I/O 회로(410₁)의 선택기 회로에 의해서, 선택기 라인(430) 중 어느 하나(제 1 선택기 라인)에 출력된다. 그 때, 입력된 고내압계 혹은 저내압계의 신호는 저내압계의 전압 레벨로 변환된다.

I/O 회로(410_Q)에서는, 소정의 제 2 선택 신호에 의해, 선택기 회로에 의해서 제 1 선택기 라인과 입출력 패드(410_Q)가 전기적으로 접속된다. 그 때, 제 1 선택기 라인을 경유한 신호는 고내압계 혹은 저내압계의 전압 레벨로 변환된다.

이렇게 함으로써, 임의의 입력 단자로부터의 신호를 소정의 전압으로 레벨 변환하여 임의의 출력 단자로부터 출력시킬 수 있게 된다.

도 7에 상술한 I/O 회로(410_j)의 레이아웃 이미지를 모식적으로 나타낸다.

I/O 회로(410_j)(1≤j≤Q)는 입출력 패드(400_j)와 전기적으로 접속되는 LV(Low Voltage)-LV 버퍼 회로(412_j), LV-HV(High Voltage) 버퍼 회로(418_j), 선택기 회로(424_j), 게이트 어레이(Gate Array : G/A) 회로(426_j)를 포함한다.

LV-LV 버퍼 회로(412_j)는 LV-LV 출력 버퍼 회로(414_j), LV-LV 입력 버퍼 회로(416_j)를 포함한다.

LV-LV 출력 버퍼 회로(제 1 출력 버퍼 회로)(414_j)는 저내압(LV)계의 신호의 전압을 LV계의 전원 전압 레벨로 접속된 버퍼 회로로 버퍼링하여 입출력 패드(400_j)에 출력하는 회로이다.

LV-LV 입력 버퍼 회로(제 1 입력 버퍼 회로)(416_j)는 입출력 패드(400_j)를 거쳐서 입력된 LV계의 신호의 전압을 LV계의 전원 전압 레벨로 접속된 버퍼 회로로 버퍼링하여 선택기 회로(424_j)로 출력하는 회로이다.

LV-HV 버퍼 회로(418_j)는 LV-HV 출력 버퍼 회로(420_j), HV-LV 입력 버퍼 회로(422_j)를 포함한다.

LV-HV 출력 버퍼 회로(제 2 출력 버퍼 회로)(420_j)는 LV계의 신호의 전압을 HV계의 신호의 전압으로 변환하여 입출력 패드(400_j)에 출력하는 회로이다.

HV-LV 입력 버퍼 회로(제 2 입력 버퍼 회로)(422_j)는 입출력 패드(400_j)를 거쳐서 입력된 HV계의 신호의 전압을 LV계의 전원 전압 레벨로 접속된 버퍼 회로로 버퍼링하여, 선택기 회로(424_j)에 출력하는 회로이다.

선택기 회로(424_j)는 LV-LV 출력 버퍼 회로(414_j), LV-LV 입력 버퍼 회로(416_j), LV-HV 출력 버퍼 회로(420_j), HV-LV 입력 버퍼 회로(422_j) 중 어느 하나를 선택기 라인(430) 중 어느 하나에 접속하기 위한 회로이다.

G/A 회로(426_j)는 LV-LV 출력 버퍼 회로(414_j), LV-LV 입력 버퍼 회로(416_j), LV-HV 출력 버퍼 회로(420_j), HV-LV 입력 버퍼 회로(422_j) 중 어느 하나를 배타적으로 동작 제어하기 위한 제어 신호와, 선택기 회로(424_j) 중 선택 신호를 생성하는 논리 회로이다.

이러한 I/O 회로(410_j)는 G/A 회로(426_j)에 의해서, LV-LV 출력 버퍼 회로(414_j), LV-LV 입력 버퍼 회로(416_j), LV-HV 출력 버퍼 회로(420_j), HV-LV 입력 버퍼 회로(422_j)의 어느 하나만이 배타적으로 제어되게 되어 있다. 즉, 선택되지 않은 입력 버퍼 회로 및 출력 버퍼 회로는 적어도 그 출력이 하이 임피던스 상태가 되도록 제어된다. 선택된 입력 버퍼 회로 혹은 출력 버퍼 회로는 G/A 회로(426_j)에 의해서 선택된 선택기 라인 중 하나와 전기적으로 선택된다. 이 선택된 선택기 라인은 다른 I/O 회로를 거쳐서, 입력된 패드와 전기적으로 접속되게 되어 있다.

이렇게 함으로써, I/O 회로와 입출력 패드를 임의로 선택하고, 선택기 라인을 거쳐 이들 선택한 I/O 회로를 전기적으로 접속함으로써, 임의의 단자 사이에서 LV계 혹은 HV계의 신호의 전압을 변환하여 출력시킬 수 있다.

또, 도 7에 나타낸 바와 같이, A-A선, B-B선, C-C선 중 어느 하나에 따라, 예컨대 AI이 증착된 입출력 패드(400_j)를 절단하고, 서로 전기적으로 분리한 패드를 형성함으로써, I/O 회로(410_j) 내에서 LV계 및 HV계의 신호 인터페이스 기능을 갖게 하도록 해도 무방하다.

도 8에 I/O 회로(410_j)의 회로 구성의 일례의 개요를 나타낸다.

입출력 패드(400_j)는 LV-LV 출력 버퍼 회로(414_j)의 출력 단자, LV-LV 입력 버퍼 회로(416_j)의 입력 단자, LV-HV 출력 버퍼 회로(420_j)의 출력 단자, HV-LV 입력 버퍼 회로(422_j)의 입력 단자와 전기적으로 접속되어 있다.

LV-LV 출력 버퍼 회로(414_j)의 입력 단자, LV-LV 입력 버퍼 회로(416_j)의 출력 단자, LV-HV 출력 버퍼 회로(420_j)의 입력 단자 및 HV-LV 입력 버퍼 회로(422_j)의 출력 단자는 스위치 회로 SWA의 한쪽 단부로서의 노드 ND와 전기적으로 접속되어 있다.

스위치 회로 SWA의 다른쪽 단부는 선택기 스위치 SW1~SW16을 포함하는 선택기 회로(424_j)를 거쳐서, 선택기 라인 SL1~SL16과 접속되어 있다.

각 버퍼 회로를 배타적으로 제어하는 제어 신호 SB1~SB4, 스위치 회로 SWA의 온·오프 제어를 하는 스위치 제어 신호 SA, 선택기 스위치 SW1~SW16을 택일적으로 선택하기 위한 선택 신호 SEL1~SEL16은 제어 회로(440_j)에 의해서 생성된다. 이 제어 회로(440_j)는 도 7에 나타낸 바와 같이 G/A에 의해 구성된다. 제어 회로(440_j)는 도시하지않은 호스트에 의한 설정 내용에 따라, 제어 신호 SB1~SB4, 선택 신호 SEL1~SEL16을 생성하도록 되어 있다.

스위치 회로 SWA1는, 각 버퍼 회로 및 선택기 스위치 SW1~SW16을 전기적으로 절단함으로써, LV-LV 입력 버퍼 회로(416_j), HV-LV 입력 버퍼 회로(422_j)의 출력 부하를 경감한다. 이 때문에, LV-LV 입력 버퍼 회로(416_j), HV-LV 입력 버퍼 회로(422_j)의 소형화를 도모할 수 있다.

또, 본 실시예에서는 LV-LV 출력 버퍼 회로(414_j), LV-LV 입력 버퍼 회로(416_j), LV-HV 출력 버퍼 회로(420_j), HV-LV 입력 버퍼 회로(422_j)는 제어 신호 SB1~SB4와 같이 제어 회로(440_j)에서 공급되는 반전 제어 신호 INV1~INV4에 의해, 입력된 신호의 논리 레벨을 반전(위상을 반전)하여 출력할 수 있게 되어 있다.

이하에서는, 각 버퍼 회로의 구체적인 구성예에 대하여 설명한다.

여기서는, LV계의 전원 전압을 VCC, HV 계의 전원 전압을 VDD, 접지 레벨을 VSS로 한다. 또한, 예컨대 제어 신호 CONT의 반전 신호를 XCONT로 나타내고 있다.

도 9에, LV-LV 출력 버퍼 회로(414_j)의 회로 구성의 일례를 나타낸다.

LV-LV 출력 버퍼 회로(414_j)는 인버터 회로(500_j, 504_j), 배타적 논리합(EXclusive OR : EXOR) 회로(502_j), 레벨 시프터(Level Shifter : LS)(506_j) 및 트랜스퍼 회로(508_j)를 포함한다.

LS(506_j) 및 트랜스퍼 회로(508_j)는 HV계의 트랜지스터에 의해 구성된다. 인버터 회로(500_j, 504_j) 및 EXOR 회로(502_j)는 LV계의 트랜지스터에 의해 구성된다. HV계의 트랜지스터는, 예컨대 LV계의 트랜지스터의 산화막 두께를 보다 두텁게 형성하여, 고내압성을 향상시키고 있다. 그 때문에, HV계의 트랜지스터의 디자인 룰은 LV계의 트랜지스터의 디자인 룰보다 느슨할 수밖에 없고, 회로 면적이 커져 버린다.

LS(506_j)는 제어 신호 SB1과 그 반전 신호 XSB1의 전위차를 HV계의 전압으로 변환하여, 트랜스퍼 회로(508_j)의 온 혹은 오프를 제어한다.

입력 노드 ND는 인버터 회로(500_j)의 입력 노드에 접속된다.

인버터 회로(500_j)의 입력 노드 및 출력 노드는 EXOR 회로(502_j)에 접속된다. EXOR 회로(502_j)는 반전 제어 신호 INV1과 입력 노드 ND의 논리 레벨과의 배타적 논리합을 연산하고, 그 결과가 인버터 회로(504_j)의 입력 노드에 공급된다.

인버터 회로(504_j)의 출력 노드는 트랜스퍼 회로(508_j)를 거쳐서, 입출력 패드(400_j)에 접속된다.

이와 같이 LV-LV 출력 버퍼 회로(414_j)는 입력 노드 ND의 논리 레벨을, 반전 제어 신호 INV1에 의해 논리 레벨의 반전을 임의로 실행하도록 하고 있다. 또한, 그 출력 노드를 HV계의 트랜스퍼 회로(508_j)를 거쳐서, 입출력 패드(400_j)에 접속하도록 하고 있다. 이것에 의해, 입출력 패드(400_j)에, 잘못해서 HV계의 전압이 공급되어 LV계의 트랜지스터를 파괴하는 일 없이 신뢰성을 유지할 수 있다. 또한, 반전 제어 신호 INV1에 의해 논리 레벨의 반전을 임의로 실행할 수 있기 때문에, 외부의 인터페이스 수단의 변경에 따르는 설계 변경을 회피하고, 개발 기간의 단축화를 도모하는 것도 가능해진다.

도 10에 LV-LV 입력 버퍼 회로(416_j)의 회로 구성의 일례를 나타낸다.

LV-LV 입력 버퍼 회로(416_j)는 LS(520_j), 트랜스퍼 회로(522_j), 인버터 회로(524_j), EXOR 회로(526_j)를 포함한다.

LS(520_j) 및 트랜스퍼 회로(522_j)는 HV계의 트랜지스터에 의해 구성된다. 인버터 회로(524_j) 및 EXOR 회로(526_j)는 LV계의 트랜지스터에 의해 구성된다.

LS(520_j)는 제어 신호 SB2와 그 반전 신호 XSB2의 전위차를 HV계의 전압으로 변환하여, 트랜스퍼 회로(522_j)의 온 혹은 오프를 제어한다.

이러한 트랜스퍼 회로(522_j)를 거쳐서, 입출력 패드(400_j)는 LV계의 트랜지스터에 의해 구성된 인버터 회로(524_j)에 접속된다.

또, 인버터 회로(524_j)의 입력 노드와 접지 레벨 VSS와의 사이에 n형 트랜지스터(528_j)가 접속되어 있다. n형 트랜지스터(528_j)의 게이트 전극에는 제어 신호 SB2의 반전 신호 XSB2가 공급되어 있다. 따라서, 반전 신호 XSB2가 「H」일 때, LV-LV 입력 버퍼 회로(416_j)는 비선택 상태이기 때문에, n형 트랜지스터(528_j)를 거쳐서 인버터 회로(524_j)의 입력 노드의 전압을 접지 레벨 VSS에 고정할 수 있어, 비선택 상태에 있어서의 인버터 회로(524_j)의 관통 전류가 줄어든다.

인버터 회로(524_j)의 입력 노드 및 출력 노드는 EXOR 회로(526_j)에 접속된다. EXOR 회로(526_j)는 반전 제어 신호 INV2와 인버터 회로(524_j)의 입력 노드의 논리 레벨과의 배타적 논리합을 연산하고, 그 결과가 노드 ND의 논리 레벨이 된다.

EXOR 회로(526_j)는 p형 트랜지스터(530_j)를 거쳐서 LV계의 전원 전압 VCC와, n형 트랜지스터(532_j)를 거쳐서 접지 레벨 VSS와 접속된다. p형 트랜지스터(530_j)의 게이트 전극에는 반전 신호 XSB2가 공급되고, n형 트랜지스터(532_j)의 게이트 전극에는 제어 신호 SB2가 공급된다.

따라서, LV-LV 입력 버퍼 회로(416_j)가 선택 상태일 때, 노드 ND는 상술한 배타적 논리합의 연산 결과가 출력되고, 비선택 상태일 때, 노드 ND는 하이 임피던스 상태로 된다.

이와 같이 LV-LV 입력 버퍼 회로(416_j)는 입출력 패드(400_j)로부터의 신호를 HV계의 트랜스퍼 회로(522_j)에서 수신하고, EXOR 회로(526_j)에서 논리 레벨의 반전을 임의로 실행하도록 했다. 이것에 의해, 입출력 패드(400_j)에, 잘못해서 HV계의 전압이 공급되더라도 신뢰성이 손상되는 일 없이, LV계의 전압을 노드 ND에 공급할 수 있다. 또한, 반전 제어 신호 INV2에 의해 논리 레벨의 반전을 임의로 실행할 수 있기 때문에, 외부의 인터페이스 수단의 변경에 따르는 설계 변경을 회피하여, 개발 기간의 단축화를 도모하는 것도 가능해진다.

도 11에 LV-HV 출력 버퍼 회로(420_j)의 회로 구성의 일례를 나타낸다.

LV-HV 출력 버퍼 회로(420_j)는, 인버터 회로(540_j, 544_j), EXOR 회로(542_j)를 포함한다. 또한, LV-HV 출력 버퍼 회로(420_j)는 NAND 회로(546_j), 인버터 회로(548_j, 552_j), LS(550_j)를 포함한다. 또한, LV-HV 출력 버퍼 회로(420_j)는 NOR 회로(554_j), 인버터 회로(556_j, 560_j), LS(558_j)를 포함한다.

이 LV-HV 출력 버퍼 회로(420_j)는 입출력 패드(400_j)에의 출력을 하이 임피던스 제어하기 위해서, HV계의 전원 전압 VDD와 접지 레벨 VSS의 사이에, 서로의 드레인 단자가 접속된 p형 트랜지스터(562_j)와 n형 트랜지스터(564_j)가 접속되어 있다.

인버터 회로(540_j, 544_j, 548_j, 556_j), EXOR 회로(542_j), NOR 회로(546_j), 및 NAND 회로(554_j)는 LV계의 트랜지스터에 의해 구성된다. LS(550_j, 558_j), 인버터 회로(552_j, 560_j), p형 트랜지스터(562_j), n형 트랜지스터(564_j)는 HV계의 트랜지스터에 의해 구성된다.

입력 노드 ND는 인버터 회로(540_j)의 입력 노드에 접속된다.

인버터 회로(540_j)의 입력 노드 및 출력 노드는 EXOR 회로(542_j)에 접속된다. EXOR 회로(542_j)는 반전 제어 신호 INV3과 입력 노드 ND의 논리 레벨과의 배타적 논리합을 연산하고, 그 결과가 인버터 회로(544_j)의 입력 노드에 공급된다.

인버터 회로(544_j)의 출력 노드는 NOR 회로(546_j) 및 NAND 회로(554_j)에 접속된다.

NOR 회로(546_j)는 제어 신호 SB3의 논리 레벨과, 인버터 회로(544_j)의 출력 노드의 논리 레벨과의 반전 논리합(NOR)을 연산하고, 그 결과를 인버터 회로(548_j)의 입력 노드에 공급한다.

NAND 회로(554_j)는 제어 신호 SB3의 논리 레벨과 인버터 회로(544_j)의 출력 노드의 논리 레벨의 반전 논리곱(NAND)을 연산하고, 그 결과를 인버터 회로(556_j)의 입력 노드에 공급한다.

LS(550_j)는 인버터 회로(548_j)의 입력 노드 및 출력 노드의 전위차를 HV계의 전압으로 변환하고, HV계의 트랜지스터에 의해 구성된 인버터 회로(552_j)의 입력 노드에 공급한다. 인버터 회로(552_j)의 출력 노드는 p형 트랜지스터(562_j)의 게이트 전극에 접속된다.

LS(558_j)는 인버터 회로(556_j)의 입력 노드 및 출력 노드의 전위차를 HV계의 전압으로 변환하고, HV계의 트랜지스터에 의해 구성된 인버터 회로(560_j)의 입력 노드에 공급한다. 인버터 회로(560_j)의 출력 노드는 n형 트랜지스터(564_j)의 게이트 전극에 접속된다.

이와 같이 LV-HV 출력 버퍼 회로(420_j)는 입력 노드 ND의 논리 레벨을, 반전 제어 신호 INV3에 의해 논리 레벨의 반전을 임의로 실행하도록 하고 있다. 또한, 그 출력 노드와 제어 신호 SB3에 의해 생성한 게이트 제어 신호를 LS(550_j, 558_j)에 의해 HV계의 전압으로 변환하고, p형 트랜지스터(562_j) 및 n형 트랜지스터(564_j)를 제어하도록 하고 있다.

이것에 의해, 반전 제어 신호 INV3에 의해 논리 레벨의 반전을 임의로 실행할 수 있기 때문에, 외부의 인터페이스 수단의 변경에 따른 설계 변경을 회피하여, 개발 기간의 단축화를 도모하는 것도 가능해진다. 또한, LV계의 전압을 HV계의 전압으로 레벨 변환함과 동시에, 그 출력을 하이 임피던스 제어할 수 있는 출력 버퍼 회로를 제공한다.

도 12에 HV-LV 입력 버퍼 회로(422_j)의 회로 구성의 일례를 나타낸다.

HV-LV 입력 버퍼 회로(422_j)는 인버터 회로(570_j), EXOR 회로(572_j)를 포함한다.

인버터 회로(570_j)는 HV계의 트랜지스터에 의해 구성되고, 전원 전압 레벨로서, LV계의 전원 전압 VCC가 공급된다.

입출력 패드(400_j)는 인버터 회로(570_j)의 입력 노드에 접속된다. 이것에 의해, 입출력 패드(400_j)에 LV계의 신호의 전압이 공급되었을 때에, 인버터 회로(570_j)는 이 신호를 검출하여, 출력 노드에 반전 신호를 생성한다.

인버터 회로(570_j)의 입력 노드 및 출력 노드는 EXOR 회로(572_j)에 접속된다. EXOR 회로(572_j)는 반전 제어 신호 INV4와, 입출력 패드(400_j)의 논리 레벨과의 배타적 논리합을 연산하고, 그 결과가 노드 ND의 논리 레벨로 된다.

EXOR 회로(572_j)는 p형 트랜지스터(574_j)를 거쳐서 LV계의 전원 전압 VCC와, n형 트랜지스터(576_j)를 거쳐서 접지 레벨 VSS와 접속된다.

p형 트랜지스터(574_j)의 게이트 전극에는 반전 신호 XSB4가 공급되고, n형 트랜지스터(576_j)의 게이트 전극에는 제어 신호 SB4가 공급된다.

따라서, HV-LV 입력 버퍼 회로(422_j)가 선택 상태일 때에 노드 ND는 상술한 배타적 논리합의 연산 결과가 출력되고, 비 선택 상태일 때에 노드 ND는 하이 임피던스 상태로 된다.

이와 같이 HV-LV 입력 버퍼 회로(422_j)는 입출력 패드(400_j)으로부터의 신호를 LV계의 전원 전압 VCC가 접속된 HV계의 인버터 회로(570_j)에서 수신하고, EXOR 회로(572_j)에서 논리 레벨의 반전을 임의로 실행하도록 하고 있다. 이것에 의해, 입출력 패드(400_j)에 잘못된 HV계의 전압이 공급되더라도 신뢰성이 손상되는 일 없이, LV계의 전압을 노드 ND에 공급할 수 있다. 또한, 반전 제어 신호 INV2에 의해 논리 레벨의 반전을 임의로 실행할 수 있기 때문에, 외부의 인터페이스 수단의 변경에 따르는 설계 변경을 회피하여, 개발 기간의 단축화를 도모하는 것도 가능해진다.

상술한 바와 같이 각종 버퍼 회로를 배타적으로 제어하는 제어 회로(440_j)는 제어 신호 SB1~SB4, 선택 신호 SEL1~SEL16, 스위치 제어 신호 SA를 생성한다.

도 13에 제어 회로(440_j)의 회로 구성의 일례를 나타낸다.

제어 회로(440_j)는 예컨대 LCD 콘트롤러(60)에 의해, 소정의 커맨드 레지스터를 설정함으로써, 상술한 제어 신호 SB1~SB4, 선택 신호 SEL1~SEL16, 스위치 제어 신호 SA를 생성한다.

예컨대, LCD 콘트롤러(60)에 의해서 소정의 커맨드 레지스터에의 액세스가 있을 때에 생성되는 어드레스 디코드 펄스와 클럭 신호 CK에 동기하여, 데이터 버스 D7~D0을 1 비트씩 플립플롭에 유지한다.

각 플립플롭은, 예컨대 초기 상태 설정용 초기 데이터 S7~S0이 대응하는 비트 데이터 혹은 반전 리세트 신호 XRES에 의해 세트, 리세트가 행하여진다. 이 경우, 초기 데이터 S7~S0을 A1 전환하여, 전원 전압 혹은 접지 레벨로 고정시킴으로써 일괄적으로 초기 상태의 설정을 할 수 있다.

이와 같이 각 플립플롭에 유지된 데이터는 디코더 회로에 의해서 제어 신호 SB1~SB4 등이 디코드 출력된다. 이러한 제어 회로(440_j)에 의해, 선택기 회로(424_j)에서, 선택기 라인(430) 중 임의의 선택기 라인을 하나 선택할 수 있고, 4개의 버퍼 회로를 배타적으로 동작 제어할 수 있다.

또, 스위치 제어 신호 SA에 의해, 적절히 버퍼 회로와 선택기 라인을 전기적으로 절단함으로써, 출력 부하의 절감을 도모할 수 있게 되어 있다.

또한, 반전 제어 신호 INV1~INV4에 대해서도, 마찬가지로 생성할 수 있다.

4. 본 실시예에 있어서의 신호 드라이버가 적용된 액정 장치

도 14에, 본 실시예에 있어서의 신호 드라이버가 적용된 액정 장치(10)의 구성의 개요를 나타낸다.

단, 도 4와 동일 부분에는 동일 부호를 부여하고, 적절히 설명을 생략한다.

LCD 콘트롤러(60)는 신호 드라이버(30)에 대해, 클럭 신호 CPH, 수평 동기 신호로서의 래치 펄스 LP, 커맨드를 지정하기 위한 커맨드 신호 CMD, 신호의 반전 신호 INV, 화상 데이터나 커맨드 데이터가 전송되는 데이터 D0~D17, 극성 반전 구동 타이밍으로서의 극성 반전 신호 POL, 출력 인에이بل 신호 OE, 인에이블 입출력 신호 EIO 및 반전 리세트 신호 XRESH를 공급하여 신호 구동 제어를 한다.

또한, LCD 콘트롤러(60)는 주사 드라이버(50)에 대해, 클럭 신호 CPV, 수직 동기 신호로서의 스타트 신호 STV, 반전 출력 인에이بل 신호 XOEV, 전체 주사 라인의 출력을 제어하는 출력 제어 신호 XOHV 및 반전 리세트 신호 XRESV를 공급하여, 주사 구동 제어를 할 수 있도록 되어 있다. 본 실시예에서는, 이들 LCD 콘트롤러(60)로부터 주사 드라이버(50)에 대해 공급되어야 할 제어 신호를 상술한 바와 같은 I/O 회로를 갖는 신호 드라이버(30)로 중계하여 레벨 변환한 뒤에, 주사 드라이버(50)에 대하여 공급하도록 되어 있다.

또한, LCD 콘트롤러(60)는 전원 회로(80)에 대해, 스탠바이 제어 신호 XSTBY, 승압 모드의 설정 신호 PMDE, 1차 및 2차 승압계 클럭 PCK1, PCK2, 대향 전극 전압의 극성 반전 신호 VCOM을 공급하여, 전원 제어를 할 수 있게 되어 있다. 본 실시예에서는, 이들 LCD 콘트롤러(60)로부터 전원 회로(80)에 대해 공급될 수 있는 제어 신호를, 상술한 바와 같은 I/O 회로를 갖는 신호 드라이버(30)로 중계하여 레벨 변환한 뒤에, 전원 회로(80)에 대하여 공급하도록 되어 있다.

이렇게 함으로써, 보다 복잡한 회로 구성을 갖는 LCD 콘트롤러(60)에 있어서, HV계의 인터페이스 회로를 마련할 필요가 없어서, 이것을 미세화를 필요로 하지 않는 중내압 프로세스로 제조되는 신호 드라이버(30)로 레벨 변환을 하여 중계시키도록 했다. 따라서, LCD 콘트롤러(60)는 범용성이 높고, 미세화 프로세스에 의한 칩 사이즈의 축소에 의해, 대폭적인 저비용화를 도모할 수 있게 된다.

5. 기타

본 실시예에서는 TFT 액정을 이용한 LCD 패널을 공급하는 액정 장치를 예로 들어 설명했지만, 이것에 한정되는 것이 아니다. 예컨대, 신호 라인 및 주사 라인에 의해 특정되는 화소에 대응하여 마련된 유기 EL 소자를 포함하는 유기 EL 패널을 표시 구동하는 신호 드라이버 및 주사 드라이버에도 적용할 수 있다.

도 15에 이러한 신호 드라이버 및 주사 드라이버에 의해 표시되는 유기 EL 패널에 있어서의 2 트랜지스터 방식의 화소 회로의 일례를 나타낸다.

유기 EL 패널은 신호 라인 S_m 과 주사 라인 G_n 과의 교차점에, 구동 TFT 800_{nm} 과, 스위치 TFT 810_{nm} 와, 유지 캐패시터 820_{nm} 과, 유기 LED 830_{nm} 를 갖는다. 구동 TFT 800_{nm} 는 p형 트랜지스터에 의해 구성된다.

구동 TFT 800_{nm} 와 유기 LED 830_{nm} 는 전원 라인에 직렬로 접속된다.

스위치 TFT 810_{nm} 는 구동 TFT 800_{nm} 의 게이트 전극과 신호 라인 S_m 의 사이에 삽입된다. 스위치 TFT 810_{nm} 의 게이트 전극은 주사 라인 G_n 에 접속된다.

유지 캐패시터 820_{nm} 는 구동 TFT 800_{nm} 의 게이트 전극과 캐패시터 라인의 사이에 삽입된다.

이러한 유기 EL 소자에 있어서, 주사 라인 G_n 이 구동되어 스위치 TFT 810_{nm} 가가 온이 되면, 신호 라인 S_m 의 전압이 유지 캐패시터 820_{nm} 에 인가됨과 동시에, 구동 TFT 800_{nm} 의 게이트 전극에 인가된다. 구동 TFT 800_{nm} 의 게이트 전압 V_{gs} 는 신호 라인 S_m 의 전압에 의해서 결정되고, 구동 TFT 800_{nm} 에 흐르는 전류가 정해진다. 구동 TFT 800_{nm} 와 유기 LED 830_{nm} 는 직렬 접속되어 있기 때문에, 구동 TFT 800_{nm} 에 흐르는 전류가 그대로 유기 LED 830_{nm} 에 흐르는 전류가 된다.

따라서, 유지 캐패시터 820_{nm} 에 의해 신호 라인 S_m 의 전압에 따른 게이트 전압 V_{gs} 를 유지함으로써, 예컨대 1 프레임 기간 중에 있어서, 게이트 전압 V_{gs} 에 대응한 전류를 유기 LED 830_{nm} 에 흐르게 함으로써 해당 프레임에 있어서 발광을 지속하는 화소를 실현할 수 있다.

도 16(A)에 상술한 신호 드라이버 및 주사 드라이버에 의해 표시제어되는 유기 EL 패널에 있어서의 4 트랜지스터 방식의 화소 회로의 일례를 나타낸다. 도 16(B)에 이 화소 회로의 표시제어 타이밍의 일례를 나타낸다.

이 경우에도, 유기 EL 패널은 구동 TFT 900_{nm} 와, 스위치 TFT 910_{nm} 와, 유지 캐패시터 920_{nm} 와, 유기 LED 930_{nm} 를 갖는다.

도 15에 나타난 2 트랜지스터 방식의 화소 회로와 다른 점은, 정전압 대신에 스위치 소자로서의 p형 TFT 940_{nm} 를 거쳐 정전류원 950_{nm} 으로부터의 정전류 I_{data} 를 화소에 공급하도록 한 점과, 전원 라인에 스위치 소자로서의 p형 TFT 960_{nm} 를 거쳐서 유지 캐패시터 920_{nm} 및 구동 TFT 900_{nm} 와 접속하도록 한 점이다.

이러한 유기 EL 소자에 있어서, 우선 게이트 전압 V_{gp} 에 의해 p형 TFT 960_{nm} 을 오프로 하여 전원 라인을 차단하고, 게이트 전압 V_{se1} 에 의해 p형 TFT 940_{nm} 와 스위치 TFT 910_{nm} 를 온으로 하여, 정전류원 950_{nm} 으로부터의 정전류 I_{data} 를 구동 TFT 900_{nm} 에 흘린다.

구동 TFT 900_{nm} 에 흐르는 전류가 안정되기까지의 사이에, 유지 캐패시터 920_{nm} 에는 정전류 I_{data} 에 따른 전압이 유지된다.

계속해서, 게이트 전압 V_{se1} 에 의해 p형 TFT 940_{nm}와 스위치 TFT 910_{nm}를 오프로 하고, 또한 게이트 전압 V_{gp} 에 의해 p형 TFT 960_{nm}를 온으로 하며, 전원 라인과 구동 TFT 900_{nm} 및 유기 LED 930_{nm}를 전기적으로 접속한다. 이 때, 유지 캐패시터 920_{nm}에 유지된 전압에 의해, 정전류 I_{data} 와 거의 동등한 전류 또는 이것에 따른 크기의 전류가 유기 LED 930_{nm}에 공급된다.

이러한 유기 EL 소자에서는, 예컨대, 주사 라인을 게이트 전압 V_{se1} , 신호 라인을 데이터선으로 하여 구성할 수 있다.

유기 LED는 투명 애노드(ITO)의 상부에 발광층을 마련하고, 또한 그 상부에 금속 캐소드를 마련하도록 해도 무방하고, 금속 애노드의 상부에, 발광층, 광투과성 캐소드, 투명 밀봉(seal)을 마련하도록 해도 무방하며, 그 소자 구조에 한정되는 것이 아니다.

이상 설명한 바와 같은 유기 EL 소자를 포함하는 유기 EL 패널을 표시 구동하는 신호 드라이버를 상술한 바와 같이 구성함으로써, 유기 EL 패널을 표시제어하는 표시 컨트롤러의 미세화를 도모할 수 있다.

또, 본 발명은 상술한 실시예에 한정되는 것이 아니라, 본 발명의 요지의 범위 내에서 여러 가지의 변형실시가 가능하다. 예컨대, 플라스마 디스플레이 장치에도 적용 가능하다.

또한, 본 실시예에서는 라인 구동 회로로서 신호 드라이버를 예로 들어 설명했지만, 이것에 한정되는 것은 아니다.

발명의 효과

본 발명에 따르면, 프로세스의 미세화에 의한 저비용화를 효율적으로 도모하는 라인 구동 회로, 이것을 이용한 전기 광학 장치 및 표시 장치를 구현할 수 있다.

(57) 청구의 범위

청구항 1.

서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 상기 제 1 라인을 구동하는 라인 구동 회로로서,

전기 광학 장치를 표시제어하는 표시 컨트롤러로부터, 제 2 라인을 구동하는 제 2 라인 구동 회로에 공급되어야 할 신호가 입력되는 입력 단자와,

상기 입력 단자에 입력된 신호를 소정의 전압으로 변환하는 레벨 변환 회로와,

상기 소정의 전압으로 변환된 신호를 상기 제 2 라인 구동 회로에 출력하기 위한 출력 단자와,

를 포함하되,

상기 제 1 라인을 구동하는 라인 구동 회로는 상기 표시 컨트롤러와는 별도의 디바이스로서 제조되는 것을 특징으로 하는 라인 구동 회로.

청구항 2.

서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 상기 제 1 라인을 구동하는 라인 구동 회로로서,

전기 광학 장치를 표시제어하는 표시 컨트롤러로부터, 전원 회로에 공급되어야 할 신호가 입력되는 입력 단자와,

상기 입력 단자에 입력된 신호를 소정의 전압으로 변환하는 레벨 변환 회로와,

상기 소정의 전압으로 변환된 신호를 상기 전원 회로에 출력하기 위한 출력 단자

를 포함하되,

상기 라인 구동 회로는 상기 표시 콘트롤러와는 별도의 디바이스로서 제조되는 것을 특징으로 하는 라인 구동 회로.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 라인은 화상 데이터에 근거하는 전압이 공급되는 신호 라인인 것을 특징으로 하는 라인 구동 회로.

청구항 4.

제 1 항에 있어서,

복수의 선택기 라인과,

기설정된 동작에 따라 제 1 선택 신호와 제 2 선택 신호를 발생하는 제어 회로와,

상기 제 1 선택 신호에 근거하여, 상기 입력 단자와 상기 복수의 선택기 라인 중 어느 하나의 제 1 선택기 라인을 접속하기 위한 제 1 선택기 회로와,

상기 제 2 선택 신호에 근거하여, 상기 출력 단자와 상기 제 1 선택기 라인을 접속하기 위한 제 2 선택기 회로

를 더 포함하는 라인 구동 회로.

청구항 5.

제 2 항에 있어서,

복수의 선택기 라인과,

소정의 제 1 선택 신호에 근거하여, 상기 입력 단자와 상기 복수의 선택기 라인 중 어느 하나의 제 1 선택기 라인을, 접속하기 위한 제 1 선택기 회로와,

소정의 제 2 선택 신호에 근거하여, 상기 출력 단자와 상기 제 1 선택기 라인을, 접속하기 위한 제 2 선택기 회로

를 포함하는 라인 구동 회로.

청구항 6.

제 4 항 또는 제 5 항에 있어서,

상기 제 1 선택기 라인의 전압을 저내압계(低耐壓系)의 전압으로 변환하여, 상기 출력 단자에 공급하는 제 1 출력 버퍼 회로와,

상기 제 1 선택기 라인의 전압을 고내압계(高耐壓系)의 전압으로 변환하여, 상기 출력 단자에 공급하는 제 2 출력 버퍼 회로와,

상기 입력 단자에 공급된 저내압계의 전압을 저내압계의 전압 그대로 상기 제 1 선택기 라인에 공급하는 제 1 입력 버퍼 회로와,

상기 입력 단자에 공급된 고내압계의 전압을 저내압계의 전압으로 변환하여, 상기 제 1 선택기 라인에 공급하는 제 2 입력 버퍼 회로

를 포함하되,

상기 제 1 및 제 2 출력 버퍼 회로와 상기 제 1 및 제 2 입력 버퍼 회로 중 어느 하나의 버퍼 회로를 동작 상태로 하고, 다른 버퍼 회로를 비동작 상태로 하는 배타적 동작 제어가 실행되는 것을 특징으로 하는 라인 구동 회로.

청구항 7.

서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소와,

청구항 1 또는 청구항 2에 따른 라인 구동 회로와,

상기 제 2 라인을 구동하는 제 2 라인 구동 회로

를 포함하는 전기 광학 장치.

청구항 8.

서로 교차하는 복수의 제 1 라인 및 복수의 제 2 라인에 의해 특정되는 화소를 갖는 전기 광학 장치와,

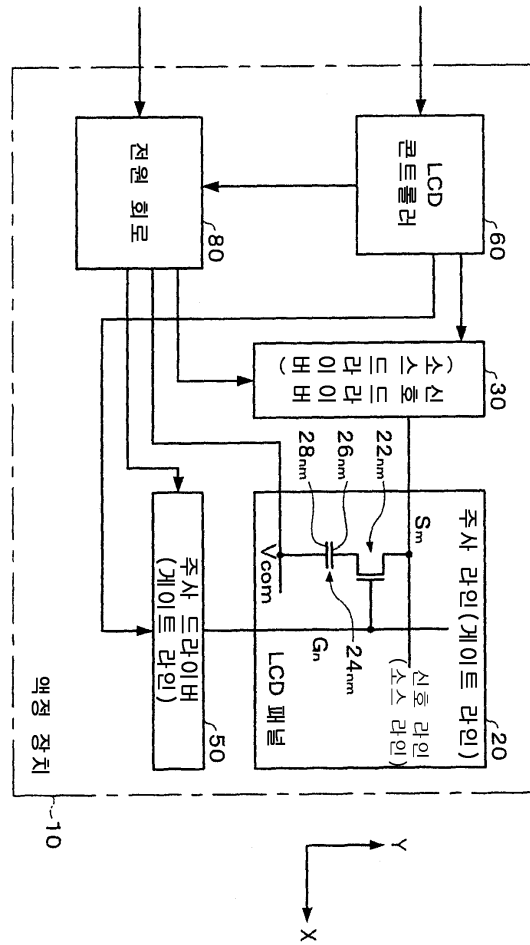
청구항 1 또는 청구항 2에 따른 라인 구동 회로와,

상기 제 2 라인을 구동하는 제 2 라인 구동 회로

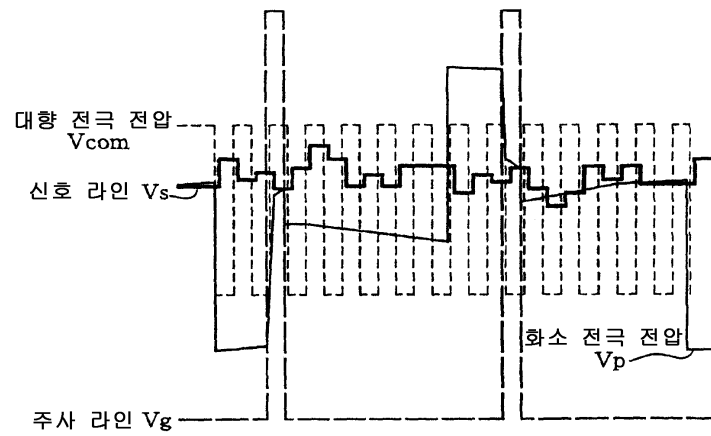
를 포함하는 표시 장치.

도면

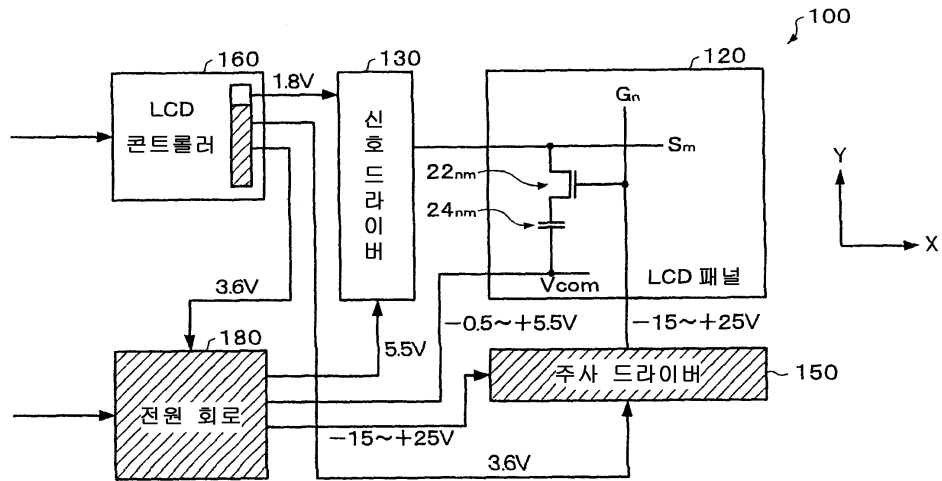
도면1



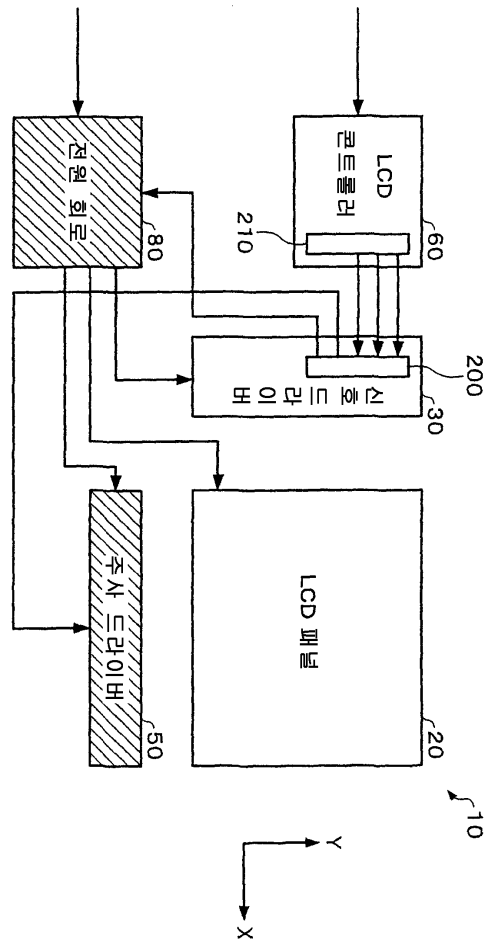
도면2



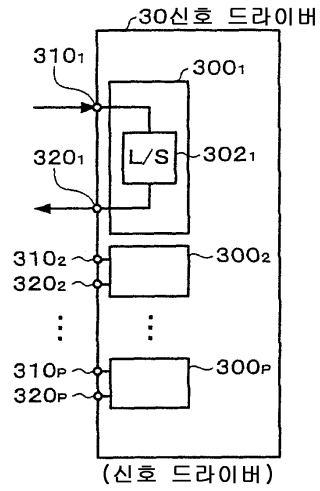
도면3



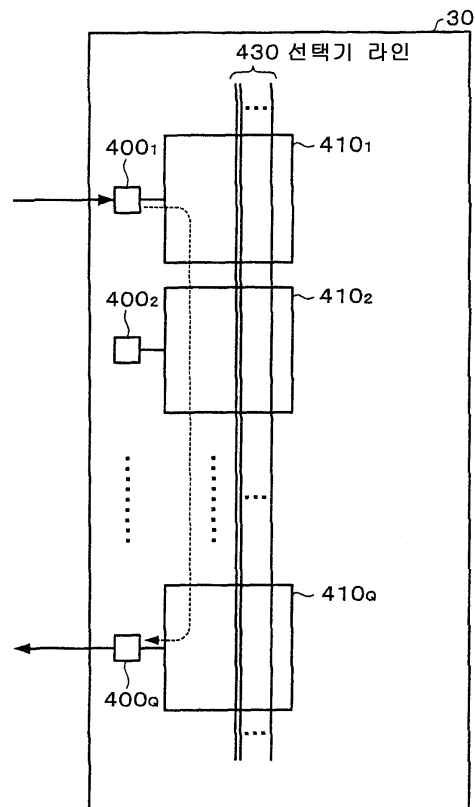
도면4



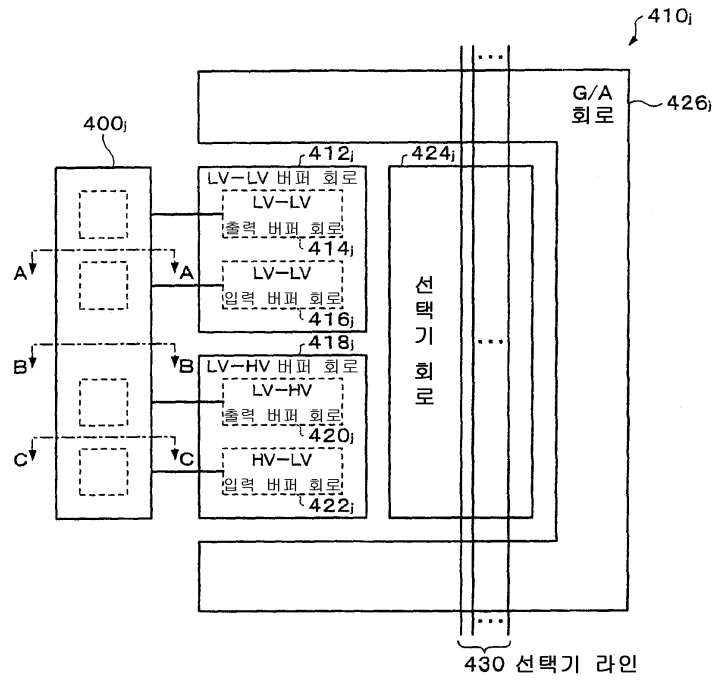
도면5



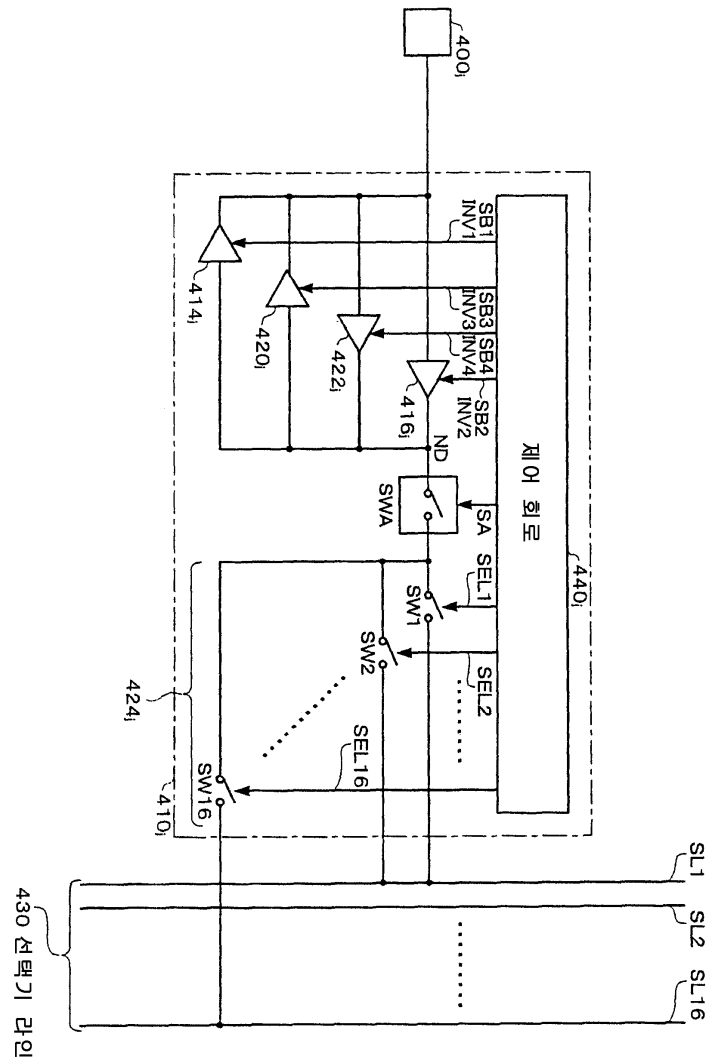
도면6



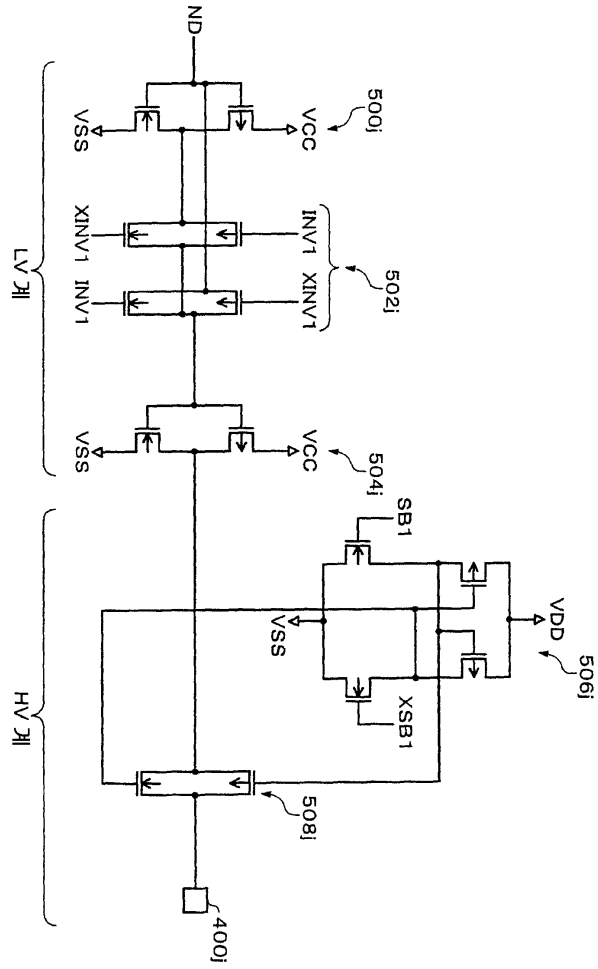
도면7



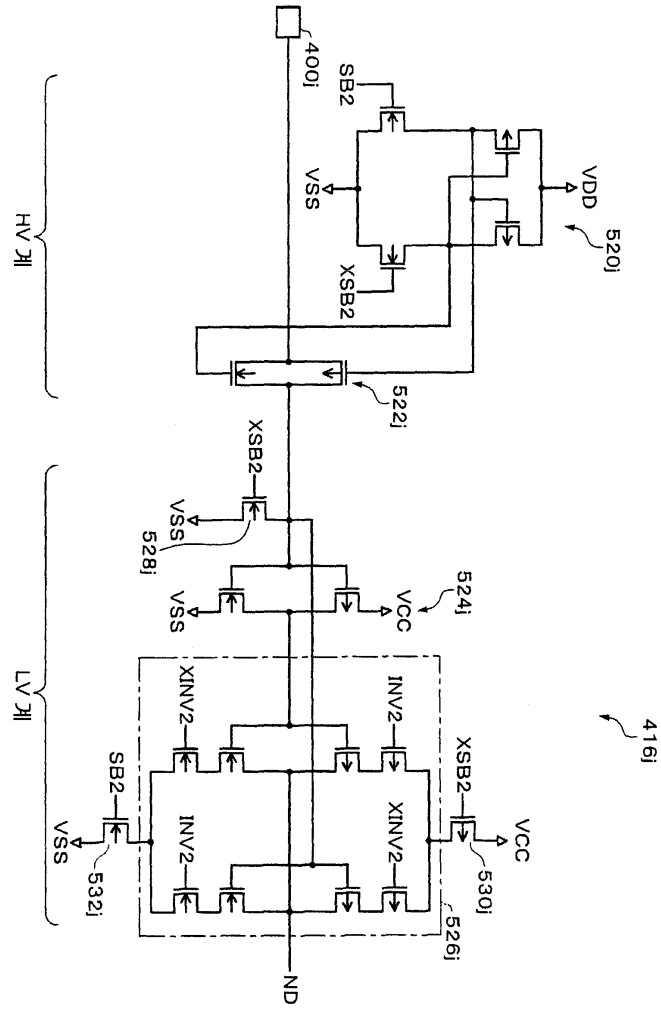
도면8



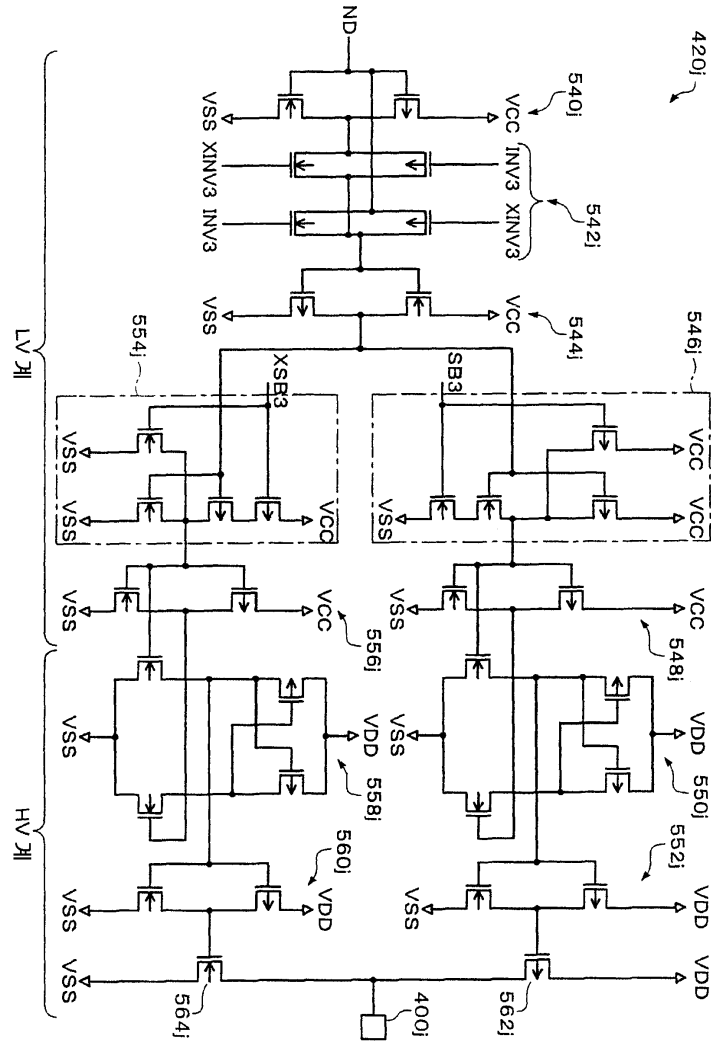
도면9



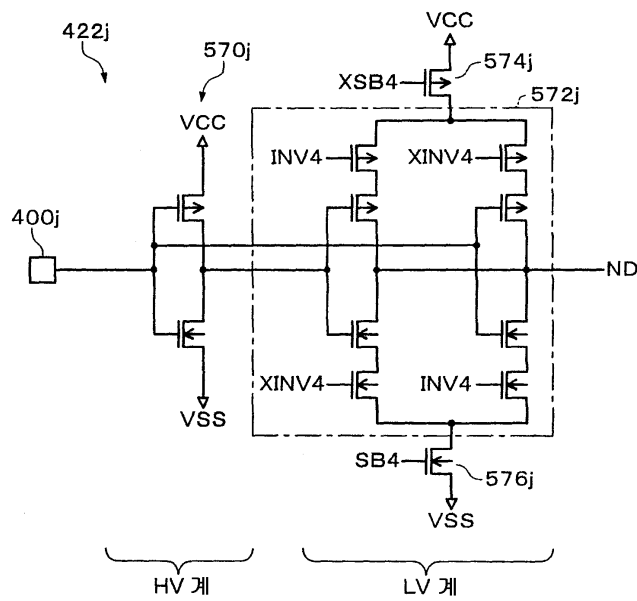
도면10



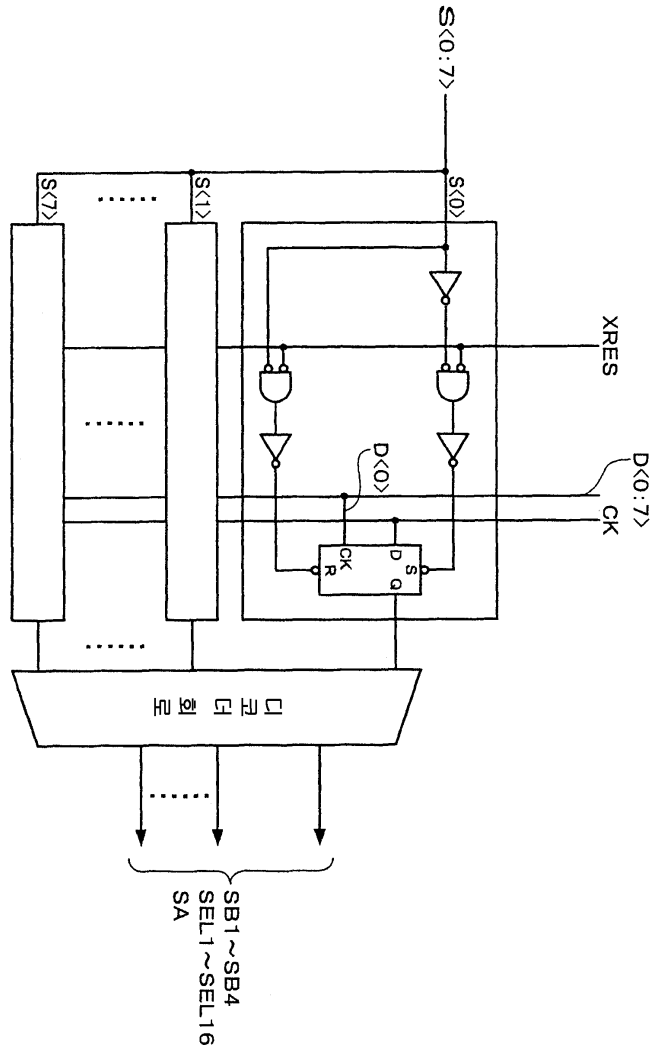
도면11



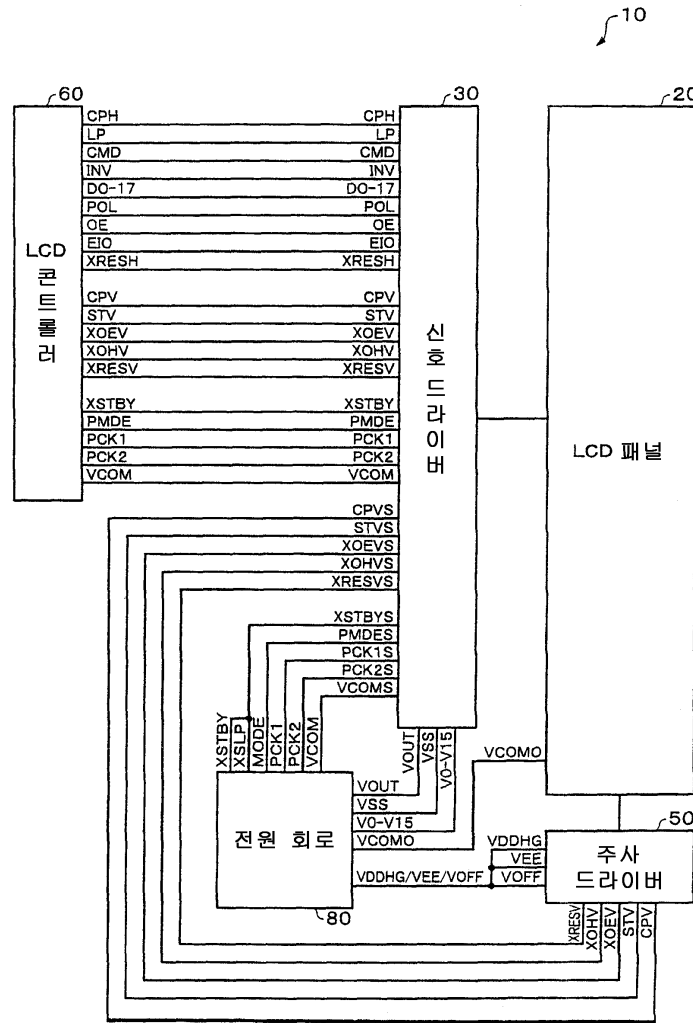
도면12



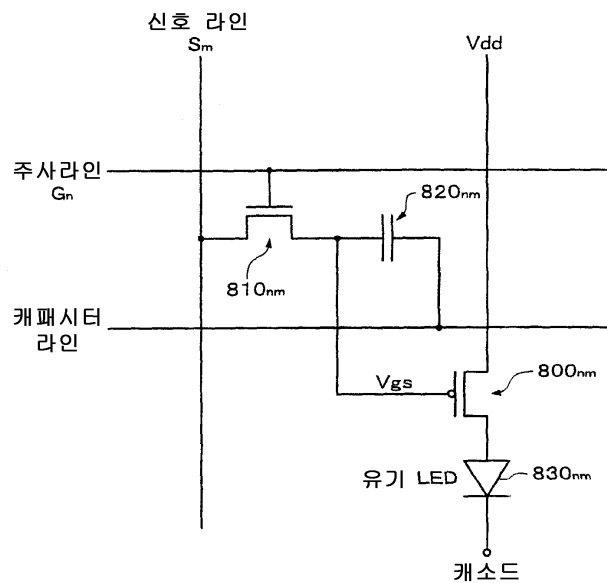
도면13



도면14

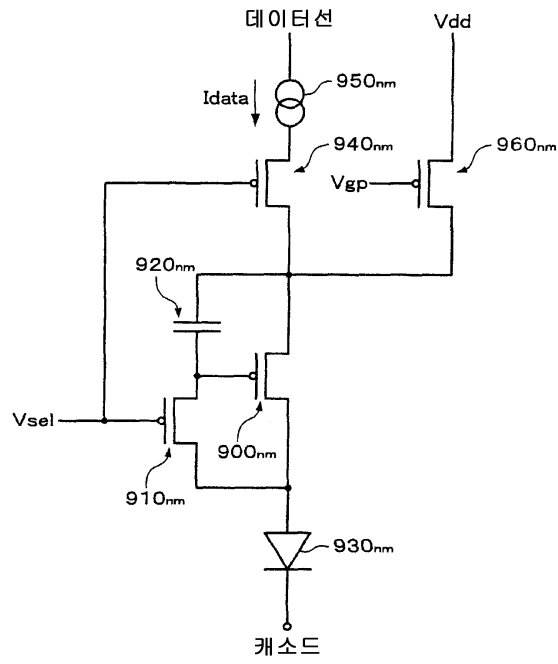


도면15

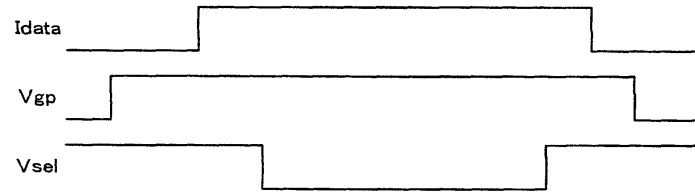


도면16

(a)



(b)



专利名称(译)	线路驱动电路，电光器件和显示器件		
公开(公告)号	KR100614489B1	公开(公告)日	2006-08-23
申请号	KR1020020033159	申请日	2002-06-14
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生株式会社		
当前申请(专利权)人(译)	精工爱普生株式会社		
[标]发明人	MORITA AKIRA		
发明人	MORITA,AKIRA		
IPC分类号	G02F1/133 G09G3/20 G09G3/30 G09G3/32 G09G3/36		
CPC分类号	G09G3/3685 G09G2330/02 G09G3/3696 G09G2310/0289 G09G3/2092 G09G3/3648 G09G3/3208		
代理人(译)	KIM, CHANG SE		
优先权	2001181678 2001-06-15 JP		
其他公开文献	KR1020020096013A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种能够有效降低由于工艺小型化而降低成本的线驱动电路，使用该线路驱动电路的电光装置以及显示装置。液晶装置10包括LCD面板20，信号驱动器30，扫描驱动器50和电源电路80，它们由LCD控制器60控制。信号驱动器30包括接口电路，该接口电路通过使用接口部分200中的中压处理将低击穿电压系统的电压转换为高击穿电压系统的电压，并且将信号组提供给扫描驱动器50或电源电路80。

