

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월22일 10-0614471 2006년08월14일
--------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0006464 2000년02월11일	(65) 공개번호 (43) 공개일자	10-2001-0020634 2001년03월15일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 99-233128 1999년08월19일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자 우도신야
일본국가나가와켄가와사키시나카하라구가미고다나카4-1-1후지쯔가부
시끼가이샤내

구도오사무
일본국가나가와켄가와사키시나카하라구가미고다나카4-1-1후지쯔가부
시끼가이샤내

(74) 대리인 문두현
문기상

심사관 : 이병우

(54) LCD패널 구동 회로

요약

본 발명은 LCD패널 구동 회로에 있어서 회로 규모를 증대시키는 일이 없이 휘도 불균질이나 세로줄이 없는 고품질의 표시를 한다.

첫번째의 출력 패드(24a)에 첫번 및 2번째의 버퍼 앰프(22a, 22b)의 출력 전압을, 2번째의 출력 패드(24b)에 2번 및 3번째의 버퍼 앰프(22b, 22c)의 출력 전압을, 3번째의 출력 패드(24c)에 3번 및 4번째의 버퍼 앰프(22c, 22d)의 출력 전압을 공급함으로써, 임의의 인접하는 출력 패드에 공급되는 출력 전압이 항상 임의의 인접하는 버퍼 앰프로부터 공급되도록 데이터라인 전환 스위치(25a~25g) 및 출력 극성 전환 스위치(23a~23n)를 바꾼다. 이에 의해서 임의의 인접하는 데이터라인 간의 동일한 계조 표시를 하기 위한 구동 전압의 저하 발생을 억제하여 휘도 불균질이나 세로줄을 막는다.

대표도

도 2

색인어

셀렉터, 버퍼 앰프

명세서

도면의 간단한 설명

도1은 본 발명을 적용한 LCD패널 구동 회로의 전체 구성을 나타내는 블록도.

도2는 본 발명에 의한 LCD패널 구동 회로의 셀렉터 및 버퍼 앰프로 되는 회로 블록의 상세를 나타내는 개략도.

도3은 도2에 나타내는 LCD패널 구동 회로의 작용을 설명하기 위한 모식도.

도4는 도2에 나타내는 LCD패널 구동 회로의 작용을 설명하기 위한 다른 모식도.

도5는 종래의 LCD패널 구동 회로의 주요부를 나타내는 개략도.

(부호의 설명)

21a, 21b, 21c, 21d, 21m, 21n 셀렉터

22a, 22b, 22c, 22d, 22e, 22n, 22n+ 1 버퍼 앰프

23a, 23b, 23c, 23d, 23m, 23n 출력 극성 전환 스위치

25a, 25b, 25g 데이터라인 전환 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 LCD(액정 디스플레이)패널 구동 회로에 관한 것이다. 최근, 일반 가정용TV나 OA기기의 표시 장치로서 LCD가 급속하게 보급되어가고 있다. 그 이유로서 LCD는 CRT와 비교하여 박형으로 경량이고, CRT에 뒤떨어지지 않는 표시 품질을 얻을 수 있는 것이 예시된다.

도5는 종래의 LCD패널 구동 회로의 주요부를 나타내는 개략도이다. 이 구동 회로는 N개의 셀렉터(11a, 11b, 11c, 11d, ..., 11m, 11n)와, 버퍼 앰프로서 동작하는 N개의 연산 증폭기(12a, 12b, 12c, 12d, ..., 12m, 12n)와, N개의 출력 극성 전환 스위치(13a, 13b, 13c, 13d, ..., 13m, 13n)를 구비한다. 여기서N은 2의 배수다.

셀렉터(11a, 11b, 11c, 11d, ..., 11m, 11n) 중, 예를 들면 홀수번째에 배치된 셀렉터는 정(+)극성 출력 전용이고, 짝수번째의 셀렉터는 부(-)극성 출력 전용이다. 정극성 출력 전용 셀렉터(11a, 11c, ..., 11m)에는, 예를 들면 정극성 출력용의 6비트 데이터와 정극성의 계조 전압이 입력된다. 한편, 부극성 출력 전용 셀렉터(11b, 11d, ..., 11n)에는, 예를 들면 부극성 출력용의 6비트 데이터와 부극성의 계조 전압이 입력된다.

연산 증폭기(12a, 12b, 12c, 12d, ..., 12m, 12n) 중 절반은 정극성 출력 전용의 연산 증폭기이고, 나머지 반은 부극성 출력 전용의 연산 증폭기다. 각 정극성 출력 전용 연산 증폭기(12a, 12c, ..., 12m)의 비반전 입력 단자에는 각각 정극성 출력 전용 셀렉터(11a, 11c, ..., 11m)의 출력 전압이 인가된다.

각 부극성 출력 전용 연산 증폭기(12b, 12d, ..., 12n)의 비반전 입력 단자에는 각각 부극성 출력 전용 셀렉터(11b, 11d, ..., 11n)의 출력 전압이 인가된다.

출력 극성 전환 스위치(13a, 13b, 13c, 13d, ..., 13m, 13n)는 각각 출력 패드(14a, 14b, 14c, 14d, ..., 14m, 14n)에 접속되어 있다. 출력 패드(14a, 14b, 14c, 14d, ..., 14m, 14n)는 도시하지 않는 LCD패널에 전기적으로 접속되어 있다.

여기서 출력 극성 전환 스위치(13a, 13b, 13c, 13d, ..., 13m, 13n)의 전환 동작과 함께, LCD패널 구동 회로의 작용을 설명하기 위해서, 편의상 k 를 1이상의 정수로 한다. $2k-1$ 번째의 데이터(D $2k-1$)가 정극성의 경우, 이 데이터(D $2k-1$)는 $2k-1$ 번째의 셀렉터에 입력된다.

이 때, $2k-1$ 번째의 출력 극성 전환 스위치는 정극성측(도5에 나타내는 파선측)에 전기적으로 접속된다. 따라서 $2k-1$ 번째의 셀렉터로부터 출력된 정극성의 구동 전압은 $2k-1$ 번째의 연산 증폭기 및 $2k-1$ 번째의 출력 극성 전환 스위치를 통해서 $2k-1$ 번째의 출력 패드에 출력된다.

이 때, $2k$ 번째의 데이터(D $2k$)는 부극성이 되고, $2k$ 번째의 셀렉터에 입력된다. 이 때, $2k$ 번째의 출력 극성 전환 스위치는 부극성측(도5에 나타내는 파선측)에 전기적으로 접속된다. 따라서 $2k$ 번째의 셀렉터로부터 출력된 부극성의 구동 전압은 $2k$ 번째의 연산 증폭기 및 $2k$ 번째의 출력 극성 전환 스위치를 통해서 $2k$ 번째의 출력 패드에 출력된다.

즉 $2k-1$ 번째의 데이터라인의 구동 전압은 정극성의 데이터(D $2k-1$)에 의거하는 정극성의 구동 전압이 되고, $2k$ 번째의 데이터라인의 구동 전압은 부극성의 데이터(D $2k$)에 의거하는 부극성의 구동 전압이 된다.

데이터(D $2k-1$)와 데이터(D $2k$)는 $2k-1$ 번째 및 $2k$ 번째의 셀렉터의 판단에서 일정한 주기로 극성이 반전된다. 부극성이 된 데이터(D $2k-1$)는 $2k$ 번째의 셀렉터에 입력된다. 정극성이 된 데이터(D $2k$)는 $2k-1$ 번째의 셀렉터에 입력된다. 그리고 제 $2k-1$ 의 출력 극성 전환 스위치는 부극성측(도5에 나타내는 실선측)에 전기적으로 접속된다. 또 $2k$ 번째의 출력 극성 전환 스위치는 정극성측(도5에 나타내는 실선측)에 전기적으로 접속된다.

따라서 $2k$ 번째의 셀렉터로부터 출력된 부극성의 구동 전압은 $2k$ 번째의 연산 증폭기 및 $2k-1$ 번째의 출력 극성 전환 스위치를 통해서 $2k-1$ 번째의 출력 패드에 출력된다. $2k-1$ 번째의 셀렉터로부터 출력된 정극성의 구동 전압은 $2k-1$ 번째의 연산 증폭기 및 $2k$ 번째의 출력 극성 전환 스위치를 통해서 $2k$ 번째의 출력 패드에 출력된다.

즉 $2k-1$ 번째의 데이터라인의 구동 전압은 부극성의 데이터(D $2k-1$)에 의거하는 부극성의 구동 전압이 되고, $2k$ 번째의 데이터라인의 구동 전압은 정극성의 데이터(D $2k$)에 의거하는 정극성의 구동 전압이 된다. 따라서 $2k-1$ 번째의 데이터라인의 구동 전압은 정극성의 데이터(D $2k-1$)에 의거하는 정극성의 구동 전압과, 부극성의 데이터(D $2k-1$)에 의거하는 부극성의 구동 전압이 소정의 주기로 교대로 인가되게 된다.

또 $2k$ 번째의 데이터라인의 구동 전압은 부극성의 데이터(D $2k$)에 의거하는 부극성의 구동 전압과, 정극성의 데이터(D $2k$)에 의거하는 정극성의 구동 전압이 소정의 주기로 교대로 인가되게 된다.

여기서 정극성의 데이터(D $2k-1$)에 의거하는 정극성의 구동 전압과, 부극성의 데이터(D $2k-1$)에 의거하는 부극성의 구동 전압과는 극성이 반대이고, 크기는 동일하다. 부극성의 데이터(D $2k$)에 의거하는 부극성의 구동 전압과 정극성의 데이터(D $2k$)에 의거하는 정극성의 구동 전압에 대해서도 동일하다.

이와 같이 동일한 화소에 정극성의 구동 전압과 부극성의 구동 전압이 일정한 주기로 교대로 인가되도록 교류 구동을 행하는 이유는 동일한 화소에 동일한 극성의 전압이 계속 인가되면 액정이 열화한다는 불편함을 회피하기 위함이다. 그러나 교류 구동을 행하면, 화면이 조금씩 번쩍임(플리커)이 발생한다. 이것을 억제하기 위해서 LCD에서는 서로 이웃이 되는 데이터라인 간에 반대의 극성의 구동 전압을 인가하고, 인접하는 화소간에 반대의 극성의 전압이 인가되도록 하고 있다.

발명이 이루고자 하는 기술적 과제

상술한 종래의 LCD패널 구동 회로에서는 $2k-1$ 번째의 데이터라인의 구동 전압은 $2k-1$ 번째의 연산 증폭기의 출력 전압과 $2k$ 번째의 연산 증폭기의 출력 전압으로 된다. 또 $2k$ 번째의 데이터라인의 구동 전압도 $2k-1$ 번째의 연산 증폭기의 출력 전압과 $2k$ 번째의 연산 증폭기의 출력 전압으로 된다.

따라서 2k-1번째 및 2k번째의 연산 증폭기에 오프셋 전압이 있어도, 2k-1번째의 데이터라인의 구동 전압과, 2k번째의 데이터라인의 구동 전압 간에는 오프셋차가 발생되지 않는다. 마찬가지로 2k+ 1번째 및 2k+ 2번째의 연산 증폭기에 오프셋 전압이 있어도, 2k+ 1번째의 데이터라인의 구동 전압과 2k+ 2번째의 데이터라인의 구동 전압 간에는 오프셋차가 발생되지 않는다.

그러나 2k-1번째의 연산 증폭기와 2k+ 1번째의 연산 증폭기의 오프셋 전압이 반대의 극성이거나 2k번째의 연산 증폭기와 2k+ 2번째의 연산 증폭기의 오프셋 전압이 반대의 극성인 경우에는 동일한 계조 표시를 행하여도, 2k번째의 데이터라인의 구동 전압과 2k+ 1번째의 데이터라인의 구동 전압 간에는 큰 전압차가 발생되어 버린다. 따라서 동일한 계조 표시시에 화면에 휘도 불균질이나 세로줄이 발생할 수 있는 문제점이 있다.

연산 증폭기의 오프셋 전압이 발생하는 원인은 트랜지스터의 제조 프로세스의 불균형이다. 그런데 종래에는 커런트 미러 회로를 구성하는 트랜지스터의 면적을 크게 함으로써, 제조 프로세스의 불균형을 작게 하고, 이에 의하여 연산 증폭기의 오프셋 전압이 작아지도록 하고 있다. 그러나 이 기술에서는 LCD패널 구동 회로가 대형화하여 버리는 결점이 있다.

본 발명은 상기 문제점을 감안하여 된 것으로, 회로 규모를 증대시키는 일이 없이 휘도 불균질이나 세로줄이 없는 고품질의 표시를 행하게 하는 LCD패널 구동 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 의한 LCD패널 구동 회로는 일렬로 배치된 복수의 출력 단자(출력 패드) 중의 임의의 인접하는 2개의 출력 단자에 각각 공급되는 계조 전압이 항상 일렬로 배치된 복수의 버퍼 앰프 중의 임의의 인접하는 2개의 버퍼 앰프로부터 각각 출력된다.

또 본 발명에 의한 LCD패널 구동 회로는 j개의 첫 극성용의 셀렉터, j개의 제2 극성용의 셀렉터, j개의 데이터라인 전환 스위치, j개의 첫 극성용의 버퍼 앰프, j+ 1개의 제2 극성용의 버퍼 앰프 및 2j개의 출력 극성 전환 스위치를 구비한다. 2j개의 상기 셀렉터의 출력 전압은 상기 데이터라인 전환 스위치, 상기 버퍼 앰프 및 상기 출력 극성 전환 스위치를 통해서 2j개의 데이터라인에 공급된다.

첫 극성용의 셀렉터는 대응하는 첫 극성용의 버퍼 앰프에 접속되어 있다. 첫 극성용의 버퍼 앰프는 대응하는 출력 극성 전환 스위치를 통해서 인접하는 첫 데이터라인과 제2 데이터라인 중의 어느 하나에 접속된다. 제2 극성용의 셀렉터는 대응하는 데이터라인 전환 스위치를 통해서 대응하는 한쌍의 제2 극성용의 버퍼 앰프의 어느 하나에 접속된다.

한쌍의 제2 극성용의 버퍼 앰프중, 한쪽의 버퍼 앰프는 대응하는 출력 극성 전환 스위치를 통해서 상기 첫 데이터라인과 그것에 인접하는 제3 데이터라인 중의 어느 하나에 접속된다. 다른 쪽의 제2 극성용의 버퍼 앰프는 대응하는 출력 극성 전환 스위치를 통해서 상기 제2 데이터라인과 그것에 인접하는 제4 데이터라인 중의 어느 하나에 접속된다. 데이터라인 전환 스위치와 출력 극성 전환 스위치는 소정의 타이밍으로 동시에 바뀌어진다.

상술한 구성에 의하면, 첫 데이터라인에는 첫 극성용의 버퍼 앰프의 출력 전압과, 상기 한쌍의 제2 극성용의 버퍼 앰프 중의 한쪽의 버퍼 앰프의 출력 전압이 공급된다. 제2 데이터라인에는 첫 극성용의 버퍼 앰프의 출력 전압과, 상기 한쌍의 제2 극성용의 버퍼 앰프 중 다른 쪽의 버퍼 앰프의 출력 전압이 공급된다.

또 제3 데이터라인에는 상기 한쌍의 제2 극성용의 버퍼 앰프 중의 한쪽의 버퍼 앰프 출력 전압과, 첫 또는 제2 데이터라인에 접속되는 첫 극성용의 버퍼 앰프와는 다른 첫 극성용의 버퍼 앰프의 출력 전압이 공급된다. 마찬가지로 제4 데이터라인에는 상기 한쌍의 제2 극성용의 버퍼 앰프 중 다른 쪽의 버퍼 앰프 출력 전압과, 첫, 제2 또는 제3 데이터라인에 접속되는 첫 극성용의 버퍼 앰프와는 다른 첫 극성용의 버퍼 앰프의 출력 전압이 공급된다.

즉 임의의 인접하는 데이터라인 간에는 반드시 공통의 버퍼 앰프가 접속된다. 그 때문에 임의의 인접하는 데이터라인 간에 있어서, 동일한 계조 표시를 행하기 위한 구동 전압에 큰 격차가 발생하는 것을 막을 수 있으므로, 동일한 계조 표시시에 화면에 휘도 불균질이나 세로줄이 발생하는 것을 막을 수 있다.

또 상술한 구성에 의하면, 버퍼 앰프가 연산 증폭기인 경우에, 커런트 미러 회로를 구성하는 트랜지스터의 면적을 크게 하여 연산 증폭기의 오프셋 전압을 작게 할 필요가 없기 때문에, LCD패널 구동 회로의 회로 규모를 작게 할 수 있다. 이에 의해서 LCD패널을 이용한 표시 장치의 소형화를 도모할 수 있다.

(발명의 실시예)

이하에 본 발명의 실시예에 대해서 도1~도4를 참조하면서 상세하게 설명한다. 도1은 본 발명을 적용한 LCD패널 구동 회로의 전체 구성을 나타내는 블록도다.

도1에 있어서, LCD패널 구동 회로는 클록 컨트롤(200), 시프트 레지스터(201), 데이터 레지스터(202), 래치(203), 레벨 시프터(204, 207), 셀렉터(210), 버퍼 앰프(220), 데이터 컨트롤(205), 극성 컨트롤(206), 래더 저항(208) 및 바이어스 회로(209)를 구비하고 있다.

클록 컨트롤(200)은 외부에서 인에이블 신호(EI01~EI0384)를 수취하여 데이터를 받을 준비를 한다. 또 클록 컨트롤(200)은 데이터를 다 접수하면 다음의 IC에 인에이블 신호를 출력하여 파워다운 모드에 들어간다. 클록 컨트롤(200)에는 외부에서 클록(DCLK), 좌우 시프트 신호(RL) 및 데이터 전송 신호(LP)가 입력됨과 동시에, 도시하지 않는 디지털 전원으로부터 전원 전압(VDDD) 및 접지 전압(DGND)이 공급된다. 전원 전압(VDDD) 및 접지 전압(DGND)은 시프트 레지스터(201), 데이터 레지스터(202) 및 래치(203)에도 공급된다.

시프트 레지스터(201)에는 좌우 시프트 신호(RL) 및 데이터 전송 신호(LP)가 입력된다.

데이터 컨트롤(205)에는 데이터 전송 신호(LP), 데이터(D00~D05, D10~D15, D20~D25, D30~D35, D40~D45, D50~D55) 및 데이터 반전 신호(INV1, INV2)가 입력된다. 데이터 레지스터(202)에는 데이터 컨트롤(205)로부터 출력된 데이터가 입력된다. 데이터 레지스터(202)는 입력된 6출력×6비트의 데이터를 차례로 잡아들인다.

극성 컨트롤(206)에는 외부에서 극성 반전 신호(POL)가 입력된다. 극성 컨트롤(206)은 입력된 극성 반전 신호(POL)에 의거하여 각 출력의 극성을 바꾸는 신호를 발생한다. 래치(203)는 출력 중의 계조 데이터를 유지한다. 레벨 시프터(204), 셀렉터(210) 및 버퍼 앰프(220)에는 도시하지 않는 아날로그 전원으로부터 전원 전압(VDDA) 및 접지 전압(AGND)이 공급된다.

래더 저항(208)에는 외부에서 계조 전압(외부 계조 전압)(HV0~HV8, LV0~LV8)이 입력된다. 셀렉터(210)는 래더 저항(208)에서 외부 계조 전압을 저항 분할하여 발생한 64계조의 전압에 대하여 선택을 행한다. 버퍼 앰프(220)는 셀렉터(210)에서 선택된 전압을 버퍼링하여 출력한다.

도2는 실시예에 이러한 LCD패널 구동 회로의 셀렉터(210) 및 버퍼 앰프(220)로 되는 회로 블록의 상세를 나타내는 개략도이다.

도2에서, 셀렉터(210) 및 버퍼 앰프(220)로 되는 회로 블록은 2j개의 셀렉터(21a, 21b, 21c, 21d, ..., 21m, 21n)와, j개의 데이터라인 전환 스위치(25a, 25b, ..., 25g)와, 2j+1개의 버퍼 앰프(22a, 22b, 22c, 22d, 22e, ..., 22n, 22n+1)와, 2j개의 출력 극성 전환 스위치(23a, 23b, 23c, 23d, ..., 23m, 23n)를 구비한다. 여기서j는 자연수이고, 예를 들면 j=192이다.

셀렉터(21a, 21b, 21c, 21d, ..., 21m, 21n)는 예를 들면 D/A컨버터로 구성되어 있다. 셀렉터(21a, 21b, 21c, 21d, ..., 21m, 21n) 중, 예를 들면 홀수번째에 배치된 셀렉터는 부극성 출력 전용이고, 짝수번째의 셀렉터는 정극성 출력 전용이다. 부극성 출력 전용 셀렉터(21a, 21c, ..., 21m)에는, 예를 들면 부극성 출력용의 6비트 데이터와 부극성의 계조 전압이 입력된다. 한쪽의 정극성 출력 전용 셀렉터(21b, 21d, ..., 21n)에는, 예를 들면 정극성 출력용의 6비트 데이터와 정극성의 계조 전압이 입력된다.

버퍼 앰프(22a, 22b, 22c, 22d, ..., 22m, 22n)는 예를 들면 연산 증폭기로 구성되어 있다. 버퍼 앰프(22a, 22b, 22c, 22d, ..., 22m, 22n) 중, 예를 들면 홀수번째에 배치된 j+1개의 버퍼 앰프는 부극성 출력 전용이고, 짝수번째의 j개의 버퍼 앰프는 정극성 출력 전용이다. 각 정극성 출력 전용 버퍼 앰프(22b, 22d, ..., 22n)의 비반전 입력 단자에는 각각 정극성 출력 전용 셀렉터(21b, 21d, ..., 21n)의 출력 전압이 인가된다.

데이터라인 전환 스위치(25a, 25b, ..., 25g)는 각각 부극성 출력 전용 셀렉터(21a, 21c, ..., 21m)의 출력 단자에 접속되어 있다. 여기서k를 자연수로 하면, 데이터라인 전환 스위치는 2k-1번째의 셀렉터(부극성 출력 전용)의 출력치를 소정의 타이밍으로 2k-1번째의 버퍼 앰프(부극성 출력 전용)의 비반전 입력 단자 또는 2k+1번째의 버퍼 앰프(부극성 출력 전용)의 비반전 입력 단자로 택일적으로 바꾼다. 그 전환 동작은 외부에서 입력되는 제어 신호에 의하여 행하여진다.

출력 극성 전환 스위치(23a, 23b, 23c, 23d, ..., 23m, 23n)는 각각 출력 패드(24a, 24b, 24c, 24d, ..., 24m, 24n)에 접속되어 있다. 출력 패드(24a, 24b, 24c, 24d, ..., 24m, 24n)는 도시하지 않는 LCD패널에 전기적으로 접속되어 있다.

2k-1번째의 출력 패드에는 출력 극성 전환 스위치에 의해서, 소정의 타이밍으로 2k-1번째의 버퍼 앰프(부극성 출력 전용)의 출력 전압 또는 2k번째의 버퍼 앰프(정극성 출력 전용)의 출력 전압이 택일적으로 바뀌어 공급된다. 2k번째의 출력 패드에는 출력 극성 전환 스위치에 의해서 소정의 타이밍으로 2k번째의 버퍼 앰프(정극성 출력 전용)의 출력 전압 또는 2k+1번째의 버퍼 앰프(부극성 출력 전용)의 출력 전압이 택일적으로 바뀌어 공급된다. 2k-1번째의 출력 패드 및 2k번째의 출력 패드는 각각 2k-1번째의 데이터라인 및 이에 인접하는 2k번째의 데이터라인에 접속되어 있다.

출력 극성 전환 스위치(23a, 23b, 23c, 23d, ..., 23m, 23n)의 전환 동작은 외부에서 입력되는 제어 신호에 의하여 행하여진다. 출력 극성 전환 스위치(23a, 23b, 23c, 23d, ..., 23m, 23n)의 전환의 타이밍은 데이터라인 전환 스위치(25a, 25b, ..., 25g)의 전환의 타이밍과 동기하고 있다. 이들 스위치는 예를 들면 MOSFET등으로 구성된다.

데이터라인 전환 스위치(25a, 25b, ..., 25g)가 2k-1번째의 셀렉터의 출력처를 2k-1번째의 버퍼 앰프로 하고 있을 때에는 출력 극성 전환 스위치(23a, 23b, 23c, 23d, ..., 23m, 23n)는 2k-1번째 및 2k번째의 각 출력 패드에 각각 2k-1번째 및 2k번째의 버퍼 앰프의 출력 전압을 공급하도록 바뀐다.

또 데이터라인 전환 스위치(25a, 25b, ..., 25g)가 2k-1번째의 셀렉터의 출력처를 2k+1번째의 버퍼 앰프로 하고 있을 때에는 출력 극성 전환 스위치(23a, 23b, 23c, 23d, ..., 23m, 23n)는 2k-1번째 및 2k번째의 각 출력 패드에 각각 2k번째 및 2k+1번째의 버퍼 앰프의 출력 전압을 공급하도록 바뀐다.

다음에 실시예의 작용에 대해서 설명한다. 도3은 데이터라인 전환 스위치(25a, 25b, ..., 25g)에 의해서 2k-1번째의 셀렉터의 출력처가 2k-1번째의 버퍼 앰프가 되고 있는 상태를 나타내는 도면이다.

구체적으로 설명하면, 첫번째의 데이터(D1), 3번째의 데이터(D3) 및 m번째의 데이터(Dm)는 부극성의 데이터이고, 각각 첫번째의 셀렉터(21a), 3번째의 셀렉터(21c) 및 m번째의 셀렉터(21m)에 입력된다.

한편, 2번째의 데이터(D2), 4번째의 데이터(D4) 및 n번째의 데이터(Dn)는 정극성의 데이터이고, 각각 2번째의 셀렉터(21b), 4번째의 셀렉터(21d) 및 n번째의 셀렉터(21n)에 입력된다.

첫번째의 셀렉터(21a), 2번째의 셀렉터(21b), 3번째의 셀렉터(21c), 4번째의 셀렉터(21d), m번째의 셀렉터(21m) 및 n번째의 셀렉터(21n)는 각각 입력 데이터에 의거하여 선택한 계조 전압을 첫번째의 버퍼 앰프(22a), 2번째의 버퍼 앰프(22b), 3번째의 버퍼 앰프(22c), 4번째의 버퍼 앰프(22d), m번째의 버퍼 앰프(22m) 및 n번째의 버퍼 앰프(22n)에 보낸다.

첫번째의 버퍼 앰프(22a), 3번째의 버퍼 앰프(22c) 및 m번째의 버퍼 앰프(22m)는 각각 첫번째의 출력 패드(24a), 3번째의 출력 패드(24c) 및 m번째의 출력 패드(24m)에 부극성의 구동 전압(V1, V3, Vm)을 공급한다.

또 2번째의 버퍼 앰프(22b), 4번째의 버퍼 앰프(22d) 및 n번째의 버퍼 앰프(22n)는 각각 2번째의 출력 패드(24b), 4번째의 출력 패드(24d) 및 n번째의 출력 패드(24n)에 정극성의 구동 전압(V2, V4, Vn)을 공급한다.

도4는 데이터라인 전환 스위치(25a, 25b, ..., 25g)에 의해서 2k-1번째의 셀렉터의 출력처가 2k+1번째의 버퍼 앰프가 되고 있는 상태를 나타내는 도면이다. 각 데이터(D1, D2, D3, D4, Dm, Dn)는 셀렉터의 전단에서 일정한 주기로 극성이 반전되고, 데이터의 전송 경로가 변경된다.

첫번째의 데이터(D1), 3번째의 데이터(D3) 및 m번째의 데이터(Dm)는 정극성의 데이터가 되고, 각각 2번째의 셀렉터(21b), 4번째의 셀렉터(21d) 및 n번째의 셀렉터(21n)에 입력된다. 한편, 2번째의 데이터(D2), 4번째의 데이터(D4) 및 n번째의 데이터(Dn)는 부극성의 데이터가 되고, 각각 첫번째의 셀렉터(21a), 3번째의 셀렉터(21c) 및 m번째의 셀렉터(21m)에 입력된다.

첫번째의 셀렉터(21a), 2번째의 셀렉터(21b), 3번째의 셀렉터(21c), 4번째의 셀렉터(21d), m번째의 셀렉터(21m) 및 n번째의 셀렉터(21n)는 각각 입력 데이터에 의거하여 선택한 계조 전압을 3번째의 버퍼 앰프(22c), 2번째의 버퍼 앰프(22b), 5번째의 버퍼 앰프(22e), 4번째의 버퍼 앰프(22d), n+1번째의 버퍼 앰프(22n+1) 및 n번째의 버퍼 앰프(22n)에 보낸다.

2번째의 버퍼 앰프(22b), 4번째의 버퍼 앰프(22d) 및 n번째의 버퍼 앰프(22n)는 각각 첫번째의 출력 패드(24a), 3번째의 출력 패드(24c) 및 m번째의 출력 패드(24m)에 정극성의 구동 전압(V1, V3, Vm)을 공급한다.

또 3번째의 버퍼 앰프(22c), 5번째의 버퍼 앰프(22e) 및 n+1번째의 버퍼 앰프(22n+1)는 각각 2번째의 출력 패드(24b), 4번째의 출력 패드(24d) 및 n번째의 출력 패드(24n)에 부정극성의 구동 전압(V2, V4, Vn)을 공급한다.

상기 실시예에 의하면, 첫번째의 출력 패드(24a)에는 첫번째의 버퍼 앰프(22a)의 출력 전압과 2번째의 버퍼 앰프(22b)의 출력 전압이 공급된다. 2번째의 출력 패드(24b)에는 2번째의 버퍼 앰프(22b)의 출력 전압과 3번째의 버퍼 앰프(22c)의 출력 전압이 공급된다.

3번째의 출력 패드(24c)에는 3번째의 버퍼 앰프(22c)의 출력 전압과 4번째의 버퍼 앰프(22d)의 출력 전압이 공급된다. 이와 같이 임의의 인접하는 출력 패드간에는 반드시 공통의 버퍼 앰프가 접속된다.

또는, 임의의 인접하는 2개의 출력 패드에 각각 공급되는 출력 전압(계조 전압)은 항상 복수의 버퍼 앰프 중의 임의의 인접하는 2개의 버퍼 앰프로부터 각각 공급된다.

이 때문에 임의의 인접하는 데이터라인 간에서 동일한 계조 표시를 행하기 위한 구동 전압에 큰 격차가 발생하는 것을 막을 수 있으므로, 동일한 계조 표시시에 화면에 휘도 불균질이나 세로줄이 발생하는 것을 막을 수 있다.

또 상기 실시예에 의하면, 커런트 미러 회로를 구성하는 트랜지스터의 면적을 크게 하여 버퍼 앰프를 구성하는 연산 증폭기의 오프셋 전압을 작게 할 필요가 없기 때문에, LCD패널 구동 회로의 회로 규모를 작게 할 수 있다. 이에 의해서 LCD패널을 이용한 표시 장치의 소형화를 도모할 수 있다.

이상에 있어서 본 발명은 여러가지 설계 변경이 가능하다. 예를 들면 버퍼 앰프는 연산 증폭기 이외의 구성의 것이어도 좋다. 또 셀렉터나 버퍼 앰프의 극성의 배열은 반대의 패턴이어도 좋다.

발명의 효과

본 발명에 의하면, 동일한 계조 표시 때의 구동 전압이 인접되는 화소 간에 균질화되므로, 화면에 휘도 불균질이나 세로줄이 발생하는 것을 막을 수 있다. 또 버퍼 앰프가 연산 증폭기의 경우에 커런트 미러 회로를 구성하는 트랜지스터의 면적을 크게 하여 연산 증폭기의 오프셋 전압을 작게 할 필요가 없기 때문에, LCD패널 구동 회로의 회로 규모를 작게 할 수 있다.

(57) 청구의 범위

청구항 1.

일렬로 배치된 복수의 출력 단자에 계조 전압을 공급하며 일렬로 배치된 복수의 버퍼 앰프를 구비하고,

상기 복수의 출력 단자 중의 임의의 인접하는 2개의 출력 단자에 공급되는 계조 전압이 항상 상기 복수의 버퍼 앰프 중의 인접하는 2개의 버퍼 앰프로부터 출력되며,

상기 출력 단자 중 인접하는 출력 단자 각각의 쌍은 상기 계조 전압이 상기 일렬로 배치된 버퍼 앰프 3개에 의해 선택적으로 공급되도록 구성되어서, 제 1 주기(time period) 동안에는 상기 일렬로 배치된 3개의 버퍼 앰프 중 첫번째 버퍼 앰프와 두번째 버퍼 앰프가 상기 계조 전압을 공급하고 상기 제 1 주기에 뒤이은 제 2 주기 동안에는 상기 일렬로 배치된 3개의 버퍼 앰프 중 상기 두번째 버퍼 앰프와 세번째 버퍼 앰프가 상기 계조 전압을 공급하는 LCD 패널 구동 회로.

청구항 2.

j가 자연수인 경우, 2j개의 셀렉터의 출력을 2j개의 데이터라인에 공급하는 LCD 패널 구동 회로에 있어서,

제 1 극성 출력용 데이터에 의거하여 계조 전압을 선택하는 j 개의 제 1 극성용의 셀렉터와,

제 2 극성 출력용 데이터에 의거하여 계조 전압을 선택하는 j 개의 제 2 극성용의 셀렉터와,

각각이 상기 제 1 극성용의 셀렉터 각각에 접속된 j 개의 제 1 극성용의 버퍼 앰프와,

특정 1개의 상기 제 2 극성용의 셀렉터에 접속될 수 있는 1개의 제 2 극성용의 버퍼 앰프와,

2개의 상기 제 2 극성용의 셀렉터에 각각 대응되고, 또한 상기 2개의 제 2 극성용의 셀렉터에 의하여 공유되는 j 개의 제 2 극성용의 버퍼 앰프와,

각각이 상기 제 2 극성용의 셀렉터의 접속처를, 대응된 한 쌍의 상기 제 2 극성용의 버퍼 앰프 간에서 동시에 전환하는 j 개의 데이터라인 전환 스위치와,

상기 데이터라인 전환 스위치와 동일한 타이밍으로 상기 제 1 극성용의 버퍼 앰프의 출력처를 인접하는 한 쌍의 데이터라인 간에서 전환하고, 상기 한 쌍의 제 2 극성용의 버퍼 앰프 중 한쪽의 제 2 극성용의 버퍼 앰프의 출력처를 상기 한 쌍의 데이터라인 중 제 1 데이터라인과, 상기 한 쌍의 데이터라인에 인접한 데이터라인 중 상기 제 1 데이터라인에 인접한 데이터라인 간에서 전환하고, 또한 다른 쪽의 제 2 극성용의 버퍼 앰프의 출력처를 상기 한 쌍의 데이터라인 중 제 2 데이터라인과, 상기 한 쌍의 데이터라인에 인접한 데이터라인 중 상기 제 2 데이터라인에 인접한 데이터라인 간에서 전환하는 2개의 출력 극성 전환 스위치를 구비하는 LCD 패널 구동 회로.

청구항 3.

제 2 항에 있어서,

상기 제 1 극성용의 버퍼 앰프와 상기 제 2 극성용의 버퍼 앰프는 서로 교대로 배치되어 있는 LCD 패널 구동 회로.

청구항 4.

제 2 항에 있어서,

상기 데이터라인 전환 스위치와 상기 출력 극성 전환 스위치는 동일한 제어 신호에 의하여 전환되도록 제어되는 LCD 패널 구동 회로.

청구항 5.

제 2 항에 있어서,

상기 버퍼 앰프는 연산 증폭기를 사용하여 구성되는 LCD 패널 구동 회로.

청구항 6.

j 가 자연수인 경우, 2개의 셀렉터의 출력을 2개의 데이터라인에 공급하는 LCD 패널 구동 회로에 있어서,

화소를 사용하여 컬러를 표시할 수 있는 LCD 패널을 구비하고,

동일 색을 표시하는 상기 LCD 패널의 화소에 대응하는 데이터라인 블록 각각은,

제 1 극성 출력용 데이터에 의거하여 계조 전압을 선택하는 j개의 제 1 극성용의 셀렉터와,

제 2 극성 출력용 데이터에 의거하여 계조 전압을 선택하는 j개의 제 2 극성용의 셀렉터와,

각각이 상기 제 1 극성용의 셀렉터 각각에 접속된 j개의 제 1 극성용의 버퍼 앰프와,

특정 1개의 상기 제 2 극성용의 셀렉터에 접속될 수 있는 1개의 제 2 극성용의 버퍼 앰프와,

2개의 상기 제 2 극성용의 셀렉터에 각각 대응되고, 또한 상기 2개의 제 2 극성용의 셀렉터에 의하여 공유되는 j개의 제 2 극성용의 버퍼 앰프와,

각각이 상기 제 2 극성용의 셀렉터의 접속처를, 대응된 한 쌍의 상기 제 2 극성용의 버퍼 앰프 간에서 동시에 전환하는 j개의 데이터라인 전환 스위치와,

상기 데이터라인 전환 스위치와 동일한 타이밍으로 상기 제 1 극성용의 버퍼 앰프의 출력처를 인접하는 한 쌍의 데이터라인 간에서 전환하고, 상기 한 쌍의 제 2 극성용의 버퍼 앰프 중 한쪽의 제 2 극성용의 버퍼 앰프의 출력처를 상기 한 쌍의 데이터라인 중 제 1 데이터라인과, 상기 한 쌍의 데이터라인에 인접한 데이터라인 중 상기 제 1 데이터라인에 인접한 데이터라인 간에서 전환하고, 또한 다른 쪽의 제 2 극성용의 버퍼 앰프의 출력처를 상기 한 쌍의 데이터라인 중 제 2 데이터라인과, 상기 한 쌍의 데이터라인에 인접한 데이터라인 중 상기 제 2 데이터라인에 인접한 데이터라인 간에서 전환하는 2j개의 출력 극성 전환 스위치를 구비하는 LCD 패널 구동 회로.

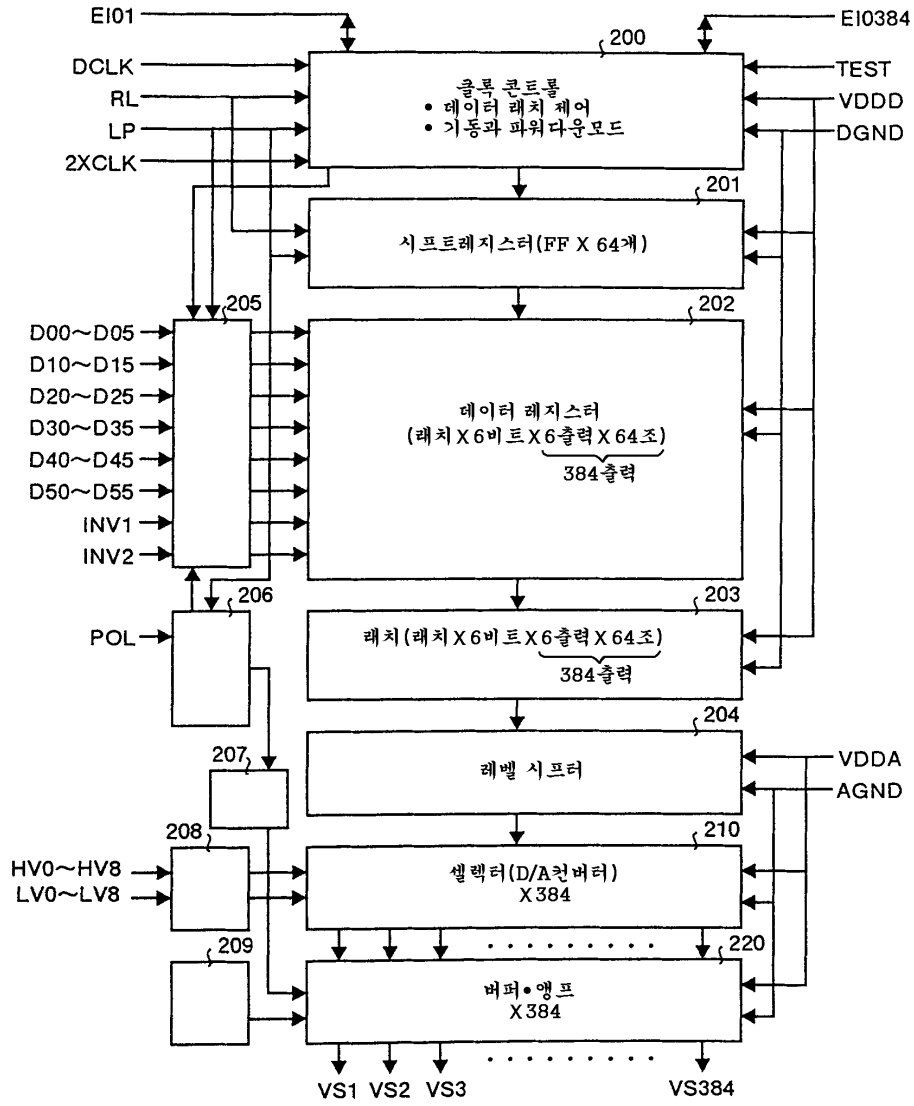
청구항 7.

제 1 항에 있어서,

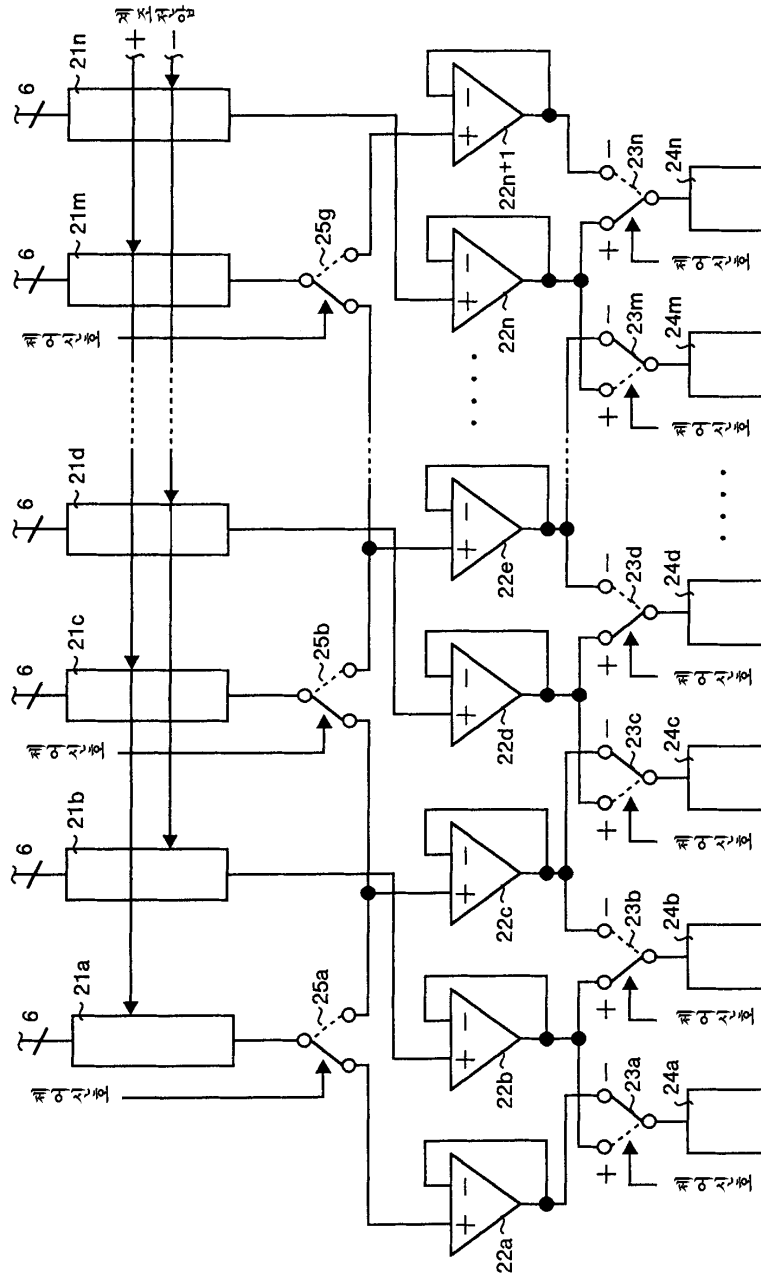
출력 단자의 각 쌍과 관련된 상기 3개의 버퍼 앰프는 서로 인접한 LCD 패널 구동 회로.

도면

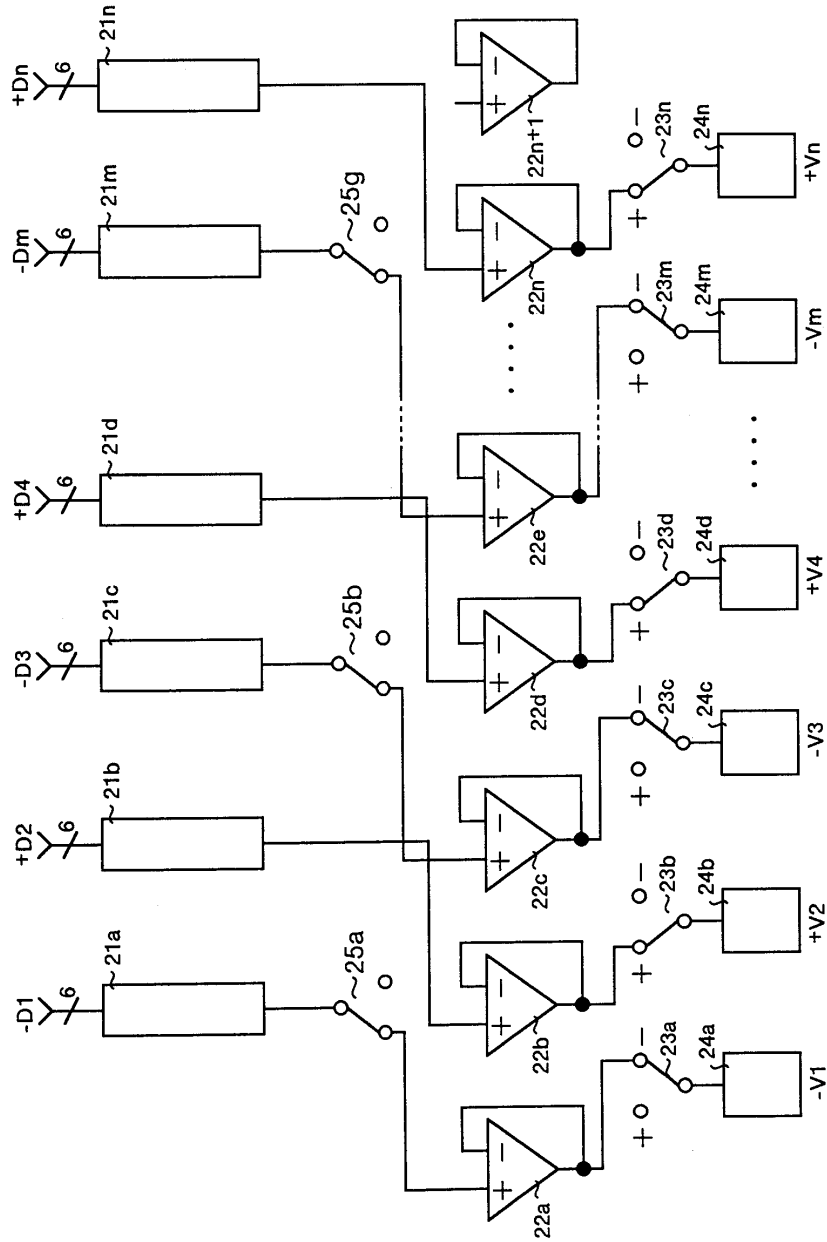
도면1



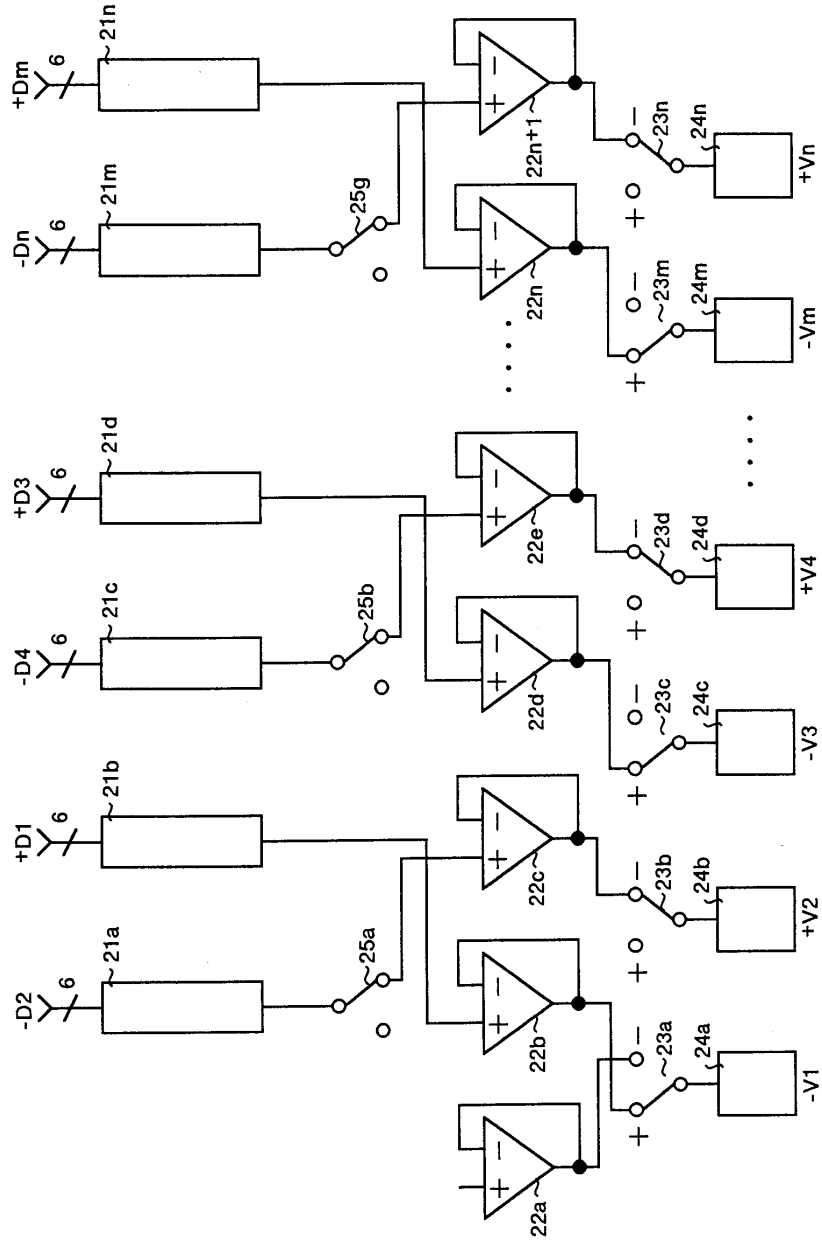
도면2



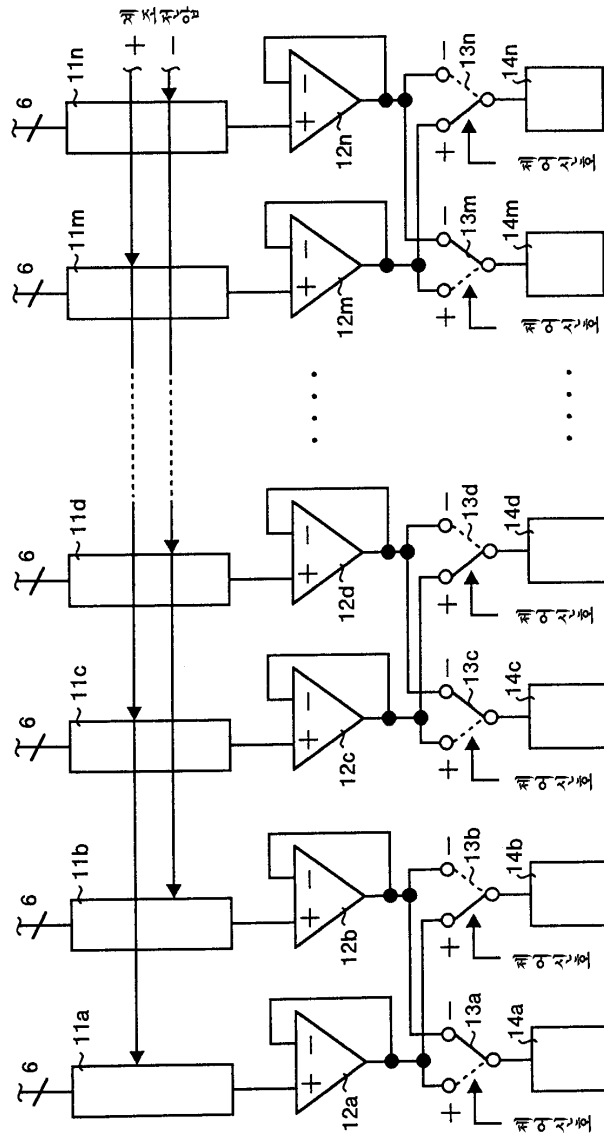
도면3



도면4



도면5



专利名称(译)	液晶面板驱动电路		
公开(公告)号	KR100614471B1	公开(公告)日	2006-08-22
申请号	KR1020000006464	申请日	2000-02-11
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士sikki有限公司		
当前申请(专利权)人(译)	富士sikki有限公司		
[标]发明人	UDO SHINYA 우도신야 KUDO OSAMU 구도오사무		
发明人	우도신야 구도오사무		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2310/027 G09G2320/0233 G09G3/3685 G09G3/3614 G09G2310/0297		
代理人(译)	MOON , KI桑		
优先权	1999233128 1999-08-19 JP		
其他公开文献	KR1020010020634A		
外部链接	Espacenet		

摘要(译)

本发明不增加LCD面板驱动电路中的电路规模，并且显示具有亮度不均匀性且没有垂直线的高质量图像。第一和第二缓冲放大器22a和22b的输出电压施加到第一输出焊盘24a，第二和第三缓冲放大器22b和22c的输出电压施加到第二输出焊盘24b，并且第三和第四缓冲放大器22c和22d的输出电压被提供给第三输出焊盘24c，使得提供给任何相邻输出焊盘的输出电压始终提供给任何相邻的缓冲放大器。数据线转换开关25a至25g和输出极性转换开关23a至23n被改变。结果，抑制了用于在任意相邻数据线之间执行相同灰度显示的驱动电压降低的发生，从而防止了亮度不均匀性和垂直线。2 指数方面 选择器，缓冲放大器

