



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0003100
(43) 공개일자 2008년01월07일

(51) Int. Cl.
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0061638
(22) 출원일자 2006년06월30일
심사청구일자 없음

(71) 출원인
엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
이진상
충북 영동군 용산면 부릉리 378번지
(74) 대리인
박장원

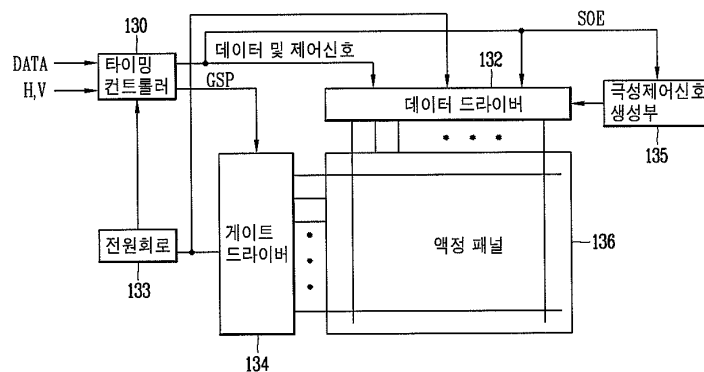
전체 청구항 수 : 총 8 항

(54) 액정표시장치 및 데이터 구동회로

(57) 요약

본 발명은 종래에 극성제어신호를 생성하던 타이밍 컨트롤러(Timing Controller) 내부의 블록(block)을 없애고, 대신 데이터 드라이버 IC 내에 D-FF(D-Flip Flop)을 형성하여 극성제어신호를 생성하려는 액정표시장치 및 데이터 구동회로에 관한 것으로서, 먼저 액정표시장치는 외부로부터의 데이터신호 및 수직/수평동기신호를 인가받아 데이터를 재정렬하고, 제어신호를 생성하는 타이밍 컨트롤러와; 상기 타이밍 컨트롤러로부터의 제어신호에 따라 순차적으로 1수평기간(1H)을 갖는 게이트 하이(High) 전압을 공급하는 게이트 구동부와; 상기 타이밍 컨트롤러의 소스출력인에이블(Source Output Enable: SOE) 신호를 인가받아 그 신호를 1/2 분주하여 극성제어신호를 생성하는 D-플립플롭(D-Flip Flop)을 구비한 데이터 구동부와; 상기 게이트 및 데이터 구동부로부터의 신호에 따라 화상을 구현하는 액정패널을 포함하여 구성되는 것을 특징으로 한다. 또한, 그 액정표시장치의 데이터 구동회로는 타이밍 컨트롤러로부터의 소스 스타트 펄스(Source Start Pulse)를 소스 샘플링 클럭신호(Source Sampling Clock)에 따라 시프트시켜 샘플링신호를 발생시키는 시프트 레지스터와; 상기 타이밍 컨트롤러로부터의 디지털 비디오 데이터(RGB)를 일시 저장한 후에 그 데이터를 다시 제1래치에 공급하는 데이터 레지스터와; 상기 시프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터로부터의 디지털 비디오 데이터를 1 라인씩 래치하는 제1래치와; 상기 제1래치로부터 입력되는 디지털 데이터를 래치한 후, 래치된 데이터를 타이밍 컨트롤러로부터의 소스출력인에이블(Source Output Enable: SOE) 신호에 응답하여 동시에 출력하는 제2래치와; 상기 제2래치의 SOE 신호에 동기되어 극성제어신호를 생성하는 극성제어신호 생성부와; 외부로부터의 기준전압을 분압하는 정극성 및 부극성의 계조 전압을 생성하는 계조전압 생성부와; 상기 극성제어신호 생성부로부터의 극성제어신호에 따라 상기 제2래치로부터 입력된 데이터에 대응하는 계조전압 생성부로부터의 계조전압을 선택하여 출력하는 DAC; 및 상기 DAC로부터의 화소전압 신호를 버퍼에서 홀딩하는 출력부로 구성되는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

외부로부터의 데이터신호 및 수직/수평동기신호를 인가받아 데이터를 재정렬하고, 제어신호를 생성하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터의 제어신호에 따라 순차적으로 1수평기간(1H)을 갖는 게이트 하이(High) 전압을 공급하는 게이트 구동부;

상기 타이밍 컨트롤러의 소스출력인에이블(Source Output Enable: SOE) 신호를 인가받아 그 신호를 1/2 분주하여 극성제어신호를 생성하는 D-플립플롭(D-Flip Flop)을 구비한 데이터 구동부;

상기 게이트 및 데이터 구동부로부터의 신호에 따라 화상을 구현하는 액정패널을 포함하여 구성되는 액정표시장치.

청구항 2

제1항에 있어서, 상기 데이터 구동부는 타이밍 컨트롤러로부터의 소스 스타트 펄스(Source Start Pulse)를 소스 샘플링 클럭신호(Source Sampling Clock)에 따라 시프트시켜 샘플링신호를 발생시키는 시프트 레지스터와; 상기 타이밍 컨트롤러로부터의 디지털 비디오 데이터(RGB)를 일시 저장한 후에 그 데이터를 다시 제1래치에 공급하는 데이터 레지스터와; 상기 시프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터로부터의 디지털 비디오 데이터를 1라인씩 래치하는 제1래치와; 상기 제1래치로부터 입력되는 디지털 데이터를 래치한 후, 래치된 데이터를 타이밍 컨트롤러로부터의 소스출력인에이블(Source Output Enable: SOE) 신호에 응답하여 동시에 출력하는 제2래치와; 외부로부터의 기준전압을 분압하는 정극성 및 부극성의 계조 전압을 생성하는 계조전압 생성부와; 상기 극성제어신호생성부로부터의 극성제어신호에 따라 상기 제2래치로부터 입력된 데이터에 대응하는 계조전압 생성부로부터의 계조전압을 선택하여 출력하는 DAC; 및 상기 DAC로부터의 화소전압 신호를 버퍼에서 홀딩하는 출력부를 포함하여 구성되는 액정표시장치.

청구항 3

제1항에 있어서, 상기 소스출력인에이블신호는 수직 블랭크 구간에 홀수개의 SOE 신호를 포함하여 프레임의 극성반전이 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 소스출력인에이블신호는 D-FF의 클럭단자로 입력되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 D-FF는 제어입력단자(D)와 출력단자(Q)가 서로 전지적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 6

타이밍 컨트롤러로부터의 소스 스타트 펄스(Source Start Pulse)를 소스 샘플링 클럭신호(Source Sampling Clock)에 따라 시프트시켜 샘플링신호를 발생시키는 시프트 레지스터;

상기 타이밍 컨트롤러로부터의 디지털 비디오 데이터(RGB)를 일시 저장한 후에 그 데이터를 다시 제1래치에 공급하는 데이터 레지스터;

상기 시프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터로부터의 디지털 비디오 데이터를 1라인씩 래치하는 제1래치;

상기 제1래치로부터 입력되는 디지털 데이터를 래치한 후, 래치된 데이터를 타이밍 컨트롤러로부터의 소스출력인에이블(Source Output Enable: SOE) 신호에 응답하여 동시에 출력하는 제2래치;

상기 제2래치의 SOE 신호에 동기되어 극성제어신호를 생성하는 극성제어신호생성부;

외부로부터의 기준전압을 분압하는 정극성 및 부극성의 계조 전압을 생성하는 계조전압 생성부;

상기 극성제어신호생성부로부터의 극성제어신호에 따라 상기 제2래치로부터 입력된 데이터에 대응하는 계조전압 생성부로부터의 계조전압을 선택하여 출력하는 DAC; 및

상기 DAC로부터의 화소전압 신호를 버퍼에서 홀딩하는 출력부로 구성되는 액정표시장치의 데이터 구동회로.

청구항 7

제5항에 있어서, 상기 SOE 신호는 수직 블랭크 구간에 홀수개의 SOE 신호를 포함하여 형성되는 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 8

제5항에 있어서, 상기 극성제어신호생성부는 D-플립플롭(D-Flip Flop)인 것을 특징으로 하는 액정표시장치의 데이터 구동회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치 및 데이터 구동회로에 관한 것으로서, 더 자세하게는 종래에 타이밍 컨트롤러(Timing Controller) 내부에서 극성제어신호를 생성하던 블록(block)을 대체하여, 그 대신 데이터 드라이버 IC 내에 D-FF(D-Flip Flop)을 형성하여 극성제어신호를 생성하려는 것에 관계된다.
- <16> 일반적인 액정표시장치는 화소 전극 및 공통 전극이 구비된 두 기관과 그 사이에 들어있는 유전율 이방성(dielectric anisotropy)을 갖는 액정 층을 포함한다. 여기에서, 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가받으며, 공통 전극은 두 기관의 전면에 걸쳐 형성되어 공통전압을 인가받는다. 무엇보다 화소 전극과 공통 전극 및 그 사이에 액정 층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.
- <17> 이러한 액정표시장치에서는 두 전극에 전압을 인가하여 액정 층에 전계를 형성하고, 이 전계를 형성하고, 이 전계의 세기를 조절하여 액정 층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임(frame), 라인(line), 또는 도트(dot)별로 공통전압에 대한 데이터 전압의 극성을 반전시키게 된다.
- <18> 그러면 이와 관련해서는 도면을 참조하여 더욱 구체적으로 살펴보고자 한다. 도 1은 종래기술에 따른 액정표시장치의 구동 시스템을 나타낸다. 먼저, 인터페이스부(10)는 퍼스널 컴퓨터 등과 같은 구동시스템으로부터 입력되는 R, G, B 데이터 및 입력클럭, 수평동기신호, 수직동기신호, 데이터 인에이블신호와 같은 제어신호들을 입력받아 타이밍 컨트롤러(12)로 공급한다. 주로 그 구동시스템과의 데이터 및 제어신호전송을 위하여 LVDS(Low Voltage Differential Signal) 인터페이스와 TTL 인터페이스 등이 사용되고 있다. 또한 이러한 인터페이스 기능을 모아서 타이밍 컨트롤러(12)와 함께 단일 칩(Chip)으로 집적화시켜 사용하고 있다.
- <19> 타이밍 컨트롤러(12)는 위의 인터페이스부(10)를 통해 입력되는 제어신호를 이용하여 도시되지 않은 복수 개의 드라이브 IC들로 구성된 데이터 드라이버(18)와, 도시되지 않은 복수 개의 게이트 드라이브 IC들로 구성된 게이트 드라이버(20)를 구동하기 위한 제어신호를 생성한다. 또한 인터페이스부(10)로부터 입력되는 데이터들을 데이터 드라이버(18)로 전송한다.
- <20> 기준전압생성부(16)는 데이터 드라이버(18)에서 사용되는 DAC(Digital to Analog Converter)의 기준전압들을 생성하고, 패널의 투과율-전압 특성을 기준으로 생산자에 의하여 기준전압들이 설정된다.
- <21> 데이터 드라이버(18)는 타이밍 컨트롤러(12)로부터 입력되는 제어신호들에 대응하여 입력 데이터에 따라 기준전압들을 선택하여 아날로그 영상신호로 변환하여 액정패널(22)로 공급한다.
- <22> 게이트 드라이버(20)는 타이밍 컨트롤러(12)로부터 입력되는 제어신호들에 대응하여 액정패널(22)상에 배열된

박막 트랜지스터(TFT)들의 게이트 단자를 1라인씩 온/오프(ON/OFF) 제어하며, 상기 데이터 드라이버(18)로부터 공급되는 아날로그 영상신호들이 각 박막 트랜지스터들에 접속된 각 픽셀들로 인가되도록 한다.

- <23> 전원전압 생성부(14)는 각 구성부들의 동작전원을 공급하고 액정패널(22)의 공통전극 전압을 생성하여 공급한다.
- <24> 이와 같은 구성에 있어서, 타이밍 컨트롤러(12)는 입력되는 제어신호들에 대응하여 액정표시장치의 구동을 위해 소정의 제어신호들을 생성한다. 다시 말해, 타이밍 컨트롤러(12)는 수평동기신호(Hsync) 또는 데이터 인에이블(Data Enable; DE)의 에지(Edge)를 기준으로 클럭을 카운팅하여 제어신호를 발생시킨다. 이러한 타이밍 컨트롤러(12)의 출력신호들은 데이터 드라이브 IC 및 게이트 드라이브 IC들의 종류에 의해 서로 차이를 보일 수 있다.
- <25> 그러나 여기에서는 특수하게 필요로 하는 신호를 제외하고 공통적으로 사용되는 제어신호의 종류와 타이밍에 대하여 살펴본다. 먼저, 데이터 드라이버를 위해 필요한 제어신호들은 소스 샘플링 클럭(Source Sampling Clock; SSC), 소스 출력 인에이블(Source Output Enable; SOE), 소스 시작 펄스(Source Start Pulse; SSP), 액정 극성 반전(Polarity reverse; POL), 데이터 극성 선택(Data Reverse; REV), 홀수/짝수 화소데이터(Odd/Even Data) 신호 등이 있다. SSC는 데이터 드라이버(18)에서 데이터를 래치시키기 위한 샘플링 클럭으로 사용되며, 데이터 드라이브 IC의 구동주파수를 결정한다. SOE는 SSC에 의해 래치된 데이터들을 액정패널로 전달하게 된다. SSP는 1 수평동기 기간 중에 데이터의 래치 또는 샘플링 시작을 알리는 신호이다. POL은 액정의 인버전(inversion) 구동을 위해 액정을 정/부 극성으로 구동하기 위해 극성을 알려주는 신호이다. REV는 전송되는 데이터의 극성을 선택하는 신호이다. 홀수/짝수 화소 데이터는 홀수 번째 화소의 기수(odd) 데이터, 짝수 번째 화소의 우수(even) 데이터를 나타내는 신호이다.
- <26> 도 2는 위와 같은 제어신호를 입력받은 데이터 드라이버의 동작을 나타낸다. 먼저 데이터 드라이버는 SSC의 상승 또는 하강 에지에서 SSP의 High 입력을 인식하면 SSC에 대응하여 입력되는 데이터를 래치한다. 이후 래치된 데이터를 SOE에 대응하여 아날로그 출력전압으로 디코딩하여 액정패널로 공급한다. 이때, POL이 "High" 상태일 때, 공통전극전압보다 포지티브 디코더(Positive Decoder)의 출력전압을 선택하고, "Low" 상태일 때, 공통전극전압보다 낮은 네거티브 디코더(Negative Decoder)의 출력전압을 선택하여 액정패널을 정/부극성으로 인버전 구동하게 된다.
- <27> 게이트 드라이버를 위해 필요한 제어신호들은 게이트 시프트 클럭(Gate Shift Clock; GSC), 게이트 출력 인에이블(Gate Output Enable; GOE), 게이트 시작 펄스(Gate Start Pulse; GSP) 등이 있다. GSC는 박막 트랜지스터의 게이트가 온/오프되는 시간을 결정하는 신호이다. GOE는 게이트 드라이버의 출력을 제어하는 신호이다. GSP는 하나의 수직동기신호 중에서 화면의 첫번째 구동라인을 알려주는 신호이다.
- <28> 도 3은 위와 같은 제어신호를 입력받은 게이트 드라이버의 동작을 나타낸다. 먼저 게이트 드라이버의 출력은 GSC의 상승 또는 하강 에지에서 GSP의 "High" 상태를 인식하여, GSC의 1주기 정도 "High"상태를 유지하는 게이트 신호를 출력한다. 이때 GOE와 게이트 신호출력을 조합하여 GOE의 "High" 폭만큼의 출력이 디스에이블(disable) 된다.
- <29> 종래의 이러한 구성에 있어서, 액정패널은 액정의 열화를 방지하기 위하여 정/부극성으로 인버전 구동을 하게 되는데, 다른 한편으로는 이러한 데이터 전압의 주기적인 극성 반전은 액정축전기의 화소 전압에 비대칭이 생겨 떨림 현상인 플리커(flicker) 현상이 심하게 나타나게 된다.
- <30> 뿐만 아니라, 타이밍 컨트롤러는 앞서 기술한 바와 같이 다양한 제어신호의 생성 및 외부로부터의 데이터를 배렬하기 위해 타이밍 컨트롤러의 규모가 커지게 되고, 또한 타이밍컨트롤러와 복수 개의 드라이브 IC간 전달신호가 복잡해짐에 따라 그에 따르는 신호 라인도 증가하게 되는 문제점이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

- <31> 따라서, 본 발명은 종래에 극성신호를 생성하기 위하여 타이밍 컨트롤러의 내부에 형성하던 관련 회로의 블럭(block)을 생략하는 대신 데이터 드라이버 IC 내에 D-FF를 실장하여 극성제어신호를 생성함으로써 위와 같은 문제점을 개선하려는데 그 목적이 있다.

발명의 구성 및 작용

- <32> 그리고 이와 같은 목적 달성은 본 발명에 의하여 더욱더 구체화될 수 있다. 즉, 본 발명에 따른 액정표시장치의 구성은 외부로부터의 데이터신호 및 수직/수평동기신호를 인가받아 데이터를 재정렬하고, 제어신호를 생성하는

타이밍 컨트롤러와; 상기 타이밍 컨트롤러로부터의 제어신호에 따라 순차적으로 1수평기간(1H)을 갖는 게이트 하이(High) 전압을 공급하는 게이트 구동부와; 상기 타이밍 컨트롤러의 소스출력인에이블(Source Output Enable: SOE) 신호를 인가받아 그 신호를 1/2 분주하여 극성제어신호를 생성하는 D-플립플롭(D-Flip Flop)을 구비한 데이터 구동부와; 상기 게이트 및 데이터 구동부로부터의 신호에 따라 화상을 구현하는 액정패널을 포함하여 구성되는 것을 특징으로 한다.

- <33> 또한, 본 발명에 따른 액정표시장치의 데이터 구동회로는 타이밍 컨트롤러로부터의 소스 스타트 펄스(Source Start Pulse)를 소스 샘플링 클럭신호(Source Sampling Clock)에 따라 시프트시켜 샘플링신호를 발생시키는 시프트 레지스터와; 상기 타이밍 컨트롤러로부터의 디지털 비디오 데이터(RGB)를 일시 저장한 후에 그 데이터를 다시 제1래치에 공급하는 데이터 레지스터와; 상기 시프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터로부터의 디지털 비디오 데이터를 1라인씩 래치하는 제1래치와; 상기 제1래치로부터 입력되는 디지털 데이터를 래치한 후, 래치된 데이터를 타이밍 컨트롤러로부터의 소스출력인에이블(Source Output Enable: SOE) 신호에 응답하여 동시에 출력하는 제2래치와; 상기 제2래치의 SOE 신호에 동기되어 극성제어신호를 생성하는 극성제어신호생성부와; 외부로부터의 기준전압을 분압하는 정극성 및 부극성의 계조 전압을 생성하는 계조전압 생성부와; 상기 극성제어신호생성부로부터의 극성제어신호에 따라 상기 제2래치로부터 입력된 데이터에 대응하는 계조전압생성부로부터의 계조전압을 선택하여 출력하는 DAC; 및 상기 DAC로부터의 화소전압 신호를 버퍼에서 출력하는 출력부로 구성되는 것을 특징으로 한다.
- <34> 그러면, 위의 구성과 관련하여 구체적으로 도면을 참조하여 설명하고자 한다. 도 4는 본 발명에 따른 액정표시장치의 구동 시스템을 나타내는 것이다. 도면에 별도로 나타내지는 않았지만, 타이밍 컨트롤러(130)에 앞서서는 시스템 구동부(미도시) 내에 그래픽 카드를 통하여 액정표시장치에 적합한 비디오 데이터 등을 공급하게 된다. 여기에서, 그래픽카드는 입력되어진 비디오데이터를 액정표시장치의 해상도에 적합하게 변환하여 액정표시장치로 출력한다. 비디오데이터는 적(Red), 녹(Green), 청(Blue)의 데이터로 구성된다. 아울러, 그래픽카드는 액정표시장치의 해상도에 적합한 클럭신호(DCLK)와 수평 및 수직동기신호(Hsync, Vsync) 등과 같은 제어신호들을 발생하게 된다.
- <35> 전원회로(133)는 시스템 구동부(미도시)의 시스템 전원부로부터 입력되는 전압을 이용하여 액정표시장치의 구동에 필요한 게이트전압, 감마기준전압, 공통전압 등과 같은 구동전압들을 발생하여 타이밍 컨트롤러(130), 데이터 드라이버(132), 게이트 드라이버(14) 및 감마회로(미도시) 등에 공급한다.
- <36> 타이밍 컨트롤러(130)는 그래픽카드로부터의 비디오 데이터(R, G, B)를 중계하여 데이터 드라이버(132)에 공급한다. 아울러, 타이밍 컨트롤러(130)는 그래픽 카드로부터의 제어신호에 응답하여 데이터 및 게이트 드라이버(132, 134)의 타이밍을 제어하기 위한 타이밍 신호들과 같은 제어신호들을 발생하게 된다.
- <37> 게이트 드라이버(134)는 타이밍 컨트롤러(130)로부터 입력되는 제어신호들에 대응하여 액정패널(136)상에 배열된 박막 트랜지스터(TFT)들의 게이트 단자를 1라인씩 온/오프(ON/OFF) 제어하며, 상기 데이터 드라이버(132)로부터 공급되는 아날로그 영상신호들이 각 박막 트랜지스터들에 접속된 각 픽셀들로 인가하게 된다.
- <38> 데이터 드라이버(132)는 타이밍 컨트롤러(130)로부터 입력되는 제어신호들에 대응하여 입력 데이터에 따라 기준전압들을 선택하여 아날로그 영상신호로 변환하여 액정패널(136)로 공급하게 되는데, 여기에서 특히 주목하고자 하는 점은 데이터 드라이버(132)를 이루는 적어도 하나의 데이터 드라이브 IC의 내부에 D-플립플롭(D-Flip Flop)을 구성하여 타이밍 컨트롤러(130)로부터 SOE 신호를 클럭단자(CLCK)에 인가하고, 그 출력단자(Q)로부터 극성제어신호를 생성하여 DAC(Digital Analog Convertor)로 인가하게 된다. 물론, 이와 같은 D-FF의 구성은 데이터 드라이버(132)가 구성된 PCB에 구성될 수 있는 것이다. 이와 관련한 자세한 내용은 이후에 다시 다루기로 한다.
- <39> 액정패널(136)은 n개의 게이트 라인들(GL1 내지 GLn)과 m개의 데이터 라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다. 박막트랜지스터는 게이트 라인들로부터의 게이트 펄스에 응답하여 데이터 라인으로부터의 비디오신호를 액정셀에 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터에 접속된 화소전극으로 구성되므로 등가적으로는 액정커패시터(C1c)로 표시될 수 있다. 이러한 액정셀은 액정 커패시터(C1c)에 충전된 데이터 전압을 다음 데이터전압이 충전될 때까지 유지시키기 위하여 이전단의 게이트 라인에 접속된 스토리지 커패시터를 포함한다.
- <40> 이제, 도 5a를 참조하여 앞서 간략하게 언급한 바 있는 데이터 드라이브 IC의 내부에 형성된 회로의 구성 및 동

작원리에 대하여 살펴보고자 한다. 먼저, 데이터 레지스터(141)는 타이밍 컨트롤러로부터의 데이터(RGB)를 일시 저장한 후에 저장된 데이터(RGB)를 제1래치(143)에 공급한다.

- <41> 시프트 레지스터(142)는 타이밍 컨트롤러로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 시프트시켜 샘플링신호를 발생하게 된다. 또한, 시프트 레지스터(142)는 소스 스타트 펄스(SSP)를 시프트시켜 다음 단의 시프트 레지스터(142)에 캐리 신호(CAR)를 전달하게 된다.
- <42> 제1래치(143)는 시프트 레지스터(142)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(141)로부터의 디지털 비디오 데이터(RGB)를 샘플링하고, 그 디지털 비디오 데이터(RGB)를 1라인씩 래치한다.
- <43> 제2래치(144)는 제1래치(143)로부터 입력되는 디지털 데이터(RGB)를 래치한 후, 래치된 디지털 비디오 데이터(RGB)를 타이밍 컨트롤러로부터의 소스출력 인에이블신호(SOE)에 응답하여 동시에 출력한다.
- <44> 감마계조전압회로(145)는 전원전압생성부로부터 입력된 전압을 이용하여 기준전압생성부에서 1차적으로 분압한 감마기준전압들을 또다시 분압하여 각 계조에 대응하는 감마계조전압들을 발생하게 된다.
- <45> 극성제어신호생성부(146)는 앞서서 이미 언급했던 제2래치(144)로 입력되는 타이밍 컨트롤러로부터의 SOE 신호를 동시에 인가받아 극성제어신호(POL)를 생성하게 된다.
- <46> DAC(147)는 제2래치(144)로부터의 비디오 데이터(RGB)에 대응하여 감마계조전압회로(145)로부터 공급되는 해당 레벨의 계조 전압을 출력하게 된다. 물론 그 계조전압은 극성제어신호생성부(146)로부터의 극성제어신호에 따라 정극성과 부극성 중 어느 하나의 전압으로 출력하게 된다.
- <47> 출력회로(148)는 DAC(147)에서 선택·출력한 아날로그 형태의 R, G, B 화소 전압을 내부의 버퍼(Buffer)에 일시 저장한다.
- <48> 도 5b는 데이터 드라이브 IC의 내부에서 실질적으로 극성제어신호생성부(146)를 구성하는 D-플립플롭을 나타낸다. 물론 이와 같은 D-플립플롭의 형성은 데이터 드라이브 IC의 제조공정시 형성되는 것이다. 도면에 나타낸 바와 같이, D-플립플롭의 제어입력단자(D)와 반전출력단자(Q')는 서로 접속시키게 된다.
- <49> 그런 다음, 도 5c에서와 같이 타이밍 컨트롤러로부터 제2래치로 인가되는 SOE 신호를 동시에 사용하여 D-플립플롭의 클럭단자(CLK)에 입력하게 되면, 그 SOE 신호의 상승 에지마다 동작하는 1/2 분주의 극성제어신호를 생성하게 된다. 여기에서는 물론 포지티브 에지 트리거형(positive edge trigger type)의 D-플립플롭을 예시한 것이다. 그러나, 반드시 그것에 한정하지는 않을 것이다.
- <50> 뿐만 아니라, 그 SOE 신호는 만약 4*8 해상도의 LCD에서 1프레임을 출력하기 위하여 8개의 SOE 신호를 필요로 한다고 가정할 때, 그 최소 8개의 필요개수 이외에 더미(dummy) 신호가 없게 된다면, 그 출력단자(Q)의 신호는 매 프레임마다 반전이 되지 않을 것이다. 따라서, 여기에서는 프레임 반전을 위하여 그 SOE 신호의 수직 블랭크(blank) 구간마다 반드시 홀수개의 SOE 신호를 추가적으로 포함하게 되는데, 이를 통해 프레임 극성반전이 가능하게 된다.
- <51> 도 6a는 본 발명을 실질적으로 구현하기 위하여 외부에서 별도로 준비된 D-플립플롭을 사용하여 시스템을 가동해 본 결과로서, SOE 입력신호 대비 출력 극성제어신호(POL)의 파형을 나타내는 것이다. 도면에서 볼 수 있는 바와 같이, 종래의 도 6b에 비하여 다소 극성제어신호의 상승시간(rising time)이 불안정한 면도 없지는 않지만, 우선적으로는 D-FF를 사용하여 데이터 드라이버 자체에서 극성제어신호를 생성할 수 있는 가능성이 강하게 입증되었다.
- <52> 뿐만 아니라, 도 7에 나타낸 데이터 시트(data sheet)에 근거해 볼 때 본 결과는 그 지연시간(delay time)이 데이터 드라이브 IC 제조업체에서 요구하는 사양(speculation)의 오차범위 내에서 충족하게 되므로, 실질적으로 데이터 드라이브 IC 제조시 D-FF를 내부에 생성하게 된다면 그 결과는 지금의 실험결과보다 훨씬 더 좋은 성능을 보일 것으로 보인다.

발명의 효과

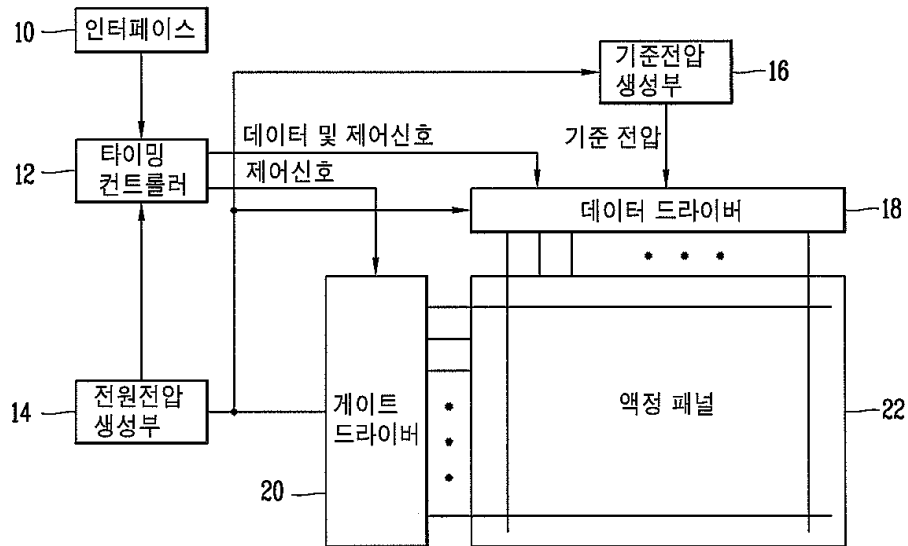
- <53> 지금까지의 구성 결과, 본 발명에 따른 액정표시장치는 타이밍 컨트롤러의 핀 감소, 타이밍 컨트롤러와 데이터 드라이버간 신호라인 감소 및 메인 PCB의 설계 간소화 등과 같은 개선이 있을 것이다 .

도면의 간단한 설명

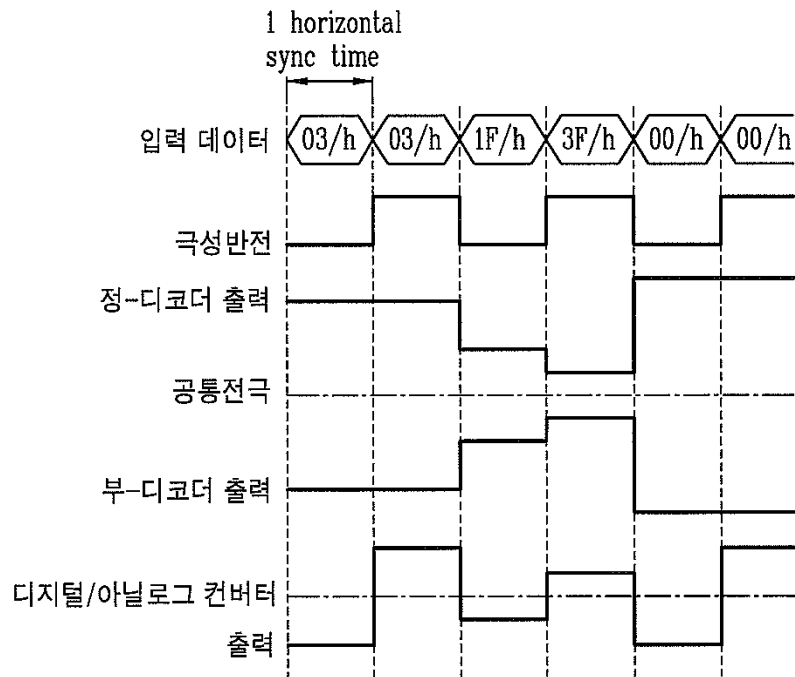
- <1> 도 1은 종래기술에 따른 액정표시장치의 구동시스템을 나타내는 도면
- <2> 도 2는 도 1에 나타난 제어신호를 입력받은 데이터 드라이버의 동작을 나타내는 도면
- <3> 도 3은 도 1에 나타난 제어신호를 입력받은 게이트 드라이버의 동작을 나타내는 도면
- <4> 도 4는 본 발명에 따른 액정표시장치의 구동시스템을 나타내는 도면
- <5> 도 5a는 도 4에 나타난 데이터 드라이브 IC의 세부구성을 나타내는 도면
- <6> 도 5b는 도 5a에 나타난 극성제어신호 생성부를 이루는 D-플립플롭을 나타내는 도면
- <7> 도 5c는 도 5a에 나타난 SOE 대비 POL 신호의 파형을 나타내는 도면
- <8> 도 6a는 도 5a에 나타난 극성제어신호 생성부를 외부에서 단품 D-플립플롭을 사용하여 얻은 SOE 대비 POL 신호의 파형을 나타내는 도면
- <9> 도 6b는 종래기술에 따른 SOE 대비 POL 신호의 파형을 나타내는 도면
- <10> 도 7은 도 6b에 사용된 단품 D-플립플롭의 데이터 시트를 나타내는 도면
- <11> ★★도면의 주요부분에 대한 부호의 설명★★
- <12> 130: 타이밍 컨트롤러 132: 데이터 드라이버
- <13> 133: 전원회로 134: 게이트 드라이버
- <14> 135: 극성제어신호 생성부 136: 액정패널

도면

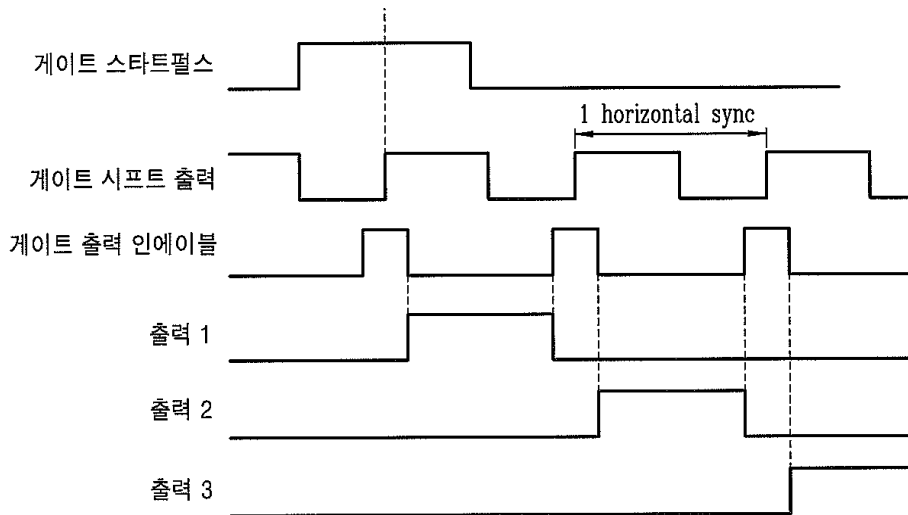
도면1



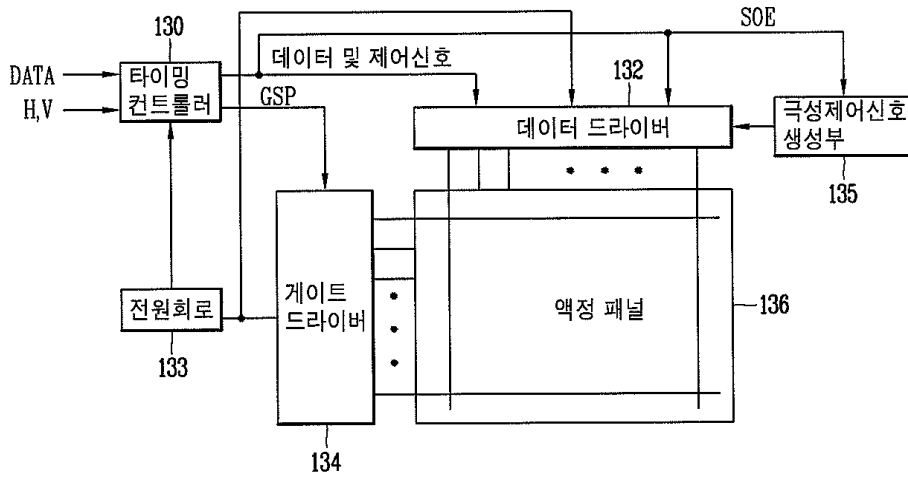
도면2



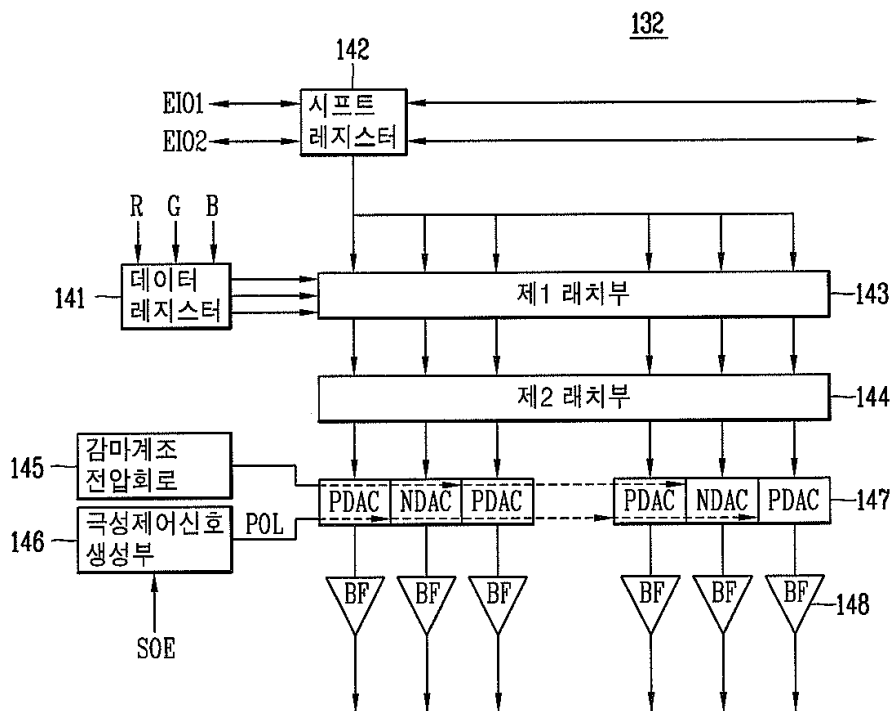
도면3



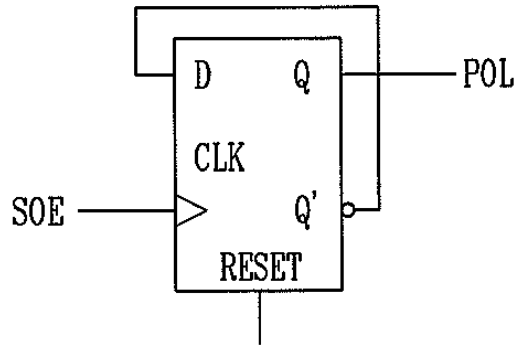
도면4



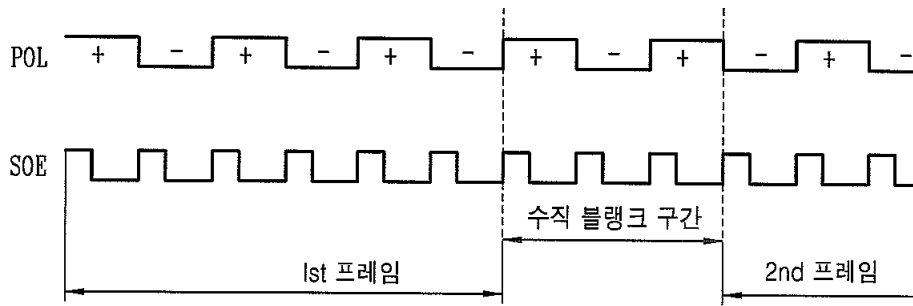
도면5a



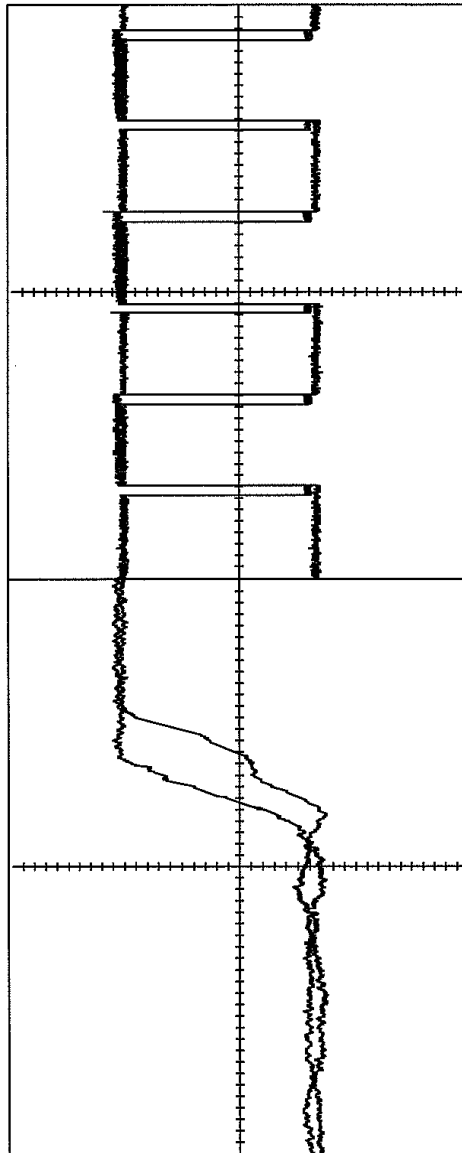
도면5b



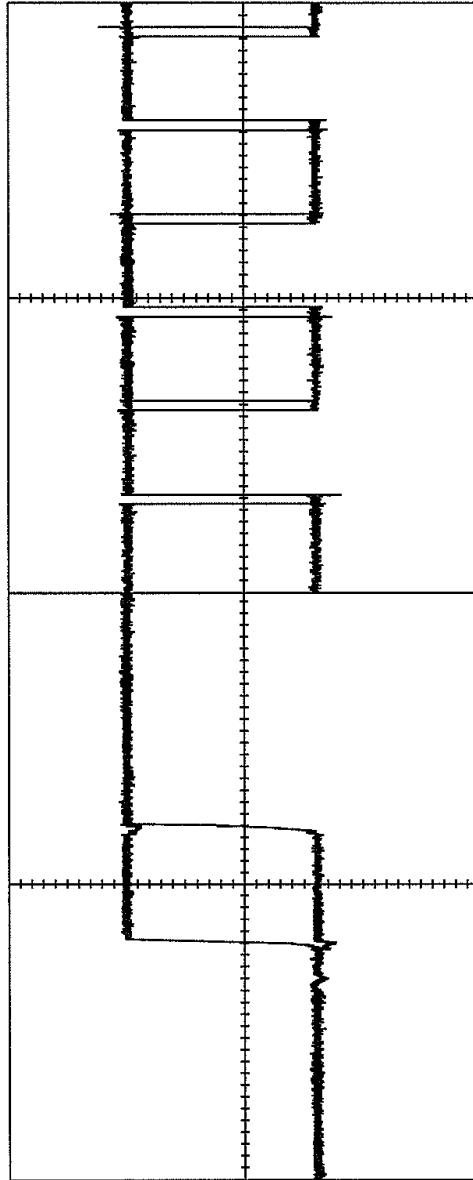
도면5c



도면6a



도면6b



도면7

PARAMETER	SYMBOL	CONDITION	MIN	TYP	MAX	UNIT
CLOCK PERIOD	PWCLK	-	6.4	-	-	NS
CLOCK HIGH-DURATION	PWCLK(H)		2.4	-	-	
CLOCK LOW-DURATION	PWCLK(L)		2.4	-	-	
DATA SETUP TIME	TSETUP1		1.2	-	-	
DATA HOLD TIME	THOLD1		1.2	-	-	
START PULSE SETUP TIME	TSETUP2		-1.0	-	-	
START PULSE DELAY	TPLH1	CL=25PF	-	16	24	NS
CLK,LV0,TO LV5 RISE TIME	TR	-	-	-	1.5	NS
CLK,LV0,TO LV5 FALL TIME	TF	-	-	-	1.5	NS
DRIVER OUTPUT DELAY1	TPHL1	CL=110PF ⁽¹⁾⁽³⁾	-	-	3	US
DRIVER OUTPUT DELAY2	TPHL2	CL=110PF ⁽²⁾⁽³⁾	-	-	9	
RESET(RST) HIGH-DURATION	PWRST	OVER 50NS	3	-	-	CLK
CLK1 HIGH-DURATION	TPWCLK1	-	0.2	-	-	US
POL SETUP TIME	TPOL-CLK1	-	-5.0			NS
POL HOLD TIME	TCLK1-POL	-	3.0			NS
RECEIVER OFF TO CLK1 TIME	TLDT	-	5.0	-	-	CLK
CLK1 TO RST INPUT TIME	TCLK1-RST	-	200	-	-	NS
RESET LOW TO CLK1 RISE TIME	TRST-CLK1	-	0	-	-	

专利名称(译)	液晶显示装置和数据驱动电路		
公开(公告)号	KR1020080003100A	公开(公告)日	2008-01-07
申请号	KR1020060061638	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JIN SANG		
发明人	LEE, JIN SANG		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/027 G09G3/3614 G09G3/3688		
代理人(译)	PARK, JANG WON		
其他公开文献	KR101258900B1		
外部链接	Espacenet		

摘要(译)

本发明消除了传统上产生极性控制信号的定时控制器中的块，并通过在数据驱动器IC中形成D-FF (D-Flip Flop) 来产生极性控制信号，一种液晶显示装置，包括：定时控制器，用于接收来自外部的数据信号和垂直/水平同步信号，重新排列数据，以及产生控制信号；栅极驱动器，用于根据来自时序控制器的控制信号顺序提供具有一个水平周期 (1H) 的栅极高电压；D触发器，用于接收定时控制器的源输出使能 (SOE) 信号，并通过将信号除以1/2来产生极性控制信号；以及根据来自门和数据驱动器的信号实现图像的液晶面板。液晶显示装置的数据驱动电路还包括移位寄存器，用于根据源采样时钟信号从定时控制器移位源起始脉冲，以产生采样信号；数据寄存器，用于临时存储来自定时控制器的数字视频数据 (RGB) ，然后再次将数据提供给第一锁存器；第一锁存器，用于响应于从移位寄存器顺序输入的采样信号，一次一行地锁存来自数据寄存器的数字视频数据；第二锁存器，用于锁存从第一锁存器输入的数字数据，并响应于来自定时控制器的源输出使能 (SOE) 信号同时输出锁存数据；极性控制信号发生器，用于与SOE信号同步地产生极性控制信号；一种灰度电压发生器，用于产生正和负灰度电压，用于从外部分压参考电压；DAC，用于根据来自极性控制信号发生器的极性控制信号，从与第二锁存器输入的数据相对应的灰度电压发生器中选择和输出灰度电压；以及用于将来自DAC的像素电压信号保持在缓冲器中的输出部分。

