



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0002625
(43) 공개일자 2008년01월04일

(51) Int. Cl.

G09G 3/36 (2006.01) G11C 19/00 (2006.01)

H03K 19/00 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0061530

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤수영

경기 고양시 덕양구 행신2동 무원마을10단지 서광
아파트 1010동802호

전민두

서울 동대문구 장안동 417-3 형인 허브빌 101동
802호

김해열

경기도 의왕시 오전동 모락산 현대아파트 110동
2201호

(74) 대리인

김용인, 심창섭

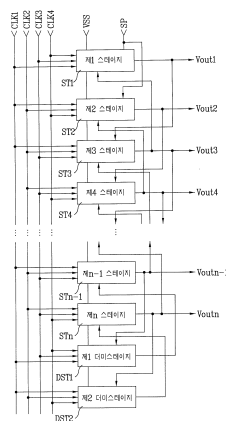
전체 청구항 수 : 총 18 항

(54) 액정 표시장치의 쉬프트 레지스터와 그의 구동방법

(57) 요약

본 발명은 쉬프트 레지스터에 형성되는 게이트 구동전압 공급라인을 제거하여 그 구성을 단순화시킬 수 있는 액정 표시장치의 쉬프트 레지스터와 그의 구동방법에 관한 것으로, 서로 종속적으로 연결된 다수개의 스테이지를 구비한 액정 표시장치의 쉬프트 레지스터에 있어서, 상기 각 스테이지는 이전단 스테이지로부터의 출력신호와 서로 중첩된 적어도 하나의 클럭펄스를 게이트 구동전압으로 이용하여 적어도 하나의 출력신호를 생성하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

서로 종속적으로 연결된 다수개의 스테이지를 구비한 액정 표시장치의 쉬프트 레지스터에 있어서,

상기 각 스테이지는 이전단 스테이지로부터의 스캔펄스와 서로 중첩된 적어도 하나의 클럭펄스를 이용하여 제 1 노드를 인에이블 시키는 제 1 노드 제어부와;

다음단 스테이지로부터의 스캔펄스에 따라 제 2 노드를 인에이블 시키는 제 2 노드 제어부와; 그리고

상기 제 1 노드의 프리차징 상태에 따라 상기 적어도 하나의 클럭펄스를 스캔펄스로 출력하는 출력부를 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,

상기 서로 중첩된 적어도 하나의 클럭펄스는

2H기간(2Horizontal; 2수평기간)의 유효구간을 갖고 공급되며 서로 인접한 클럭펄스 간에는 1H기간 동안의 유효구간이 중첩된 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 3

제 2 항에 있어서,

상기 스캔펄스는

상기 적어도 하나의 클럭펄스와 동기되어 동일한 유효구간을 갖고 출력되어 액정패널에 구비된 게이트 라인을 구동하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 4

제 3 항에 있어서,

상기 제 1 노드 제어부는

이전단 스테이지로부터 출력된 스캔펄스 또는 외부로부터의 스타트 펄스와 상기 적어도 하나의 클럭펄스에 따라 제 1 노드를 인에이블 시키는 제 1 스위칭소자와,

다음단 스테이지로부터 출력된 스캔펄스에 따라 게이트 오프전압으로 제 1 노드를 디세이블 시키기 위한 제 2 스위칭 소자와, 그리고

제 2 노드의 인에이블 상태에 따라 게이트 오프전압으로 제 1 노드를 디세이블 시키기 위한 제 3 스위칭 소자를 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 5

제 4 항에 있어서

제 2 노드 제어부는

상기 적어도 하나의 클럭펄스에 따라 제 2 노드를 인에이블 시키는 제 4 스위칭 소자와,

상기 이전단 스테이지로부터 출력된 스캔펄스와 상기 적어도 하나의 클럭펄스에 따라 제 2 노드를 디세이블 시키기 위한 제 5 스위칭소자와, 그리고

상기 이전단 스테이지로부터 출력된 스캔펄스에 따라 제 2 노드를 디세이블 시키기 위한 제 6 스위칭소자(Tr6)를 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 6

제 4 항에 있어서,

상기 제 1 노드 제어부는

외로부터의 스타트 펄스를 이용하여 제 1 노드를 인에이블 시키는 제 1 스위칭소자와;

다음단 스테이지로부터 출력된 스캔펄스에 따라 게이트 오프전압으로 제 1 노드를 디세이블 시키기 위한 제 2 스위칭 소자와, 그리고

제 2 노드의 인에이블 상태에 따라 게이트 오프전압으로 제 1 노드를 디세이블 시키기 위한 제 3 스위칭 소자를 더 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 7

제 5 항에 있어서

상기 출력부는

상기 제 1 노드의 인에이블 상태에 따라 상기 적어도 하나의 클럭펄스를 스캔펄스로 출력하는 제 7 스위칭 소자와, 그리고

제 2 노드의 인에이블 상태에 따라 스캔펄스가 출력되는 게이트 라인을 디세이블 시키는 제 8 스위칭 소자를 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 8

제 5 항에 있어서,

상기 제 5 스위칭 소자와 상기 제 6 스위칭 소자의 채널폭은 상기 제 1 스위칭 소자의 채널폭 보다 더 크게 형성된 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 9

제 4 항에 있어서,

상기 스타트 펄스는

2H기간의 유효기간을 갖으며 인접한 상기 클럭펄스와 동일한 유효기간을 갖는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 10

제 5 내지 제 8 항에 있어서,

상기 제 1 내지 제 8 스위칭 소자는

PMOS 또는 NMOS 트랜지스터인 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터.

청구항 11

액정패널에 형성된 다수개의 게이트 라인을 구동하는 스캔펄스를 한 프레임 기간 동안 순차적으로 출력하는 다수개의 스테이지를 구비한 쉬프트 레지스터의 구동방법에 있어서,

이전단 스테이지로부터의 스캔펄스와 서로 중첩된 적어도 하나의 클럭펄스를 이용하여 제 1 노드를 인에이블 시키는 단계;

이전단 스테이지로부터의 스캔펄스와 상기 제 1 노드의 인에이블 상태에 따라 제 2 노드를 디세이블 시키는 단계; 및

상기 제 1 노드의 인에이블 상태에 따라 상기 적어도 하나의 클럭펄스에 응답하여 적어도 하나의 출력신호를 발생하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 12

제 11 항에 있어서,

상기 서로 중첩된 적어도 하나의 클럭펄스는

2H기간(2Horizontal; 2수평기간)의 유효구간을 갖고 공급되며 서로 인접한 클럭펄스 간에는 1H기간 동안의 유효구간이 중첩된 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 13

제 12 항에 있어서,

상기 적어도 하나의 스캔펄스는

상기 적어도 하나의 클럭펄스와 동기되어 동일한 유효구간을 갖고 출력되어 액정패널에 구비된 게이트 라인을 구동하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 14

제 13 항에 있어서

상기 제 1 노드를 인에이블 시키는 단계는

이전단 스테이지로부터의 스캔펄스 또는 외부로부터의 스타트 펄스에 따라 제 1 스위칭 소자를 턴-온 시키는 단계; 그리고

상기 턴-온된 제 1 스위칭 소자에 입력되는 상기 적어도 하나의 클럭펄스에 따라 제 1 노드를 인에이블 시키는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 15

제 14 항에 있어서,

상기 적어도 하나의 스캔펄스를 출력하는 단계는

상기 제 1 노드의 인에이블 상태에 따라 입력되는 상기 적어도 하나의 클럭펄스를 스캔펄스로 출력하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 16

제 14 항에 있어서,

상기 스타트 펄스는

2H기간의 유효기간을 갖으며 인접한 상기 클럭펄스와 동일한 유효기간을 갖는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 17

제 14 항에 있어서,

상기 제 1 스위칭 소자는

P-MOS 또는 N-MOS 트랜지스터인 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

청구항 18

제 14 항에 있어서,

상기 제 1 노드를 인에이블 시키는 단계는

외부로부터의 스타트 펄스에 따라 제 1 스위칭 소자를 턴-온 시키는 단계; 그리고

상기 턴-온된 제 1 스위칭 소자에 입력되는 상기 적어도 하나의 클럭펄스에 따라 제 1 노드를 인에이블 시키는 단계를 더 포함하는 것을 특징으로 하는 액정 표시장치의 쉬프트 레지스터 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 쉬프트 레지스터에 형성되는 게이트 구동전압 공급라인을 제거하여 그 구성을 단순화시킬 수 있는 액정 표시장치의 쉬프트 레지스터와 그의 구동방법에 관한 것이다.
- <16> 통상의 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다.
- <17> 액정패널에는 다수개의 게이트 라인과 다수개의 데이터 라인이 교차하게 배열되고, 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 형성된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(TFT; Thin Film Transistor)와 접속된다. TFT는 게이트 라인의 스캔펄스에 의해 턴-온되어, 데이터 라인의 데이터 신호가 화소전극에 충전되도록 한다.
- <18> 구동회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 컨트롤러와, 액정패널, 게이트 및 데이터 드라이버, 타이밍 컨트롤러에 전원 신호를 공급하는 전원부를 포함한다.
- <19> 게이트 드라이버는 스캔펄스들을 순차적으로 출력하기 위해 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 다수의 스테이지들은 스캔펄스를 순차적으로 출력하여 액정패널의 게이트 라인들을 순차적으로 스캐닝한다.
- <20> 다수의 스테이지 각각은 서로 순차적인 위상차를 갖는 다수의 클럭펄스 중 적어도 한 개의 클럭펄스를 인가받는다. 따라서, 다수의 신호라인이 형성되어 쉬프트 레지스터에 클럭펄스를 인가하게 된다.
- <21> 하지만, 쉬프트 레지스터가 액정 패널을 형성하는 TFT 어레이 기판에 내장되어 집적화되는 경우 쉬프트 레지스터에 게이트 구동전압을 공급하기 위한 게이트 구동전압 공급라인이 TFT 어레이 기판에 형성된다.
- <22> 여기서, 게이트 구동전압 공급라인 예를 들어, 게이트 온 전압을 공급하는 라인은 TFT 어레이 기판상에 게이트 라인 또는 데이터 라인과 같은 금속물질로 형성되며 이는 쉬프트 레지스터에 구성된 다수의 스테이지 각각에 연결된다. 이로 인해, 쉬프트 레지스터의 크기가 증가되기 때문에 TFT 어레이 기판에 쉬프트 레지스터가 형성되는 면적이 또한 증가되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

- <23> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 쉬프트 레지스터에 형성되는 게이트 구동전압 공급라인 중 게이트 온 전압을 공급하는 공급라인을 제거하여 그 구성을 단순화시킬 수 있는 액정 표시장치의 쉬프트 레지스터와 그의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <24> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 쉬프트 레지스터는 서로 종속적으로 연결된 다수개의 스테이지를 구비한 액정 표시장치의 쉬프트 레지스터에 있어서, 상기 각 스테이지는 이전단 스테이지로부터의 출력신호와 서로 중첩된 적어도 하나의 클럭펄스를 게이트 구동전압으로 이용하여 적어도 하나의 출력신호를 생성하는 것을 특징으로 한다.
- <25> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 쉬프트 레지스터 구동방법은 액정패널에 형성된 다수개의 게이트 라인을 구동하는 출력신호를 한 프레임 기간 동안 순차적으로 출력하는 다수개의 스테이지를 구비한 쉬프트 레지스터의 구동방법에 있어서, 적어도 하나의 출력신호와 서로 중첩된 적어도 하나의 클럭펄스에 따라 적어도 하나의 노드를 인에이블 시키는 단계, 및 상기 각 노드의 인에이블 상태에 따라 상기 각 클럭펄스에 응답하여 적어도 하나의 출력신호를 생성하는 단계를 포함하는 것을 특징으로 한다.
- <26> 이하, 상기와 같은 특징을 갖는 본 발명의 실시예에 따른 액정 표시장치의 쉬프트 레지스터 및 그의 구동방법을

첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

- <27> 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도이다.
- <28> 도 1에 도시된 액정 표시장치는 TFT 어레이 기판(10)상에 다수의 게이트 라인과 데이터 라인을 구비하여 형성된 액정패널(20)과, 다수의 데이터 라인을 구동하기 위한 데이터 드라이버(30)가 실장된 다수의 회로필름(50)과, 다수의 게이트 라인을 구동하는 게이트 드라이버(30)를 포함한다.
- <29> 액정패널(20)은 다수의 게이트 라인과 다수의 데이터 라인에 의해 정의되는 각 화소영역에 형성된 TFT와 액정분자를 구동하는 화소전극을 구비한다. TFT는 게이트 라인으로부터의 스캔펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 화소전극에 공급한다.
- <30> 데이터 드라이버(30)는 다수의 데이터 회로필름(50)에 실장되어 액정패널(20)과 데이터 PCB 사이에 접속된다. 이러한 데이터 드라이버(30)는 외부로부터의 디지털 영상 데이터를 아날로그 영상 데이터로 변환하고 게이트 라인들에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 영상 데이터를 데이터 라인들로 공급한다. 즉, 데이터 드라이버(30)는 아날로그 영상 데이터의 계조값에 따라 소정 레벨을 가지는 감마전압을 선택하고 선택된 감마전압을 데이터 라인들로 공급한다.
- <31> 게이트 드라이버(40)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터를 포함하며 이 스캔펄스에 응답하여 TFT가 턴-온 되게 한다. 쉬프트 레지스터는 액정패널(20)을 형성하는 TFT 어레이 기판(10)에 내장되어 집적화된다.
- <32> 도 2는 도 1에 도시된 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도이다.
- <33> 도 2에 도시된 쉬프트 레지스터는 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)가 서로 종속적으로 연결되어 서로 교번적으로 위치하는 n개의 스테이지(ST1 내지 STn) 및 두개의 더미 스테이지(DST1, DST2)로 구성된다.
- <34> n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2)는 n개의 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다. 여기서, n개의 스테이지(ST1 내지 STn)로부터 출력된 n개의 스캔펄스(Vout1 내지 Voutn)는 액정패널(10)의 게이트 라인들에 순차적으로 공급되어 게이트 라인들을 순차적으로 스캐닝하게 된다. 그리고, 두개의 더미 스테이지(DST1, DST2)에서 출력되는 스캔펄스는 홀수 및 짝수번째의 이전단 스테이지(STn-1, STn)를 디세이블 즉, 리셋시키기 위한 신호로 사용된다.
- <35> n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2)는 게이트 오프전압(VSS)을 공통으로 공급받는다. 그리고 일정 구간동안 서로 중첩된 다수의 클럭펄스 즉, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 적어도 하나의 클럭펄스를 인가받는다.
- <36> 제 1 스테이지(ST1)와 제 2 스테이지(ST2)는 도시되지 않은 타이밍 컨트롤러로부터의 스타트 펄스(SP)를, 제 3 내지 제 n 스테이지(ST3 내지 STn)와 제 1 및 제 2 더미 스테이지(DST1, DST2)는 홀수 및 짝수번째의 각 이전단 스테이지의 스캔펄스를 트리거 신호로 공급받는다. 그리고, 제 1 내지 n 스테이지(ST1 내지 STn)는 홀수 및 짝수번째의 각 다음단 스테이지의 스캔펄스를 리셋 신호로 공급받는다.
- <37> 구체적으로, n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2)는 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)로 나뉘어 서로 종속적으로 연결되어 있다. 따라서, 제 1 스테이지(ST1)를 제외한 홀수번째 스테이지(ST3 내지 STn-1)는 홀수번째의 이전단 스테이지로부터의 스캔펄스를 트리거 신호로 공급받는다. 그리고 홀수번째의 다음단 스테이지의 스캔펄스를 리셋신호로 공급받는다.
- <38> 제 2 스테이지(ST2)를 제외한 짝수번째 스테이지(ST4 내지 STn)는 짝수번째의 이전단 스테이지로부터의 스캔펄스를 트리거 신호로 공급받는다. 그리고 짝수번째의 다음단 스테이지의 스캔펄스를 리셋신호로 공급받는다.
- <39> 상기와 같이 구성된 본 발명에 따른 쉬프트 레지스터의 각 스테이지들의 동작을 설명하면 다음과 같다. 여기서, n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2)의 구성은 모두 동일하므로, 제 3 스테이지(ST3)의 동작을 대표적으로 설명하기로 한다.
- <40> 도 3은 본 발명의 제 1 실시예에 따른 제 3 스테이지를 나타낸 등가 회로도이며, 도 4는 도 2에 도시된 스테이지들의 입/출력파형을 나타낸 파형도이다.
- <41> 도 3에 도시된 제 3 스테이지(ST3)는 제 1 스테이지(ST1)로부터의 제 1 스캔펄스(Vout1)와 제 2 클럭펄스(CLK

2)에 따라 Q-노드(Q)를 인에이블 시키기 위한 제 1 스위칭 소자(Tr_1)와, Q-노드(Q)의 인에이블 상태에 따라 제 3 클럭펄스(CLK_3)를 제 3 스캔펄스($Vout_3$)로 출력하기 위한 제 2 스위칭 소자(Tr_2)와, 그리고 제 5 스테이지(ST_5)로부터의 제 5 스캔펄스($Vout_5$)에 따라 Q-노드(Q)를 그라운드 전압(VSS)으로 디세이블 시키기 위한 제 3 스위칭 소자(Tr_3)를 포함한다.

- <42> 여기서, 제 3 스테이지(ST_3)를 포함한 본 발명의 제 1 실시예에 따른 각 스테이지(ST_1 내지 ST_5)는 일정 구간 동안 서로 중첩된 다수의 클럭펄스 즉, 제 1 내지 제 4 클럭펄스(CLK_1 내지 CLK_4) 중 두개의 클럭펄스를 인가받는다. 구체적으로, 제 3 스테이지(ST_3)는 제 2 및 제 3 클럭펄스(CLK_2, CLK_3)를 공급받고, 제 4 스테이지(ST_4)의 경우에는 제 3 및 제 4 클럭펄스(CLK_3, CLK_4)를 공급받는다.
- <43> 또한, 각 스테이지(ST_1 내지 ST_5)에 형성된 제 1 내지 제 3 스위칭 소자(Tr_1 내지 Tr_3)는 PMOS 또는 NMOS 트랜지스터 등의 스위칭 소자가 사용될 수 있다. 이하에서는 NMOS 트랜지스터만을 예를 들어 설명하기로 한다.
- <44> 도 4에 도시된 제 1 내지 제 4 클럭펄스(CLK_1 내지 CLK_4)는 서로 동일한 펄스폭 및 진폭을 가지며, 서로 인접하게 출력되는 클럭펄스(CLK_1 내지 CLK_4)들은 일정 구간에서 서로 동시에 하이 상태 즉, 유효구간으로 출력된다.
- <45> 구체적으로, 제 2 클럭펄스(CLK_2)는 제 1 클럭펄스(CLK_1)보다 늦게 출력되지만 제 1 클럭펄스(CLK_1)가 유효구간 즉, 하이 상태를 유지하는 2H기간 중 1H기간에 하이 상태로 발생되어 2H기간 동안 하이 상태를 유지한다. 이에 따라, 제 1 클럭펄스(CLK_1)와 제 2 클럭펄스(CLK_2)가 1H기간 동안 동시에 유효구간을 의미하는 하이 상태를 유지하게 된다.
- <46> 제 3 클럭펄스(CLK_3) 또한 제 2 클럭펄스(CLK_2)보다 1H기간 늦게 출력되어 상기 제 2 클럭펄스(CLK_2)가 하이 상태를 유지하는 2H기간 중 1H기간에 하이 상태로 인가되어 2H기간 동안 하이 상태를 유지한다. 이에 따라, 제 2 클럭펄스(CLK_2)와 제 3 클럭펄스(CLK_3) 또한 1H기간 동안 동시에 하이 상태를 유지하게 된다. 그리고, 제 4 클럭펄스(CLK_4) 또한 제 3 클럭펄스(CLK_3)보다 1H기간 늦게 출력되어 제 3 클럭펄스(CLK_3)가 하이 상태를 유지하는 2H기간 중 1H기간에 하이 상태로 발생되어 2H기간 동안 하이 상태를 유지한다. 이에 따라, 제 3 클럭펄스(CLK_3)와 제 4 클럭펄스(CLK_4) 또한 1H 기간 동안 동시에 하이 상태를 유지하게 된다.
- <47> 1 내지 4 클럭펄스(CLK_1 내지 CLK_4)는 주기적으로 출력되므로, 한 주기가 지난 다음 주기에 제 1 클럭펄스(CLK_1)가 제 4 클럭펄스(CLK_4)보다 늦게 출력되어 제 4 클럭펄스(CLK_4)가 하이 상태를 유지하는 2H기간 중 1H기간에 하이 상태로 발생되어 1H기간 동안 동시에 하이 상태를 유지하게 된다.
- <48> 한편, 스타트 펄스(SP)는 제 1 클럭펄스(CLK_1)보다 1H기간 앞서 2H기간 동안 출력되므로 제 4 클럭펄스(CLK_4)와 동기된다. 즉, 제 1 클럭펄스(CLK_1)는 스타트 펄스(SP)보다 1H기간 늦게 출력되어 스타트 펄스(SP)가 하이 상태를 유지하는 2H기간 중 1H기간에 하이 상태로 발생되어 1H기간 동안 동시에 하이 상태를 유지하게 된다.
- <49> 도 3과 도 4를 참조하여 제 3 스테이지의(ST_3)의 동작을 설명하면 다음과 같다.
- <50> 제 1 스위칭 소자(Tr_1)의 턴-온구간(T_0, T_1)은 제 1 스위칭 소자(Tr_1)의 게이트 단자에 홀수번째의 이전단 스테이지인 제 1 스테이지(ST_1)의 제 1 스캔펄스($Vout_1$)가 공급됨으로써 제 1 스위칭 소자(Tr_1)는 턴-온된다.
- <51> 다음으로, Q-노드(Q)의 인에이블 구간(T_1)은 제 2 클럭펄스(CLK_2)가 턴-온된 제 1 스위칭 소자(Tr_1)의 드레인 단자에 공급됨으로써 Q-노드(Q)가 제 2 클럭펄스(CLK_2)에 의해 인에이블 된다. 이에 따라, Q-노드(Q)에 게이트 단자가 연결된 제 2 스위칭 소자(Tr_2)가 턴-온된다.
- <52> 제 3 스캔펄스($Vout_3$)의 출력구간(T_2)은 턴-온된 제 2 스위칭 소자(Tr_2)의 드레인 단자에 제 3 클럭펄스(CLK_3)가 공급되어 제 3 클럭펄스(CLK_3)는 제 3 스캔펄스($Vout_3$)로써 출력된다. 이때, 제 3 스캔펄스($Vout_3$)는 제 3 게이트 라인(GL_3)으로 공급됨과 동시에 제 1 스테이지(ST_1)와 제 5 스테이지(ST_5)에 공급된다.
- <53> 제 1 스테이지(ST_1)에 공급된 제 3 스캔펄스($Vout_3$)는 제 1 스테이지(ST_1)의 Q-노드(Q)를 디세이블 시키고, 제 5 스테이지(ST_5)에 공급된 제 3 스캔펄스($Vout_3$)는 제 5 스테이지(ST_5)의 제 1 스위칭 소자를 턴-온시키게 된다.
- <54> 이 후, 제 5 스테이지(ST_5)가 상술한 제 3 스테이지와 같이 동작하여 제 5 스캔펄스($Vout_5$)를 출력하면 제 3 스테이지(ST_3)의 제 3 스위칭 소자(Tr_3)는 제 5 스캔펄스($Vout_5$)에 의해 턴-온된다. 이로 인해, 제 3 스테이지(ST_3)의 Q-노드(Q)는 그라운드 전압(VSS)에 의해 디세이블 된다. 이에 따라, 제 2 스위칭 소자(Tr_2)가 턴-오프되어 더 이상의 제 3 클럭펄스(CLK_3)가 공급되도 스캔펄스를 출력하지 않는다.

- <55> 상술한 바와 같이 홀수번째의 스테이지(ST1 내지 STn-1)는 순차적으로 홀수번째의 게이트 라인(GL1 내지 GLn-1)에 스캔펄스(Vout1 내지 Voutn-1)를 공급한다.
- <56> 한편, 짝수번째의 스테이지(ST2 내지 STn) 또한 홀수번째의 스테이지(ST1 내지 STn-1)와 같은 동작과정으로 짝수번째의 게이트 라인(GL2 내지 GLn)에 스캔펄스(Vout2 내지 Voutn)를 공급한다.
- <57> 다만, 짝수번째의 스테이지(ST2 내지 STn) 중 첫번째 스테이지인 제 2 스테이지(ST2)는 제 1 스테이지(ST1)와 동시에 스타트펄스(SP)를 공급받지만 제 2 클럭펄스(CLK2)를 제 2 스캔펄스(Vout2)로 출력하기 때문에 제 1 스캔펄스(Vout1)보다 1H 늦게 제 2 스캔펄스(Vout)를 출력한다.
- <58> 이에 따라, 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째 스테이지(ST2 내지 STn)가 서로 교번적으로 배치된 쉬프트 레지스터는 서로 동일한 펄스폭으로 인접한 스캔펄스들이 일정 구간동안 서로 중첩되도록 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다.
- <59> 상술한 바와 같이, 본 발명의 제 1 실시예에 따른 쉬프트 레지스터는 n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2)에 공급되는 클럭펄스(CLK1 내지 CLK4)를 이용하여 n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2) 각각에 형성된 Q-노드(Q)를 인에이블 시킨다.
- <60> 이에 따라, n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2) 각각에 형성된 Q-노드(Q)를 인에이블시키기 위해 구비되었던 게이트 구동전압 즉, 게이트 온 전압의 공급라인들을 제거할 수 있다.
- <61> 도 5는 본 발명의 제 2 실시예에 따른 제 3 스테이지를 나타낸 등가 회로도이다.
- <62> 도 5는 도시된 제 3 스테이지(ST3)는 Q-노드(Q)를 제어하기 위한 Q-노드 제어부와, QB-노드(QB)를 제어하기 위한 QB-노드 제어부와, 그리고 스캔펄스를 출력하기 위한 스캔펄스 출력부로 구성된다.
- <63> Q-노드 제어부는 제 1 스테이지(ST1)로부터의 제 1 스캔펄스(Vout1)와 제 2 클럭펄스(CLK2)에 따라 Q-노드(Q)를 인에이블시키기 위한 제 1 스위칭소자(Tr1)와, 제 5 스테이지(ST5)로부터의 제 5 스캔펄스(Vout5)에 따라 게이트 오프 전압(VSS)으로 Q-노드(Q)를 디세이블시키기 위한 제 2 스위칭 소자(Tr2)와, 그리고 QB-노드(QB)의 인에이블 상태에 따라 게이트 오프전압(VSS)으로 Q-노드(Q)를 디세이블시키기 위한 제 3 스위칭 소자(Tr3)로 구성된다.
- <64> QB-노드 제어부는 제 1 클럭펄스(CLK1)에 따라 QB-노드(QB)를 인에이블시키기 위한 제 4 스위칭 소자(Tr4)와, 제 1 스테이지(ST1)로부터의 제 1 스캔펄스(Vout1)와 제 2 클럭펄스(CLK2)에 따라 QB-노드(QB)를 디세이블시키기 위한 제 5 스위칭소자(Tr5)와, 제 5 스테이지(ST5)로부터의 제 5 스캔펄스(Vout5)에 따라 QB-노드(QB)를 디세이블시키기 위한 제 6 스위칭소자(Tr6)로 구성된다.
- <65> 스캔펄스 출력부는 Q-노드(Q)의 인에이블 상태에 따라 제 3 클럭펄스(CLK3)를 제 3 스캔펄스(Vout3)로 출력하는 제 7 스위칭 소자(Tr7)와, 그리고 QB-노드(QB)의 인에이블 상태에 따라 제 3 게이트 라인(GL3)을 디세이블시키기 위한 제 8 스위칭 소자(Tr8)로 구성된다.
- <66> 여기서, 제 3 스테이지(ST3)를 포함한 본 발명의 제 2 실시예에 따른 각 스테이지(ST1 내지 DST2)는 일정 구간 동안 서로 중첩된 다수의 클럭펄스 즉, 제1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 세개의 클럭펄스를 인가받는다. 구체적으로, 제 3 스테이지(ST3)는 제 1 내지 제 3 클럭펄스(CLK1 내지 CLK3)를 공급받고, 제 4 스테이지(ST4)의 경우에는 제 2 내지 제 4 클럭펄스(CLK2 내지 CLK4)를 공급받는다.
- <67> 또한, 각 스테이지(ST1 내지 DST2)에 형성된 제 1 내지 제 8 스위칭 소자(Tr1 내지 Tr8)는 PMOS 또는 NMOS 트랜지스터 등의 스위칭 소자가 사용될 수 있다. 이하에서는 NMOS 트랜지스터만을 예를 들어 설명하기로 한다.
- <68> 도 4와 도 5를 참조하여 본 발명의 제 2 실시예에 따른 제 3 스테이지의 동작을 각 구간별(T_0, T_1, T_3)로 설명하면 다음과 같다.
- <69> 먼저, 제 1 스위칭 소자(Tr1)의 턴-온구간(T_0, T_1)은 제 1 스위칭 소자(Tr1)의 게이트 단자에 홀수번째의 이전단 스테이지인 제 1 스테이지(ST1)의 제 1 스캔펄스(Vout1)가 공급됨으로써 제 1 스위칭 소자(Tr1)가 턴-온된다. 이때, 제 6 스위칭 소자(Tr6) 또한 제 1 스캔펄스(Vout1)에 의해 턴-온 되어 QB-노드(QB)를 그라운드 전압(VSS)으로 디세이블시킨다.
- <70> 다음으로, Q-노드(Q)의 인에이블 구간(T_1)은 제 2 클럭펄스(CLK2)가 턴-온된 제 1 스위칭 소자(Tr1)의 드레인 단자에 공급됨으로써 Q-노드(Q)가 제 2 클럭펄스(CLK2)에 의해 인에이블 된다. 즉, Q-노드(Q)는 제 1 스캔펄스

(Vout1)와 제 2 클럭펄스(CLK2)에 의해 프리차징 된다. 이에 따라, 제 1 스위칭 소자(Tr1)의 소스 단자에 연결된 제 4 스위칭 소자(Tr4)가 턴-온되어 QB-노드(QB)를 게이트 오프전압(VSS)으로 디세이블 시킨다. 또한, 인에이블된 Q-노드(Q)에 연결된 제 7 스위칭 소자(Tr7)가 턴-온된다.

<71> 제 3 스캔펄스(Vout3)의 출력구간(T_2)은 턴-온된 제 7 스위칭 소자(Tr7)의 드레인 단자에 제 3 클럭펄스(CLK3)가 공급되어 제 3 클럭펄스(CLK3)가 제 3 스캔펄스(Vout3)로써 출력된다. 이때 프리차징된 Q-노드(Q)는 제 3 클럭펄스(CLK3)가 공급됨에 따라 부트스트랩핑 된다. 그리고, 제 3 스캔펄스(Vout3)는 제 3 게이트 라인(GL3)으로 공급됨과 동시에 제 1 스테이지(ST1)와 제 5 스테이지(ST5)에 공급된다.

<72> 제 1 스테이지(ST1)에 공급된 제 3 스캔펄스(Vout3)는 제 1 스테이지(ST1)의 Q-노드(Q)를 디세이블 시키고, 제 5 스테이지(ST5)에 공급된 제 3 스캔펄스(Vout3)는 제 5 스테이지(ST5)의 제 1 스위칭 소자를 턴-온시키게 된다.

<73> 이 후, 제 5 스테이지(ST5)가 상술한 제 3 스테이지(ST3)와 같이 동작하여 제 5 스캔펄스(Vout5)를 출력하면 제 5 스캔펄스(Vout5)는 제 3 스테이지(ST3)에 공급되어 제 2 스위칭 소자(Tr)를 턴-온 시킨다.

<74> 이로 인해, 제 2 스위칭 소자(Tr2)는 Q-노드(Q)를 그라운드 전압(VSS)으로 디세이블 시키고, 제 4 스위칭 소자(Tr4)는 제 1 클럭펄스(CLK1)를 QB-노드(QB)에 공급하여 QB-노드(QB)를 인에이블 시킨다.

<75> Q-노드(Q)가 디세이블 되어 제 7 스위칭 소자(Tr7) 또한 턴-오프되기 때문에 제 7 스위칭 소자(Tr7)는 더 이상의 제 3 클럭펄스(CLK3)가 공급되도 스캔펄스를 출력하지 않는다.

<76> 여기서, QB-노드 제어부에 형성된 제 5 스위칭소자(Tr5)와 제 6 스위칭소자(Tr6)는 제 4 스위칭 소자(Tr4) 보다 더 큰 용량 즉, 더 큰 채널폭을 갖는 것이 바람직하다. 이는, 제 1 클럭펄스(CLK1)가 공급될 때마다 QB-노드가 충전되기 때문에 QB-노드의 디세이블시에는 더 빠르게 디세이블 시켜서 Q-노드의 인에이블시에 QB-노드가 인에이블 되는 것을 방지하기 위해서이다.

<77> 한편, QB-노드(QB)가 인에이블 되어 제 8 스위칭 소자(Tr8)를 턴-온시킴에 따라 제 8 스위칭 소자(Tr8)는 제 3 스테이지(ST3)의 출력단 즉, 제 3 게이트 라인을 그라운드 전압(VSS)으로 디세이블 시킨다.

<78> 상술한 바와 같이 홀수번째의 스테이지(ST1 내지 STn-1)는 순차적으로 홀수번째의 게이트 라인에 스캔펄스(Vout1 내지 Voutn-1)를 공급한다.

<79> 한편, 짝수번째의 스테이지(ST2 내지 STn) 또한 홀수번째의 스테이지(ST1 내지 STn-1)와 같은 동작과정으로 짝수번째의 게이트 라인에 스캔펄스(Vout2 내지 Voutn)를 공급한다.

<80> 다만, 짝수번째의 스테이지(ST2 내지 STn) 중 첫번째 스테이지인 제 2 스테이지(ST2)는 제 1 스테이지(ST1)와 동시에 스타트펄스(SP)를 공급받지만 제 2 클럭펄스(CLK2)를 제 2 스캔펄스(Vout2)로 출력하기 때문에 제 1 스캔펄스(Vout1)보다 1H 늦게 제 2 스캔펄스(Vout)를 출력한다.

<81> 이에 따라, 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째 스테이지(ST2 내지 STn)가 서로 교번적으로 배치된 쉬프트 레지스터는 서로 동일한 펄스폭으로 인접한 스캔펄스들이 일정 구간동안 중첩되도록 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다.

<82> 상술한 바와 같이, 본 발명의 제 2 실시예에 따른 쉬프트 레지스터는 n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2)에 공급되는 클럭펄스(CLK1 내지 CLK4)를 이용하여 n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2) 각각에 형성된 Q-노드(Q)와 QB-노드(QB)를 인에이블 시킨다. Q-노드(Q)만을 형성하여 구동되는 제 1 실시예와는 달리 제 2 실시예에서는 Q-노드(Q)와 QB-노드(QB)를 교번적으로 구동하여 다수의 게이트 라인을 안정적으로 구동할 수 있다.

<83> 또한, n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1, DST2) 각각에 형성된 Q-노드(Q)와 QB-노드(QB)를 인에이블 시키기 위해 구비되었던 구동전압 즉, 게이트 온 전압의 공급라인들을 제거할 수 있다.

<84> 일반적으로 스타트 신호(SP) 및 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 타이밍 컨트롤러로부터의 데이터 인에이블 신호에 따라 생성된다. 스타트 펄스(SP)는 도 4에 도시된 바와 같이 타이밍 컨트롤러로부터의 데이터 인에이블 신호를 이용하여 2H의 유효구간을 갖도록 변환한 후 공급될 수 있다. 하지만, 데이터 인에이블 신호를 바로 스타트 신호(SP)로 사용하는 경우에는 데이터 인에이블 신호가 갖는 1H의 유효구간으로 입력된다. 이에 따라, 1H구간의 스타트 신호(SP)를 공급받는 제 1 및 제 2 스테이지(ST1, ST2)의 경우, 1H 구간의 스타트 신호(SP)로는 전단의 클럭펄스(CLK4)와 1H 구간만 중첩되고 다음단의 제 1 클럭펄스(CLK1)와는 중첩되는 유효구간이

없게 된다. 이 경우, Q-노드(Q)를 인에이블시키기 위한 제 1 스위칭 소자(Tr1)가 제대로 작동하지 못하게 된다.

- <85> 상기와 같은 경우를 해결하기 위해서는 1H 구간의 스타트 신호(SP)를 입력받는 제 1 스테이지(ST1)의 제 1 스위칭 소자(Tr1)를 스타트 신호(SP)만으로 턴-온 될 수 있도록 구성해주어야 한다.
- <86> 도 6은 본 발명의 제 3 실시예에 따른 제 1 스테이지를 나타낸 등가 회로도이다.
- <87> 도 6는 도시된 제 1 스테이지(ST1)는 Q-노드(Q)를 제어하기 위한 Q-노드 제어부와, QB-노드(QB)를 제어하기 위한 QB-노드 제어부와, 그리고 스캔펄스를 출력하기 위한 스캔펄스 출력부로 구성된다.
- <88> Q-노드 제어부는 타이밍 컨트롤러로부터의 스타트 펄스(SP)에 따라 Q-노드(Q)를 인에이블 시키기 위한 제 1 스위칭소자(Tr1)와, 제 3 스테이지(ST3)로부터의 제 3 스캔펄스(Vout3)에 따라 게이트 오프전압(VSS)으로 Q-노드(Q)를 디세이블 시키기 위한 제 2 스위칭 소자(Tr2)와, 그리고 QB-노드(QB)의 인에이블 상태에 따라 게이트 오프전압(VSS)으로 Q-노드(Q)를 디세이블 시키기 위한 제 3 스위칭 소자(Tr3)로 구성된다.
- <89> QB-노드 제어부는 제 3 클럭펄스(CLK3)에 따라 QB-노드(QB)를 인에이블 시키기 위한 제 4 스위칭 소자(Tr4)와, 타이밍 컨트롤러로부터의 스타트 신호(SP)에 따라 QB-노드(QB)를 디세이블 시키기 위한 제 5 및 제 6 스위칭소자(Tr5,Tr6)로 구성된다.
- <90> 스캔펄스 출력부는 Q-노드(Q)의 인에이블 상태에 따라 제 1 클럭펄스(CLK1)를 제 1 스캔펄스(Vout1)로 출력하는 제 7 스위칭 소자(Tr7)와, 그리고 QB-노드(QB)의 인에이블 상태에 따라 제 1 게이트 라인을 디세이블 시키기 위한 제 8 스위칭 소자(Tr8)로 구성된다.
- <91> 이와 같이 구성된 제 1 스테이지(ST1)는 타이밍 컨트롤러로부터의 스타트 신호(SP)만으로 Q-노드(Q)를 인에이블시킬 수 있게 된다. 이 후의 동작은 제 2 실시예에서 도 4 및 도 5를 참조하여 구체적으로 상술된 동작으로 대신할 수 있기 때문에 생략하기로 한다.
- <92> 상술한 바와 같이, 본 발명의 제 3 실시예에 따른 쉬프트 레지스터는 스타트 신호(SP)만으로 제 1 스테이지(ST1)의 Q-노드(Q)를 인에이블 시키고 이후, 제 1 스테이지(ST1)를 제외한 n개의 스테이지(ST2 내지 STn)와 두 개의 더미 스테이지(DST1,DST2)는 타이밍 컨트롤러로부터 공급되는 이전단의 스캔펄스(Vout1 내지 Voutn) 및 다수의 클럭펄스(CLK1 내지 CLK4)를 이용하여 각각에 형성된 Q-노드(Q)또는 QB-노드(QB)를 인에이블 시킨다. Q-노드(Q)만을 형성하여 구동되는 제 1 실시예와는 달리 제 3 실시예에서는 Q-노드(Q)와 QB-노드(QB)를 교번적으로 구동하여 다수의 게이트 라인(GL1 내지 GLn)을 안정적으로 구동할 수 있다.
- <93> 또한, n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1,DST2) 각각에 형성된 Q-노드(Q)와 QB-노드(QB)를 인에이블 시키기 위해 구비되었던 구동전압 즉, 게이트 온 전압의 공급라인들을 제거할 수 있다.
- <94> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

- <95> 이상에서 상술한 바와 같은 본 발명에 따른 액정 표시장치의 쉬프트 레지스터와 그의 구동방법에 있어서는 다음과 같은 효과가 있다.
- <96> 본 발명은 쉬프트 레지스터를 구동하기 위한 구동전압 즉, 게이트 온 전압 대신 이전단 또는 스타트 펄스와 다수의 클럭펄스를 사용하여 다수의 스테이지를 구동한다. 이에 따라, 쉬프트 레지스터에 형성되는 게이트 온 전압 공급라인을 제거함으로써 그 구성을 단순화시킬 수 있다.

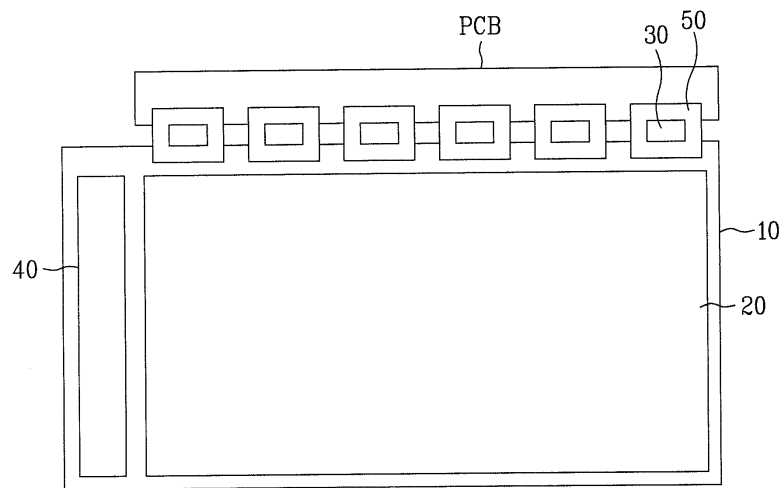
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도.
- <2> 도 2는 도 1에 도시된 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도.
- <3> 도 3은 본 발명의 제 1 실시예에 따른 제 3 스테이지를 나타낸 등가 회로도.
- <4> 도 4는 도 2에 도시된 스테이지들의 입/출력파형을 나타낸 파형도.
- <5> 도 5는 본 발명의 제 2 실시예에 따른 제 3 스테이지를 나타낸 등가 회로도.

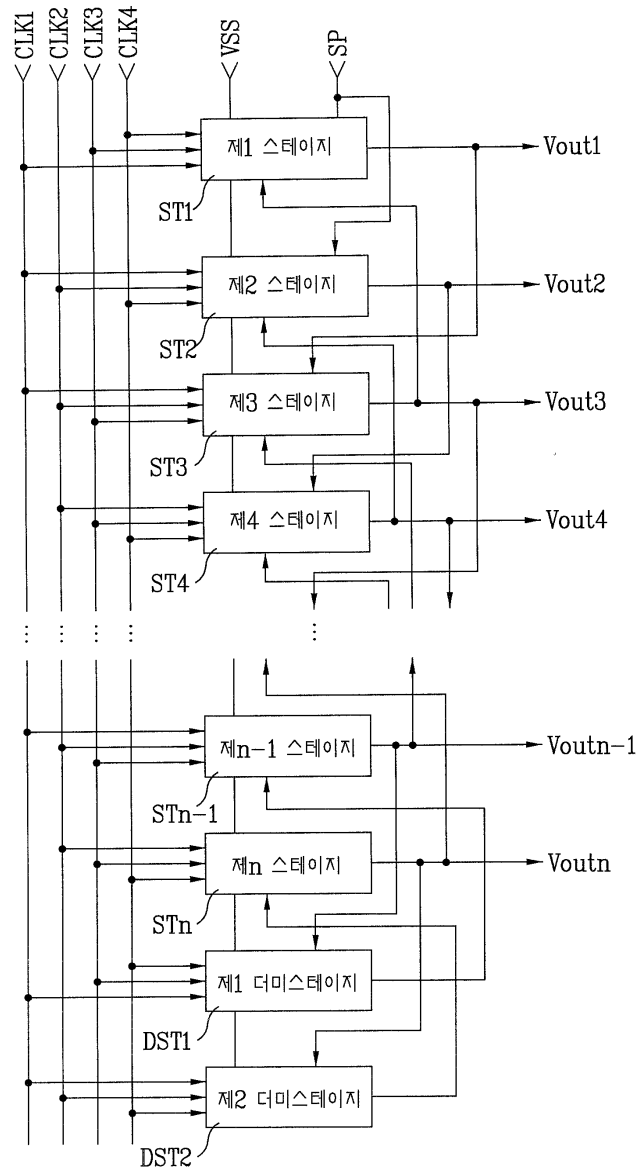
- | | | |
|------|----------------------------------|---------------|
| <6> | * 도면의 주요부분에 대한 부호의 설명 * | |
| <7> | 10 : TFT 어레이 기판 | 20 : 액정 패널 |
| <8> | 30 : 데이터 드라이버 | 40 : 게이트 드라이버 |
| <9> | 50 : 회로필름 | SP : 스타트 필름 |
| <10> | Q : Q-노드 | QB : QB-노드 |
| <11> | ST1 내지 STn : 제 1 내지 제 n 스테이지 | |
| <12> | CLK1 내지 CLK4 : 제 1 내지 제 4 클럭필름 | |
| <13> | Vout1 내지 Voutn : 제 1 내지 제 n 스캔필름 | |
| <14> | DST1 및 DST2 : 제 1 및 제 더미 스테이지 | |

도면

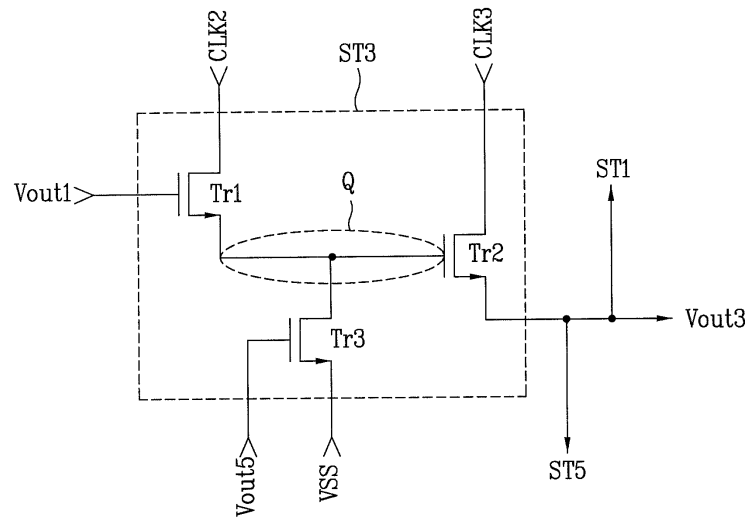
도면1



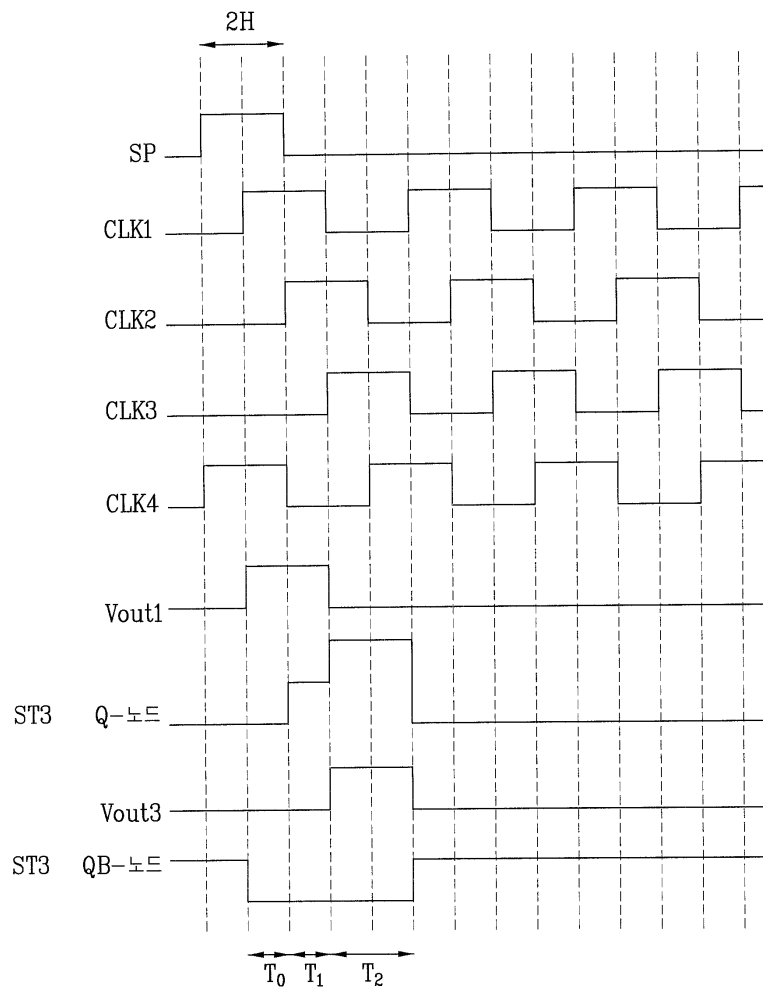
도면2



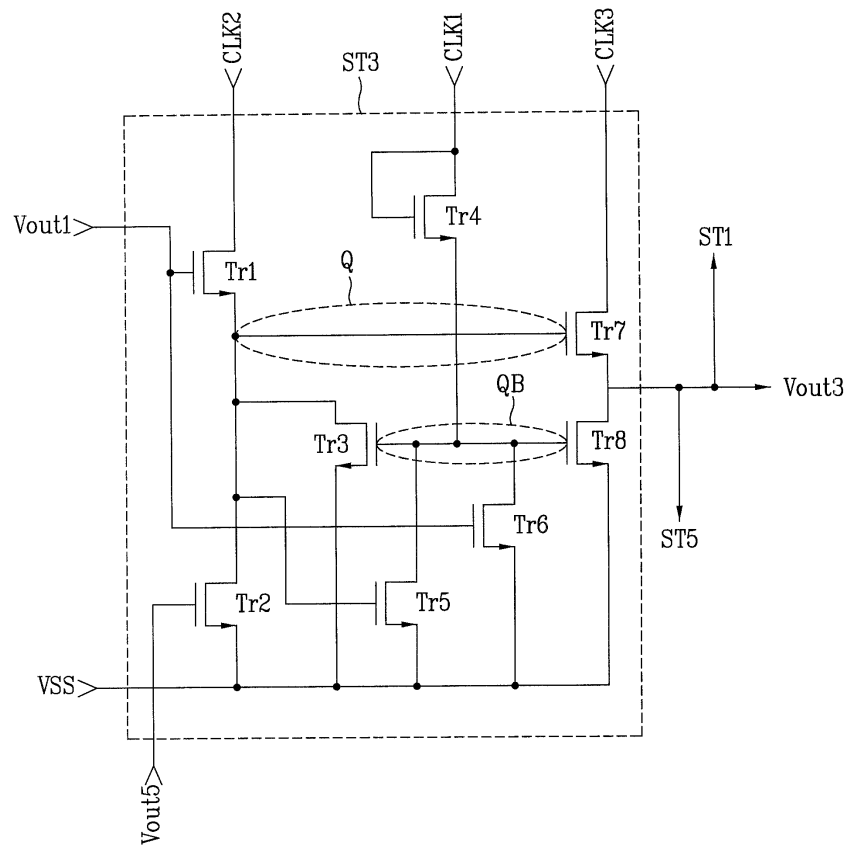
도면3



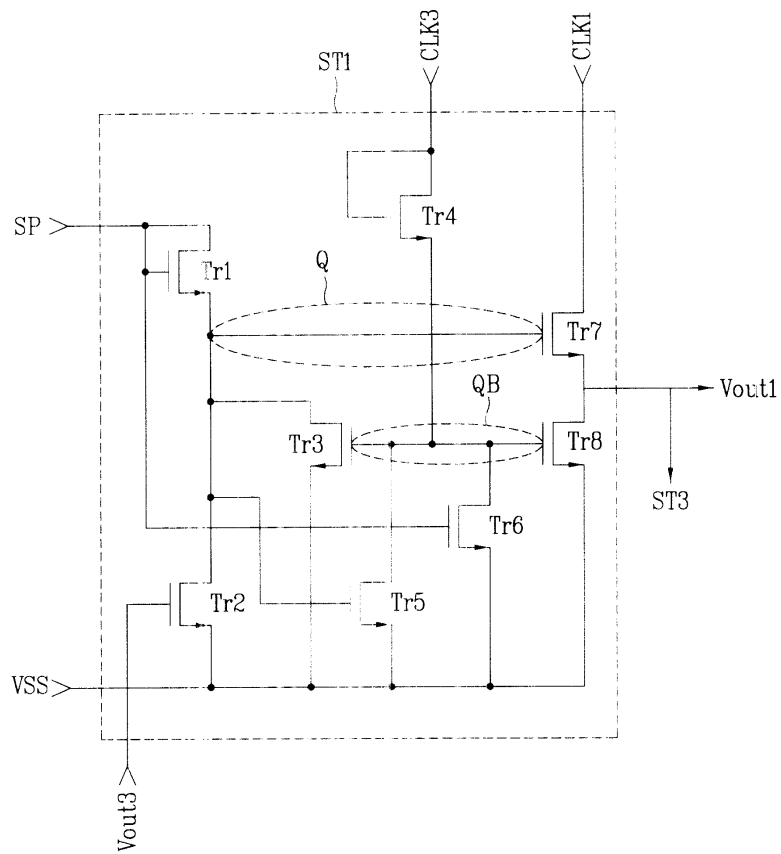
도면4



도면5



도면6



专利名称(译)	液晶显示装置的移位寄存器及其驱动方法		
公开(公告)号	KR1020080002625A	公开(公告)日	2008-01-04
申请号	KR1020060061530	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON SOO YOUNG 윤수영 CHUN MIN DOO 전민두 KIM HAE YEOL 김해열		
发明人	윤수영 전민두 김해열		
IPC分类号	G09G3/36 G11C19/00 H03K19/00 G02F1/133		
CPC分类号	G09G3/3696 G09G2300/0828 G09G2310/0286 H03K19/00		
代理人(译)	金勇 新昌		
其他公开文献	KR101243813B1		
外部链接	Espacenet		

摘要(译)

本发明涉及移位寄存器及其驱动方法，液晶显示器去除形成在移位寄存器上的栅极导通电压供给线，可以简化配置。并且通过使用至少一个时钟脉冲，其中每个级与来自前一个移位级的输出信号重叠，作为关于液晶显示器的移位寄存器的栅极导通电压，所述液晶显示器具有多个彼此从属连接的级。至少创建一个输出信号。移位寄存器和栅极导通电压供应线。

