



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0116451
(43) 공개일자 2007년12월10일

(51) Int. Cl.

G09G 3/20 (2006.01) H03K 19/0175 (2006.01)

G09G 3/36 (2006.01) G09G 3/30 (2006.01)

(21) 출원번호 10-2006-0050501

(22) 출원일자 2006년06월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

센다, 미치루

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본 삼성주식회사 내

요코야마, 로이치

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본 삼성주식회사 내

(74) 대리인

권혁수, 송윤호, 오세준

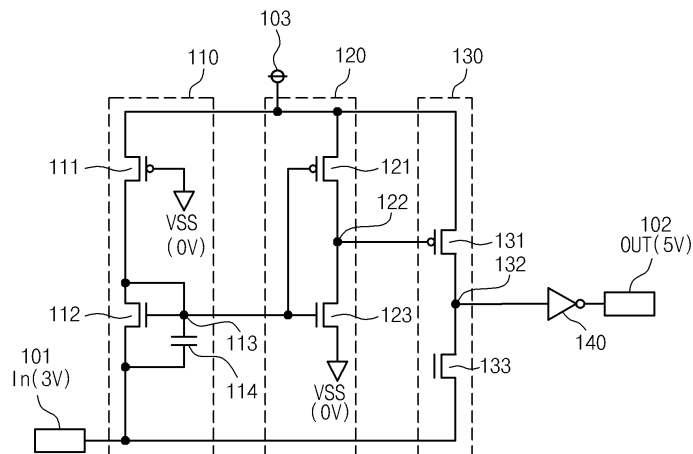
전체 청구항 수 : 총 22 항

(54) 레벨 쉬프트 회로 및 이를 탑재한 표시장치

(57) 요약

액정표시장치에서, 인버터 회로의 전단에는 제1 전압 쉬프트 회로가 구비된다. 제1 전압 쉬프트 회로는 소스를 입력으로 해 게이트와 드레인이 접속되어, 다이오드로서 동작하는 제2 트랜지스터와 소스가 전원에 접속되고, 게이트가 접지되며 드레인이 상기 제2 트랜지스터의 드레인에 접속되어 있는 제1 트랜지스터로 구성된다. 입력 신호는, 제2 트랜지스터의 역치만큼 높게 전압을 쉬프트 하여 후단의 인버터 회로에 입력한다. 또한, 제1 콘텐서는 입력 노드와 제2의 트랜지스터의 게이트와의 사이에 삽입된다. 따라서, 액정표시장치는 회로 면적이 작고 응답속도가 빠른 레벨 쉬프트 회로를 제공할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

저전압의 입력 신호를 제1전원전압 레벨에서, 소망의 제2전원 전압 레벨로 변환하여 출력하는 레벨 쉬프트 회로에서,

소스가 상기 제2전원에 접속되고, 게이트가 접지된 제1트랜지스터;

드레인이 상기 제1트랜지스터의 드레인에 접속되고, 소스가 상기 입력 신호가 입력되는 입력 노드에 접속되며, 게이트가 드레인과 접속되어, 게이트에 입력 신호보다도 역치분만큼 높은 전압이 출력되는 제2트랜지스터; 및
상기 제2트랜지스터의 게이트와 소스 사이에 접속된 콘덴서를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 2

제1항에 있어서, 상기 콘덴서는, 배선간의 기생 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 3

제1항에 있어서, 상기 콘덴서는, 다층 배선의 층간막 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 4

제1항에 있어서, 상기 콘덴서는, 반도체층과 게이트 전극 재료 사이의 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 5

제1항에 있어서, 상기 제1및 제2트랜지스터는, 모두 박막 트랜지스터인 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 6

저전압의 입력 신호를 제1전원 전압 레벨에서, 소망의 제2전원 전압 레벨로 변환하여 출력하는 레벨 쉬프트 회로에서,

제1전압 쉬프트 회로;

제1 인버터 회로; 및

제2 인버터 회로를 구비하고,

상기 제 1 전압 쉬프트 회로는,

소스가 상기 제2전원에 접속되며, 게이트가 접지된 제1트랜지스터;

드레인이 상기 제1트랜지스터의 드레인에 접속되고, 소스가 입력 노드에 접속되며, 게이트가 드레인과 접속된 제2트랜지스터; 및

일단이 상기 제2트랜지스터의 게이트와 드레인에 접속되며, 타단이 상기 제2 트랜지스터의 소스 및 입력에 접속된 제1 콘덴서를 구비하고,

상기 제1 인버터 회로는,

소스가 상기 제2전원에 접속되며, 게이트가 상기 제2 트랜지스터의 게이트와 드레인 및 상기 제1콘덴서의 일단에 접속된 제3 트랜지스터; 및

드레인이 상기 제3트랜지스터의 드레인에 접속되고, 게이트가 상기 제2트랜지스터의 게이트와 드레인 및 상기 제1콘덴서의 일단 및 상기 제3트랜지스터의 게이트에 접속되며, 소스가 접지된 제4 트랜지스터를 구비하고,

상기 제2인버터 회로는,

소스가 상기 제2전원에 접속되고, 게이트가 상기 제3트랜지스터 및 상기 제4 트랜지스터의 드레인에 접속되며, 드레인이 출력에 접속된 제5 트랜지스터; 및

드레인이 상기 제5트랜지스터의 드레인 및 상기 출력에 접속되고, 게이트가 상기 제3트랜지스터의 드레인, 상기 제4트랜지스터의 드레인 및 상기 제5트랜지스터의 게이트에 접속되며, 소스가 입력으로 접속된 제6트랜지스터를 구비하고,

상기 입력 신호는, 상기 제2트랜지스터의 소스에 입력되며, 상기 제1콘덴서를 개재하여 상기 제2 트랜지스터의 게이트와 상기 제1인버터 회로의 입력으로 입력되는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 7

제6항에 있어서, 상기 제3 트랜지스터의 게이트와 입력 사이에 배치된 제2전압 쉬프트 회로를 더 포함하고, 상기 제2전압 쉬프트 회로는,

소스가 상기 입력 신호와 같은 상기 제 1의 전원에 접속되며, 게이트와 드레인이 접속된 제7트랜지스터;

드레인이 게이트 및 상기 제 7트랜지스터의 드레인과 게이트에 접속된 제8의 트랜지스터; 및

일단이 상기 제7트랜지스터의 드레인과 게이트 및 제8 트랜지스터의 게이트와 드레인에 접속되며 타단이 소스에 입력으로 접속된 제2 콘덴서를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 8

제7항에 있어서, 상기 제 1 트랜지스터의 게이트가 상기 제 1 전원에 접속되며,

상기 제 8 트랜지스터의 소스가 상기 제 1 전원에 접속되며,

상기 제2 콘덴서는, 일단이 상기 제 7 트랜지스터의 드레인과 게이트 및 제8 트랜지스터의 게이트와 드레인과에 접속되며 타단이 입력으로 접속된 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 9

제6항에 있어서, 상기 제6 트랜지스터의 소스를 접지한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 10

제6항에 있어서, 상기 제1 콘덴서는, 배선간의 기생 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 11

제6항에 있어서, 상기 제1 콘덴서는, 다층 배선의 층간막 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 12

제6항에 있어서, 상기 제1의 콘덴서는, 반도체층과 게이트 전극 재료 사이의 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 13

제7항에 있어서, 상기 제6 트랜지스터의 소스를 접지한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 14

제7항에 있어서, 상기 제2콘덴서는, 배선간의 기생 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 15

제7항에 있어서, 상기 제2콘덴서는, 다층 배선의 층간막 용량으로 형성한 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 16

제7항에 있어서, 상기 제2콘덴서는, 반도체층과 게이트 전극 재료 사이의 용량으로 형성한 것을 특징으로 하는

레벨 쉬프트 회로.

청구항 17

제6항에 있어서, 상기 제 1 내지 제 6 트랜지스터는 박막 트랜지스터인 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 18

제7항에 있어서, 상기 제 1 내지 제 8의 트랜지스터는 박막 트랜지스터인 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 19

제6항에 있어서, 상기 제2 인버터 회로의 출력에 접속된 인버터를 더 포함하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 20

제7항에 있어서, 상기 제2인버터 회로의 출력에 접속된 인버터를 더 포함하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 21

제1항 내지 제20항 중 어느 한 항에 기재된 레벨 쉬프트 회로를 구비한 것을 특징으로 하는 표시장치.

청구항 22

구동 신호에 응답하여 영상을 표시하는 표시패널;

영상신호 및 전압신호들에 응답하여 구동신호를 표시 패널로 제공하는 구동부;

제어신호들에 응답하여 상기 전압신호들을 제1 전원 전압 레벨에서 제2 전원 전압 레벨로 변화하여 상기 구동부로 제공하는 레벨 쉬프트 회로; 및

상기 영상신호를 상기 구동부로 제공하고, 상기 제어신호들을 상기 레벨 쉬프트 회로로 제공하는 구동회로를 포함하고,

상기 레벨 쉬프트 회로는,

제1전압 쉬프트 회로;

제1 인버터 회로; 및

제2 인버터 회로를 구비하고,

상기 제 1 전압 쉬프트 회로는,

소스가 상기 제2전원에 접속되며, 게이트가 접지된 제1트랜지스터;

드레인이 상기 제1트랜지스터의 드레인에 접속되고, 소스가 입력 노드에 접속되며, 게이트가 드레인과 접속된 제2트랜지스터; 및

일단이 상기 제2트랜지스터의 게이트와 드레인에 접속되며, 타단이 상기 제2 트랜지스터의 소스 및 입력에 접속된 제1 콘텐서를 구비하고,

상기 제1 인버터 회로는,

소스가 상기 제2전원에 접속되며, 게이트가 상기 제2 트랜지스터의 게이트와 드레인 및 상기 제1콘텐서의 일단에 접속된 제3 트랜지스터; 및

드레인이 상기 제3트랜지스터의 드레인에 접속되고, 게이트가 상기 제2트랜지스터의 게이트와 드레인 및 상기 제1콘텐서의 일단 및 상기 제3트랜지스터의 게이트에 접속되며, 소스가 접지된 제4 트랜지스터를 구비하고,

상기 제2인버터 회로는,

소스가 상기 제2전원에 접속되고, 게이트가 상기 제3트랜지스터 및 상기 제4 트랜지스터의 드레인에 접속되며, 드레인이 출력에 접속된 제5 트랜지스터; 및

드레인이 상기 제5트랜지스터의 드레인 및 상기 출력에 접속되고, 게이트가 상기 제3트랜지스터의 드레인, 상기 제4트랜지스터의 드레인 및 상기 제5트랜지스터의 게이트에 접속되며, 소스가 입력으로 접속된 제6트랜지스터를 구비하고,

상기 입력 신호는, 상기 제2트랜지스터의 소스에 입력되며, 상기 제1콘덴서를 개재하여 상기 제2 트랜지스터의 게이트와 상기 제1인버터 회로의 입력으로 입력되는 것을 특징으로 하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <35> 본 발명은 하나의 전원 전압으로 동작하는 회로의 출력 신호의 레벨을 다른 전원 전압으로 동작하는 회로에 적응 가능한 레벨로 변환하는 레벨 쉬프트 회로 및 레벨 쉬프트 회로를 구비한 표시장치에 관한 것이다. 이하에서는, 표시장치의 일례로서 액정표시장치에 대해 설명하지만, 본 발명은, 액정표시장치에 한정되는 것이 아니라, EL디스플레이 등의 표시장치에 관한것이기도 하다.
- <36> 종래, 액정표시장치 등의 소형화, 저코스트화, 고정밀화를 겨냥해, 액정 표시 기관과 동일 기관상에, 액정표시장치(모듈) 내에 설치되는 회로를, 집적화하는 기술의 개발이 진행되고 있으며, 박막 트랜지스터(Thin Film Transistor)에 의한 구동 회로를 집적한 액정 표시 기관이 알려져 있다.
- <37> TFT의 사용에 의해, 데이터선구동회로 등의 주변 회로의 일부를 집적화 할 수 있으며, 구동 LSI의 개수 등을 삭감 및 실장 코스트의 절감을 실현할 수 있다. 그리고, 데이터선 구동 회로에 있어서 디지털의 표시 데이터를 아날로그 신호로 변환하는 디지털·아날로그 변환기(DAC)를 탑재한 액정 표시 기관이 실현되고 있다.
- <38> DAC를 탑재한 액정 표시 기관에 입력되는 영상 신호는, 디지털 신호이며, 디지털 신호는, 통상, 액정 표시 기관의 외부에 설치되어 있는 신호 처리 회로(「외부 신호 처리 회로」라고 한다)에 의해 생성된다.
- <39> 통상, 이 외부 신호 처리 회로는, CMOS(Complementary MOS) 집적회로로 구성되어 있으며, 그 구동 전압은, 일반적으로 TFT 집적회로를 구동하기 위한 전원 전압보다도 낮다. 예를 들면 외부 신호 처리 회로는, 3.3 V 전원으로 동작하며, TFT 집적회로는, 액정 표시 기관을 충분한 스피드로 구동하기 위해서, 혹은 액정에 충분한 전압을 인가하기 위해서, 5V~10V 정도의 전원 전압을 필요로 한다. 이 때문에, 3.3V의 로직신호를, 액정 표시 기관상에 집적한 레벨 쉬프트 회로로 5V~10V 정도로 승압하여, TFT회로를 구동하는 구성이 취해지고 있다.
- <40> 도8은 종래의 인버터형 레벨 쉬프트 회로를 나타내는 회로도이다. 종래의 인버터형 레벨 쉬프트 회로는, 2개의 트랜지스터로 구성되는 인버터(MP1, MN1), 혹은, 인버터(MP1, MN1)와 고위측 전원(VDD) 사이에, 드레인과 게이트를 접속한(다이오드 접속된) N채널 트랜지스터(MN2)를 구비한 구성으로 되어 있다.
- <41> 그러나, 종래의 상기 회로에서는, 트랜지스터의 역치 산포에 의해 응답 속도가 다르기 때문에, 고속 데이터를 동시에 처리할 때에 산포가 생기는 문제가 있었다.
- <42> 또한, 많은 레벨 쉬프트 회로가 고안되고 있지만, 사용하는 회로 소자가 많기 때문에 회로 면적이 크다는 문제가 있고, 또는, 소비 전력이 크다는 문제가 있다. 더욱이, 전자 이동도가 낮은 TFT(박막 트랜지스터)를 사용했을 경우에, 과도 응답 속도가 느리다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

- <43> 본 발명의 제1의 목적은, 고집적화를 도모하기 위해서 회로 면적이 작은 레벨 쉬프트 회로 및 이것을 구비한 액정표시장치를 제공하는 것이다.
- <44> 본 발명의 제2의 목적은, 저소비 전력화를 도모하기 위해서 관통 전류가 작은 레벨 쉬프트 회로 및 이것을 구비한 액정표시장치를 제공하는 것이다.

- <45> 본 발명의 제3의 목적은, 고속 동작에 대응하도록 과도 응답 속도가 빠른 레벨 쉬프트 회로 및 이것을 구비한 액정표시장치를 제공하는 것이다.
- <46> 본 발명의 제4의 목적은, 산포를 최소한으로 하기 위해 트랜지스터의 역치 산포가 있더라도, 이것을 흡수하는 수단을 구비하는 레벨 쉬프트 회로 및 이것을 구비한 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <47> 상술한 목적들을 달성하기 위한 본 발명의 일 실시형태에 따른 레벨 쉬프트 회로는저전압의 입력 신호를 제1 전원 전압 레벨에서 소망의 제2전원 전압 레벨로 변환하여 출력한다. 레벨 쉬프트 회로는 제1 전압 쉬프트 회로와,제1 인버터 회로와,제2 인버터 회로를 갖는다.
- <48> 제 1 전압 쉬프트 회로는, 소스가 상기 제2전원에 접속되며, 게이트가 접지된 제1트랜지스터와, 드레인이 상기 제 1 트랜지스터의 드레인에 접속되며, 소스가 입력 노드에 접속되고, 게이트가 드레인과 접속된 제2 트랜지스터와, 일단이 상기 제2트랜지스터의 게이트와 드레인에 접속되며, 타단이 상기 제2트랜지스터의 소스 및 입력에 접속된 제1의 콘덴서를 구비한다.
- <49> 상기 제 1 인버터 회로는, 소스가 상기 제2전원에 접속되며, 게이트가 상기 제2트랜지스터의 게이트와 드레인 및 상기 제 1의 콘덴서의 일단에 접속된 제3의 트랜지스터와, 드레인이 상기 제 3 트랜지스터의 드레인에 접속되며, 게이트가 상기 제2트랜지스터의 게이트와 드레인 및 상기 제 1 콘덴서의 일단 및 상기 제 3 트랜지스터의 게이트에 접속되고, 소스가 접지된 제4 트랜지스터를 구비한다.
- <50> 상기 제2인버터 회로는, 소스가 상기 제2전원에 접속되며, 게이트가 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터의 드레인에 접속되며, 드레인이 출력으로 접속된 제5 트랜지스터와, 드레인이 상기 제 5 트랜지스터의 드레인 및 상기 출력에 접속되며, 게이트가 상기 제 3 트랜지스터의 드레인, 상기 제 4 트랜지스터의 드레인 및 상기 제 5 트랜지스터의 게이트에 접속되며, 소스가 입력으로 접속된 제6 트랜지스터를 구비하고, 상기 입력 신호는, 상기 제2 트랜지스터의 소스에 입력되며, 상기 제 1 콘덴서를 개재하여 상기 제2 트랜지스터의 게이트와 상기 제 1 인버터 회로의 입력으로 입력되는 것을 특징으로 하고 있다.
- <51> 또한, 상술한 목적들을 달성하기 위한 본 발명의 일 실시형태에 관련하는 표시장치는, 구동 신호에 응답하여 영상을 표시하는 표시패널, 영상신호 및 전압신호들에 응답하여 구동신호를 표시 패널로 제공하는 구동부, 제어신호들에 응답하여 상기 전압신호들을 제1 전원 전압 레벨에서 제2 전원 전압 레벨로 변화하여 상기 구동부로 제공하는 레벨 쉬프트 회로, 및 상기 영상신호를 상기 구동부로 제공하고, 상기 제어신호들을 상기 레벨 쉬프트 회로로 제공하는 구동회로를 구비한다.
- <52> 상기 레벨 쉬프트 회로는, 제1전압 쉬프트 회로, 제1 인버터 회로 및 제2 인버터 회로를 구비한다. 상기 제 1 전압 쉬프트 회로는, 소스가 상기 제2전원에 접속되며, 게이트가 접지된 제1트랜지스터, 드레인이 상기 제1트랜지스터의 드레인에 접속되고, 소스가 입력 노드에 접속되며, 게이트가 드레인과 접속된 제2트랜지스터, 일단이 상기 제2트랜지스터의 게이트와 드레인에 접속되며, 타단이 상기 제2 트랜지스터의 소스 및 입력에 접속된 제1 콘덴서를 구비한다.
- <53> 상기 제1 인버터 회로는 소스가 상기 제2전원에 접속되며, 게이트가 상기 제2 트랜지스터의 게이트와 드레인 및 상기 제1콘덴서의 일단에 접속된 제3 트랜지스터 및 드레인이 상기 제3트랜지스터의 드레인에 접속되고, 게이트가 상기 제2트랜지스터의 게이트와 드레인 및 상기 제1콘덴서의 일단 및 상기 제3트랜지스터의 게이트에 접속되며, 소스가 접지된 제4 트랜지스터를 구비한다.
- <54> 상기 제2인버터 회로는 소스가 상기 제2전원에 접속되고, 게이트가 상기 제3트랜지스터 및 상기 제4 트랜지스터의 드레인에 접속되며, 드레인이 출력에 접속된 제5 트랜지스터, 및 드레인이 상기 제5트랜지스터의 드레인 및 상기 출력에 접속되고, 게이트가 상기 제3트랜지스터의 드레인, 상기 제4트랜지스터의 드레인 및 상기 제5트랜지스터의 게이트에 접속되며, 소스가 입력으로 접속된 제6트랜지스터를 구비한다.
- <55> 상기 입력 신호는, 상기 제2트랜지스터의 소스에 입력되며, 상기 제1콘덴서를 개재하여 상기 제2 트랜지스터의 게이트와 상기 제1인버터 회로의 입력으로 입력된다.
- <56> 본발명에 의하면, 레벨 쉬프트 회로의 회로 면적을 감소하여 액정표시장치의 고집적화를 이룰 수 있고, 레벨 쉬프트 회로의 관통 전류를 감소하여서 액정표시장치의 소비 전력을 감소시킬 수 있다. 또한, 과도 응답 속도가 빠른 레벨 쉬프트 회로를 제공할 수 있고, 트랜지스터의 역치 산포에 영향을 받지 않는 레벨 쉬프트 회로 및 액

정표시장치를 제공할 수 있다.

- <57> 이하, 도면을 참조하여 본 발명의 바람직한 실시 형태를 상세하게 설명한다. 단, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하며, 이하에 나타내는 실시 형태의 기재 내용으로 한정해 해석되는 것은 아니다.
- <58> (제1 실시 형태)
- <59> 도1은 본 발명의 제1 실시 형태에 관련한 레벨 쉬프트 회로의 회로도이다.
- <60> 도1에 나타내는 본 발명의 제1의 실시 형태에 관한 레벨 쉬프트 회로는, 제1 전압 쉬프트 회로(110)과, 제1 인버터 회로(120)과, 제2 인버터 회로(130)과, 출력 노드(102)에 접속되는 인버터(140)로 구성된다.
- <61> 도1에 나타내는 본 발명의 제1 실시 형태에 있어서는, 일례로서 3 V_{p-p}의 입력 신호를 5V의 전원 전압(VDD)에 대응하도록 5 V_{p-p}의 출력 신호로 변환하는 회로를 나타내고 있다.
- <62> 도2는, 도 1에 도시된 레벨 쉬프트 회로의 입력 노드(101), 노드(113), 노드(122) 및 노드(132)의 전압 파형을 나타내는 타이밍 차트도이다.
- <63> 도1에 나타내는 제1 전압 쉬프트 회로(110)은, 제1 트랜지스터(111)과, 제2 트랜지스터(112)와, 제1 콘덴서(114)로 구성된다. 제1트랜지스터(111)은, 소스가 전원(103)에 접속되고, 게이트가 접지되며, 드레인이 제2 트랜지스터(112)의 드레인에 접속된다. 제2 트랜지스터(112)는, 드레인이 상기 제1 트랜지스터(111)의 드레인에 접속되고, 소스가 입력 노드(101)에 접속되며, 게이트가 드레인과 접속된다. 제1 콘덴서(114)는, 일단이 상기 제2 트랜지스터(112)의 게이트와 드레인에 접속되고, 타단이 상기 제2 트랜지스터(112)의 소스 및 입력 노드(101)에 접속된다.
- <64> 도3은, 제1 전압 쉬프트 회로(110)에 사용하는, 제1 트랜지스터(111)과, 제2 트랜지스터(112)의 전류(Ids) 대 전압(Vd)의 특성도이다. 제1 트랜지스터(111)은, 소스가 5 V의 전원(103)에 접속되고, 게이트가 접지되어 있으므로 V_{gs}=−5V가 되었을 때의 특성을 나타내고 있다. 제2 트랜지스터(112)는, 게이트와 드레인을 직접 접속하고 있으므로, 다이오드로서 동작할 때의 특성을 나타내고 있다.
- <65> 도1에 나타내는 제1 트랜지스터(111)은, 소스가 5V의 전원 전압(VDD)에 접속되어 게이트가 접지되어 있으므로 온 상태가 된다. 상기한 것처럼, 제2 트랜지스터(112)는, 그 드레인과 게이트가 단락되어 있으므로, 다이오드로서 동작한다. 제1 트랜지스터가 온 상태가 되고 제2 트랜지스터가 다이오드로서 작동하므로, 노드(113)의 전위는, 입력 노드(101)의 입력 신호의 전위보다도 제2의 트랜지스터(112)의 역치만큼 높은 전위가 된다.
- <66> 입력 신호에 대한 과도 응답은, 제1 콘덴서(114)를 입력 노드(101)과 제2 트랜지스터(112)의 게이트 사이에 삽입함으로써, 앞당길 수 있다. 트랜지스터로서 박막 트랜지스터(TFT)를 사용했을 경우, MOS 트랜지스터와 비교하면, 전자 이동도가 낮고 동작 전압이 높다. 이와 같이 제1 콘덴서(114)를 삽입하는 것으로써, 고속 동작이 가능해진다.
- <67> 입력 노드(101)으로부터 입력되는 신호는, 제2 트랜지스터(112)의 소스에 입력된다. 제2 트랜지스터(112)의 게이트 전위(노드 113의 전위)는, 소스에 입력된 입력 신호의 전위보다도 역치(V_{thn})만큼 높아진다. 제2 트랜지스터(112)는, 드레인과 게이트가 단락되어 있으므로, 드레인을 애노드로 하고, 소스를 캐소드로 하는 다이오드로서 기능한다.
- <68> 제1 인버터 회로(120)은, 제3 트랜지스터(121)과 제4 트랜지스터(123)으로 구성된다. 제3 트랜지스터는, 소스가 전원(103)에 접속되고, 게이트가 노드(113)에 접속되며, 드레인이 제4 트랜지스터(123)의 드레인(노드 122)에 접속된다. 제4 트랜지스터(123)는, 드레인이 제3 트랜지스터(121)의 드레인(노드 122)에 접속되고, 게이트가 노드(113)에 접속되며 소스가 접지된다.
- <69> 제1 인버터 회로(120)은, 노드(113)의 신호에 대한 반전 신호를 노드(122)로 출력하는 인버터 회로로서 동작한다. 제3 트랜지스터(121)의 게이트 및 제4 트랜지스터(123)의 게이트(노드 113)에 인가되는 전압은, 입력 신호의 전위보다도 제2 트랜지스터의 역치(V_{thn})만큼 높은 전위가 된다.
- <70> 입력 신호가 로우 레벨(L0)(0V) 일 때에는, 제3 트랜지스터(121)의 게이트 및 제4 트랜지스터(123)의 게이트(노드 113)에 인가되는 전압은, 제2 트랜지스터의 역치(V_{thn})와 거의 동일하게 되므로, 제3 트랜지스터(121)은, 온 상태가 되고, 제4 트랜지스터(123)은, 오프 상태가 된다. 이 때 노드(122)의 전위는, 제4 트랜지스터(123)의 게이트-소스 전압(V_{gs})가 역치보다 약간 높아지므로 노드(122)와 VSS간에 미소한 전류가 흘러, 전원(VDD) 5V 보다 약간 낮은 전위가 된다.

- <71> 입력 신호가 하이 레벨(HI)(3V) 일때에는, 제3 트랜지스터(121)의 게이트 및 제4 트랜지스터(123)의 게이트(노드 113)에 인가되는 전압은, 3V으로 제2 트랜지스터의 역치(V_{thn})만큼이 중첩된 전위가 된다. 여기서 입력 신호가 HI(3 V) 일 때의 노드(113)의 전위를 「노드 (113) HI」라고 칭한다. 또, 제3 트랜지스터(121)의 역치를 「 $V_{thp}(121)$ 」라고 칭한다. 전원 (103)은 5 V이며, 「 $V_{thp}(121)$ 」는 1 V 이상으로 하면, 입력 신호가 HI(3V) 일 때에는, 제3 트랜지스터(121)은, 오프 상태가 되고, 제4 트랜지스터(123)은, 온 상태가 된다. 이 때 노드(122)의 전위는, 제4 트랜지스터(123)의 V_{ds} 가 완전하게 0 V가 되지 않기 때문에, 접지 전위(VSS) 0 V보다 약간 높은 전위가 된다.
- <72> 제3 트랜지스터(121)이 온 상태가 되었을 때의 드레인-소오스 전압(V_{ds}) 및 제4 트랜지스터 (123)이 온 상태가 되었을 때의 드레인-소오스 전압(V_{ds})에 의한 약간의 전압 효과가 있으므로, 제1 인버터 회로(120)만으로는 출력 신호가 5Vp-p의 신호가 되지 않는다. 그래서, 제2 인버터 회로(130)을 설치하는 것에 의해 출력 신호를 5 Vp-p로 한다.
- <73> 제2 인버터 회로(130)은, 제5 트랜지스터(131)과 제6 트랜지스터 (133)으로 구성된다. 제5 트랜지스터는, 소스가 전원(103)에 접속되고,
- <74> 게이트가 노드(122)에 접속되며, 드레인이 제6 트랜지스터(133)의 드레인(노드 132)에 접속된다. 제6 트랜지스터(133)은, 드레인이 제5 트랜지스터(131)의 드레인(노드 132)에 접속되고, 게이트가 노드 (122)에 접속되며, 소스가 입력 노드(101)에 접속된다.
- <75> 입력 신호가 LO(0V)일 때, 제2 인버터 회로(130)에 입력되는 노드 (122)의 전위는, 전원 전압(VDD)의 5V보다 약간 낮은 전위이기 때문에, 제5 트랜지스터(131)은 오프 상태가 되고, 제6 트랜지스터(133)은 온 상태가 된다. 이 때 노드(132)의 전위는, 제6 트랜지스터(133)의 드레인-소오스 전압(V_{ds})가 거의 0 V가 되기 때문에, 접지 전위(VSS) 0V와 거의 동전위가 된다.
- <76> 입력 신호가 HI(3 V) 일때, 제2 인버터 회로(130)에 입력되는 노드(122)의 전위는, 접지 전위(VSS)의 0V보다도 약간 높은 전위이기 때문에, 제5 트랜지스터(131)은 온 상태가 되고, 제6 트랜지스터(133)은 오프 상태가 된다. 이 때 노드(132)의 전위는, 제5 트랜지스터(131)의 드레인-소오스 전압(V_{ds})가 거의 0 V가 되기 때문에, 전원 전압(VDD)의 5V와 거의 동전위가 된다.
- <77> 노드(132)는, 입력 노드(101)와 동상(同相)신호가 되지만, 출력 신호를 반전 신호로 하기 위해서 인버터(140)을 더 접속해도 된다. 또한, 제6 트랜지스터(133)의 소스를, 입력 노드(101)가 아니라, 그라운드에 접속(접지)해도 된다.
- <78> 이상으로 기재한 본 발명의 제1의 실시 형태에 의하면, 레벨 쉬프트 회로를 구성하는 디바이스가 적기 때문에 회로 면적을 작게 할 수 있어 고집적화를 꾀할 수 있다. 또, 제1 인버터 회로(120)의 전원 전압(VDD)와 접지 전위(VSS, GND) 간에 관통 전류가 흐르지만, 제3 트랜지스터(121)가 오프 상태가 되었을 때 및 제4 트랜지스터 (123)가 오프 상태가 되었을 때는, 각각의 게이트-소오스 전압(V_{gs})이 역치부근에 있으므로 관통 전류를 최소한으로 할 수 있다. 더욱이, 입력으로 제1의 콘덴서(114)를 삽입함으로써, 과도 응답 속도가 빨라져 고속 동작에 대응할 수 있다. 또한 제1 인버터 회로(120)는 제2 트랜지스터의 역치에 산포가 있어도, 입력으로 제1 전압 쉬프트 회로를 구비함으로써, 제2 트랜지스터의 역치 산포의 영향을 최소한으로 억제할 수 있다.
- <79> 한편, 제1 콘덴서(114)는, 배선간의 기생 용량, 다층 배선의 층간막 용량 또는 반도체층과 게이트 전극 재료 사이의 용량으로 형성할 수 있다. 제1 콘덴서(114)를 배선간의 기생 용량이나 다층 배선의 층간막용량이나 반도체층과 게이트 전극 재료 사이의 용량으로 형성하면, 배선간의 스페이스나 다층 배선의 층간막이나 반도체층과 게이트 전극 재료 사이의 스페이스를 유효하게 이용하는 것이 가능해져, 보다 레벨 쉬프트 회로의 면적을 작게 할 수 있다.
- <80> (제2 실시 형태)
- <81> 도4는, 본 발명의 제2 실시 형태에 관련한 레벨 쉬프트 회로의 회로도이다.
- <82> 도 4에 나타내는 본 발명의 제2 실시 형태에 관련되는 레벨 쉬프트 회로는, 제1 전압 쉬프트 회로(110)과, 제2 전압 쉬프트 회로(150)과, 제1 인버터 회로(120)과, 제2 인버터 회로(130)과, 출력 노드(102)에 접속되는 인버터(140)로 구성된다.
- <83> 도4에 나타내는 본 발명의 제2 실시 형태에 있어서는, 일례로서 3 Vp-p의 입력 신호를 5V의 전원전압(VDD)에

대응하도록 5 Vp-p의 출력 신호로 변환하는 회로를 나타내고 있다.

- <84> 본 발명의 제2 실시 형태와 관련되는 제1 전압 쉬프트 회로(110)의 구성은, 본 발명의 제1 실시 형태와 관련되는 제1 전압 쉬프트 회로 (110)과 같다. 제1 전압 쉬프트 회로 (110)에 사용하는 제1트랜지스터 (111)및 제2 트랜지스터(112)의 특성도 동일하다. 또한, 제1 인버터 회로(120)및 제2 인버터 회로(130)의 구성도 본 발명의 제1 실시 형태와 구성이 동일하다.
- <85> 본 발명의 제2 실시 형태와 관련되는 레벨 쉬프트 회로와 본 발명의 제1 실시 형태와 관련되는 레벨 쉬프트 회로의 상이점은, 제2 전압 쉬프트 회로 (150)이 설치되어 있는 점이다.
- <86> 본 발명의 제1 실시 형태와 관련되는 레벨 쉬프트 회로는, 제1 전압 쉬프트 회로(110)에 의해 입력 신호가 트랜지스터의 역치만큼 높게 쉬프트되어, 제1 인버터 회로(120)을 구성하는 제3 트랜지스터(121)및 제4 트랜지스터 (123)의 게이트에 입력된다.
- <87> 이에 대해서, 본 발명의 제2 실시 형태와 관련되는 레벨 쉬프트 회로는, 도4에 나타내듯이, 제1 전압 쉬프트 회로(110)에 의해 입력 신호가 트랜지스터의 역치만큼 높게 쉬프트되어, 제1 인버터 회로 (120)을 구성하는 제4 트랜지스터(123)의 게이트에 입력된다. 그리고, 제2 전압 쉬프트 회로에 의해, 입력 신호가 트랜지스터의 역치만큼 높게 쉬프트되어, 제1 인버터 회로를 구성하는 제3 트랜지스터의 게이트에 입력된다.
- <88> 제1 전압 쉬프트 회로(110)은, 본 발명의 제1 실시 형태와 동일 구성이다. 제1트랜지스터(111)과, 제2 트랜지스터 (112)와, 제1 콘덴서 (114)로 구성된다. 제1트랜지스터(111)은, 소스가 전원 (103)에 접속되고, 게이트가 접지되며, 드레인이 제2 트랜지스터(112)의 드레인에 접속된다. 제2 트랜지스터(112)는, 드레인이 상기 제 1 트랜지스터 (111)의 드레인에 접속되고, 소스가 입력 노드(101)에 접속되며, 게이트가 드레인과 접속된다. 제1 콘덴서(114)는, 일단이 상기 제2 트랜지스터(112)의 게이트와 드레인에 접속되고, 타단이 상기 제2 트랜지스터 (112)의 소스 및 입력 노드 (101)에 접속된다.
- <89> 도4에 나타내는 본 발명의 제1 실시 형태에 있어서는, 제1 실시 형태와 마찬가지로, 일레로서 3 Vp-p의 입력 신호를 전원 전압 (VDD, 5V)에 대응하도록 5 Vp-p의 출력 신호로 변환하는 회로를 나타내고 있다.
- <90> 제1트랜지스터(111)은, 소스가 5V의 전원 전압(VDD)에 접속되고, 게이트가 접지 되어 있으므로, 온 상태가 된다. 상기한 것처럼, 제2 트랜지스터(112)는, 그 드레인과 게이트가 단락되어 있으므로, 다이오드로서 동작한다. 제1 트랜지스터(111)가 온 상태가 되고, 제2 트랜지스터(112)가 다이오드로서 작동하므로, 노드(113)의 전위는, 입력 노드(101)의 입력 신호의 전위보다도 제2 트랜지스터(112)의 역치만큼 높은 전위가 된다.
- <91> 입력 신호에 대한 과도 응답은, 제1 콘덴서(114)를 입력 노드 (101)과 제2 트랜지스터(112)의 게이트 사이에 삽입함으로써, 앞당길 수 있다. 트랜지스터로서 박막 트랜지스터(TFT)를 사용했을 경우, MOS 트랜지스터와 비교하면, 전자 이동도가 낮고 동작 전압이 높다. 이와 같이, 제1 콘덴서(114)를 삽입함으로써, 고속 동작이 가능해진다.
- <92> 입력 노드(101)으로부터 입력되는 신호는, 제2 트랜지스터(112)의 소스에 입력된다. 제2 트랜지스터(112)의 게이트 전위(노드 (113)의 전위)는, 소스에 입력된 입력 신호의 전위보다도 역치(V_{thn})만큼 높아진다. 제2 트랜지스터(112)는, 드레인과 게이트가 단락되므로, 드레인을 애노드로 하고, 소스를 캐소드로 하는 다이오드로서 기능한다.
- <93> 본 발명의 제1 실시 형태와 달리 본 발명의 제2 실시 형태는, 제2의 전압 쉬프트 회로(150)을 구비한다. 제2 전압 쉬프트 회로(150)은, 제7 트랜지스터(152)와, 제8 트랜지스터(154)와, 제2 콘덴서(155)로 구성된다. 제7 트랜지스터(152)는, 소스가 3V의 전원(151)에 접속되고, 게이트는 드레인 및 제8 트랜지스터(154)의 게이트에 접속되며, 제1 인버터 회로(120)의 제3 트랜지스터(121)에 접속되어 있다. 제8 트랜지스터 (154)는, 드레인이 상기 제 7 트랜지스터(152)의 드레인에 접속되고, 소스가 입력 노드(101)에 접속되며, 게이트가 드레인과 접속된다. 제2 콘덴서(155)는, 일단이 상기 제 8 트랜지스터(154)의 게이트와 드레인에 접속되고, 타단이 상기 제 8 트랜지스터(154)의 소스 및 입력 노드 (101)에 접속된다.
- <94> 입력 노드(101)으로부터 입력되는 신호는, 제8 트랜지스터 (154)의 소스에 입력된다. 제8 트랜지스터(154)의 게이트 전위(노드 153의 전위)는, 소스에 입력된 입력 신호의 전위보다도 역치(V_{thn})만큼 높아진다. 제8 트랜지스터(154)는, 드레인과 게이트가 단락되어 있으므로, 드레인을 애노드로 하고, 소스를 캐소드로 하는 다이오드로서 기능한다. 또, 제7 트랜지스터(152)도, 마찬가지로 드레인과 게이트가 단락되어 있으므로, 드레인을 애노드로 하고, 소스를 캐소드로 하는 다이오드로서 기능한다.

- <95> 도5는, 제2 전압 쉬프트 회로(150)에 사용하는, 제7 트랜지스터(152)와 제8 트랜지스터(154)의 전류(I_{ds}) 대 전압(V_d)의 특성도이다. 제7 트랜지스터(152) 및 제8 트랜지스터(154)는, 모두 게이트와 드레인을 직접 접속하고 있으므로, 다이오드로서 동작할때의 특성을 나타내고 있다.
- <96> 제1 인버터 회로(120)은, 본 발명의 제1 실시 형태와 마찬가지로, 제3 트랜지스터(121)과 제4 트랜지스터(123)로 구성된다. 본 발명의 제1 실시 형태와 다른 점은, 제3 트랜지스터의 게이트가 노드(113)이 아니라, 제2 전압 쉬프트 회로(150)의 출력 노드 (153)에 접속되어 있는 점이다.
- <97> 제1 인버터 회로(120)은, 입력 노드(101)의 입력 신호에 대한 반전 신호를 노드(122)로 출력하는 인버터 회로로서 동작한다. 제3 트랜지스터(121)의 게이트(노드 (153))에 인가되는 전압은, 입력 신호의 전위보다도 제8 트랜지스터(154)의 역치(V_{thn})만큼 높은 전위가 된다. 또, 제4 트랜지스터(123)의 게이트(노드 (113))에 인가되는 전압은, 입력 신호의 전위보다도 제2의 트랜지스터(112)의 역치(V_{thn})만큼 높은 전위가 된다.
- <98> 입력 신호가 로우 레벨(L0)(0V) 일 때에는, 제3 트랜지스터 (121)의 게이트(노드 153)에 인가되는 전압은, 제8 트랜지스터의 역치(V_{thn})와 동일하게 되므로, 제3 트랜지스터(121)은 온 상태가 된다. 제4 트랜지스터(123)의 게이트(노드 113)에 인가되는 전압은, 제2 트랜지스터의 역치(V_{thn})와 동일하게 되므로, 제4 트랜지스터(123)은, 오프 상태가 된다. 이 때 노드(122)의 전위는, 제4 트랜지스터(123)의 게이트-소스 전압(V_{gs})가 역치보다 약간 높게 되므로 노드(122)와 접지(VSS)간에 미소하게 전류가 흘러 5V의 전원 전압(VDD)보다 약간 낮은 전위가 된다.
- <99> 입력 신호가 하이 레벨(HI)(3V) 일 때의 노드(113)의 전위를 「노드 (113) HI」 라고 칭한다. 또, 제3 트랜지스터(121)의 역치를 「 $V_{thp}(121)$ 」 라고 칭한다.
- <100> 입력 신호가 하이 레벨(HI)(3V) 일 때에는, 제4 트랜지스터(123)의 게이트(노드 113)에 인가되는 전압은, 3V으로 제2 트랜지스터(112)의 역치(V_{thn})만큼의 전압이 중첩된 전위가 된다. 제3 트랜지스터(121)의 게이트(노드 153)에 인가되는 전압은, 3V으로 제8 트랜지스터의 역치(V_{thn})만큼의 전압이 중첩된 전위보다도 약간 낮은 전위가 된다. 입력 신호와 제7 트랜지스터(152)의 소스에 접속된 VCC 전원(151)이, 동일 전위의 3 V이므로, 관통 전류는 흐르지 않지만, 제8 트랜지스터(154)가 약하게 온되어 있으므로, 노드(153) 전압은, 3V으로 제8 트랜지스터(154)의 역치(V_{thn}) 만큼의 전압이 중첩된 전위보다 약간 낮은 전위가 된다. 노드(153) 전압은, 입력 신호의 주파수가 현저하게 낮으면 최대로 3V 근처까지 떨어지므로, 입력 신호의 주파수는 3kHz 이상인 것이 바람직하다. 전원 전압(VDD)(103)는 5 V이고, 제3 트랜지스터(121)의 역치(V_{thp})는 1 V 이상으로 하면, 입력 신호가 HI(3V) 일 때에는, 제3 트랜지스터(121)은, 오프 상태가 되고, 제4 트랜지스터(123)은 온 상태가 된다.
- <101> 이 때 노드(122)의 전위는, 제3 트랜지스터(121)의 드레인-소스 전압(V_{ds})가 완전히 0V가 되지 않으므로, 전원 전압(VDD, 5V)보다 약간 낮은 전위가 된다.
- <102> 제3 트랜지스터(121)이 온 상태가 되었을 때의 드레인-소스 전압(V_{ds}) 및 제4 트랜지스터 (123)이 온 상태가 되었을 때의 드레인-소스 전압(V_{ds})에 의한 약간의 전압 효과가 있기 때문에, 제1 인버터 회로(120)만으로는 출력 신호는, 5 V_{p-p}의 신호가 되지 않는다. 그래서, 제2 인버터 회로(130)을 설치하는 것에 의해 출력 신호를 5 V_{p-p}로 한다.
- <103> 제2 인버터 회로(130)은, 본 발명의 제1 실시 형태와 마찬가지로, 제5 트랜지스터(131)과 제6 트랜지스터(133)으로 구성된다. 제5 트랜지스터(131)는, 소스가 전원 전압 (103)에 접속되며, 게이트가 노드(122)에 접속되고, 드레인이 제6 트랜지스터(133)의 드레인(노드 132)에 접속된다. 제6 트랜지스터(133)는, 드레인이 제5 트랜지스터(131)의 드레인(노드 132)에 접속되고, 게이트가 노드(122)에 접속되며, 소스가 입력 노드(101)에 접속된다.
- <104> 입력 신호가 L0(0 V) 일 때, 제2 인버터 회로(130)에 입력되는 노드 (122)의 전위는, 전원 전압(VDD, 5V)보다 약간 낮은 전위이기 때문에, 제5 트랜지스터(131)은 오프 상태가 되고, 제6 트랜지스터(133)은 온 상태가 된다. 이 때 노드(132)의 전위는, 제6 트랜지스터(133)의 드레인-소스 전압(V_{ds})가 거의 0 V가 되기 때문에, 접지 전위(VSS) 0V와 거의 동전위가 된다.
- <105> 입력 신호가 HI(3V) 일 때, 제2 인버터 회로(130)에 입력되는 노드(122)의 전위는, 접지 전위(VSS, 0V)보다 약간 높은 전위이기 때문에, 제5 트랜지스터(131)은 온 상태가 되고, 제6 트랜지스터(133)은 오프 상태가 된다. 이 때 노드(132)의 전위는, 제5 트랜지스터(131)의 드레인-소스 전압(V_{ds})가 거의 0 V가 되기 때문에, 전원 전압(VDD, 5V)와 거의 동전위가 된다.
- <106> 노드(132)는, 입력 노드(101)으로 동상신호가 되지만, 출력 신호를 반전 신호로 하기 위해서 인버터(140)을 더

접속해도 된다. 또한, 제6 트랜지스터(133)의 소스를, 입력 노드(101)가 아니라, 그라운드에 접속(접지)해도 된다.

- <107> 한편, 제2 콘덴서(155)는, 제1 콘덴서(114)와 마찬가지로, 배선간의 기생 용량, 다층 배선의 층간막 용량 또는 반도체층과 게이트 전극 재료 사이의 용량으로 형성할 수 있다. 제2 콘덴서(155)를 배선간의 기생 용량으로 형성하면, 배선간의 스페이스나 다층 배선의 층간막이나 반도체층과 게이트 전극 재료 사이의 스페이스를 유효하게 이용하는 것이 가능해져, 레벨 쉬프트 회로의 면적을 보다 작게 할 수 있다.
- <108> 이상 기재한 본 발명의 제2 실시 형태에 의하면, 입력으로 제1 전압 쉬프트 회로를 구비할 뿐만 아니라, 제2 전압 쉬프트 회로를 구비함으로써, 제3 트랜지스터(121)(P채널 트랜지스터)의 역치 산포를 흡수할 수 있다. 제1 실시 형태에서는 제4 트랜지스터 (123)(N채널 트랜지스터)의 역치와 제3 트랜지스터 (121)(P채널 트랜지스터)의 역치가 양쪽 모두 높은 경우, 노드(113)의 전위가 높아지므로 제3 트랜지스터(121)이 온(ON)되기 어려워져, 응답 속도가 늦어지는 문제가 발생할 가능성이 있다. 본 발명의 제2 실시 형태에서는, 제3 트랜지스터(121)의 역치가 높아도, 제3 트랜지스터(121)의 게이트 전압(노드 153의 전위)이 높아지지 않도록 설계할 수 있으므로, 제3 트랜지스터(121)이 온(ON)되기 어려워져 응답 속도가 늦어지는 문제를 회피할 수 있다.
- <109> (제3 실시 형태)
- <110> 도 6은, 본 발명의 제3 실시 형태를 나타낸 회로도이다. 도6에 나타내는 본 발명의 제3 실시 형태에 대해서는, 일례로서 3 Vp-p의 입력 신호를 8.5V의 전원 전압(VDD)에 대응하도록 8.5Vp-p의 출력 신호로 변환하는 회로를 나타내고 있다.
- <111> 본 발명의 제3 실시 형태가 본 발명의 제2 실시 형태와 다른 점은, 이하의 점이다. 즉, 제1 전압 쉬프트 회로(110)에 사용하는 제1 트랜지스터(111)의 게이트는, 3V의 전원(VCC)에 접속되어 있다. 제2 전압 쉬프트 회로(150)에 사용하는 제7 트랜지스터(152)의 소스는, 8.5V의 전원(103)에 접속되어 있고, 제8 트랜지스터(154)의 소스는, 3V의 전원(VCC)에 접속되어 있으며, 제2 콘덴서(155)는, 입력 노드(101)에 접속되어 있다. 입력 신호가 HI(3V)가 되었을 때의 노드(153)의 전압은, 전원 전압 8.5 V로부터 제7 트랜지스터(P채널 트랜지스터)(152)의 역치만큼 낮아지도록 설정되어 있는 것이 바람직하다.
- <112> 그 외의 점은, 본 발명의 제2 실시 형태와 같다. 본 발명의 제3 실시 형태에 의하면, 입력 신호 전압과 출력 신호 전압의 차이가 5 V이상인 경우에도, 인버터 회로의 제3 트랜지스터의 역치 산포 및 제4 트랜지스터의 역치 산포의 영향을 최소한으로 할 수 있어, 과도 응답 속도의 빠른 레벨 쉬프트 회로를 제공할 수 있다.
- <113> (제4 실시 형태)
- <114> 도7은, 본 발명의 제4 실시 형태와 관련되는 액정표시장치의 블록도이다. 도7에 나타내는 본 발명의 제4 실시 형태와 관련되는 액정표시장치는, 중소형의 모바일 디스플레이에 사용되는 배터리 전원을 이용하여 동작하는 액정표시장치이다. 이 액정표시장치(10)은, 표시 패널부(20)와 레벨 쉬프트 회로(21)와 데이터 드라이버(22)와 게이트 드라이버(23)와 드라이버 IC(30)로 구성된다.
- <115> 드라이버 IC(30)는, 레벨 쉬프트 회로(21)에 입력되는 전원 전압 및 복수의 신호, 및 게이트 드라이버(23)에 입력되는 전원 전압, 및 데이터 드라이버(22)에 입력되는 영상 신호 및 전원 전압, 및 표시 패널부(20)에 입력되는 VCOM(common electrode voltage: 공통 전극 전압)를 출력한다.
- <116> 표시 패널부(20)은, 데이터 드라이버(22)에 연결된 복수의 데이터 라인(DL1~DLn)와 게이트 드라이버(23)에 연결된 복수의 게이트 라인(GL1~GLn)을 구비한다. 표시 패널부(20)은, 행과 열로 구성된 매트릭스 형태로 배열된 복수의 화소를 구비하며, 소정의 행내에 배열된 화소는 함께 하나의 게이트 라인(GLn)과 연결되어 있고, 소정의 열내에 배열된 화소는 함께 하나의 데이터 라인(DLn)과 연결되어 있다. 각 화소부는, 박막 트랜지스터(TFT), 공통 전극(VCOM)과 박막 트랜지스터의 드레인 전극 사이에 연결된 액정 캐패시터, 및 상기 액정 캐패시터와 병렬로 연결된 박막 스토리지 캐패시터를 구비한다. 표시 패널부(20)은, 데이터 드라이버(22)로부터 데이터 라인(DL1~DLn)으로 출력된 데이터 신호와 게이트 드라이버(23)로부터 게이트 라인(GL1~GLn)으로 출력된 게이트 드라이버 제어 신호에 응답해 영상을 표시한다.
- <117> 게이트 드라이버(23)은, 선택된 게이트 라인을 구동하기 위해서 게이트 라인(GL1~GLn)에 게이트 드라이버 제어 신호(로직 레벨의 VGH 또는 VGOFF를 포함한다)를 출력한다.
- <118> 데이터 드라이버(22)는, 데이터 신호와 데이터 제어 신호에 응답하여 데이터 라인(DL1~DLn)으로 출력되는 데이터 신호를 결정한다. 즉, 데이터 드라이버(22)는, 복수의 데이터 제어 신호에 응답하여, 예를 들면, 액정 표시

패널의 복수의 데이터 라인을 구동한다.

<119> 레벨 쉬프트 회로(21)은, 표시 패널부(20)의 각 화소를 구성하는 박막 트랜지스터(TFT)를 충분한 스피드로 구동하기 위해서, 혹은 액정에 충분한 전압을 인가하기 위해서, 예를 들면 3.3V의 로직 신호를, 5 V~10 V정도로 승압해, 박막 트랜지스터를 구동하는 복수의 레벨 쉬프트 회로들로 구성된다. 도 7에 나타난 제4 실시 형태와 관련되는 액정표시장치의 블록도에서는, 레벨 쉬프트 회로(21)를 데이터 드라이버(22)와 게이트 드라이버(23)의 전단에 배치했지만, 이 레벨 쉬프트 회로(21)를 데이터 드라이버(22)와 게이트 드라이버(23) 내부에 배치해도 된다.

<120> 도7에 도시한 것과 같은 액정표시장치를 설계하는데 있어서, 특히 PDA 등과 같은 핸드헬드(handheld)나 휴대용 장치와 같이 소형 장치를 위해서 구현되는 액정표시장치를 설계하는데 있어서, 액정표시장치의 소형화가 가능한 구조가 기대된다. 게다가, 본 발명의 제1 실시 형태 내지 제 3 실시 형태에 나타난 바와 같이 회로 소자수가 적은 레벨 쉬프트 회로를 구비함으로써, 소형이면서, 고속으로 데이터를 처리하는 액정표시장치를 제공하는 것이 가능해진다.

발명의 효과

<121> 본 발명에 의하면, 레벨 쉬프트 회로의 회로 면적을 감소하여 액정표시장치의 고집적화를 이룰 수 있고, 레벨 쉬프트 회로의 관통 전류를 감소하여서 액정표시장치의 소비 전력을 감소시킬 수 있다. 또한, 과도 응답 속도가 빠른 레벨 쉬프트 회로를 제공할 수 있고, 트랜지스터의 역치 산포에 영향을 받지 않는 레벨 쉬프트 회로 및 액정표시장치를 제공할 수 있다.

<122> 이상, 상기 제 1 실시예 내지 제 4 실시예에 의해, 본 발명의 레벨 쉬프트 회로 및 이것을 탑재한 표시장치에 대해 설명했지만, 레벨 쉬프트 회로 및 이것을 탑재한 표시장치는, 상기 제 1 실시예 내지 제 4 실시예에 특별히 한정되는 것은 아니고, 각종 변경이 가능하다.

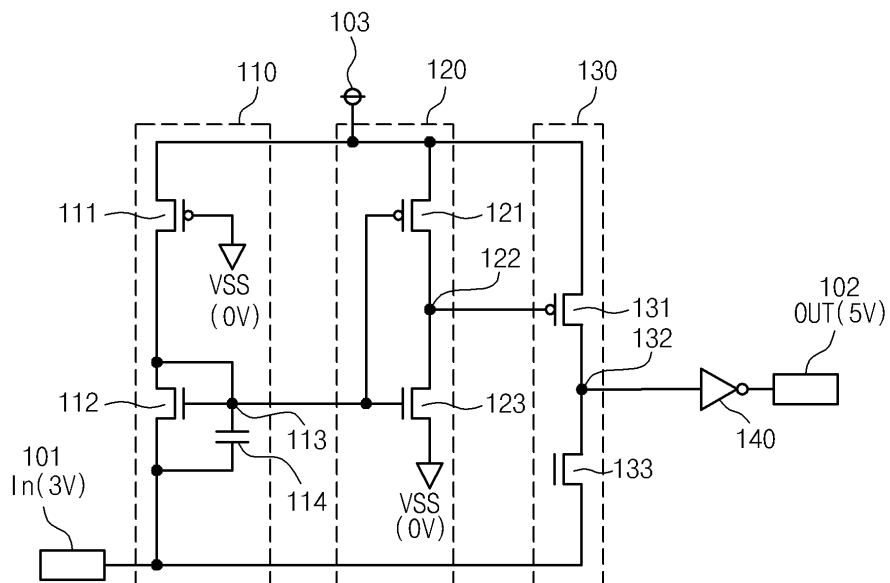
도면의 간단한 설명

- <1> 도 1은 본 발명의 제1의 실시 형태와 관련되는 레벨 쉬프트 회로의 회로도.
- <2> 도 2는 본 발명의 제1의 실시 형태와 관련되는 레벨 쉬프트 회로의 각 노드의 전압 파형을 나타내는 타이밍 차트도.
- <3> 도 3은 제1 전압 쉬프트 회로에 사용하는 P채널 트랜지스터 및 N채널 트랜지스터의 전류(I_{ds}) 대 전압(V_d)의 특성도.
- <4> 도 4는 본 발명의 제2 실시 형태와 관련되는 레벨 쉬프트 회로의 회로도.
- <5> 도 5는 제2 전압 쉬프트 회로에 사용하는, P채널 트랜지스터 및 N채널 트랜지스터의 전류(I_{ds}) 대 전압(V_d)의 특성도.
- <6> 도 6은 본 발명의 제3 실시 형태와 관련되는 레벨 쉬프트 회로의 회로도.
- <7> 도 7은 본 발명의 제4 실시 형태와 관련되는 액정표시장치의 블록도.
- <8> 도 8은 종래의 인버터형 레벨 쉬프트 회로를 나타내는 회로도.
- <9> *도면의 주요 부분에 대한 부호의 설명*
- <10> 10 액정표시장치 20 표시 패널부
- <11> 21 레벨 쉬프트 회로
- <12> 22 데이터 드라이버
- <13> 23 게이트 드라이버
- <14> 30 드라이버 IC
- <15> 101 입력 노드
- <16> 102 출력 노드

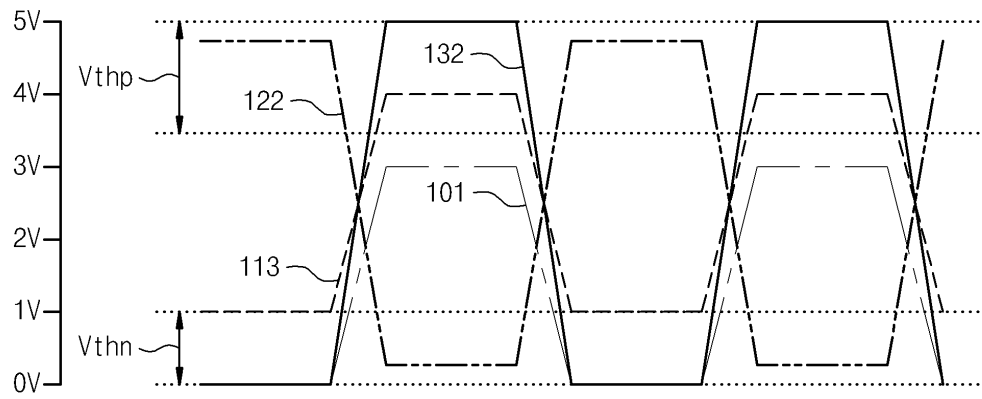
- <17> 103 전원(VDD)
- <18> 110 제1 전압 쉬프트 회로
- <19> 111 제1 트랜지스터
- <20> 112 제2 트랜지스터
- <21> 113, 122, 132, 153 노드
- <22> 114 제1 콘덴서
- <23> 120 제1 인버터 회로
- <24> 121 제3 트랜지스터
- <25> 123 제4 트랜지스터
- <26> 130 제2 인버터 회로
- <27> 131 제5 트랜지스터
- <28> 133 제6 트랜지스터
- <29> 140 인버터
- <30> 150 제2 전압 쉬프트 회로
- <31> 151 전원(VCC)
- <32> 152 제7 트랜지스터
- <33> 154 제8 트랜지스터
- <34> 155 제2 콘덴서

도면

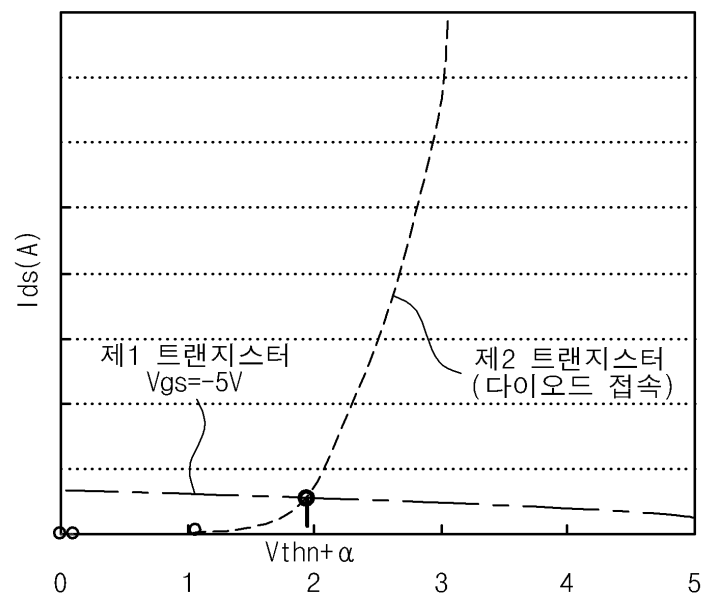
도면1



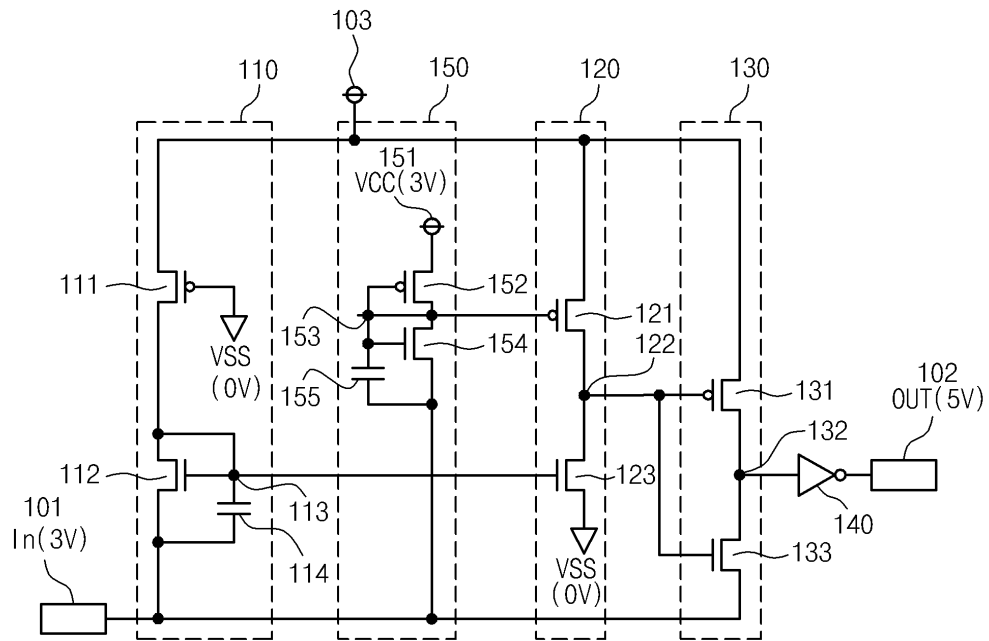
도면2



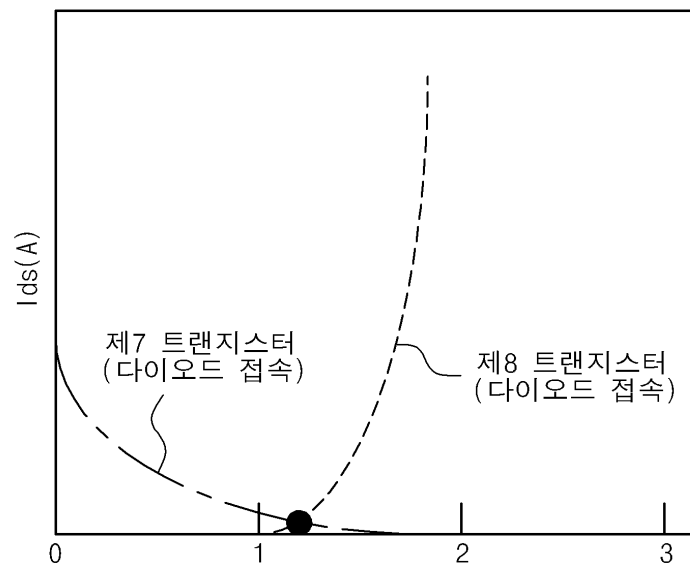
도면3



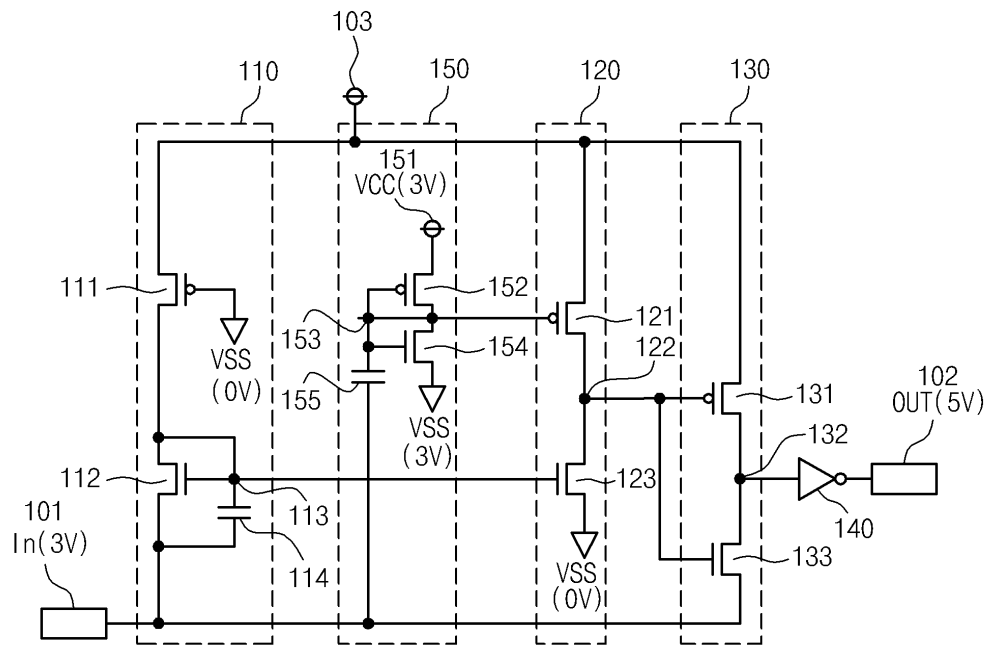
도면4



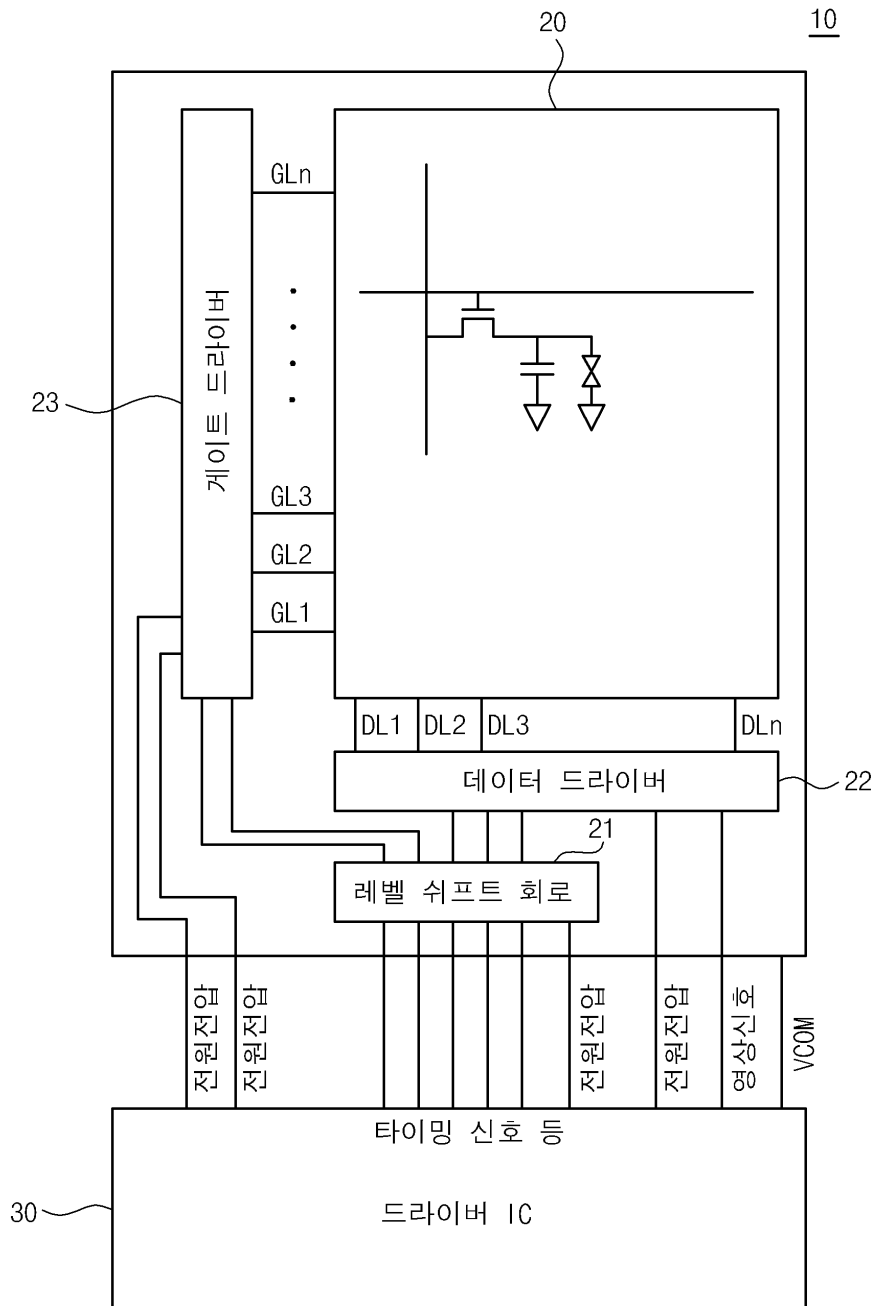
도면5



도면6

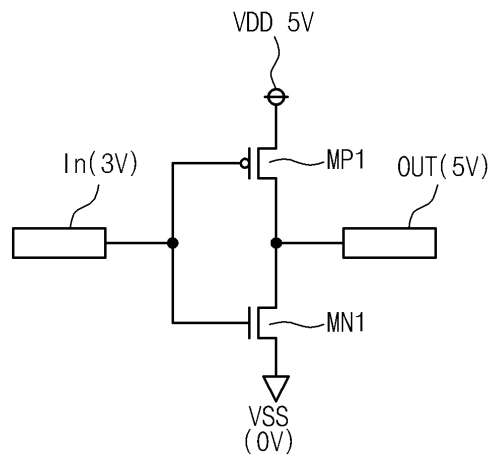


도면7



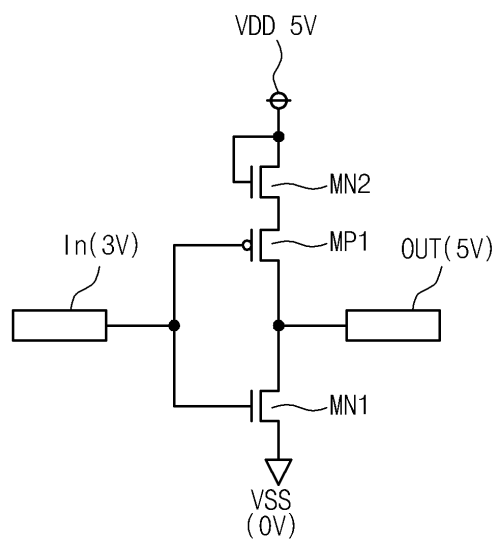
도면8a

(종래 기술)



도면8b

(종래 기술)



专利名称(译)	电平移位电路和配备有它的显示装置		
公开(公告)号	KR1020070116451A	公开(公告)日	2007-12-10
申请号	KR1020060050501	申请日	2006-06-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SENDA MICHIRU 센다미치루 YOKOYAMA RYOICHI 요코야마로이치		
发明人	센다,미치루 요코야마,로이치		
IPC分类号	G09G3/20 H03K19/0175 G09G3/36 G09G3/30		
CPC分类号	G09G3/3648 H03K19/018521 G09G2310/0289		
代理人(译)	SE JUN OH KWON , HYUK SOO 宋 , 云何		
其他公开文献	KR101196711B1		
外部链接	Espacenet		

摘要(译)

在液晶显示器中。在逆变器电路的前端，配备第一电压移位器电路。第一电压移位器电路包括第一晶体管，其中源极到输入端，栅极和漏极连接，第二晶体管和作为二极管工作的源极连接到电源，漏极连接到漏极。栅极接地时的第二个晶体管。输入信号为高第二晶体管的反转值，反转值使电压偏移，反转值输入到后端的反相器电路。而且，第一电容器插在第二晶体管的栅极和输入节点之间。因此，液晶显示器可以提供具有快速响应速度的电平移位电路，电路尺寸小。显示装置，电平转换和逆变器电路。

