



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0055661
(43) 공개일자 2007년05월31일

(21) 출원번호 10-2005-0113874
(22) 출원일자 2005년11월26일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 유재성
서울 영등포구 신길7동 삼환아파트 102-2302

(74) 대리인 김영호

전체 청구항 수 : 총 13 항

(54) 액정표시장치용 전압 발생 회로 및 이를 이용한액정표시장치

(57) 요약

본 발명은 공통전압 및 화소전압의 튜닝이 용이하도록 한 액정표시장치용 전압 발생 회로와 이를 이용한 액정표시장치에 관한 것이다.

이 액정표시장치용 전압 발생 회로는 고전위 전압원으로부터의 고전위 전원전압과 저전위 전압원으로부터의 저전위 전원전압 사이의 전압을 가변시켜 센터전압을 발생하는 제1 전압 발생부와; 상기 고전위 전원전압과 상기 저전위 전원전압 사이의 전압을 가변시켜 앰플리튜드전압을 발생하는 제2 전압발생부와; 상기 센터전압에 상기 앰플리튜드전압을 더한 상위 기준전압을 발생하는 제3 전압발생부와; 상기 센터전압에 상기 앰플리튜드전압을 뺀 하위 기준전압을 발생하는 제4 전압 발생부와; 상기 상위 기준전압과 상기 하위 기준전압 사이의 전압을 분압하여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 구비한다.

대표도

도 10

특허청구의 범위

청구항 1.

고전위 전압원으로부터의 고전위 전원전압과 저전위 전압원으로부터의 저전위 전원전압 사이의 전압을 가변시켜 센터전압을 발생하는 제1 전압 발생부와;

상기 고전위 전원전압과 상기 저전위 전원전압 사이의 전압을 가변시켜 앰플리튜드전압을 발생하는 제2 전압발생부와;

상기 센터전압에 상기 앰플리튜드전압을 더한 상위 기준전압을 발생하는 제3 전압발생부와;

상기 센터전압에 상기 앰플리튜드전압을 뺀 하위 기준전압을 발생하는 제4 전압발생부와;

상기 상위 기준전압과 상기 하위 기준전압 사이의 전압을 분압하여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 구비하는 것을 특징으로 하는 액정표시장치용 전압 발생 회로.

청구항 2.

제 1 항에 있어서,

상기 제1 및 제2 전압 발생부는,

상기 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시키는 가변저항 및 상기 가변저항의 출력노드에 접속된 출력버퍼를 각각 구비하는 것을 특징으로 하는 액정표시장치용 전압 발생 회로.

청구항 3.

제 1 항에 있어서,

상기 제3 전압발생부는,

출력단자, 비반전단자 및 반전단자를 가지는 연산증폭기와;

상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과;

상기 연산증폭기의 비반전단자와 상기 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과;

상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과;

상기 연산증폭기의 반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비하는 것을 특징으로 하는 액정표시장치용 전압 발생 회로.

청구항 4.

제 1 항에 있어서,

상기 제4 전압발생부는,

출력단자와 비반전단자 및 반전단자를 가지는 연산증폭기와;

상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과;

상기 연산증폭기의 반전단자와 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과;

상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과;

상기 연산증폭기의 비반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비하는 것을 특징으로 하는 액정표시장치용 전압 발생 회로.

청구항 5.

액정셀들에 전계를 인가하기 위한 화소전극 및 공통전극이 형성된 액정패널과;

고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시켜 상기 공통전극에 공급될 센터전압을 발생하는 제1 전압 발생부, 상기 고전위 전원전압과 저전위 전원전압의 차전압을 분압하여 앰플리튜드전압을 발생하는 제2 전압발생부, 상기 센터전압에 상기 앰플리튜드전압을 더해서 상위 기준전압을 발생하는 제3 전압발생부, 상기 센터전압에 상기 앰플리튜드전압을 빼서 하위 기준전압을 발생하는 제4 전압발생부 및 상기 상위 기준전압과 상기 하위 기준전압의 차전압을 분압하여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 포함하는 전압 발생 회로와;

상기 센터전압을 상기 공통전극에 공급함과 아울러 상기 다수의 감마기준전압들을 이용하여 디지털 비디오 데이터를 아날로그 감마보정전압으로 변환하여 상기 아날로그 감마보정전압을 상기 화소전극에 공급하는 구동부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 제1 및 제2 전압 발생부는,

상기 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시키는 가변저항 및 상기 가변저항의 출력노드에 접속된 출력버퍼를 각각 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 5 항에 있어서,

상기 제3 전압발생부는,

출력단자, 비반전단자 및 반전단자를 가지는 연산증폭기와;

상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과;

상기 연산증폭기의 비반전단자와 상기 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과;

상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과;

상기 연산증폭기의 반전단자와 상기 저전위 전원원 사이에 접속된 제4 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 5 항에 있어서,

상기 제4 전압발생부는,

출력단자와 비반전단자 및 반전단자를 가지는 연산증폭기와;

상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과;

상기 연산증폭기의 반전단자와 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과;

상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과;

상기 연산증폭기의 비반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.

액정셀들에 전계를 인가하기 위한 화소전극 및 공통전극이 형성된 액정패널과;

고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시켜 센터전압을 발생하는 제1 전압 발생부, 상기 고전위 전원전압과 상기 저전위 전원전압 사이의 전압을 가변시켜 앰플리튜드전압을 발생하는 제2 전압발생부, 상기 센터전압에 상기 앰플리튜드전압을 더해서 상기 공통전극에 공급될 상위 기준전압을 발생하는 제3 전압발생부, 상기 센터전압에 상기 앰플리튜드전압을 빼서 상기 공통전극에 공급될 하위 기준전압을 발생하는 제4 전압발생부 및 상기 상위 기준전압과 상기 하위 기준전압의 차전압을 분압하여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 포함하는 전압 발생 회로와;

상기 상위 기준전압과 상기 하위 기준전압 사이를 스윙하는 전압을 상기 공통전극에 공급함과 아울러 상기 다수의 감마기준전압들을 이용하여 디지털 비디오 데이터를 아날로그 감마보정전압으로 변환하여 상기 아날로그 감마보정전압을 상기 화소전극에 공급하는 구동부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 9 항에 있어서,

상기 제1 및 제2 전압 발생부는,

상기 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시키는 가변저항 및 상기 가변저항의 출력노드에 접속된 출력버퍼를 각각 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 9 항에 있어서,

상기 제3 전압발생부는,

출력단자, 비반전단자 및 반전단자를 가지는 연산증폭기와;

상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과;

상기 연산증폭기의 비반전단자와 상기 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과;

상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과;

상기 연산증폭기의 반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 9 항에 있어서,

상기 제4 전압발생부는,

출력단자와 비반전단자 및 반전단자를 가지는 연산증폭기와;

상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과;

상기 연산증폭기의 반전단자와 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과;

상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과;

상기 연산증폭기의 비반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 9 항에 있어서,

상기 구동부는 상위 기준전압과 상기 하위 기준전압 사이를 스윙하는 전압을 발생하여 상기 공통전극에 공급하기 위한 스윙전압 발생부를 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 공통전압 및 화소전압의 튜닝이 용이하도록 한 액정표시장치용 전압 발생 회로와 이를 이용한 액정표시장치에 관한 것이다.

텔레비전(Television) 및 컴퓨터(Computer) 등의 표시 장치로 사용되는 액정 표시 장치(Liquid Crystal Display : LCD)는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 되며, 이 중 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor : TFT)가 이용되고 있다.

일반적인 액티브 매트릭스 타입의 액정표시장치는 도 1에서 보는 바와 같은 액정셀(Clc)들이 액정패널에 매트릭스 형태로 배열되고, 게이트라인(GL)으로부터의 스캔펄스에 응답하여 TFT가 턴-온(Turn-on)되면, 데이터라인(DL)을 통해 액정셀(Clc)의 화소전극(Pix)에 화소전압을 공급하여 이 화소전압과 액정셀(Clc)의 공통전극(Com)에 공급되는 공통전압(Vcom)과의 전위차로 각 액정셀(Clc)을 구동하게 된다.

이러한 액정표시장치는 디지털 비디오 데이터를 아날로그의 화소전압으로 변환하여 액정셀(Clc)에 공급하게 되는데, 액정셀(Clc)에 공급되는 화소전압은 액정특성과 사람의 시각인지특성과의 비선형성 관계를 고려한 감마보정을 통해 생성된다.

즉, 액정표시장치는 각각 다른 전압레벨을 가지는 다수의 감마기준전압들을 이용한 감마보정을 통해 계조별 화소전압을 생성하여 이 화소전압과 공통전압과의 전위차로 액정셀을 구동한다. 이를 위하여 액정표시장치는 도 2에서 보는 바와 같은 공통전압(Vcom) 발생부와 도 2 내지 도 4에서 보는 바와 같은 감마기준전압 발생부를 구비한다.

공통전압(Vcom) 발생부는 도 2에서 보는 바와 같이 고전위 전원전압(VDD)과 저전위 전원전압(VSS)을 분압하는 가변저항과 출력버퍼로 구성된다.

도 3 내지 도 5를 참조하면, 감마기준전압 발생부는 고전위 전원전압(VDD) 및 저전위 전원전압(VSS)를 이용하여 상위 기준전압(Vref_H)을 발생하는 제1 전압 발생부(22)와, 고전위 전원전압(VDD) 및 저전위 전원전압(VSS)를 이용하여 상위 기준전압(Vref_H)보다 낮은 전위의 하위 기준전압(Vref_L)을 발생하는 제2 전압 발생부(24)와, 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)을 이용하여 다수의 감마기준전압들(GMA1 내지 GMA_n)들을 발생하는 제3 전압 발생부(14)를 구비한다.

제1 전압 발생부(22)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS)의 차전압을 분압하여 상위 기준전압(Vref_H)을 발생한다. 이러한 제1 전압 발생부(22)는 가변저항 등으로 형성되는 분압부(32)와, 분압부(32)의 출력노드에 접속된 출력버퍼(34)로 구성된다.

제2 전압 발생부(24)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS)의 차전압을 분압하여 상위 기준전압(Vref_H)보다 낮은 전위를 가지는 하위 기준전압(Vref_L)을 발생한다. 이러한 제2 전압 발생부(24)는 가변저항 등으로 형성되는 분압부(36)와, 분압부(36)의 출력노드에 접속된 출력버퍼(38)로 구성된다.

제3 전압부(14)는 제1 및 제2 전압 발생부(22, 24)로부터 발생하는 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)을 이용하여 다수의 감마기준전압들(GMA1 내지 GMA_n)을 발생한다. 이러한 제3 전압 발생부(14)는 상위 기준전압(Vref_H)이 입력되는 단자와 하위 기준전압(Vref_L)이 입력되는 단자 사이에 다수의 저항들(R1 내지 R_{n+1})이 직렬로 연결된 구조로 되어 있으며, 각 저항사이에 형성되는 분압점(N1 T N_n)에서 각 감마기준전압들(GMA1 내지 GMA_n)이 생성된다.

액정표시장치는 위와 같은 감마기준전압들(GMA1 내지 GMA_n)을 분압하여 계조별로 세분화된 감마보정전압들을 발생하고, 이 감마보정전압들을 화소전압으로써 액정셀(Clc)에 공급하게 된다.

한편, 액정표시장치는 액정셀(Clc)을 구동함에 있어 액정의 열화, 플리커 현상 등을 방지하기 위하여 도 4에서 보는 바와 같이 공통전압(Vcom)을 기준으로 화소전압(VD1 내지 VD_k)의 극성을 일정 주기(1 Cycle)마다 반전시키는 인버전 구동 방식을 사용한다. 이와 같은 인버전 구동 방식에서 공통전압(Vcom)은 화소전압들(VD1 내지 VD_k)의 중간치로 설정되어 화소전압들(VD1 내지 VD_k)은 공통전압(Vcom)을 기준으로 정극성(+)의 화소전압들(VD1 내지 VD_k)과 부극성(-)의 화소전압들(VD_k+1 내지 VD_k)으로 구분되게 된다.

이 때, 정극성(+)의 화소전압들(VD1 내지 VD_k) 중 제1 화소전압(VD1)은 노멀리 화이트(Normally White) 모드에서는 화이트(W) 계조를 나타내고 노멀리 블랙(Normally Black) 모드에서는 블랙(B) 계조를 나타내게 되며, 제_k 화소전압(VD_k)은 노멀리 화이트 모드에서는 블랙(B) 계조를 나타내고 노멀리 블랙 모드에서는 화이트(W) 계조를 나타내게 된다. 또한, 부극성(-)의 화소전압들(VD_k+1 내지 VD_k) 중 제_k+1 화소전압(VD_k+1)은 노멀리 화이트 모드에서는 화이트(W) 계조를 나타내고 노멀리 블랙 모드에서는 블랙(B) 계조를 나타내게 되며, 제_k 화소전압(VD_k)은 노멀리 화이트 모드에서는 블랙(B) 계조를 나타내고 노멀리 블랙 모드에서는 화이트(W) 계조를 나타내게 된다.

이와 같은 인버전 구동 방식에 있어서, 정극성(+)의 액정셀(Clc) 구동과 부극성(-)의 액정셀(Clc) 구동시 공통전압(Vcom)을 기준으로 서로 대칭되는 화소전압은 동일한 휘도를 표시하여야 하므로, 제1 화소전압(VD1)과 공통전압(Vcom)의 전압차(ΔV2)는 제_k 화소전압(VD1)과 공통전압(Vcom)의 전압차(ΔV4)와 같도록 설정되고, 제_k 화소전압(VD_k)과 공통전압(Vcom)의 전압차(ΔV1)는 제_k+1 화소전압(VD_k+1)과 공통전압(Vcom)의 전압차(ΔV3)와 같도록 설정된다.

한편, 인버전 구동 방식에는 도트 인버전(Dot Inversion) 방식, 라인 인버전(Line Inversion) 방식, 칼럼 인버전(Column Inversion) 방식, 프레임 인버전(Frame Inversion) 방식 등이 있으며, 특히 라인 인버전 방식의 경우 도 6에서 보는 바와 같이 공통전압(Vcom)을 상위 공통전압(Vcom_L)과 하위 공통전압(Vcom_L) 사이를 스위칭킴으로써 화소전압들(VD1 내지 VD_k)의 극성을 반전시키는 구동 방식이 이용되기도 한다.

이러한 경우, 부극성(-)의 액정셀(Clc) 구동시 화소전압들(VD1 내지 VD_k) 중 제1 화소전압(VD1)은 노멀리 화이트(Normally White) 모드에서는 화이트(W) 계조를 나타내고 노멀리 블랙(Normally Black) 모드에서는 블랙(B) 계조를 나

타내게 되며, 제k 화소전압(VDk)은 노멀리 화이트 모드에서는 블랙(B) 계조를 나타내고 노멀리 블랙 모드에서는 화이트(W) 계조를 나타내게 된다. 또한, 정극성(+)의 액정셀(Clc) 구동시 제1 화소전압(VD1)은 노멀리 화이트 모드에서는 블랙(B) 계조를 나타내고, 노멀리 블랙 모드에서는 화이트(W) 계조를 나타내게 되며, 제k 화소전압(VDk)은 노멀리 화이트 모드에서는 화이트(W) 계조를 나타내고, 노멀리 블랙 모드에서는 블랙(B) 계조를 나타내게 된다. 이 경우에도 정극성(+)의 액정셀(Clc) 구동과 부극성(-)의 액정셀(Clc) 구동시 공통전압(Vcom)을 기준으로 서로 대칭되는 화소전압은 동일한 휘도를 표시하여야 하므로, 제1 화소전압(VD1)과 상위 공통전압(Vcom_H)의 전압차($\Delta V1$)는 제k 화소전압(VD1)과 하위 공통전압(Vcom_L)의 전압차($\Delta V3$)과 같도록 설정되고, 제k 화소전압(VDk)과 상위 공통전압(Vcom_H)의 전압차($\Delta V2$)는 제1 화소전압(VD1)과 하위 공통전압(Vcom_L)의 전압차($\Delta V4$)와 같도록 설정된다.

한편, 액정표시장치는 위와 같이 설정된 계조별 화소전압들(VD1 내지 VDk)이 각 계조를 제대로 표현하기 위한 적절한 전압레벨로의 튜닝 과정이 필요하며, 이러한 화소전압들(VD1 내지 VDk)의 전압레벨 튜닝 과정은 감마기준전압 발생부에서 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)을 적절한 폭으로 조정함으로써 이루어지게 된다. 그런데, 도 7의 (a)에서 보는 바와 같이 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)의 기본값이 Vref_H0, Vref_L0로 설정되고 그 중심(Center0)으로 공통전압(Vcom)이 설정되어 있을 때, 도 7의 (b)에서 보는 바와 같이 상위 기준전압(Vref_H)을 Vref_H1 또는 Vref_H2로 조정하면 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)의 중심(Center0)이 Center1 또는 Center2로 이동하게 되며, 도 7의 (c)에서 보는 바와 같이 하위 기준전압(Vref_L)을 Vref_L1 또는 Vref_L2로 조정하면 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)의 중심(Center0)이 Center3 또는 Center4로 이동하게 된다. 따라서, 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)의 조정에 따라 이동하는 중심으로 공통전압(Vcom)도 조정되어야 한다. 이와 같이 종래의 액정표시장치에서는 상위 기준전압(Vref_H)을 조절하거나 하위 기준전압(Vref_L)을 조정하고 이에 따라 가변하는 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)의 중심에 맞춰 공통전압(Vcom)을 계속적으로 조정해줘야 하므로 그 튜닝이 쉽지 않은 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 공통전압 및 감마기준전압의 튜닝이 용이하도록 한 액정표시장치용 전압 발생 회로와 이를 이용한 액정표시장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 액정표시장치용 전압 발생 회로는 고전위 전압원으로 부터의 고전위 전원전압과 저전위 전압원으로 부터의 저전위 전원전압 사이의 전압을 가변시켜 센터전압을 발생하는 제1 전압 발생부와; 상기 고전위 전원전압과 상기 저전위 전원전압 사이의 전압을 가변시켜 앰플리튜드전압을 발생하는 제2 전압 발생부와; 상기 센터전압에 상기 앰플리튜드전압을 더한 상위 기준전압을 발생하는 제3 전압 발생부와; 상기 센터전압에 상기 앰플리튜드전압을 뺀 하위 기준전압을 발생하는 제4 전압 발생부와; 상기 상위 기준전압과 상기 하위 기준전압 사이의 전압을 분압하여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 구비한다.

상기 제1 및 제2 전압 발생부는 상기 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시키는 가변저항 및 상기 가변저항의 출력노드에 접속된 출력버퍼를 각각 구비한다.

상기 제3 전압 발생부는 출력단자, 비반전단자 및 반전단자를 가지는 연산증폭기와; 상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과; 상기 연산증폭기의 비반전단자와 상기 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과; 상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과; 상기 연산증폭기의 반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비한다.

상기 제4 전압 발생부는, 출력단자와 비반전단자 및 반전단자를 가지는 연산증폭기와; 상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과; 상기 연산증폭기의 반전단자와 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과; 상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과; 상기 연산증폭기의 비반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비한다.

본 발명의 제1 실시예에 따른 액정표시장치는 액정셀들에 전계를 인가하기 위한 화소전극 및 공통전극이 형성된 액정패널과; 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시켜 상기 공통전극에 공급될 센터전압을 발생하는 제1 전압 발생부, 상기 고전위 전원전압과 저전위 전원전압의 차전압을 분압하여 앰플리튜드전압을 발생하는 제2 전압 발생부, 상기 센터전압에 상기 앰플리튜드전압을 더해서 상위 기준전압을 발생하는 제3 전압 발생부, 상기 센터전압에 상기 앰플리튜드전압을 빼서 하위 기준전압을 발생하는 제4 전압 발생부 및 상기 상위 기준전압과 상기 하위 기준전압의 차전압을 분압하

여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 포함하는 전압 발생 회로와; 상기 센터전압을 상기 공통전극에 공급함과 아울러 상기 다수의 감마기준전압들을 이용하여 디지털 비디오 데이터를 아날로그 감마보정전압으로 변환하여 상기 아날로그 감마보정전압을 상기 화소전극에 공급하는 구동부를 구비한다.

본 발명의 제1 실시예에 따른 액정표시장치의 상기 제1 및 제2 전압 발생부는 상기 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시키는 가변저항 및 상기 가변저항의 출력노드에 접속된 출력버퍼를 각각 구비한다.

본 발명의 제1 실시예에 따른 액정표시장치의 상기 제3 전압발생부는 출력단자, 비반전단자 및 반전단자를 가지는 연산증폭기와; 상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과; 상기 연산증폭기의 비반전단자와 상기 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과; 상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과; 상기 연산증폭기의 반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비한다.

본 발명의 제1 실시예에 따른 액정표시장치의 상기 제4 전압발생부는 출력단자와 비반전단자 및 반전단자를 가지는 연산증폭기와; 상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과; 상기 연산증폭기의 반전단자와 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과; 상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과; 상기 연산증폭기의 비반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비한다.

본 발명의 제2 실시예에 따른 액정표시장치는 액정셀들에 전계를 인가하기 위한 화소전극 및 공통전극이 형성된 액정패널과; 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시켜 센터전압을 발생하는 제1 전압 발생부, 상기 고전위 전원전압과 상기 저전위 전원전압 사이의 전압을 가변시켜 앰플리튜드전압을 발생하는 제2 전압발생부, 상기 센터전압에 상기 앰플리튜드전압을 더해서 상기 공통전극에 공급될 상위 기준전압을 발생하는 제3 전압발생부, 상기 센터전압에 상기 앰플리튜드전압을 빼서 상기 공통전극에 공급될 하위 기준전압을 발생하는 제4 전압발생부 및 상기 상위 기준전압과 상기 하위 기준전압의 차전압을 분압하여 다수의 감마기준전압들을 발생하는 제5 전압 발생부를 포함하는 전압 발생 회로와; 상기 상위 기준전압과 상기 하위 기준전압 사이를 스윙하는 전압을 상기 공통전극에 공급함과 아울러 상기 다수의 감마기준전압들을 이용하여 디지털 비디오 데이터를 아날로그 감마보정전압으로 변환하여 상기 아날로그 감마보정전압을 상기 화소전극에 공급하는 구동부를 구비한다.

본 발명의 제2 실시예에 따른 액정표시장치의 상기 제1 및 제2 전압 발생부는 상기 고전위 전원전압과 저전위 전원전압 사이의 전압을 가변시키는 가변저항 및 상기 가변저항의 출력노드에 접속된 출력버퍼를 각각 구비한다.

본 발명의 제2 실시예에 따른 액정표시장치의 상기 제3 전압발생부는 출력단자, 비반전단자 및 반전단자를 가지는 연산증폭기와; 상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과; 상기 연산증폭기의 비반전단자와 상기 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과; 상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과; 상기 연산증폭기의 반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비한다.

본 발명의 제2 실시예에 따른 액정표시장치의 상기 제4 전압발생부는 출력단자와 비반전단자 및 반전단자를 가지는 연산증폭기와; 상기 연산증폭기의 비반전단자와 상기 제1 전압 발생부의 출력단자 사이에 접속된 제1 저항과; 상기 연산증폭기의 반전단자와 제2 전압 발생부의 출력단자 사이에 접속된 제2 저항과; 상기 연산증폭기의 출력단자와 반전단자 사이에 접속된 제3 저항과; 상기 연산증폭기의 비반전단자와 상기 저전위 전압원 사이에 접속된 제4 저항을 구비한다.

본 발명의 제2 실시예에 따른 액정표시장치의 상기 구동부는 상위 기준전압과 상기 하위 기준전압 사이를 스윙하는 전압을 발생하여 상기 공통전극에 공급하기 위한 스윙전압 발생부를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 9 내지 도 17를 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

도 9 내지 도 12를 참조하면, 본 발명의 실시예에 따른 액정표시장치용 전압 발생 회로(108)는 고전위 전압원 및 저전위 전압원으로부터 공급되는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 사이의 전압을 가변시켜 센터전압(V_Cen)을 발생하는 제1 전압 발생부(122)와, 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 사이의 전압을 가변시켜 앰플리튜드전압(V_Amp)을 발생하는 제2 전압발생부(124)와, 센터전압(V_Cen)에 앰플리튜드전압(V_Amp)을 더한 상위 기준전압

(Vref_H)을 발생하는 제3 전압발생부(126)와, 센터전압(V_Cen)에 앰플리튜드전압(V_Amp)을 뺀 하위 기준전압(Vref_L)을 발생하는 제4 전압발생부(128)와, 상위 기준전압(Vref_H)과 상기 하위 기준전압(Vref_L)의 차전압을 분압하여 다수의 감마기준전압들(GMA1 내지 GMA_n)을 발생하는 제5 전압 발생부를 구비한다.

제1 전압 발생부(122)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 사이의 전압을 가변시켜 센터전압(V_Cen)을 발생하는 가변저항(132)과 가변저항(132)의 출력노드에 접속된 출력버퍼(134)로 구성될 수 있다.

제2 전압 발생부(124)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 사이의 전압을 가변시켜 앰플리튜드전압(V_Amp)을 발생하는 가변저항(136)과 가변저항(136)의 출력노드에 접속된 출력버퍼(138)로 구성될 수 있다.

제3 전압발생부(126)는 센터전압(V_Cen)에 앰플리튜드전압(V_Amp)을 더한 상위 기준전압(Vref_H)을 발생한다. 이러한 제3 전압발생부(126)는 출력단자와 비반전단자(+) 및 반전단자(-)를 가지는 연산증폭기, 연산증폭기의 비반전단자(+)와 제1 전압 발생부(122)의 출력단자 사이에 접속된 제1 저항(R1), 연산증폭기의 비반전단자(+)와 제2 전압 발생부(124)의 출력단자 사이에 접속된 제2 저항(R2), 연산증폭기의 출력단자와 반전단자(-) 사이에 접속된 제3 저항(R3) 및 연산증폭기의 반전단자(-)와 저전위 전원원 사이에 접속된 제4 저항(R4)을 포함하는 가산기로 구성될 수 있다.

제4 전압발생부(128)는 센터전압(V_Cen)에 앰플리튜드전압(V_Amp)을 뺀 하위 기준전압(Vref_L)을 발생한다. 이러한 제4 전압발생부(128)는 출력단자와 비반전단자(+) 및 반전단자(-)를 가지는 연산증폭기, 연산증폭기의 비반전단자(+)와 제1 전압 발생부(122)의 출력단자 사이에 접속된 제5 저항(R5), 연산증폭기의 반전단자(-)와 제2 전압 발생부(124)의 출력단자 사이에 접속된 제6 저항(R6), 연산증폭기의 출력단자와 반전단자(-) 사이에 접속된 제7 저항(R7) 및 연산증폭기의 비반전단자(+)와 저전위 전압원 사이에 접속된 제8 저항(R8)을 포함하는 감산기로 구성될 수 있다.

제5 전압 발생부(114)는 상위 기준전압(Vref_H)과 상기 하위 기준전압(Vref_L)의 차전압을 분압하여 다수의 감마기준전압들(GMA1 내지 GMA_n)을 발생한다. 제5 전압 발생부(114)는 고전위 전압원과 저전위 전압원 공급단자 사이에 접속되는 다수의 분압저항들을 이용하여 구성되어 감마기준전압들(GMA1 내지 GMA_n)을 발생하며, 이러한 제5 전압 발생부(114)는 도 a에서 보는 바와 같은 직렬 방식 또는 도 b에서 보는 바와 같은 병렬 방식으로 구현될 수 있다.

이러한 액정표시장치용 전압 발생 회로(108)에서 도 13의 (a)에서 보는 바와 같이 센터전압(V_Cen)의 초기값이 V_Cen0, 앰플리튜드전압(V_Amp)의 초기값이 V_Amp0으로 설정되어 있을 때, 이 V_Cen0과 V_Amp0로 생성되는 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)을 각각 Vref_H0, Vref_L0라 하면, (b)에서 보는 바와 같이 앰플리튜드전압(V_Amp)을 $\Delta V1$ 만큼 높게 조정하면, 상위 기준전압(Vref_H)은 Vref_H0에서 $\Delta V1$ 만큼 높은 전위의 Vref_H1으로 조정되고, 이와 동시에 하위 기준전압(Vref_L)은 Vref_L0에서 $\Delta V1$ 만큼 낮은 전위의 Vref_L1으로 조정된다. 그리고, (c) 및 (d)에서 보는 바와 같이 센터전압(V_Cen)의 전위를 $\Delta V2$ 만큼 높게 조정하거나 $\Delta V3$ 만큼 낮게 조정하면, 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)은 동시에 $\Delta V2$ 만큼 높은 전위의 Vref_H2, Vref_L2로 각각 조정되거나 $\Delta V3$ 만큼 높은 전위의 Vref_H3, Vref_L3로 각각 조정된다. 이러한 과정에서 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)은 항상 센터전압(V_Cen)을 기준으로 대칭되게 된다.

이하 도 14 내지 도 17을 참조하여 위와 같은 액정표시장치용 전압 발생 회로(108)를 이용한 액정표시장치의 실시예들에 대하여 설명하기로 한다.

도 14를 참조하면 본 발명의 제1 실시예에 따른 액정표시장치는 게이트라인들(GL1 내지 GL_i)과 데이터라인들(DL1 내지 DL_j)이 교차하고 그 교차부에 형성되어 액정셀(Clc)을 구동하기 위한 박막트랜지스터(TFT) 및 액정셀(Clc)에 전계를 인가하기 위한 화소전극(Pix)과 공통전극(Com)이 형성된 액정패널(104)과, 다수의 감마기준전압들(GMA1 내지 GMA_n) 및 액정셀(Clc)을 구동하기 위한 공통전압(Vcom)을 발생하는 전압 발생 회로(108)와, 전압 발생 회로(108)에서 발생하는 감마기준전압들(GMA1 내지 GMA_n)을 이용하여 디지털 비디오 데이터를 아날로그 감마보정전압으로 변환하여 데이터라인들(DL1 내지 DL_j)에 공급하는 데이터 구동회로(100)와, 게이트라인들(GL1 내지 GL_i)에 순차적으로 스캔펄스를 공급하는 게이트 구동회로(102)와, 데이터 구동회로(100) 및 게이트 구동회로(102)를 제어하기 위한 타이밍 콘트롤러(106)를 구비한다.

액정패널(104)는 상호 교차하는 게이트라인들(GL1 내지 GL_i) 및 데이터 라인들(DL1 내지 DL_j)과, 게이트라인들(GL1 내지 GL_i) 및 데이터 라인들(DL1 내지 DL_j)의 교차부마다 각각 형성된 박막트랜지스터(TFT)들과, 박막트랜지스터(TFT)들에 각각 접속되어 매트릭스 형태로 배열되는 액정셀(Clc)들을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터 공급되는 스캔펄스에 응답하여 데이터라인(DL)으로부터 공급되는 화소전압을 액정셀(Clc)의 화소전극(Pix)에 공급한다. 이를 위하여 박막트랜지스터(TFT)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속

되며, 드레인전극은 액정셀(Clc)의 화소전극(Pix)에 접속된다. 액정셀(Clc)의 공통전극(Com)에는 도시하지 않은 공통전극라인을 경유하여 공통전압(Vcom)이 공급된다. 액정셀(Clc)은 공통전극(Vcom)과 화소전극(Pix) 간의 전위차로 구동된다. 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극(Pix)과 전단 게이트라인(GL) 사이에 형성되거나, 액정셀(Clc)의 화소전극(Pix)과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

전압 발생 회로(108)는 이미 설명한 바와 같이 센터전압(V_Cen)과 감마기준전압들(GMA1 내지 GMA_n)들을 발생한다. 전압 발생 회로(108)에 대해서는 위에서 설명한 바 있으므로 자세한 설명은 생략하기로 한다. 본 발명의 제1 실시예에 따른 액정표시장치는 이 전압 발생 회로(108)에서 발생하는 센터전압(V_Cen)을 액정셀(Clc)의 공통전극(Com)에 공급하는 공통전압(Vcom)으로 이용하고, 감마기준전압들(GMA1 내지 GMA_n)들을 이용하여 액정셀(Clc)의 화소전극(Pix)에 공급될 화소전압을 생성하게 된다.

데이터 구동회로(100)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(100)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 전압 발생 회로(108)로부터 발생하는 감마기준전압들(GMA1 내지 GMA_n)을 이용하여 계조별로 세분화된 감마보정전압들을 발생하고, 이 감마보정전압들을 화소전압으로써 데이터라인들(D1 내지 D_m)에 공급한다. 화소전압들은 도 15에서 보는 바와 같이 센터전압(V_Cen)을 기준으로 정극성(+)의 화소전압(VD1 내지 VD_k)과 부극성(-)의 화소전압(VD_k+1 내지 VD_k)으로 구분된다. 이 때, 센터전압(V_Cen)과 제1 화소전압(VD1)과의 전압차(ΔV2)는 제k 화소전압(VD_k)과 센터전압(V_Cen)과의 전압차(ΔV4)와 같도록 설정되며, 센터전압(V_Cen)과 제k₁ 화소전압(VD_k)의 전압차(ΔV1)는 센터전압(V_Cen)과 제k₁+1 화소전압(VD_k+1)의 전압차(ΔV3)와 같도록 설정된다. 또한, 이 데이터 구동회로(100)는 전압 발생 회로(108)로부터 발생하는 센터전압(V_Cen)을 액정셀(Clc)의 공통전극(Com)에 공급한다. 이러한 데이터 구동회로(100)와 상기 전압 발생회로(108)는 원-칩(One_Chip)화 될 수 있다.

게이트 구동회로(102)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인들(GL1 내지 GL_i) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(102)는 스캔펄스를 게이트라인들(GL1 내지 GL_i)에 순차적으로 공급하여 데이터가 공급되는 액정패널(104)의 수평라인을 선택한다.

타이밍 콘트롤러(106)는 데이터 구동회로(100)와 게이트 구동회로(102)를 제어하기 위한 제어신호를 발생함과 아울러 데이터 구동회로(100)에 디지털 비디오 데이터를 클럭신호에 맞춰 공급한다.

본 발명의 제1 실시예에 따른 액정표시장치는 센터전압(V_Cen)과 앰플리튜드전압(V_Amp)을 조절을 통한 화소전압들(VD1 내지 VD_k)과 공통전압(Vcom) 튜닝 시정극성(+)의 화소전압들(VD1 내지 VD_k)과 부극성(-)의 화소전압들(VD_k+1 내지 VD_k)은 항상 공통전압(Vcom)을 기준으로 대칭되어 그 튜닝이 손쉬운 장점이 있다.

도 16을 참조하면 본 발명의 제2 실시예에 따른 액정표시장치는 게이트라인들(GL1 내지 GL_i)과 데이터라인들(DL1 내지 DL_j)이 교차하고 그 교차부에 형성되어 액정셀(Clc)을 구동하기 위한 박막트랜지스터(TFT) 및 액정셀(Clc)에 전계를 인가하기 위한 화소전극(Pix)과 공통전극(Com)이 형성된 액정패널(104)과, 다수의 감마기준전압들(GMA1 내지 GMA_n) 및 액정셀(Clc)을 구동하기 위한 공통전압(Vcom)을 발생하는 전압 발생 회로(108)와, 전압 발생 회로(108)에서 발생하는 감마기준전압들(GMA1 내지 GMA_n)을 이용하여 디지털 비디오 데이터를 아날로그 감마보정전압으로 변환하여 데이터라인들(DL1 내지 DL_j)에 공급하는 데이터 구동회로(200)와, 게이트라인들(GL1 내지 GL_i)에 순차적으로 스캔펄스를 공급하는 게이트 구동회로(202)와, 데이터 구동회로(200) 및 게이트 구동회로(202)를 제어하기 위한 타이밍 콘트롤러(206)를 구비한다.

액정패널(204)는 상호 교차하는 게이트라인들(GL1 내지 GL_i) 및 데이터 라인들(DL1 내지 DL_j)과, 게이트라인들(GL1 내지 GL_i) 및 데이터 라인들(DL1 내지 DL_j)의 교차부마다 각각 형성된 박막트랜지스터(TFT)들과, 박막트랜지스터(TFT)들에 각각 접속되어 매트릭스 형태로 배열되는 액정셀(Clc)들을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터 공급되는 스캔펄스에 응답하여 데이터라인(DL)으로부터 공급되는 화소전압을 액정셀(Clc)의 화소전극(Pix)에 공급한다. 이를 위하여 박막트랜지스터(TFT)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극(Pix)에 접속된다. 액정셀(Clc)의 공통전극(Com)에는 도시하지 않은 공통전극라인을 경유하여 공통전압(Vcom)이 공급된다. 액정셀(Clc)은 공통전극(Vcom)과 화소전극(Pix) 간의 전위차로 구동된다.

다. 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극(Pix)과 전단 게이트라인(GL) 사이에 형성되거나, 액정셀(Clc)의 화소전극(Pix)과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

전압 발생 회로(208)는 이미 설명한 바와 같이 센터전압(V_Cen)과 감마기준전압들(GMA1 내지 GMA_n)들을 발생한다. 전압 발생 회로(108)에 대해서는 위에서 설명한 바 있으므로 자세한 설명은 생략하기로 한다. 본 발명의 제2 실시예에 따른 액정표시장치는 이 전압 발생 회로(108)에서 발생하는 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L) 사이를 스윙하는 전압을 액정셀(Clc)의 공통전극(Com)에 공급하는 공통전압(Vcom)으로 이용하고, 감마기준전압들(GMA1 내지 GMA_n)들을 이용하여 액정셀(Clc)의 화소전극(Pix)에 공급될 화소전압을 생성하게 된다.

데이터 구동회로(200)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(200)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 전압 발생 회로(108)로부터 발생하는 감마기준전압들(GMA1 내지 GMA_n)을 이용하여 계조별로 세분화된 감마보정전압들을 발생하고, 이 감마보정전압들을 화소전압으로써 데이터라인들(D1 내지 D_m)에 공급한다. 화소전압들은 도 17에서 보는 바와 같이 상위 기준전압(Vref_H)과 제1 화소전압(VD1)과의 전압차($\Delta V1$)는 제k 화소전압(VDk)과 하위 기준전압(Vref_L)과의 전압차($\Delta V3$)와 같도록 설정되며, 상위 기준전압(Vref_H)과 제k 화소전압(VDk)과의 전압차($\Delta V2$)는 하위 기준전압(Vref_L)과 제1 화소전압(VD1)과의 전압차($\Delta V4$)와 같도록 설정된다. 또한, 이 데이터 구동회로(200)는 전압 발생 회로(108)로부터 발생하는 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L)을 이용하여 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L) 사이를 스윙하는 전압을 액정셀(Clc)의 공통전극(Com)에 공통전압(Vcom)으로써 공급한다. 이 데이터 구동회로(200)는 상위 기준전압(Vref_H)과 하위 기준전압(Vref_L) 사이를 스윙하는 전압을 발생하기 위하여 디코더 및 멀티플렉서 등으로 구성되는 스윙전압 발생부를 구비할 수 있다. 이러한 데이터 구동회로(200)와 상기 전압 발생 회로(108)는 원-칩(One_Chip)화 될 수 있다.

게이트 구동회로(202)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인들(GL1 내지 GL_i) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(202)는 스캔펄스를 게이트라인들(GL1 내지 GL_i)에 순차적으로 공급하여 데이터가 공급되는 액정패널(204)의 수평라인을 선택한다.

타이밍 콘트롤러(206)는 데이터 구동회로(200)와 게이트 구동회로(202)를 제어하기 위한 제어신호를 발생함과 아울러 데이터 구동회로(200)에 디지털 비디오 데이터를 클럭신호에 맞춰 공급한다.

본 발명의 제2 실시예에 따른 액정표시장치는 센터전압(V_Cen)과 앰플리튜드전압(V_Amp)을 조정을 통한 화소전압들(VD1 내지 VDk)과 공통전압(Vcom) 튜닝 시정극성(+)의 화소전압들(VD1 내지 VDk)과 부극성(-)의 화소전압들(VDk 내지 VD1)은 항상 공통전압(Vcom)을 기준으로 대칭되어 그 튜닝이 손쉬운 장점이 있다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따른 액정표시장치용 전압 발생 회로와 이를 이용한 액정표시장치는 튜닝 과정 중 공통전압을 기준으로 정극성의 화소전압과 부극성의 화소전압이 항상 대칭됨으로써 공통전압과 화소전압의 튜닝이 용이한 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면.

도 2는 도 1의 액정표시장치에 포함된 공통전압 발생부를 나타내는 도면.

도 3 내지 도 5는 도 1의 액정표시장치에 포함된 감마기준전압 발생부를 나타내는 도면.

도 6은 도 1의 액정표시장치의 구동 전압 파형을 나타내는 도면.

도 7은 도 1의 액정표시장치의 다른 구동 전압 파형을 나타내는 도면.

도 8은 도 1의 액정표시장치의 구동 전압 튜닝을 나타내는 도면.

도 9 내지 도 12는 본 발명의 실시예에 따른 액정표시장치용 전압발생회로를 나타내는 도면.

도 13은 도 9 내지 도 12에 도시된 액정표시장치용 전압발생회로의 전압 튜닝을 나타내는 도면.

도 14는 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 도면.

도 15는 도 14에 도시된 액정표시장치의 구동 파형을 나타내는 도면.

도 16은 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 도면.

도 17은 도 16에 도시된 액정표시장치의 구동 파형을 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

100, 200 : 데이터 구동회로 102, 202 : 게이트 구동회로

104, 204 : 액정표시패널 106, 206 : 타이밍 컨트롤러

108 : 전압 발생 회로 Clc : 액정 셀

Com : 공통전극 Pix : 화소전극

GL, GL1 내지 GLi : 게이트라인 DL, DL1 내지 DLj : 데이터라인

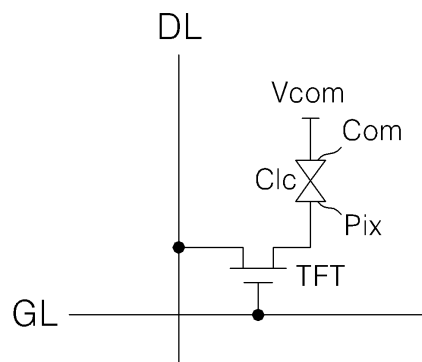
122 : 제1 전압발생부 124 : 제2 전압발생부

126 : 제3 전압발생부 128 : 제4 전압발생부

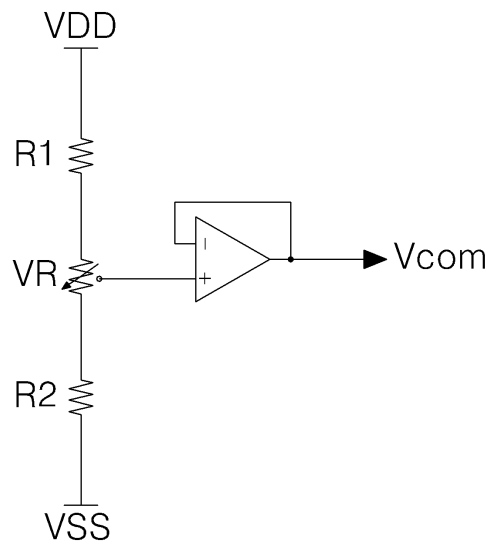
114 : 제5 전압발생부

도면

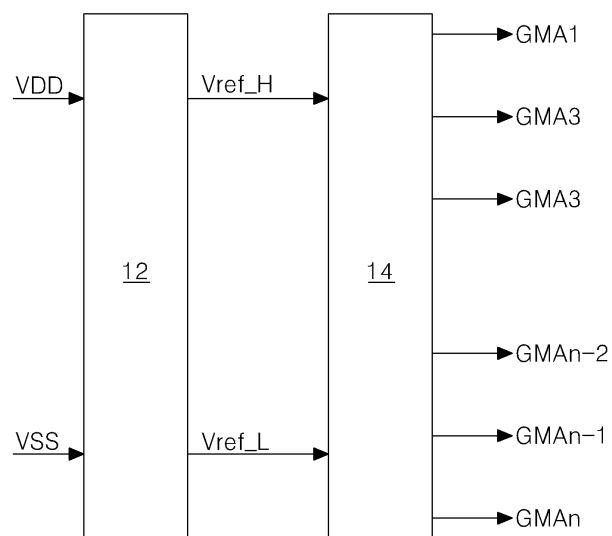
도면1



도면2

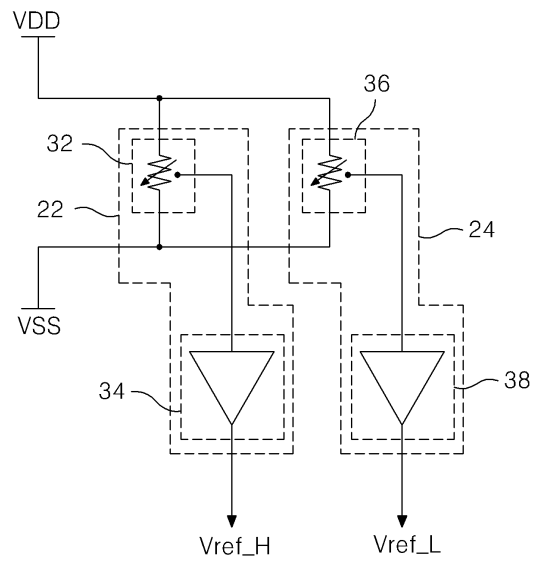


도면3



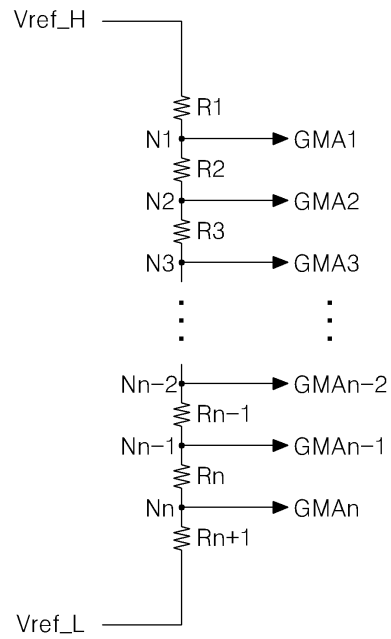
도면4

12

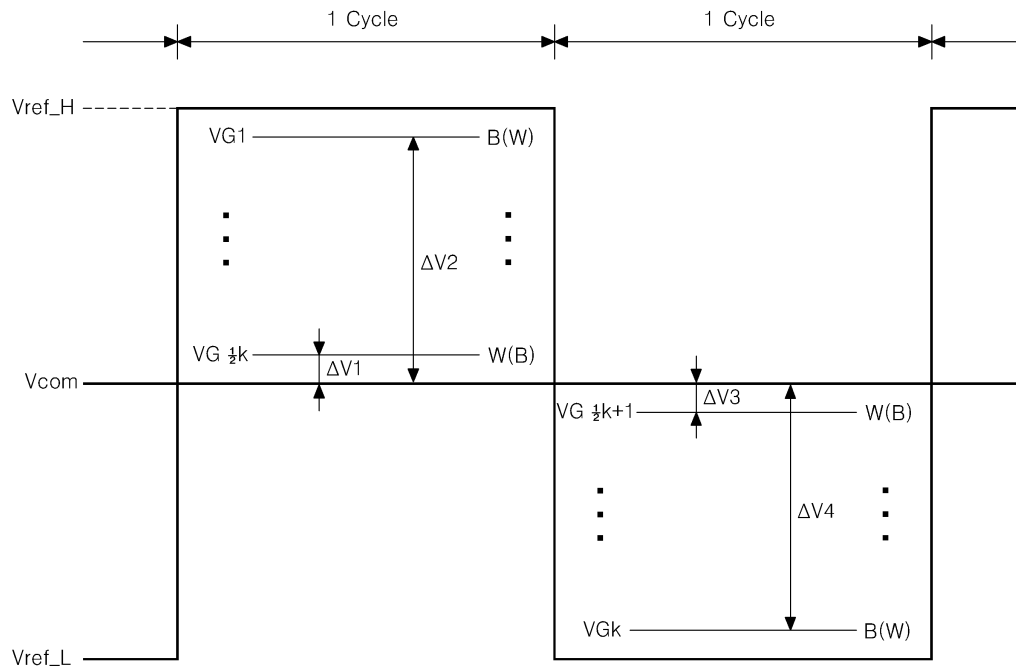


도면5

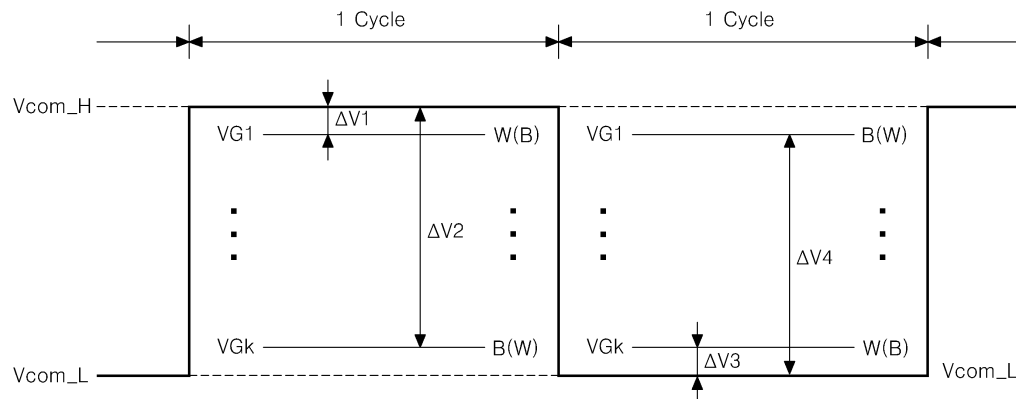
14



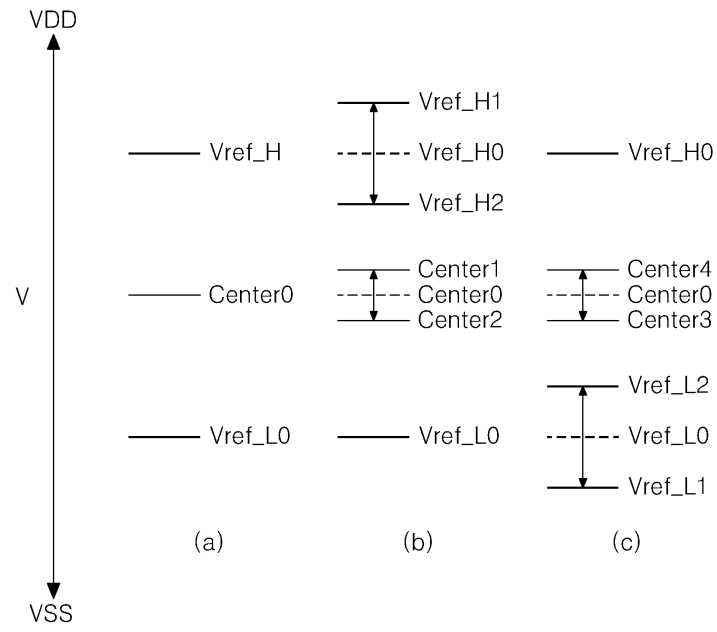
도면6



도면7

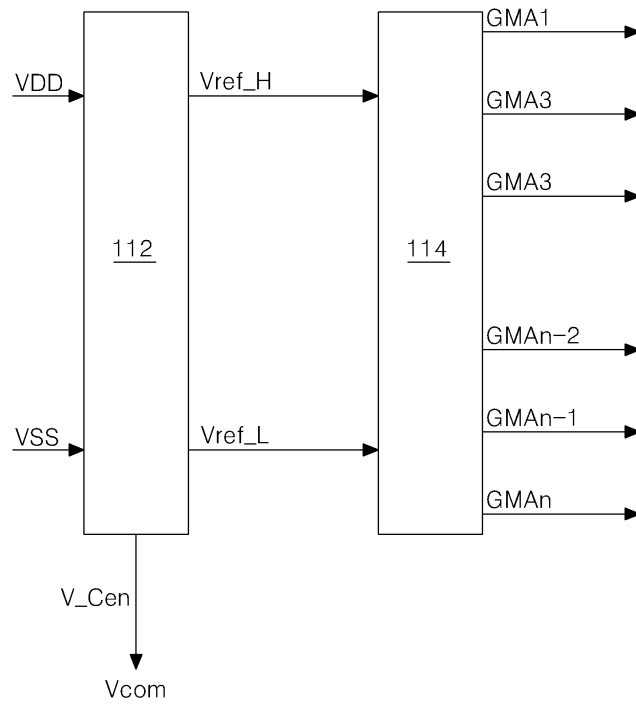


도면8



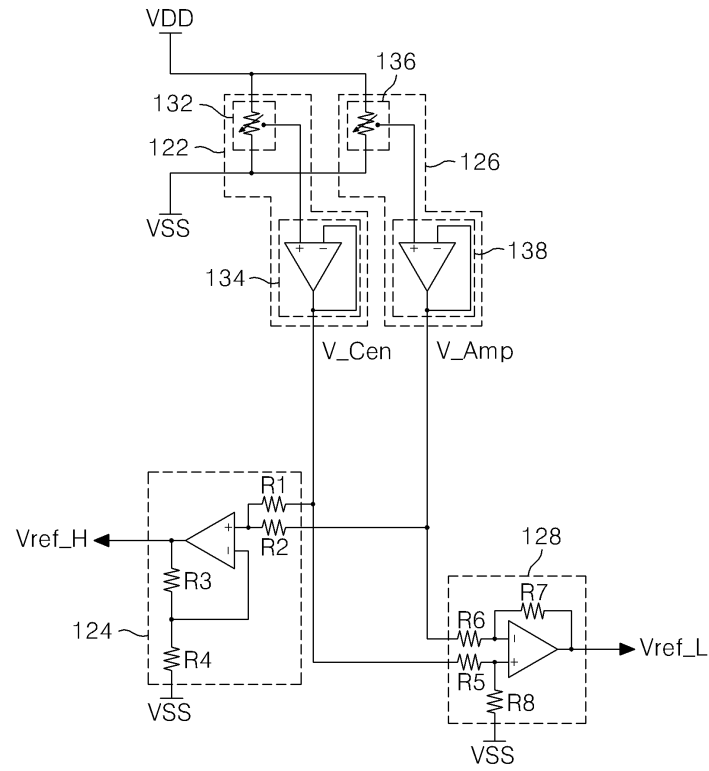
도면9

108



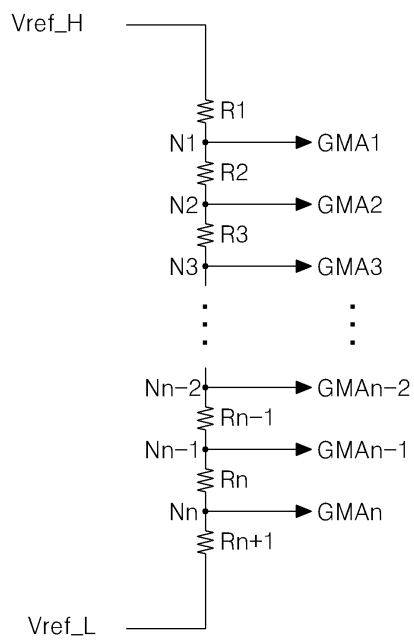
도면10

112



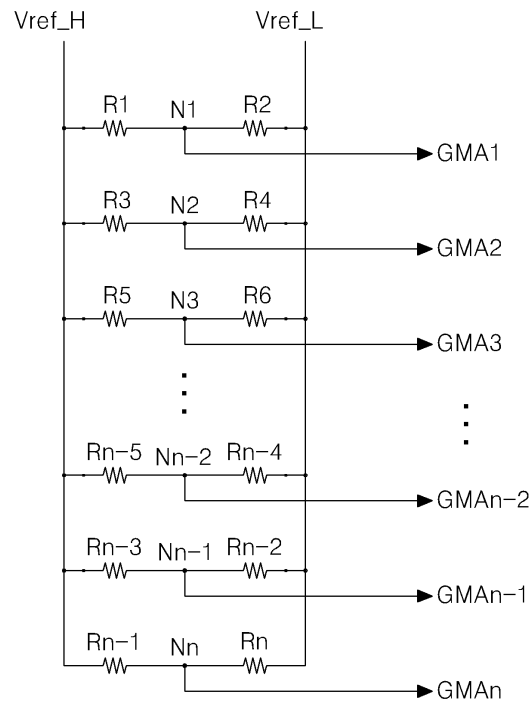
도면11

114

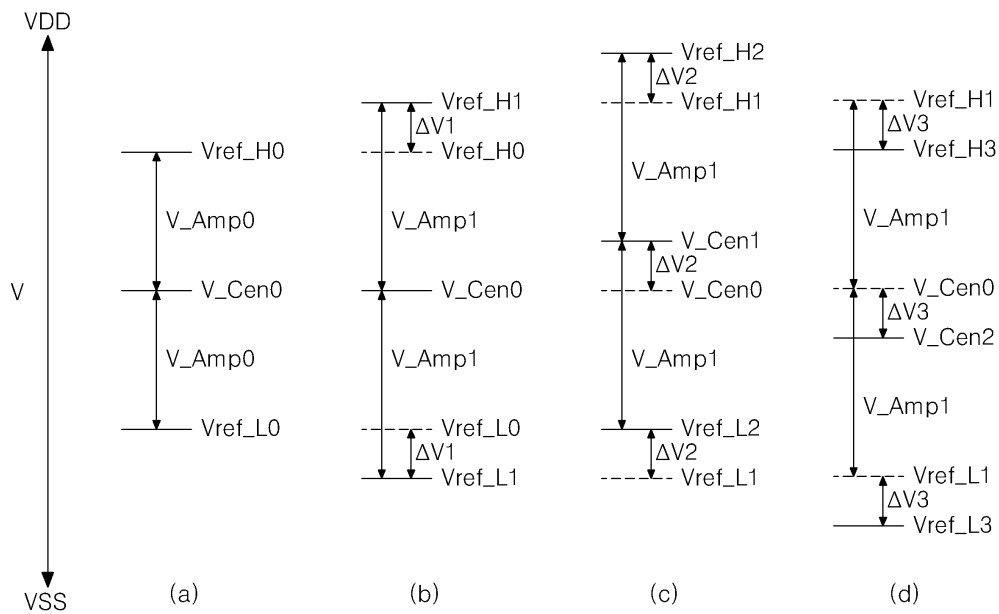


도면12

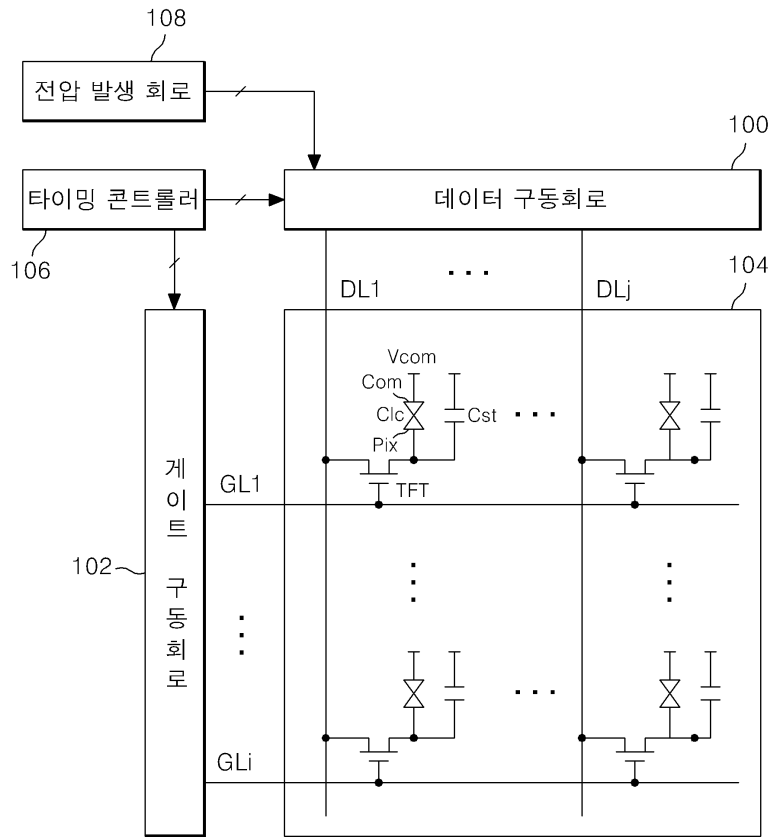
114



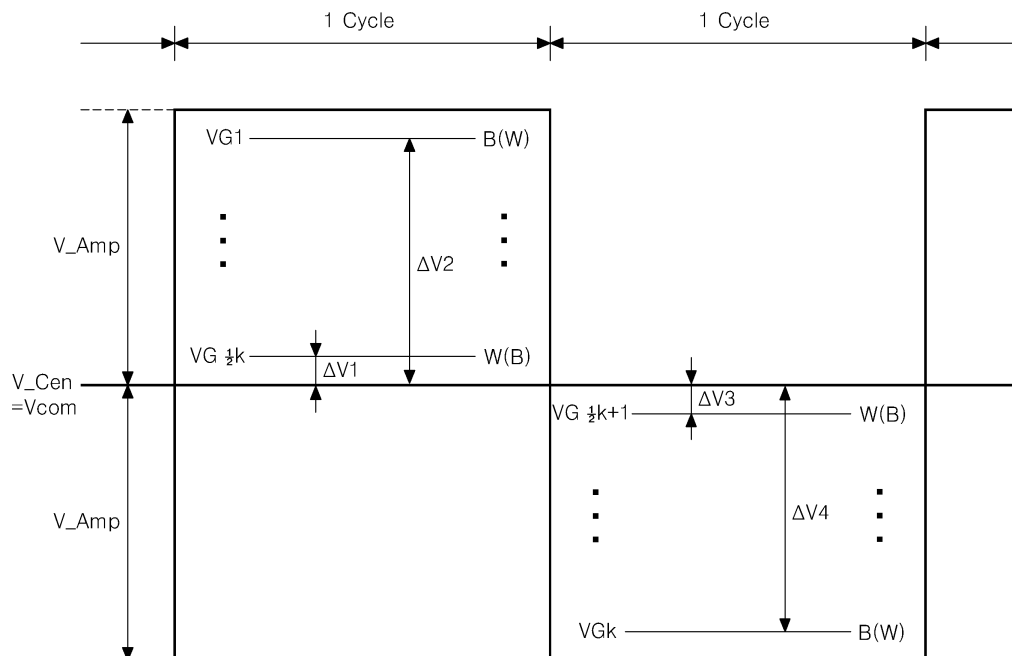
도면13



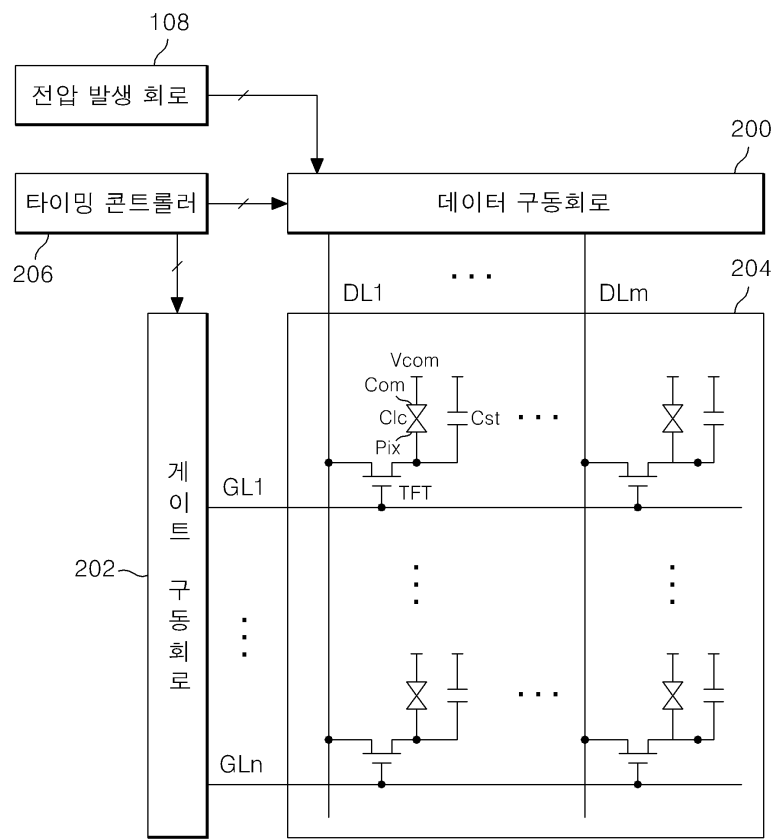
도면14



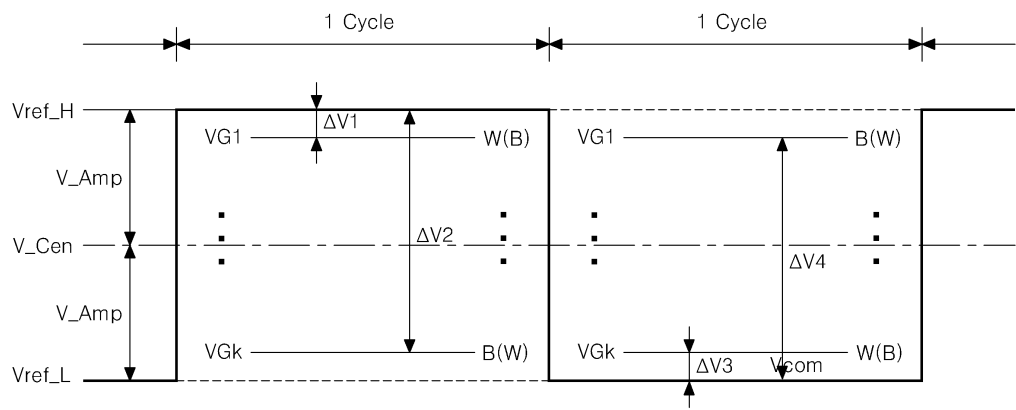
도면15



도면16



도면17



专利名称(译)	用于液晶显示装置的电压产生电路和使用该电路的液晶显示装置		
公开(公告)号	KR1020070055661A	公开(公告)日	2007-05-31
申请号	KR1020050113874	申请日	2005-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU JAE SUNG		
发明人	YU, JAE SUNG		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G02F2201/121 G02F2201/122 G09G3/3696 G09G2320/0276		
其他公开文献	KR101097585B1		
外部链接	Espacenet		

摘要(译)

本发明涉及用于液晶显示器的电压产生电路，其中便于像素电压和公共电压的调谐，以及使用该电压产生电路的液晶显示器。该液晶显示器的电压发生电路包括第一电压发生单元，该第一电压发生单元产生中心电压，来自高电位电压源的低电位电源电压和低电位电源之间的电压变化；产生振幅电压的第二电压发生单元改变低电位电源电压和高电位电源电压之间的电压；第三电压产生单元，产生将振幅电压加到中心电压的上电压参考；第四电压产生单元，产生下参考电压，取出中心电压和上电压参考中的振幅电压；第五电压发生单元对下参考电压之间的电压进行分压，并产生多个伽马参考电压。

112

