



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0036335
G02F 1/133 (2006.01) (43) 공개일자 2007년04월03일

(21) 출원번호 10-2005-0091253
(22) 출원일자 2005년09월29일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 문승환
경기도 용인시 상현동 현대6차아파트 205동 1504호(만현마을2단지)
(74) 대리인 유미특허법인

전체 청구항 수 : 총 15 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 이 액정 표시 장치는 복수의 화소를 포함하는 액정 표시판 조립체, "0" 또는 "1"의 값을 갖는 데이터 원소로 이루어진 복수의 FRC 데이터 패턴을 기억하고, 상기 복수의 FRC 데이터 패턴 중에서 13 비트수의 입력 영상 신호에 대응하는 FRC 데이터 패턴을 선택하고, 상기 선택된 FRC 데이터 패턴에 기초하여 상기 입력 영상 신호를 상기 13 비트수보다 작은 10 비트수의 출력 영상 신호로 변환하여 출력하는 신호 제어부, 그리고 상기 신호 제어부로부터의 출력 영상 데이터에 해당하는 데이터 전압을 상기 화소에 인가하는 데이터 구동부를 포함하고, 상기 신호 제어부의 입력 영상 신호와 출력 영상 신호의 주파수는 120Hz이고 여덟 개의 프레임을 기준으로 상기 FRC 데이터 패턴이 반복된다. 신호 제어부는 복수의 FRC 데이터 패턴을 기억하는 룩업 테이블을 포함하고, 각 FRC 데이터 패턴은 2×2 데이터 행렬을 기본 단위로 한다.

대표도

도 3

특허청구의 범위

청구항 1.

복수의 화소를 포함하는 액정 표시판 조립체,

제1 값 또는 제2 값을 갖는 데이터 원소로 이루어진 복수의 FRC 데이터 패턴을 기억하고, 상기 복수의 FRC 데이터 패턴 중에서 제1 비트수의 입력 영상 신호에 대응하는 FRC 데이터 패턴을 선택하고, 상기 선택된 FRC 데이터 패턴에 기초하여 상기 입력 영상 신호를 상기 제1 비트수보다 작은 제2 비트수의 출력 영상 신호로 변환하여 출력하는 신호 제어부, 그리고

상기 신호 제어부로부터의 출력 영상 데이터에 해당하는 데이터 전압을 상기 화소에 인가하는 데이터 구동부를 포함하고,

상기 신호 제어부의 입력 영상 신호와 출력 영상 신호의 주파수는 120Hz이고 여덟 개의 프레임을 기준으로 상기 FRC 데이터 패턴이 반복되는

액정 표시 장치.

청구항 2.

제1항에서,

상기 신호 제어부는 상기 복수의 FRC 데이터 패턴을 기억하는 룩업 테이블과 상기 룩업 테이블에 기억된 상기 복수의 FRC 데이터 패턴에 기초하여 상기 입력 영상 신호를 변환하는 데이터 처리부를 포함하는 액정 표시 장치.

청구항 3.

제2항에서,

상기 각 FRC 데이터 패턴은 2×2 행렬의 형태를 가지는 액정 표시 장치.

청구항 4.

제3항에서,

상기 제1 비트수와 상기 제2 비트수의 차이는 3비트인 액정 표시 장치.

청구항 5.

제4항에서,

상기 복수의 FRC 데이터 패턴 중에서 상기 입력 영상 신호에 대응하는 FRC 데이터 패턴은 상기 입력 영상 신호의 하위 3비트와 프레임 번호에 의하여 결정되는 액정 표시 장치.

청구항 6.

제5항에서,

상기 데이터 처리부는 상기 입력 영상 데이터의 하위 3비트의 값이 (000)일 때, 상기 하위 3비트를 제외한 상위 비트를 출력 영상 신호의 데이터 값으로 정하는 액정 표시 장치.

청구항 7.

제5항에서,

상기 하위 3 비트가 각각 (001), (010), (011), (101), (110) 및 (111) 일 때, 제1 번째 프레임의 FRC 데이터 패턴은 동일한 액정 표시 장치.

청구항 8.

제5항에서,

상기 하위 3 비트가 (001), (010) 및 (011) 일 때, 제1 번째 프레임의 FRC 데이터 패턴은 서로 동일하고, 상기 하위 3 비트가 (101), (110) 및 (111) 일 때, 제1 번째 프레임의 FRC 데이터 패턴은 서로 동일한 액정 표시 장치.

청구항 9.

제8항에서,

상기 하위 3 비트가 (001), (010) 및 (011) 일 때 상기 제1 번째 프레임의 FRC 데이터 패턴은 상기 하위 3 비트가 (101), (110) 및 (111) 일 때 제1 번째 프레임의 FRC 데이터 패턴과 반대인 액정 표시 장치.

청구항 10.

제5항에서,

상기 하위 3 비트가 (100) 일 때, 이웃한 프레임의 FRC 데이터 패턴은 서로 반전 대칭인 액정 표시 장치.

청구항 11.

제10항에서,

상기 하위 3 비트가 (100) 일 때, 대각선으로 마주보는 FRC 데이터 패턴의 데이터 원소의 값은 서로 동일한 액정 표시 장치.

청구항 12.

제7항에서,

제2 번째 프레임에서, 하위 3비트가 (001)과 (101)일 때의 FRC 데이터 패턴을 서로 동일하고, 하위 3비트가 (010)과 (110)일 때의 FRC 데이터 패턴을 서로 동일하며, 하위 3비트가 (011)과 (111)일 때의 FRC 데이터 패턴을 서로 동일한 액정 표시 장치.

청구항 13.

제7항에서,

제2 번째 프레임에서, 하위 3비트가 (001)와 (101)일 때의 FRC 데이터 패턴은 서로 상이한 액정 표시 장치.

청구항 14.

제7항에서,

제2 번째 프레임에서, 하위 3비트가 (011)와 (111)일 때 FRC 데이터 패턴은 서로 상이한 액정 표시 장치.

청구항 15.

제7항 또는 제8항에서,

상기 제1 번째 프레임은 짝수 번째 프레임인 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것이다.

일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.

이러한 액정 표시 장치에서 외부의 그래픽 소스(graphics source)로부터 적색(red), 녹색(green), 청색(blue) 등과 같은 기본색(primary color)의 영상 신호가 입력된다. 액정 표시 장치의 신호 제어부는 이 영상 신호를 적절히 처리한 후 IC(integrated circuit) 등으로 이루어진 데이터 구동부에 제공한다. 데이터 구동부는 인가된 영상 신호에 해당하는 아날로그 계조 전압을 선택하여 액정 표시판 조립체에 인가한다.

일반적으로 신호 제어부에 입력되는 영상 신호의 비트 수와 데이터 구동부에서 처리할 수 있는 비트 수가 동일해야 하는 것이 이상적이지만, 액정 표시 장치의 제조 원가를 낮추기 위해 처리 능력이 낮은 데이터 구동부를 이용할 수 있다. 예를 들면, 신호 제어부에 인가되는 영상 신호가 13 비트인 경우, 13 비트의 영상 신호를 처리하는 데이터 구동부는 매우 고가이므로, 13 비트보다 낮은 처리 능력, 예를 들어 10 비트의 영상 신호를 처리하는 데이터 구동부를 이용하면 제품의 단가가 낮아진다.

이를 위하여 제안된 기술이 프레임 레이트 제어(frame rate control, FRC)이다. 프레임 레이트 제어는 입력된 영상 데이터의 비트 중에서 데이터 구동부에서 처리 가능한 비트 수에 해당하는 상위 비트만을 취하여 만든 영상 데이터를 하위 비트에 기초하여 프레임 단위로 재구성하는 것이다.

이를 위해, 신호 제어부는 하위 비트의 값에 따른 각 화소에 대한 영상 데이터의 보정값을 룩업 테이블 등에 기억시켜 놓는다. 프레임 레이트 제어의 기본 화소 단위에 대응하는 보정값 집합을 FRC 데이터 패턴이라 한다.

발명이 이루고자 하는 기술적 과제

하지만 이러한 FRC 데이터 패턴을 이용한 FRC의 실시로 인해, 제조 비용은 크게 줄일 수 있으나, 실제로 표시되는 화상의 계조(gray)를 나타내는 영상 신호의 비트수가 감소하였기 때문에 표현 가능한 색상의 개수가 줄어들어, 색 재현성이 떨어진다.

따라서 본 발명이 이루고자 하는 기술적 과제는 표현 가능한 색상의 개수를 증가시켜 표시 장치의 색 재현성을 증가시키는 것이다.

발명의 구성

이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 액정 표시 장치는, 복수의 화소를 포함하는 액정 표시판 조립체, 제1 값 또는 제2 값을 갖는 데이터 원소로 이루어진 복수의 FRC 데이터 패턴을 기억하고, 상기 복수의 FRC 데이터 패턴 중에서 제1 비트수의 입력 영상 신호에 대응하는 FRC 데이터 패턴을 선택하고, 상기 선택된 FRC 데이터 패턴에 기초하여 상기 입력 영상 신호를 상기 제1 비트수보다 작은 제2 비트수의 출력 영상 신호로 변환하여 출력하는 신호 제어부, 그리고 상기 신호 제어부로부터의 출력 영상 데이터에 해당하는 데이터 전압을 상기 화소에 인가하는 데이터 구동부를 포함하고, 상기 신호 제어부의 입력 영상 신호와 출력 영상 신호의 주파수는 120Hz이고 여덟 개의 프레임을 기준으로 상기 FRC 데이터 패턴이 반복된다.

상기 신호 제어부는 상기 복수의 FRC 데이터 패턴을 기억하는 룩업 테이블과 상기 룩업 테이블에 기억된 상기 복수의 FRC 데이터 패턴에 기초하여 상기 입력 영상 신호를 변환하는 데이터 처리부를 포함하는 것이 좋다.

상기 각 FRC 데이터 패턴은 2×2 행렬의 형태를 가질 수 있다.

상기 제1 비트수와 상기 제2 비트수의 차이는 3비트일 수 있다.

상기 복수의 FRC 데이터 패턴 중에서 상기 입력 영상 신호에 대응하는 FRC 데이터 패턴은 상기 입력 영상 신호의 하위 3비트와 프레임 번호에 의하여 결정되는 것이 바람직하다.

상기 데이터 처리부는 상기 입력 영상 데이터의 하위 3비트의 값이 (000)일 때, 상기 하위 3비트를 제외한 상위 비트를 출력 영상 신호의 데이터 값으로 정하는 것이 좋다.

상기 하위 3비트가 각각 (001), (010), (011), (101), (110) 및 (111)일 때, 제1 번째 프레임의 FRC 데이터 패턴은 동일할 수 있다.

상기 하위 3비트가 (001), (010) 및 (011)일 때, 제1 번째 프레임의 FRC 데이터 패턴은 서로 동일하고, 상기 하위 3비트가 (101), (110) 및 (111)일 때, 제1 번째 프레임의 FRC 데이터 패턴은 서로 동일할 수 있다.

상기 하위 3비트가 (001), (010) 및 (011)일 때 상기 제1 번째 프레임의 FRC 데이터 패턴은 상기 하위 3비트가 (101), (110) 및 (111)일 때 제1 번째 프레임의 FRC 데이터 패턴과 반대일 수 있다.

상기 하위 3비트가 (100)일 때, 이웃한 프레임의 FRC 데이터 패턴은 서로 반전 대칭일 수 있다.

상기 하위 3비트가 (100)일 때, 대각선으로 마주보는 FRC 데이터 패턴의 데이터 원소의 값은 서로 동일할 수 있다.

제2 번째 프레임에서, 하위 3비트가 (001)과 (101)일 때의 FRC 데이터 패턴을 서로 동일하고, 하위 3비트가 (010)과 (110)일 때의 FRC 데이터 패턴을 서로 동일하며, 하위 3비트가 (011)과 (111)일 때의 FRC 데이터 패턴을 서로 동일할 수 있다.

제2 번째 프레임에서, 하위 3비트가 (001)과 (101)일 때의 FRC 데이터 패턴은 서로 상이할 수 있다.

제2 번째 프레임에서, 하위 3비트가 (011)과 (111)일 때 FRC 데이터 패턴은 서로 상이할 수 있다.,

상기 제1 번째 프레임은 짝수 번째 프레임일 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 액정 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

각 화소(PX), 예를 들면 i 번째($i=1, 2, \dots, n$) 게이트선(G_i)과 j 번째($j=1, 2, \dots, m$) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i , D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.

스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clac) 및 유지 축전기(Cst)와 연결되어 있다.

액정 축전기(Clac)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(Clac)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

신호 제어부(600)는 데이터 처리부(610)와 룩업 테이블(620)을 포함하며, 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다. 룩업 테이블(610)에는 프레임 레이트 제어에 필요한 FRC 데이터 패턴이 기억되어 있다.

이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(G_1-G_n , D_1-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

신호 제어부(600)의 데이터 처리에는 룩업 테이블(610)에 저장한 FRC 데이터 패턴을 이용한 프레임 레이트 제어가 포함되는데, 프레임 레이트 제어란 데이터 구동부(500)에서 처리할 수 있는 데이터의 비트수가 입력 영상 신호(R, G, B)의 비트수보다 작을 경우에 데이터 구동부(500)에서 처리할 수 있는 비트수의 상위 비트만을 선택하고 나머지 하위 비트가 나타내는 데이터는 이러한 상위 비트들의 시간적, 공간적 평균으로서 구현하는 것을 의미한다. 예를 들어 입력 영상 신호(R, G, B)의 비트수가 13이고 데이터 구동부(500)가 처리할 수 있는 데이터의 비트수가 10이면 입력 영상 신호(R, G, B)의 비트 중에서 상위 10 비트만을 출력한다. 이때, 하위 3 비트는 이 상위 10 비트 데이터의 공간적, 시간적 배열을 결정하며 이 패턴이 룩업 테이블(620)에 저장되어 있는 FRC 데이터 패턴이다. 이러한 프레임 레이트 제어에 대해서는 뒤에서 상세하게 설명한다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 영상 신호의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 게조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D₁-D_m)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G₁-G_n)에 인가하여 이 게이트선(G₁-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D₁-D_m)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.

화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(Clc)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.

1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.

한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).

다음에 도 3을 참고로 하여, 본 발명의 한 실시예에 따라 신호 제어부(600)의 데이터 처리부(601)에서 실시되는 프레임 레이트 제어에 대하여 설명한다.

도 3은 본 발명의 한 실시예에 따른 FRC 데이터 패턴 집합을 보여주고 있다.

본 발명의 실시예에서, 프레임 주파수는 약 120Hz이므로, 신호 제어부(600)에 입력되는 출력되는 신호의 주파수는 약 120Hz이다. 즉, 입력 영상 신호(R, G, B)의 주파수는 약 120Hz이고 출력 영상 신호(DAT)의 주파수 역시 약 120Hz이다. 이 경우, 한 프레임의 시간은 약 8.4ms이다.

도 3에 도시한 FRC 데이터 패턴 집합이 신호 제어부(600)의 룩업 테이블(610)에 기억되며, 각 FRC 데이터 패턴 집합에 속하는 FRC 데이터 패턴 각각은 입력 영상 데이터의 하위 3비트 값과 프레임 번호에 따라 정해지는데, 연속하는 여덟 개의 프레임에 대해서, 하위 3 비트 값이 (001, 010, 011, 100, 101, 110, 111)에 대해서 한 개씩 총 56개의 FRC 데이터 패턴이 존재한다. 하위 3비트가 (000)일 때의 데이터 패턴은 따로 정해져 있지 않다.

도 3에 도시한 바와 같이, 각 FRC 데이터 패턴에서 공간적 배열의 기본 단위는 2×2 데이터 행렬이고 이에 대응하는 2×2 화소 행렬을 기본 단위로 하여 FRC 데이터 패턴을 반복적으로 적용함을 뜻한다. 각 FRC 데이터 패턴의 데이터 원소는 "1" 또는 "0"의 값을 갖는다. 도면에서, "0"의 값을 갖는 데이터 원소는 흰색으로 표시하였고, "1"의 값을 갖는 데이터 원소는 빗금 쳐져 있다.

신호 처리부(610)는 어떤 화소의 입력 영상 신호(R, G, B)에 대해서, 입력 영상 신호(R, G, B)의 하위 3 비트의 값 및 프레임 번호에 따라 복수의 FRC 데이터 패턴 중 하나를 선택하고 FRC 데이터 패턴의 4개의 데이터 원소 중에서 그 화소의 위치에 해당하는 데이터 원소의 값을 읽어 이에 기초하여 데이터 구동부(500)에 출력할 출력 영상 데이터(DAT)를 결정한다.

구체적으로, 선택된 위치의 데이터 원소의 값이 "0"일 경우, 데이터 처리부(610)는 영상 신호(R, G, B)의 상위 10 비트에 의해 정해진 계조의 값을 최종 계조로 정한다. 하지만, 해당 위치에 기억된 데이터 원소의 값이 "1"일 경우, 데이터 처리부(610)는 상위 10비트의 정해진 계조의 값에 "1"을 더한 값을 최종 계조로 정한다. 신호 제어부(600)는 이 최종 계조에 해당하는 10 비트의 영상 데이터(DAT)를 데이터 구동부(500)에 출력한다.

단, 입력 영상 신호(R, G, B)의 하위 3비트가 (000)일 경우에 데이터 처리부(610)는 룩업 테이블(620)에 기억된 FRC 데이터 패턴 쌍을 읽지 않고 바로 영상 신호(R, G, B)의 상위 10 비트에 의해 정해진 계조의 값을 최종 계조로 정한다.

그러면 도 3에 도시한 FRC 데이터 패턴에 대하여 구체적으로 살펴본다.

하위 3비트가 (001, 010, 011)일 때, 짝수 번째 프레임에 해당하는 FRC 데이터 패턴은 모두 "0"의 값을 갖고, 홀수 번째 프레임에서는 각 하위 3비트 값에 따라 FRC 데이터 패턴의 데이터 원소 값이 달라진다.

즉, 하위 3비트가 (001)일 경우, 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 프레임에 해당하는 FRC 데이터 패턴의 4개의 데이터 원소에서 3/4, 즉 4개 중 3개의 데이터 원소가 "0"의 값을 갖고 나머지 1개의 데이터 원소가 1의 값을 가진다. 또한 하위 3비트가 (010)일 경우, 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 프레임에 해당하는 FRC 데이터 패턴의 4개의 데이터 원소에서 2/4, 즉, 4개 중 2개의 데이터 원소가 "0"의 값을 갖고 나머지 2개의 데이터 원소가 1의 값을 가지며, 하위 3비트가 (011)일 경우, 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 프레임에 해당하는 FRC 데이터 패턴의 4개의 데이터 원소에서 1/4, 즉, 4개 중 1개의 데이터 원소가 "0"의 값을 갖고 나머지 3개의 데이터 원소가 1의 값을 가진다.

하위 3비트가 (100)일 때, 각 FRC 데이터 패턴에서 전체의 2/4, 즉 4개 중 2개의 데이터 원소가 "0"의 값을 가지고 나머지 2개의 데이터 원소가 "1"의 값을 가진다.

하위 3비트가 (101, 110, 111)일 때, 짝수 번째 프레임에 해당하는 FRC 데이터 패턴은 모두 "1"의 값을 갖고, 홀수 번째 프레임에서는 각 하위 3비트 값에 따라 FRC 데이터 패턴의 데이터 원소 값이 달라진다.

즉, 하위 3비트가 (101)일 경우, 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 프레임에 해당하는 FRC 데이터 패턴의 4개의 데이터 원소에서 3/4, 즉 4개 중 3개의 데이터 원소가 "0"의 값을 갖고 나머지 1개의 데이터 원소가 1의 값을 가진다. 또한 하위 3비트가 (110)일 경우, 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 프레임에 해당하는 FRC 데이터 패턴의 4개의 데이터 원소에서 2/4, 즉, 4개 중 2개의 데이터 원소가 "0"의 값을 갖고 나머지 2개의 데이터 원소가 1의 값을 가지며, 하위 3비트가 (011)일 경우, 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 프레임에 해당하는 FRC 데이터 패턴의 4개의 데이터 원소에서 1/4, 즉, 4개 중 1개의 데이터 원소가 "0"의 값을 갖고 나머지 3개의 데이터 원소가 1의 값을 가진다.

이와 같이, 여덟 개의 프레임 중 네 개의 프레임에서, FRC 데이터 패턴의 4개의 데이터 원소 중 "0"과 "1"의 값을 갖는 개수가 하위 3 비트의 값에 따라 달라지는 규칙은 바로 디더링(dithering)이라고도 하는 공간적 프레임 레이트 제어의 원칙에 따른 것이다.

또한 여덟 개의 프레임 중 네 개의 프레임에서, 각각의 하위 3비트 값에 대하여 여덟 개의 프레임 중 네 개의 프레임에서 어느 주어진 위치에 있는 하나의 데이터 원소를 보면, 하위 3 비트 값에 따라 "0" 또는 "1"의 값을 가지는 회수가 정해지는데, 이와 같은 규칙은 바로 시각적 프레임 레이트 제어의 규칙에 따른 것이다.

한편, 하위 3비트가 (000)인 경우에 대하여 만들어지는 FRC 데이터 패턴에서는 데이터 원소의 값이 모두 "0"일 것이므로 별도의 FRC 데이터 패턴을 만들지 않아도 된다. 따라서 13 비트 영상 신호(R, G, B)를 10 비트 영상 신호(DAT)로 변환할 때, 총 FRC 데이터 패턴의 수는 실질적으로 64개이지만, 룩업 테이블(620)에는 하위 3비트가 (000)일 때의 4개의 FRC 데이터 패턴을 제외한 모두 56개의 FRC 데이터 패턴만이 기억되어 있다.

그러면 도 3에 도시한 FRC 데이터 패턴의 특징을 살펴본다.

도 3에 도시한 56개의 FRC 데이터 패턴 중에서, 짝수 번째 프레임 경우, 하위 3비트가 (001, 010, 011)일 경우와 (101, 110, 110) 경우는 서로 반대의 FRC 데이터 패턴을 가지고 있고, 홀수 번째 프레임일 경우, 하위 3비트가 (001)일 경우와 (101)일 경우, (010)일 경우와 (110)일 경우 그리고 (011)일 경우와 (111)일 경우는 FRC 데이터 패턴은 서로 동일하다.

하위 3비트가 (001)과 (101)일 경우, 홀수 번째 프레임의 FRC 데이터 패턴은 서로 상이하다.

하위 3비트가 (010)과 (110)일 경우, 홀수 번째 프레임의 FRC 데이터 패턴에서 대각선 방향으로 서로 마주보고 있는 데이터 원소의 값은 서로 동일하고, 첫 번째와 다섯 번째 프레임의 FRC 데이터 패턴은 서로 동일하고, 세 번째 프레임과 일곱 번째 프레임의 FRC 데이터 패턴은 서로 동일하다. 첫 번째와 다섯 번째 프레임의 FRC 데이터 패턴은 세 번째 프레임과 일곱 번째 프레임의 FRC 데이터 패턴과 서로 좌우 반전 대칭이다.

하위 3비트가 (100)일 경우, 홀수 번째 프레임의 FRC 데이터 패턴은 모두 동일하고, 짝수 번째 프레임의 FRC 데이터 패턴 역시 모두 동일하다. 또한, 홀수 번째 프레임의 FRC 데이터 패턴은 짝수 번째 프레임의 FRC 데이터 패턴과 서로 좌우 반전 대칭이다.

하위 3비트가 (011)과 (111)일 경우, 홀수 번째 프레임의 FRC 데이터 패턴은 서로 상이하며, 첫 번째 프레임과 일곱 번째 프레임의 FRC 데이터 패턴은 서로 좌우 대칭이고, 세 번째 프레임과 다섯 번째 프레임의 FRC 데이터 패턴은 서로 좌우 대칭이다.

또한 도 3에 도시한 FRC 데이터 패턴은 그 구조나 순서는 행 또는 열 단위로 바뀔 수 있고 또한 프레임 단위 등으로도 바뀔 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이러한 본 발명에 따르면, 하위 3비트를 이용하여 여덟 프레임 단위로 FRC를 실시하므로 표현되는 색상의 개수가 증가하여 색 재현성이 향상되고, 이로 인해 표시 장치의 화질이 좋아진다.

더욱이, 한 프레임의 주파수가 약 120Hz이기 때문에, 여덟 개의 프레임 단위로 FRC를 실시하더라도, FRC 단위 주파수가 약 $15\text{Hz}(=120\text{Hz}/8)$ 되므로, 약 15Hz 미만일 경우 발생하게 되는 플리커 등의 화질 악화가 발생하지 않는다.

도면의 간단한 설명

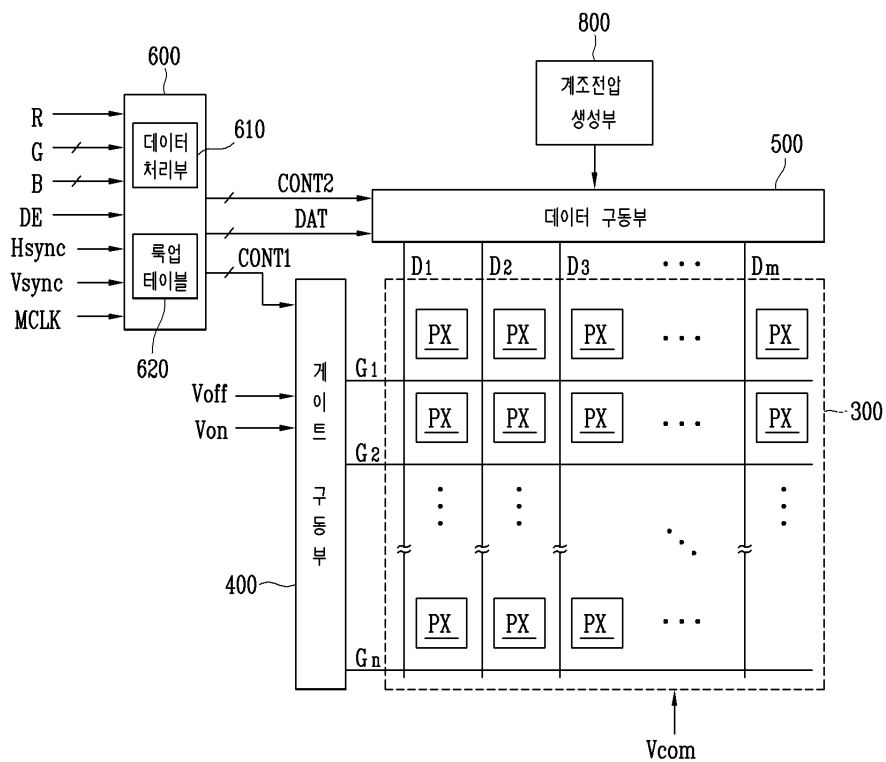
도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

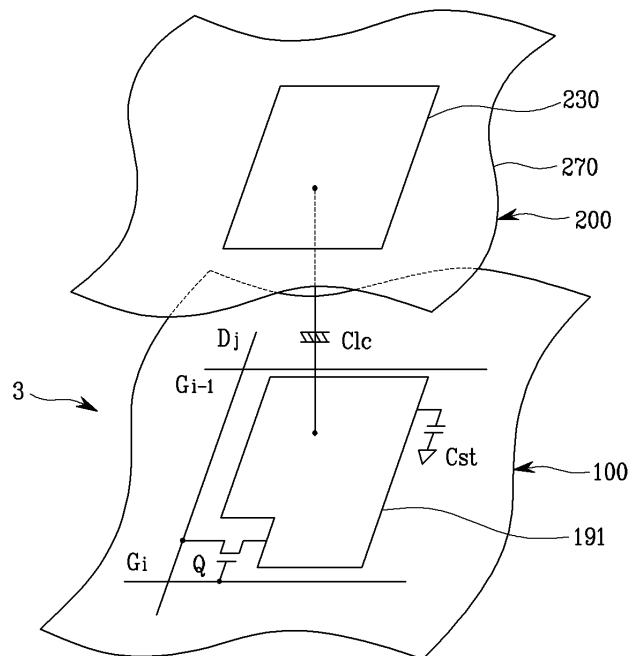
도 3은 본 발명의 한 실시예에 따른 FRC 데이터 패턴 집합을 보여주고 있다.

도면

도면1



도면2



도면3

하위 3비트	프레임 번호							
	1	2	3	4	5	6	7	8
001								
010								
011								
100								
101								
110								
111								

专利名称(译)	液晶显示器		
公开(公告)号	KR1020070036335A	公开(公告)日	2007-04-03
申请号	KR1020050091253	申请日	2005-09-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOON SEUNG HWAN		
发明人	MOON, SEUNG HWAN		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3648 G09G3/2055 G09G3/2011 G09G3/2077		
其他公开文献	KR101152137B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶标记装置。其中该液晶显示器是由具有液晶面板组件的数据元件构成的多个像素的多个FRC数据模式，并且存储“0”或“1”的值。数据驱动器授权对应于来自信号控制单元的输出图像数据的数据电压，该信号控制单元将对应于13位数的输入视频信号的FRC数据模式转换为输出视频信号，该输出视频信号具有比13位数小的13位数输入视频基于所选择的FRC数据模式的信号，包括在像素中的多个FRC数据模式和信号控制单元之间选择和输出的信号。信号控制单元的输入视频信号和输出视频信号的频率是120Hz，并且基于8帧重复FRC数据模式。信号控制单元包括存储多个FRC数据模式的查找表。每个FRC数据模式2×2数据矩阵到基本单元。液晶显示器，FRC，数据模式，LCD，抖动，帧频，120 Hz。

하위 3비트	프레임 번호							
	1	2	3	4	5	6	7	8
001								
010								
011								
100								
101								
110								
111								