



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0007417
(43) 공개일자 2007년01월16일

(21) 출원번호 10-2005-0062015
(22) 출원일자 2005년07월11일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이한주
서울특별시 마포구 염리동 36-180번지
이용의
경기 성남시 분당구 수내동 양지마을청구아파트 212동 1203호

(74) 대리인 박영우

전체 청구항 수 : 총 4 항

(54) 액정표시장치 제조 방법

(57) 요약

제품의 수율을 향상시킬 수 있는 액정표시장치 제조 방법을 개시한다. 게이트 라인은 절연막의 하부에 형성되고, 데이터 라인은 절연막의 상부에 형성된다. 유기 절연막은 게이트 라인의 패드부와 대응하는 영역이 제거되고, 데이터 라인의 패드부와 대응하는 영역이 일부분 제거되어 데이터 라인의 패드부 상에 소량의 두께로 남겨진다. 따라서, 노광 공정 후 데이터 라인의 패드부와 게이트 라인의 패드부 상에 위치하는 층의 개수가 동일하므로, 건식 식각 공정시, 데이터 라인이 오버 에치되는 것을 방지할 수 있다. 이에 따라, 액정표시장치는 제품의 수율 및 신뢰성을 향상시킬 수 있다.

대표도

도 6

특허청구의 범위

청구항 1.

게이트 라인이 형성된 베이스 기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 데이터 라인을 형성하는 단계;

상기 데이터 라인이 형성된 절연막 상에 보호막을 형성하는 단계;

상기 보호막 상에 유기 절연막을 형성하는 단계;

상기 데이터 라인의 패드부 상에 형성된 상기 유기 절연막을 일부분 제거하여 소량 남겨놓고, 이와 동시에 상기 게이트 라인의 패드부 상에 형성된 상기 유기 절연막을 제거하는 단계;

상기 남겨진 유기 절연막 및 상기 보호막을 제거하여 상기 데이터 라인의 패드부를 부분적으로 노출하고, 이와 동시에 상기 보호막 및 상기 절연막을 제거하여 상기 게이트 라인의 패드부를 부분적으로 노출하는 단계; 및

상기 데이터 라인의 패드부 및 상기 게이트 라인의 패드부와 연결되도록 투명 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 2.

제1항에 있어서, 상기 데이터 라인을 형성하는 단계는,

상기 게이트 절연막 상에 형성된 제1 금속층을 형성하는 단계;

상기 제1 금속층 상에 제2 금속층을 형성하는 단계;

상기 제2 금속층 상에 제3 금속층을 형성하는 단계; 및

상기 제1 내지 제3 금속층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 3.

제2항에 있어서, 상기 제2 금속층은 알루미늄으로 형성되고, 상기 제3 금속층은 폴리브텐으로 형성되는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 4.

제1항에 있어서, 상기 유기 절연막을 제거하는 단계에서,

상기 유기 절연막은 상기 데이터 라인의 패드부와 대응하는 영역이 슬릿 노광되는 것을 특징으로 하는 액정표시장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 제조 방법에 관한 것으로, 보다 상세하게는, 제품의 수율을 향상시킬 수 있는 액정표시장치 제조 방법에 관한 것이다.

일반적으로, 액정표시장치는 영상을 표시하는 액정표시패널 및 액정표시패널로 광을 제공하는 백라이트 어셈블리로 이루어진다.

액정표시패널은 하부기관, 하부기관과 마주하는 상부기관, 및 하부기관과 상부기관과의 사이에 개재된 액정층으로 이루어진다. 하부 기관은 액정층으로 신호 전압을 인가하는 화소부, 화소부의 상부에 형성된 보호막, 보호막 상에 형성된 유기 절연막을 포함한다.

하부 기관은 화소부를 정의하는 게이트 라인 및 데이터 라인을 포함한다. 게이트 라인은 베이스 기관 상에 형성되고, 게이트 라인이 형성된 베이스 기관 상에는 게이트 절연막이 형성된다. 데이터 라인은 게이트 절연막 상에 형성되고, 데이터 라인이 형성된 게이트 절연막 상에는 보호막 및 유기 절연막이 형성된다.

게이트 라인 및 데이터 라인의 단부에는 각각 패드부가 형성된다. 게이트 절연막, 보호막 및 유기 절연막은 게이트 라인의 패드부의 상부에서 제거되어 제1 비아홀을 형성한다. 보호막 및 유기 절연막은 데이터 라인의 패드부의 상부에서 제거되어 제2 비아홀을 형성한다. 제1 및 제2 비아홀에 대응하여 투명 전극층이 형성된다. 제1 비아홀이 형성된 영역에는 게이트 신호를 출력하는 게이트 구동부가 실장되며, 제2 비아홀이 형성된 영역에는 데이터 신호를 출력하는 데이터 구동부가 실장된다.

제1 및 제2 비아홀은 동일한 공정을 통해 동시에 형성되며, 유기 절연막을 제거하는 노광 공정 후, 보호막 및 게이트 절연막을 제거하는 건식 식각 공정을 통해 형성된다. 이때, 게이트 라인은 게이트 절연막의 아래에 위치하고, 데이터 라인은 게이트 절연막의 상부에 위치한다. 따라서, 건식 식각 공정 시, 게이트 라인 및 데이터 라인의 패드부 상에 형성된 보호막을 제거하더라도, 게이트 라인의 패드부에 위치하는 게이트 절연막을 제거해야한다. 이로 인해, 데이터 라인의 패드부가 오버에치(over each)될 수 있다. 특히, 데이터 라인이 몰리브덴-알루미늄-몰리브덴으로 이루어진 삼중막 구조일 경우, 가장 상부에 형성된 몰리브덴이 오버 에치 과정에서 제거되어 알루미늄이 노출된다. 이로 인해, 알루미늄과 투명 전극층이 접촉되므로, 콘택 저항이 증가하고, 알루미늄이 쇼트될 수 있다. 이에 따라, 액정표시장치는 정상적인 영상 신호가 화소부로 제공될 수 없으므로, 정상적인 영상을 표시할 수 없으므로, 제품의 수율 및 신뢰성을 저하시킨다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 제품의 수율 및 신뢰성을 향상시킬 수 있는 액정표시장치 제조 방법을 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정표시장치 제조 방법은, 게이트 라인이 형성된 베이스 기관 상에 절연막을 형성하고, 절연막 상에 데이터 라인을 형성한다. 데이터 라인이 형성된 절연막 상에 보호막을 형성하고, 보호막 상에 유기 절연막을 형성한다. 이후, 노광 고정을 통해 데이터 라인의 패드부 상에 형성된 유기 절연막을 일부분 제거하여 소량 남겨놓고, 이와 동시에 게이트 라인의 패드부 형성된 유기 절연막을 제거한다. 건식 식각 공정을 통해 남겨진 유기 절연막 및 보호막을 제거하여 데이터 라인의 패드부를 부분적으로 노출하고, 이와 동시에 보호막 및 절연막을 제거하여 게이트 라인의 패드부를 부분적으로 노출한다. 이후, 유기 절연막 상에 데이터 라인의 패드부 및 게이트 라인의 패드부와 대응하여 투명 전극층을 형성한다.

이러한 액정표시장치 제조 방법에 의하면, 노광 공정 후, 게이트 라인 및 데이터 라인의 상부에 위치하는 층의 개수가 동일하므로, 건식 식각 공정에서 데이터 라인이 오버 에치되는 것을 방지할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

도 1을 참조하면, 상기 액정표시장치(500)는 액정표시패널(LP), 상기 액정표시패널(LP)에 부착된 데이터측 테이프 캐리어 패키지(Tape Carrier Package : 이하, TCP)들(300) 및 상기 액정표시패널(LP)에 부착된 게이트측 TCP들(400)을 포함한다.

상기 액정표시패널(LP)은 광을 이용하여 데이터 신호 및 게이트 신호에 대응하는 영상을 표시한다. 상기 액정표시패널(LP)은 하부 기관(100), 상기 하부 기관(200)과 마주하는 상부 기관(200) 및 상기 하부 기관(100)과 상기 하부 기관(200)과의 사이에 개재된 액정층(미도시)을 포함한다.

상기 하부 기관(100)은 외부로부터 상기 데이터 신호 및 상기 게이트 신호를 수신하고, 상기 액정층으로 화소 전압을 인가한다. 상기 하부 기관(100)에 대한 구체적인 설명은 후술하는 도 2에서 하기로 한다.

상기 상부 기관(200)은 광을 이용하여 소정의 색을 발현하는 컬러필터 층 및 공통 전압을 제공하는 공통전극이 형성된 기관이다. 상기 컬러필터 층은 상기 액정층을 통과한 광에 따라 소정의 색을 발현한다.

상기 데이터측 TCP들(300)은 상기 하부 기관(100)의 소오스측에 부착되고, 상기 하부 기관(100)과 전기적으로 연결된다. 데이터측 TCP(310)는 제1 베이스 필름(311) 및 상기 제1 베이스 필름(311) 상에 실장된 데이터 구동칩(312)으로 이루어진다.

상기 제1 베이스 필름(311)은 상기 하부 기관(100)에 부착되고, 신호를 전송하는 도선들이 형성된다. 상기 데이터 구동칩(312)은 외부로부터 상기 액정표시패널(LP)을 구동하기 위한 구동 신호 및 상기 데이터 신호를 수신하여 상기 데이터 신호를 출력한다.

상기 게이트측 TCP들(400)은 상기 하부 기관(100)의 게이트측에 부착되고, 상기 하부 기관(100)과 전기적으로 연결된다. 게이트측 TCP(410)는 제2 베이스 필름(411) 및 상기 제2 베이스 필름(411) 상에 실장된 게이트 구동칩(412)으로 이루어진다.

상기 제2 베이스 필름(411)은 상기 하부 기관(100)의 일측에 부착되고, 신호를 전송하는 도선들이 형성된다. 상기 게이트 구동칩(412)은 외부로부터 상기 액정표시패널(LP)을 구동하기 위한 구동 신호 및 상기 게이트 신호를 수신하여 상기 게이트 신호를 출력한다.

도면에는 도시하지 않았으나, 상기 액정표시장치(500)는 상기 데이터측 TCP들(300)과 연결된 데이터측 인쇄회로기판 및 상기 게이트측 TCP들(400)과 연결된 게이트측 인쇄회로기판을 더 포함한다.

상기 데이터측 인쇄회로기판은 상기 데이터측 TCP들(300)과 전기적으로 연결된다. 상기 데이터측 인쇄회로기판에는 상기 구동신호를 생성하는 구동칩, 상기 구동신호의 타이밍을 조절하기 위한 타이밍 컨트롤러, 및 데이터 신호를 저장하기 위한 메모리 등이 실장된다.

상기 게이트측 인쇄회로기판은 상기 게이트측 TCP들(400)과 전기적으로 연결된다. 상기 게이트측 인쇄회로기판에는 상기 구동칩, 상기 타이밍 컨트롤러, 및 게이트 신호를 저장하기 위한 메모리 등이 실장된다.

또한, 상기 액정표시장치(500)는 상기 데이터측 및 게이트측 인쇄회로기판의 기능이 통합된 하나의 인쇄회로기판을 구비할 수도 있다.

도 2는 도 1에 도시된 하부 기관을 나타낸 평면도이며, 도 3은 도 2의 절단선 I-I'에 따른 단면도이다.

도 1 및 도 2를 참조하면, 상기 하부 기관(100)은 베이스 기관(110) 및 상기 베이스 기관(110) 상에 형성된 다수의 화소부를 포함한다.

상기 베이스 기관(110)은 유리나 석영 등과 같이 광을 투과시킬 수 있는 투명한 재질로 이루어진다. 상기 베이스 기관(100)은 상기 영상이 표시되는 표시 영역(DA) 및 상기 표시 영역(PA)을 둘러싼 주변 영역(PA)으로 구획된다. 상기 주변 영역(PA)은 실질적으로 상기 영상이 표시되지 않는다.

상기 다수의 화소부는 상기 표시 영역(DA)에 형성된다. 상기 다수의 화소부는 다수의 게이트 라인(GL1 ~ GLn) 및 상기 베이스 기관(110) 상에 형성된 다수의 데이터 라인(DL1 ~ DLm)으로 이루어진다.

상기 다수의 게이트 라인(GL1 ~ GLn)은 제1 방향(D1)으로 연장되어 형성되고, 상기 제1 방향(D2)과 직교하는 제2 방향(D2)으로 배치된다. 상기 다수의 게이트 라인(GL1 ~ GLn)은 상기 게이트측 TCP들(400)과 전기적으로 연결되어 상기 게이트 신호를 전송한다.

상기 다수의 데이터 라인(DL1 ~ DLm)은 상기 다수의 게이트 라인(GL1 ~ GLn)과 절연되어 형성된다. 상기 다수의 데이터 라인(DL1 ~ DLm)은 상기 제2 방향(D2)으로 연장되어 형성되고, 상기 제1 방향(D1)으로 배치된다. 상기 다수의 데이터 라인(DL1 ~ DLm)은 상기 데이터측 TCP들(300)과 전기적으로 연결되어 상기 데이터 신호를 전송한다.

각 화소부(Px)는 게이트 라인 및 데이터 라인과 연결된 박막 트랜지스터(Thin Film Transistor : 이하, TFT)(120) 및 상기 TFT(120)와 전기적으로 연결된 화소 전극(130)을 포함한다.

도 3을 참조하면, 상기 TFT(120)는 상기 베이스 기판(110) 상에 형성되고, 상기 화소 전압을 상기 화소 전극(130)으로 인가하고 차단한다. 상기 TFT(120)는 상기 게이트 신호를 수신하는 게이트 전극(121), 상기 게이트 전극(121)의 상부에 형성된 액티브 층(122), 상기 액티브 층(122)의 상면에 형성된 오믹 콘택층(123), 상기 오믹 콘택층(123)의 상면에 형성된 소오스 전극(124), 및 드레인 전극(125)을 구비한다.

상기 게이트 전극(121)은 상기 게이트 신호를 전송하는 게이트 라인(미도시)으로부터 분기되어 형성된다. 이 실시예에 있어서, 상기 게이트 전극(121)은 이중막으로 형성된다. 그러나, 상기 게이트 전극(121)은 단일막 또는 삼중막으로 형성될 수도 있다.

상기 게이트 전극(121)이 형성된 상기 베이스 기판(110) 상에는 상기 게이트 절연막(140)이 형성된다. 상기 게이트 절연막(140)은 상기 게이트 전극(121) 및 상기 게이트 라인을 보호한다. 상기 게이트 절연막(140)은 금속 물질과의 접착력이 좋고 계면에 공기층의 형성을 억제하는 산화실리콘(SiO_2)이나 질화실리콘(SiN_x)과 같은 무기 절연물질로 이루어진다. 상기 게이트 절연막(140)은 플라즈마 화학기상증착(plasma-enhanced chemical vapor deposition : 이하, PECVD) 방법에 의해 형성되며, 바람직하게는, 약 4200Å의 두께를 갖는다.

상기 게이트 절연막(140)의 상면에는 비정질실리콘으로 이루어진 상기 액티브 층(122) 및 n+ 비정질실리콘으로 이루어진 상기 오믹 콘택층(123)이 순차적으로 구비된다.

상기 액티브 층(122)은 상기 게이트 전극(121)과 대응하여 구비된다. n⁺로 도핑된 비정질실리콘으로 이루어진 상기 오믹 콘택층(123)은 상기 액티브 층(122)의 상면에 형성된다. 상기 오믹 콘택층(123)은 중앙부가 제거되어 상기 액티브 층(122)을 부분적으로 노출하는 채널 영역을 형성한다.

상기 소오스 및 드레인 전극(124, 125)은 상기 오믹 콘택층(123)의 상면에 형성된다. 이 실시예에 있어서, 상기 소오스 및 드레인 전극(124, 125)은 삼중막으로 형성되나, 단일막 또는 삼중막으로도 형성될 수 있다.

상기 소오스 전극(124)은 데이터 신호를 전송하는 데이터 라인(미도시)으로부터 분기되어 상기 데이터 신호를 수신한다. 상기 드레인 전극(125)은 상기 채널 영역을 사이에 두고 상기 소오스 전극(124)과 서로 마주한다.

상기 화소 전극(130)은 인듐 틴 옥사이드(Indium Tin Oxide; 이하, ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide : 이하, IZO)로 이루어진다. 상기 화소 전극(130)은 상기 드레인 전극(125)과 전기적으로 연결된다.

상기 하부 기판(100)은 상기 다수의 데이터 라인(DL1 ~ DLm) 및 상기 TFT(120)를 보호하는 보호막(150) 및 유기 절연막(160)을 더 포함한다.

상기 보호막(150)은 상기 TFT(120)가 형성된 상기 게이트 절연막(140) 상에 형성된다. 상기 보호막(150)은 무기 절연물질, 예컨대, 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)으로 이루어지고, 바람직하게는, 약 2000Å의 두께를 갖는다.

상기 유기 절연막(160)은 상기 보호막(150) 상에 형성되며, 바람직하게는, 약 4200Å의 두께를 갖는다. 상기 보호막(150) 및 상기 유기 절연막(160)은 부분적으로 제거되어 상기 드레인 전극(125)을 일부분 노출하는 콘택홀(CH)을 형성한다. 상기 화소 전극(130)은 상기 콘택홀(CH)을 통해 상기 드레인 전극(125)과 전기적으로 연결된다.

도 4는 도 2의 'A'부분을 확대하여 나타낸 평면도이고, 도 5는 도 2의 'B'부분을 확대하여 나타낸 평면도이며, 도 6은 도 4의 절단선 II-II 및 도 5의 절단선 III-III에 따른 단면도이다.

이 실시예에 있어서, 상기 다수의 게이트 라인(GL1 ~ GLn)은 서로 동일한 구조를 가지며, 상기 다수의 데이터 라인(DL1 ~ DLm)도 서로 동일한 구조를 갖는다. 따라서, 이하, 상기 다수의 게이트 라인(GL1 ~ GLn) 및 상기 다수의 데이터 라인(DL1 ~ DLm)에 대한 구체적인 설명에 있어서, 제1 게이트 라인(GL1) 및 제1 데이터 라인(DL1)을 일례로 하여 설명한다.

도 6을 참조하면, 상기 제1 게이트 라인(GL1)은 상기 게이트 전극(121)(도 3 참조)과 마찬가지로, 제1 게이트 메탈층(GM1) 및 제2 게이트 메탈층(GM2)으로 이루어진 이중막 구조를 갖는다. 상기 제1 게이트 메탈층(GM1)은 상기 베이스 기판(110) 상에 형성되고, 몰리브덴(Mo)으로 이루어진다. 상기 제2 게이트 메탈층(GM2)은 상기 제1 게이트 메탈층(GM1) 상에 형성되고, 알루미늄-네오디뮴(AlNd)으로 이루어진다.

도 2 및 도 4를 참조하면, 상기 제1 게이트 라인(GL1)의 일단부에는 상기 게이트측 TCP들(400)과 전기적으로 연결되는 게이트 패드부(GL1_PD)가 형성된다. 상기 게이트 패드부(GL1_PD)는 상기 제1 게이트 라인(GL1)보다 넓은 폭으로 형성된다.

다시, 도 6을 참조하면, 상기 제1 데이터 라인(DL1)은 상기 소오스 및 드레인 전극(124, 125)(도 3 참조)과 마찬가지로, 제1 내지 제3 데이터 메탈층(DM1, DM2, DM3)으로 이루어진 삼중막 구조를 갖는다. 상기 제1 데이터 메탈층(DM1)은 상기 게이트 절연막(140) 상에 형성되며, 몰리브덴으로 이루어진다. 상기 제2 데이터 메탈층(DM2)은 상기 제1 데이터 메탈층(DM1) 상에 형성되고, 알루미늄(Al)으로 이루어진다. 상기 제3 데이터 메탈층(DM3)은 상기 제2 데이터 메탈층(DM2) 상에 형성되고, 상기 제1 데이터 메탈층(DM1)과 동일하게 몰리브덴으로 이루어진다.

도 2 및 도 5를 참조하면, 상기 제1 데이터 라인(DL1)의 일단부에는 상기 데이터측 TCP들(300)(도 1 참조)과 전기적으로 연결되는 데이터 패드부(DL1_PD)가 형성된다. 상기 데이터 패드부(DL1_PD)는 상기 제1 데이터 라인(DL1)보다 넓은 폭을 갖는다.

도 4 내지 도 6을 참조하면, 상기 제1 게이트 라인(GL1)이 형성된 상기 베이스 기판(110) 상에는 상기 게이트 절연막(140)이 형성되고, 상기 게이트 절연막(140) 상에는 상기 제1 데이터 라인(DL1)이 형성된다.

상기 제1 데이터 라인(DL1)이 형성된 상기 게이트 절연막(140) 상에는 상기 보호막(150) 및 상기 유기 절연막(150)이 순차적으로 형성된다.

상기 게이트 절연막(140), 상기 보호막(150) 및 상기 유기 절연막(160)은 상기 게이트 패드(GL1_PD)의 상부에서 제거되어 제1 비아홀(VH1)을 형성한다. 상기 게이트 패드(GL1_PD)는 상기 제1 비아홀(VH1)을 통해 부분적으로 노출된다.

상기 보호막(150) 및 상기 유기 절연막(160)은 상기 데이터 패드(DL1_PD)의 상부에서 제거되어 제2 비아홀(VH2)을 형성한다. 상기 데이터 패드(DL1_PD)는 상기 제2 비아홀(VH2)을 통해 부분적으로 노출된다.

여기서, 상기 제1 및 제2 비아홀(VH1, VH2)은 동일한 공정을 통해 함께 형성된다.

상기 유기 절연막(160)의 상부에는 제1 및 제2 투명 전극층(170, 175)이 형성된다. 상기 제1 투명 전극층(170)은 상기 게이트 패드(GL1_PD)와 대응하여 형성되고, 상기 제1 비아홀(VH1)을 통해 상기 게이트 패드(GL1_PD)와 전기적으로 연결된다. 도면에는 도시하지 않았으나, 상기 게이트측 TCP(410)(도 1 참조)는 상기 제1 투명 전극층(170) 상에 구비되고, 상기 제1 투명 전극층(170)은 상기 게이트측 TCP(410)와 상기 게이트 패드(GL1_PD)를 전기적으로 연결한다.

상기 제2 투명 전극층(175)은 상기 데이터 패드(DL1_PD)와 대응하여 형성되고, 상기 제2 비아홀(VH2)을 통해 상기 데이터 패드(DL1_PD)와 전기적으로 연결된다. 도면에는 도시하지 않았으나, 상기 데이터측 TCP(310)(도 1 참조)는 상기 제2 투명 전극층(175) 상에 구비되고, 상기 제2 투명 전극층(175)은 상기 데이터측 TCP(310)와 상기 데이터 패드(DL1_PD)를 전기적으로 연결한다.

상기 제1 및 제2 투명 전극층(170, 175)은 상기 화소 전극(130)(도 3 참조)과 동일한 재질로 이루어진다. 상기 제1 및 제2 투명 전극층(170, 175)은 상기 화소 전극(130)과 동일한 공정을 통해 형성되며, 상기 화소 전극(130)이 형성되는 과정에서 함께 형성된다.

도 7a 내지 도 7c는 도 6에 도시된 액정표시장치의 제조 과정을 나타낸 공정도이다.

도 7a를 참조하면, 상기 제1 게이트 라인(GL1)이 형성된 상기 베이스 기판(110) 상에 상기 게이트 절연막(140)을 형성하고, 상기 게이트 절연막(140) 상에 상기 제1 데이터 라인(DL1)을 형성한다.

상기 제1 데이터 라인(DL1)이 형성된 상기 게이트 절연막(140) 상에 상기 보호막(150) 및 상기 유기 절연막(160)을 순차적으로 형성한다.

도 7b를 참조하면, 상기 유기 절연막(160)의 상부에 마스크(600)를 배치한다.

상기 마스크(600)는 상기 유기 절연막(160)으로부터 소정의 간격으로 이격되어 구비된다. 상기 마스크(600)는 상기 게이트 패드부(GL1_PD)와 대응하여 투과홀(610)을 갖고, 상기 데이터 패드부(DL1_PD)와 대응하여 슬릿부(620)를 갖는다.

상기 유기 절연막(160)은 상기 마스크(600)의 상부로 자외선(L)을 조사하여 패터닝하는 사진 식각 공정을 통해 부분적으로 제거된다. 이때, 상기 유기 절연막(160)은 상기 투과홀(610)에 대응하는 영역이 완전히 제거되고, 상기 슬릿부(620)와 대응하는 영역은 완전히 제거되지 않고 소량의 유기막(161)이 잔존한다.

즉, 상기 제1 게이트 라인(GL1)은 상기 게이트 절연막(140)의 하부에 구비되고, 상기 제1 데이터 라인(DL1)은 상기 게이트 절연막(140)의 상부에 구비되기 때문에, 상기 제1 비아홀(VH1)을 형성하기 위한 조건과 상기 제2 비아홀(VH2)을 형성하기 위한 조건이 일치하지 않는다.

상기 제2 비아홀(VH2)을 형성하기 위해서는 상기 보호막(150) 및 상기 유기 절연막(160)을 제거해야하나, 상기 제1 비아홀(VH1)을 형성하기 위해서는 상기 보호막(150) 및 상기 유기 절연막(160) 이외에도 상기 게이트 절연막(140) 더 제거해야한다. 따라서, 상기 유기 절연막(160)을 제거한 후, 상기 제1 및 제2 비아홀(VH1, VH2)을 형성하기 위한 후속 공정의 조건을 동일하게 하기 위하여 상기 유기 절연막(160)을 상기 데이터 패드(DL1_PD)의 상부에서 일부분만 제거한다.

즉, 상기 마스크(600)의 상기 슬릿부(620)는 상기 투과홀(610)보다 소량의 자외선(L)을 투과시키기 때문에, 상기 투과홀(610)과 같이 완전 노광이 이루어지지 않고 부분적으로 노광이 이루어진다. 따라서, 상기 유기 절연막(160)은 상기 데이터 패드부(DL1_PD)의 상부에서 완전히 제거되지 못하고, 상기 데이터 패드부(DL1_PD)의 주변 영역보다는 얇은 두께로 잔존한다.

이에 따라, 상기 게이트 패드부(GL1_PD)의 상부에는 상기 게이트 절연막(140) 및 상기 보호막(150)이 위치하므로, 상기 게이트 패드부(GL1_PD)의 상부에 두 개의 층이 위치한다. 상기 데이터 패드부(DL1_PD)의 상부에는 상기 보호막(150) 및 소량의 상기 유기 절연막(161)이 위치하므로, 상기 게이트 패드부(GL1_PD)와 마찬가지로, 상기 데이터 패드부(DL1_PD)의 상부에 두 개의 층이 위치한다.

도 7c를 참조하면, 건식 식각 공정을 통해 상기 게이트 패드부(GL1_PD) 상에 형성된 상기 게이트 절연막(140) 및 상기 보호막(150)을 제거하고, 이와 동시에, 상기 데이터 패드부(DL1_PD) 상에 형성된 상기 보호막(150) 및 상기 소량의 유기 절연막(161)을 제거한다. 이로써, 상기 게이트 패드부(GL1_PD)의 상부에는 상기 제1 비아홀(VH1)이 형성되고, 상기 데이터 패드부(DL1_PD)의 상부에는 상기 제2 비아홀(VH2)이 형성된다.

이와 같이, 상기 노광 공정 후, 상기 제1 비아홀(VH1)을 형성하기 위해서 제거해야할 층의 개수와 상기 제2 비아홀(VH2)을 형성하기 위해서 제거해야할 층의 개수가 동일하고, 그 두께 또한 유사하다. 이에 따라, 상기 하부 기판(100)은 상기 건식 식각 공정에서 상기 데이터 패드부(DL1_PD)의 제1 데이터 메탈층(DM1)이 제거되어 상기 제2 데이터 메탈층(DM2)과 상기 제2 투명 전극층(175)(도 6 참조)이 접촉되는 것을 방지할 수 있다.

따라서, 상기 하부 기판(100)은 상기 제2 데이터 메탈층(DM2)과 상기 제2 투명 전극층(175)이 접촉되어 접촉 저항이 증가하는 것을 방지할 수 있고, 제2 데이터 메탈층(DM2)과 상기 제2 투명 전극층(175)이 쇼트되는 것을 방지할 수 있으므로, 제품의 수율 및 신뢰성을 향상시킬 수 있다.

발명의 효과

상술한 본 발명에 따르면, 액정표시장치는 제1 및 제2 비아홀 형성시, 데이터 패드부의 상부에 형성된 유기 절연막을 소량 남겨놓는다. 따라서, 액정표시장치는 제1 및 제2 비아홀을 형성하기 위한 건식 식각 공정 시, 제1 및 제2 비아홀을 형성하

기 위해 제거해야하는 층의 개수가 서로 동일하고, 그 두께 또한 유사하다. 이에 따라, 액정표시장치는 제1 및 제2 비아홀을 형성하는 과정에서 데이터 패드부의 제1 데이터 메탈층이 제거되는 것을 방지할 수 있으므로, 제품의 수율 및 신뢰성을 향상시킬 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

도 2는 도 1에 도시된 하부 기판을 나타낸 평면도이다.

도 3은 도 2의 절단선 I-I'에 따른 단면도이다.

도 4는 도 2의 'A'부분을 확대하여 나타낸 평면도이다.

도 5는 도 2의 'B'부분을 확대하여 나타낸 평면도이다.

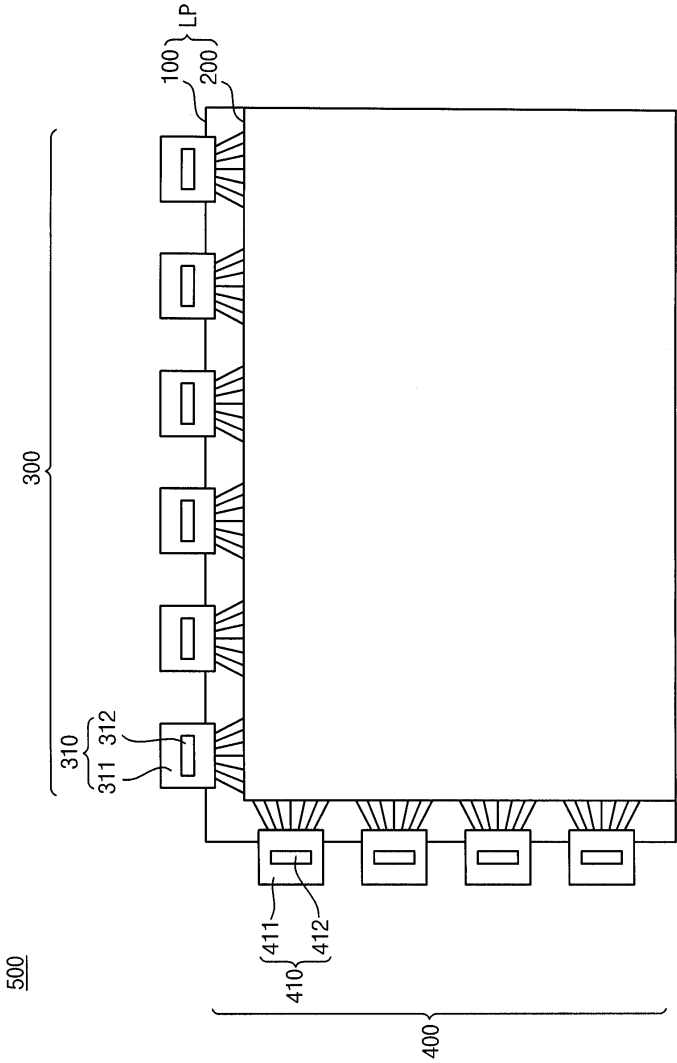
도 6은 도 4의 절단선 II-II' 및 도 5의 절단선 III-III'에 따른 단면도이다.

도 7a 내지 도 7c는 도 6에 도시된 액정표시장치의 제조 과정을 나타낸 공정도이다.

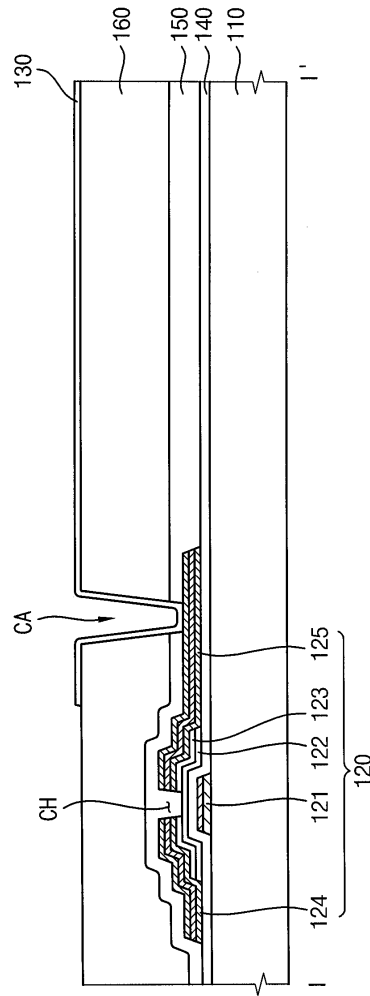
<도면의 주요부분에 대한 부호의 설명>

도면

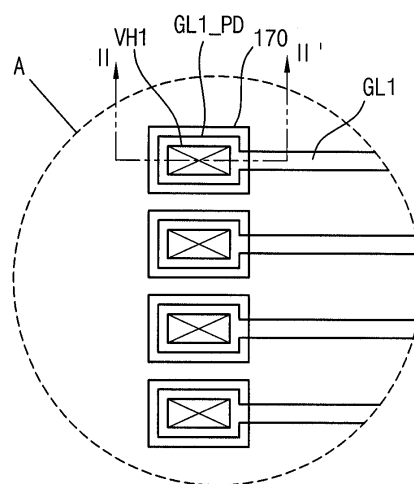
도면1



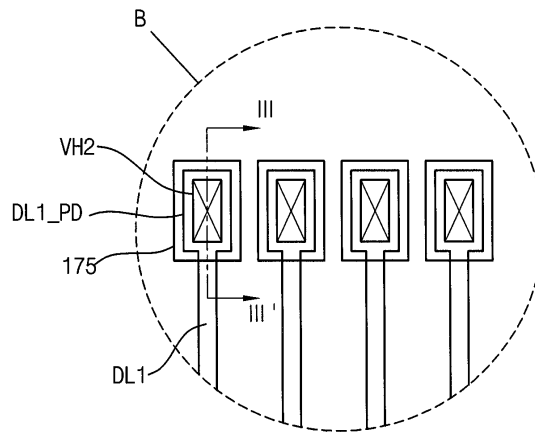
도면3



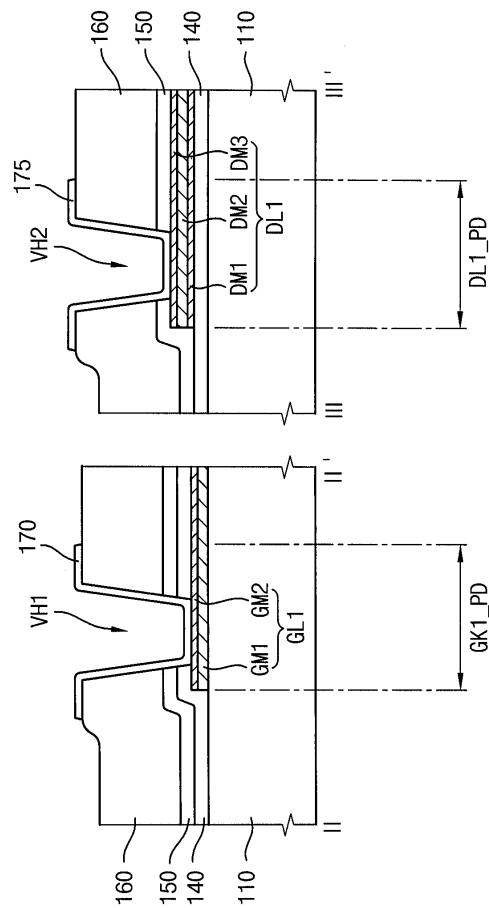
도면4



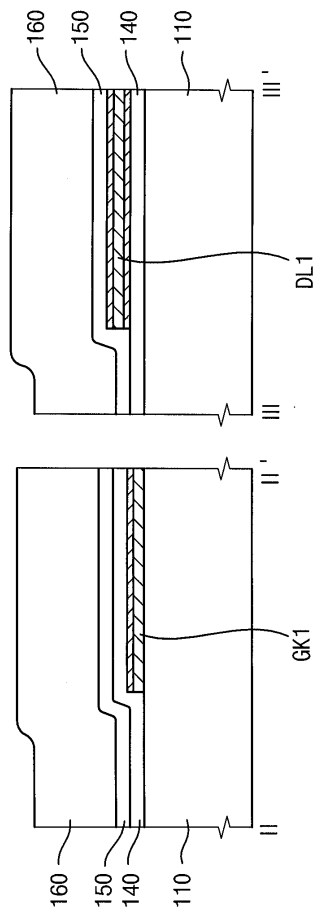
도면5



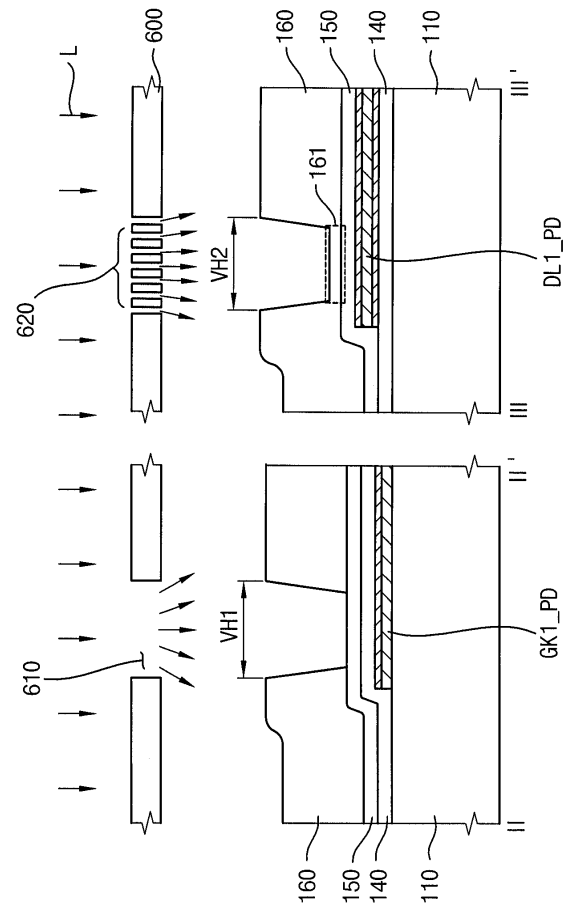
도면6



도면7a



도면7b



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020070007417A	公开(公告)日	2007-01-16
申请号	KR1020050062015	申请日	2005-07-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE HAN JU 이한주 LEE YONG EUI 이용의		
发明人	이한주 이용의		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F1/133345 G02F1/136286 G02F1/1368		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了提高产品产量的液晶显示器制造方法。栅极线形成在绝缘层的下部。数据线形成在绝缘层的上部。对应于其被去除的数据线的焊盘部分的区域去掉一部分，并且对应于有机绝缘膜的区域是栅极线的焊盘部分保留在数据线的焊盘部分上至少量的厚度。因此，在曝光工艺和栅极线之后位于数据线的焊盘部分的焊盘部分上的层的数量是相同的。因此，它可以防止在干蚀刻过程中数据线被过蚀刻。因此，液晶显示器可以提高产品的产量和可靠性。数据线和干蚀刻。

