

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0041843
G02F 1/13357 (2006.01) (43) 공개일자 2006년05월12일

(21) 출원번호 10-2005-0011393
(22) 출원일자 2005년02월07일

(30) 우선권주장 JP-P-2004-00034094 2004년02월10일 일본(JP)

(71) 출원인 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자 오히시 미즈마
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753 엔이씨 엘씨
디 테크놀로지스, 엘티디. 나이
기무라 사토시
일본 아키타켄 아키타시 고쇼노 시모즈즈미 3쵸메 1-1 엔이씨 아키타엘
티디. 나이

(74) 대리인 특허법인코리아나

심사청구 : 있음

(54) 박막 트랜지스터, 이를 사용한 액정 표시장치, 및 이를제조하는 방법

요약

소스 전극과 드레인 전극 사이에서 채널 영역을 형성하는 게이트 전극상에 위치된 반도체 막은 게이트 전극 상에 위치된 드레인 전극의 폭 및 소스 전극의 폭 보다 큰 폭을 갖는다. 채널 영역의 양쪽 에지부상에 반도체 막의 폭 방향으로 요철이 형성된다.

대표도

도 3a

색인어

소스 전극, 드레인 전극, 게이트 전극, 반도체 막, 채널 영역

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술의 포토마스크 패턴을 도시하는 평면도.

도 2a 및 2b는 종래 기술의 포토마스크 패턴을 도시하는 평면도이고, 도 2c 및 2d는 도 2a 및 2b에 도시한 포토마스크 패턴을 사용하여 제조된 박막 트랜지스터를 도시하는 평면도.

도 3a는 본 발명의 제 1 실시형태에 따른 박막 트랜지스터를 사용하는 능동 매트릭스 기관상의 단위 픽셀을 도시하는 평면도이고, 도 3b는 도 3a의 라인 I-I를 따라 취해진 단면도이고, 도 3c는 소스 및 드레인 전극의 대향하는 에지의 양단부를 링크하는 한 쌍의 가상 직선을 설명하는 단위 픽셀의 또 다른 평면도.

도 4a 내지 4d는 도 3a의 I-I 라인을 따라 취해진 제조 단계의 순서를 도시하는 단면도.

도 5는 본 발명의 제 1 실시형태에 따른 박막 트랜지스터를 제조하기 위해 사용되는 포토마스크의 평면도.

도 6a는 도 5에 도시한 포토마스크의 직사각형 돌출 길이 사이의 관계, 및 채널 에지와 소스-드레인 에지 사이의 거리를 도시하는 특성도이고, 도 6b는 도 5에 도시한 포토마스크의 직사각형 돌출 길이와 TFT의 드레인 전류 - 드레인 전압 사이의 관계를 도시하는 특성도이다.

도 7은 도 3a 및 3b에 도시한 능동 매트릭스 기관을 사용하는 액정 표시장치의 단면도.

도 8a는 본 발명의 제 2 실시형태에 따른 박막 트랜지스터를 사용하는 능동 매트릭스 기관상의 단위 픽셀을 도시하는 평면도이고, 도 8b는 본 발명의 제 2 실시형태에 따른 박막 트랜지스터를 제조하기 위해 사용된 포토마스크 패턴의 평면도이고, 도 8c는 소스 및 드레인 전극의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선을 설명하는 단위 픽셀의 또 다른 평면도.

도면의 주요 부분에 대한 부호의 설명

- 1 : 투명 절연 기관 2 : 게이트 전극
- 3 : 게이트 절연막 4 : 반도체 막
- 5 : 고농도 불순물 도핑 반도체 6a : 소스 전극
- 6b : 드레인 전극 7 : 패시베이션 막
- 8 : 콘택트 홀 9 : 픽셀 전극
- 11 : 차광 영역 12 : 길고 가는 직사각형부
- 13 : 슬릿 30 : 가상 직선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터, 이를 사용한 액정 표시장치, 및 이를 제조하는 방법에 관한 것이다. 더욱 구체적으로는, 본 발명은 개선된 온 (on) - 전류 및 채널 길이를 갖는 박막 트랜지스터, 이를 사용한 액정 표시장치, 및 이를 제조하는 방법에 관한 것이다.

박막 트랜지스터 (TFT) 를 스위칭 소자로서 사용하는 액정 표시장치가 널리 보급되어 있다. 많은 비결정 실리콘 (a-Si) TFT에 역 스테거 (inverted staggered) 구조가 채용되고 있다. TFT는 채널 보호형 또는 채널 에칭형으로 분류되고 있지만, 현재는 제조 공정의 수를 감소시키기 위해 채널 에칭형이 주류이다.

종래에는 5개 또는 6개 마스크를 사용함으로써 실현 가능한 채널 에칭형 TFT를 제조하는 방법이 이용되었지만, 제조 공정의 수를 더 감소시키기 위해 4개 마스크를 사용함으로써 실현 가능한 채널 에칭형 TFT를 제조하는 방법이 행해지고 있다.

예를 들어, 일본 특허 공개 공보 2000-164886 호에 따르면, 제조 공정의 수는, 동일한 금속층으로 이루어진 소스 및 드레인 전극을 분리하기 위해, 다른 영역에서는 감광막을 제거하면서, TFT의 채널 영역에서는 얇게 형성되고 소스 및 드레인 전극 형성 영역에서는 두껍게 형성되는 감광막을 사용함으로써 감소된다. 먼저, 도전층이 절연 기판상에 형성되고, 도전층은 포토-리소그래픽 기술 및 에칭 기술을 이용하면서 제 1 포토마스크의 사용에 의해 게이트 배선을 형성하기 위해 패턴화된다. 게이트 절연막은 게이트 배선상에 형성되고, 반도체층, n^+ 도핑 반도체층, 및 소스 및 드레인 금속 층이 적층된다. 그 후, 제 2 포토마스크 및 포토-리소그래픽 기술을 사용하여, 감광막이 소스 전극 형성 영역과 드레인 전극 형성 영역상에 두껍게 형성되고 소스 및 드레인 전극 형성 영역 사이의 영역상에 얇게 형성된다. 또한, 소스 및 드레인 금속층, n^+ 도핑 반도체층, 및 반도체층이 소스 및 드레인 전극, n^+ 도핑 반도체층, 및 반도체층을 패턴화하기 위해 마스크로서 감광막을 사용함으로써 에칭된다. n^+ 도핑 반도체층 및 반도체층의 에칭과 동시에, 감광막의 두께는 소스 및 드레인 전극 형성 영역 사이의 영역에서 얇은 감광층의 제어된 양을 제거함으로써 감소된다.

소스 및 드레인 전극 형성 영역상의 감광막은 그 두께가 감소하지만, 여전히 그 위에 남아 있다. 소스 및 드레인 전극 형성 영역 사이에 노출된 소스 및 드레인 금속층을 에칭하고, 소스 및 드레인 전극 형성 영역 사이의 n^+ 도핑 반도체층을 더 에칭함으로써, 소스 및 드레인 전극 뿐만 아니라 n^+ 도핑 반도체층이 패턴화된다. 그 후, 감광막이 제거된다.

다음으로, 패시베이션층이 형성되고, 그 후, 콘택트 홀이 포토-리소그래픽 기술 및 에칭 기술을 이용하면서 제 3 포토마스크를 사용하여 형성된다. 그 후, 투명 도전막이 형성되고 픽셀 전극이 포토-리소그래픽 기술 및 에칭 기술을 이용하면서 제 4 포토마스크를 사용하여 형성된다.

이하, 전술한 감광막을 포토-레지스트에서 설명한다.

한편, 일본 특허 공개 공보 제 2001-324725 호는 소스 및 드레인 전극 형성 영역에서 두껍게 포토-레지스트를 형성하고 소스 및 드레인 전극 형성 영역 사이의 영역에서는 얇게 포토-레지스트를 형성하도록 구성되는 포토마스크 패턴을 개시하고 있다. 도 1a에 도시한 바와 같이, 이 포토마스크 패턴은 소스 및 드레인 전극을 형성하기 위해 커버하는 2개의 차광 영역 (111a), 및 슬릿 (113a) 을 각각 개재하면서 2개의 차광 영역 (111a) 사이에 배치된 길고 가는 차광부 (112a) 를 구비한다. 전술한 포토마스크 패턴을 사용하여 노출이 형성된다. 전술한 마스크 패턴을 사용할 때 소스 및 드레인 전극 형성 영역 사이의 얇은 포토-레지스트 패턴의 두께가 불균일해진다는 문제점에 기초하여, 예를 들어, 도 1b에 도시한 바와 같이 양단상에 컷-오프 코너를 갖는 차광 영역 (111b) 을 구비하는 포토마스크 패턴이 개시되어 있다. 포토-레지스트는 전술한 포토마스크 패턴을 사용하여 형성되고, 그 후, 금속층, n^+ a-Si 층, 및 a-Si 층이 소스 및 드레인 전극, a-Si 층, 및 n^+ a-Si 층을 패턴화하기 위해 에칭된다. 그 후, 소스 및 드레인 전극 형성 영역 사이의 포토-레지스트 패턴의 얇은 부분이 제거된다. 또한, n^+ a-Si 층 및 a-Si 층이 분리된 포토-레지스트 패턴을 마스크로서 사용함으로써 에칭된다.

한편, 일본 특허 공개 공보 제 2002-55364 호는 다양한 형상의 포토마스크 패턴을 개시하고 있다. 예를 들어, 도 2a에 도시한 바와 같이, 2개의 차광 영역 (111d) 사이에 슬릿 (113d) 을 개재하면서 배열된 복수의 길고 가는 직사각형 차광부 (112d) 를 구비하는 포토마스크 패턴이 개시되어 있다. 박막 트랜지스터가 이 포토마스크 패턴을 사용하여 제조될 때, 게이트 전극 (102) 상부 및 소스 전극 (106a) 과 드레인 전극 (106b) 사이의 반도체 막 (104), 즉, 반도체 막 (104) 의 채널 영역의 각 종단부는 도 2c에 도시한 바와 같이 광 간섭 현상으로 인해 굴곡 방식으로 형성된다. 이 명세서에서, TFT의 채널 영역의 이러한 종단부는 이하에서 양쪽 에지 림 (rim) 부라고 칭한다. 이러한 반도체막 (104) 의 양쪽 에지부에서 굴곡이 발생할 때, TFT의 온-전류의 경로 또한 굴곡된다. 따라서, 이러한 TFT를 매트릭스로 배열함으로써 형성된 액정 표시 장치의 이미지 품질이 저하된다. 양쪽 에지부상의 굴곡의 발생을 방지하기 위해, 예를 들어, 도 2b에 도시한 바와 같은 형상에서 포토마스크 패턴을 사용하여 도 2d에 도시한 바와 같은 광 (wide) 반도체막 (104) 을 형성하는 기술이 개시되어 있다.

또한, 일본 특허 공개 공보 제 2002-57338 호는, 소스 및 드레인 전극 형성 영역 사이에 채널 영역을 형성하는 얇은 포토-레지스트 패턴의 두께 균일성도 도 1a에 도시한 전술한 포토마스크 패턴의 사용에 의해 저하된다는 것을 개시하고 있다. 또한, 이 문헌은 TFT 사이의 채널 길이에서의 불균형이 포토-레지스트 패턴의 막 두께의 불균일성으로 인해 도 1a에 도

시한 바와 같은 포토마스크 패턴을 사용할 때 증가되고, 액정 표시장치의 표시 특성이 그 결과로서 저하된다는 문제점을 개시하고 있다. 이들 문제점을 해결하기 위해, 도 1c에 도시한 바와 같은 포토마스크 패턴의 차광 영역(111c) 형상의 개량이 개시되어 있다.

또한, 이들 포토마스크 패턴 각각은 투광부, 차광부, 및 노광 장치의 분해능 아래의 투광 및 차광 패턴으로 이루어진 반-투과 영역을 구비한다. 이러한 반-투과 영역의 투광량은 제조시에 초래되는 포토마스크의 불균형에 영향을 받기 쉽다. 예를 들어, 도 1b에 도시한 포토마스크 패턴에서, 개구 슬릿의 각 단부는 개구 슬릿의 중심부 보다 더 넓게 형성되고, 반-투과 영역의 폭은 노광 장치의 분해능 보다 동일하거나 좁게 선택된다. 특히, 제조시에 초래되는 포토마스크 패턴의 불균형의 영향은 개구 슬릿의 중심에 비교하여 단부에서 더 현저하다. 따라서, 반-투과 영역에서의 투광량은 개구 슬릿의 중심과 단부 사이에서 상이하다. 따라서, 반-투과 영역에 형성된 포토-레지스트 패턴의 두께가 불균일하게 된다는 문제점이 있다.

한편, 도 2b에 도시한 포토마스크 패턴에서, 채널 영역 내부의 반-투과부는 종으로 정렬된 개구 슬릿과 차광 영역을 구비하고, 채널 영역의 상부 및 하부 상의 양쪽 에지부는 횡으로 정렬된 개구 슬릿과 차광 영역을 구비한다. 종방향에 관하여 포토마스크 패턴의 치수적 정확성이 횡방향에 관한 치수적 정확성과 상이한 경우에, 채널 영역 내부에 형성된 포토-레지스트 패턴의 두께는 채널 영역의 상부 및 하부상에 형성될 양쪽 에지부상에 형성된 포토-레지스트 패턴의 두께와 상이하다. 채널 영역의 중심부에서의 포토-레지스트의 두께가 채널 영역의 양쪽 에지부에서의 포토-레지스트의 두께와 상이한 경우에, 채널 길이 및 채널 폭의 확대량이 노광량에서의 변동으로 인해 변동하고, 따라서, TFT의 온-전류 특성을 안정화하는 것이 곤란하다. 예를 들어, 양쪽 에지부에서의 포토-레지스트의 두께가 채널 영역의 중심부에서의 포토-레지스트의 두께 보다 얇게 될 때, 채널 길이에 최적인 노광량이 변동하고, 그것에 의해 TFT의 온-전류가 감소된다. 반면에, 양쪽 에지부에서의 포토-레지스트의 두께가 채널 영역의 중심부에서의 포토-레지스트의 두께 보다 더 두꺼워질 때, TFT의 온-전류는 증가하지만, 채널 폭으로부터 게이트 전극단까지 충분한 간격을 확보할 필요가 있다. 따라서, 게이트 전극을 연장할 필요가 있다. 이러한 게이트 전극이 연장될 때, TFT가 점유하는 면적은 증가하고 개구율은 감소된다. 따라서, 바람직하게는 포토마스크 패턴의 종방향 및 횡방향에서의 치수적 정확도 모두를 동일한 정도로 설정하고, 제조시에 포토마스크의 불균일성을 엄격하게 관리할 필요가 있다.

또한, 광이 투명 절연 기판측으로부터 조사될 때, TFT의 오프-전류, 즉, 광 누설 전류는, 광이 게이트 전극에 의해 차광되지 않고 드레인 전극 근처의 a-Si 층에 도달할 때 증가된다. 도 2d에 도시한 바와 같이, 도 2b의 포토마스크를 사용하여 형성된 TFT에서, 드레인 전극을 넘어서 돌출하고 게이트 전극의 외측에 위치된 a-Si 층의 각 부분은 누설 전류의 생성에 기여한다. 따라서, 광 누설 전류가 더 증가된다.

한편, 도 1c에 도시한 마스크 패턴에서, 개구 슬릿(113C)의 단부 근처의 길고 가는 직사각형부(112C)에 돌기부가 형성되고, 광 투과 영역의 폭은 노광 장치의 분해능 이하로 선택된다. 그러나, 제조시에 포토마스크 패턴의 불균일성의 영향은 중심부 보다 개구 슬릿(113C)의 단부 근처의 돌기부에서 더 크다. 따라서, 도 1b에 도시한 마스크 패턴을 사용하는 경우와 유사한 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 온-전류를 안정화하고 채널 길이에서의 불균일성을 억제할 수 있는 박막 트랜지스터, 이러한 박막 트랜지스터를 사용하는 액정 표시장치, 및 이러한 박막 트랜지스터를 제조하는 방법을 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 박막 트랜지스터의 온-전류 특성에 대한 영향을 감소시킬 수 있는 포토마스크 패턴을 사용함으로써 박막 트랜지스터의 온-전류에 대한 영향을 감소시킬 수 있는 박막 트랜지스터를 제조하는 방법을 제공하는 것이다.

본 발명의 박막 트랜지스터에 따르면, 소스 전극과 드레인 전극 사이에서 확장하는 반도체 막의 양쪽 에지상에, 반도체 막의 확장 방향에 수직인 방향으로 요철이 형성된다. 요철의 오탁부는 소스 전극과 드레인 전극의 대향하는 에지의 양단부를 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치된다.

본 발명의 박막 트랜지스터는, 반도체 막의 폭이 게이트 전극 상에 위치되는 소스 전극의 폭 및 드레인 전극의 폭 보다 더 넓고, 채널 영역의 양쪽 에지부에서의 반도체 막이 불록부 및 오탁부를 포함하는 요철을 갖는 것을 특징으로 한다.

본 발명의 액정 표시장치는 그 위에 형성된 박막 트랜지스터를 갖는 능동 매트릭스 기판, 및 능동 매트릭스 기판에 대향하고 액정 층을 개재하도록 구성된 카운터 기판을 구비한다. 여기서, 박막 트랜지스터는 반도체 막, 및 반도체 막과 게이트 전극 사이에 게이트 절연막을 개재한 상태로 채널 영역 아래 위치되는 게이트 전극을 구비한다. 반도체 막은 소스 전극과

드레인 전극 사이에서 확장한다. 요철이 확장 방향에 수직인 방향으로 반도체 막의 양쪽 에지상에 형성된다. 또한, 반도체 막의 요철의 오목부는 소스 전극 및 드레인 전극의 대향하는 에지의 양단부를 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역 외측에 위치된다. 게이트 전극은 반도체 막과 게이트 전극 사이에 게이트 절연막을 개재한 상태로 채널 영역 아래에 배치된다.

본 발명의 박막 트랜지스터를 제조하는 방법은, 절연 기판상에 게이트 전극을 형성하는 단계, 반도체 막과 게이트 전극 사이에 게이트 절연막을 개재한 상태로 절연 기판 및 게이트 전극상에 반도체 막과 도전막을 형성하는 단계, 반도체 막과 도전막 상부에 포토-레지스트 막을 형성하는 단계, 마스크로서 포토-레지스트 막을 사용하여 도전막과 반도체 막을 패터닝하여 섬 형상으로 도전막과 반도체 막을 형성하는 단계, 도전막을 패터닝함으로써 서로 분리된 소스 전극과 드레인 전극을 형성하는 단계, 및 소스 전극과 드레인 전극 사이의 반도체 막을 채널 에칭하는 단계를 포함한다. 여기서, 요철이 확장 방향에 수직인 방향으로, 확장 방향을 따라 제공된 반도체 막의 양쪽 에지상에 형성된다. 또한, 요철의 오목부는 소스 전극과 드레인 전극의 대향하는 에지의 양쪽 에지를 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치된다.

바람직하게는, 포토-레지스트 막은 두꺼운 소스 및 드레인 전극 형성 영역에 대응하는 두꺼운 부분, 및 소스 전극 형성 영역과 드레인 전극 형성 영역 사이의 영역에 대응하는 얇은 부분을 포함한다.

바람직하게는, 포토-레지스트 막은 포토-레지스트 막은 상이한 투광량을 갖는 3개의 영역을 포함하는 포토마스크를 사용하면서 노출 및 현상에 의해 형성되고, 포토마스크는 소스 전극 형성 영역 및 드레인 전극 형성 영역에 대응하는 한 쌍의 차광 영역, 슬릿을 통해 한 쌍의 차광 영역 사이에 각각 제공되고 슬릿과 함께 반-투과 영역을 구성하는 직사각형부, 및 차광 영역 및 반-투과 영역과 이격된 투광 영역을 포함한다.

바람직하게는, 포토마스크의 직사각형부는 한 쌍의 차광 영역의 폭 보다 넓다.

바람직하게는, 포토마스크의 복수의 직사각형부는 슬릿을 통해 제공된다.

바람직하게는, 포토-레지스트 막을 형성하는 포토마스크는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역, 투광 영역, 및 노광 장치의 분해능 이하의 치수를 갖는 투광 및 차광 패턴을 갖는 반-투과 영역을 포함한다. 여기서, 투광 및 차광 패턴은 한 쌍의 슬릿과 길고 가는 직사각형부를 포함하고, 길고 가는 직사각형부는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역의 대향하는 부분의 폭 보다 더 길다.

바람직하게는, 포토마스크의 반-투과 영역을 구성하는 투광 및 차광 패턴의 길고 가는 직사각형부는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역의 대향하는 부분에서 소스 형성 영역의 폭 및 드레인 형성 영역의 폭 보다 1.5 μm 이상 더 길다.

바람직하게는, 포토마스크의 반-투과 영역을 구성하는 투광 및 차광 패턴의 길고 가는 직사각형부는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역의 대향하는 부분에서 소스 형성 영역의 폭 및 드레인 형성 영역의 폭 보다 전체적으로 일 측상에서는 1.5 μm 내지 3.0 μm 범위 만큼 더 길고 양측상에서는 3.0 μm 내지 6.0 μm 범위 만큼 더 길다.

본 발명에서, 박막 트랜지스터의 반도체 막은 소스 전극과 드레인 전극 사이에서 확장한다. 확장 방향을 따라 제공된 이러한 반도체 막의 양쪽 에지상에, 확장 방향에 직교하는 방향으로 요철이 형성된다. 또한, 요철의 오목부는 소스 전극과 드레인 전극의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치된다. 따라서, TFT의 온-전류의 경로 굴곡이 발생함으로써, 액정 표시장치의 화면 품질의 저하를 억제할 수 있다.

또한, 본 발명에서, 차광 영역, 투광 영역, 및 반-투과 영역을 형성하는 포토마스크는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역, 투광 영역, 및 노광 장치의 분해능 이하의 치수를 갖는 투광 및 차광 패턴으로 이루어진 반-투과 영역을 포함한다. 여기서, 투광 및 차광 패턴은 한 쌍의 슬릿부 및 길고 가는 직사각형부, 또는 또 다른 방안으로는, 복수의 슬릿부 및 복수의 길고 가는 직사각형부를 포함하고, 복수의 길고 가는 직사각형부중의 하나 또는 각각은 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역의 대향하는 부분의 폭 보다 더 길게 형성된다. 이러한 방식으로, 종방향에 관한 치수적 정확성이 포토마스크 패턴에서 횡방향에 관한 치수적 정확성과 상이할 때에도, 채널 영역의 양쪽 에지부상에 형성된 포토-레지스트 패턴이 채널 영역의 내부를 형성하는 포토-레지스트 패턴 보다 더 얇아지는 것을 피할 수 있어서, 노광량에서의 변동으로 인한 소스 및 드레인 전극으로부터의 채널 길이 및 채널 폭의 확장량의 변동을 억제할 수 있다. 이러한 방식으로, TFT의 온-전류 특성을 안정화할 수 있다. 따라서, 포토마스크를 제조하는 코스의 종방향 또는 횡방향에서 치수적 정

확성을 완화시킬 수 있어서, 수율의 감소를 억제할 수 있다. 또한, 소스 전극 형성 영역과 드레인 전극 형성 영역 사이에 채널 영역을 형성하는 얇은 포토-레지스트 패턴의 두께 균일성이 개선될 수 있다. 따라서, 액정 표시장치의 표시 특성이 채널 길이의 불균일성으로 인해 저하되는 문제점을 해결할 수 있다.

TFT 및 본 발명의 TFT를 이용하는 액정 표시장치에 따르면, TFT의 온-전류를 안정화하고 채널 길이의 불균일성을 억제하는 효과가 있다. 또한, 본 발명의 TFT를 제조하는 방법에 따르면, TFT의 온-전류 특성에 대한 제조시에 초래되는 포토 마스크 패턴의 불균일성의 영향을 감소시키는 효과가 있다.

본 발명의 이러한 목적 및 다른 목적과 이점 및 또 다른 설명은 첨부한 도면과 함께 상세한 설명을 참조함으로써 당업자에게 명백할 것이다.

발명의 구성 및 작용

이제, 첨부한 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다. 제 1 실시형태를 도 3a 내지 도 7을 참조하여 설명하고, 제 2 실시형태를 도 8a 내지 8c를 참조하여 설명한다. 어느 실시형태든 박막 트랜지스터의 소스 전극과 드레인 전극 사이의 채널 영역을 구성하는, 게이트 전극상에 위치한 반도체 막의 폭을 정의한다. 특히, 반도체 막은 소스 전극과 드레인 전극 사이에서 확장하고, 확장 방향을 따라 제공되는 이 반도체 막의 양쪽 에지상에는, 확장 방향에 수직인 방향으로 요철이 형성된다. 여기서, 요철의 오목부는 소스 전극과 드레인 전극의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치된다.

먼저, 제 1 실시형태를 도면을 참조하여 설명한다. 도 3a에 도시한 바와 같이, 이 실시형태의 박막 트랜지스터는 소스 전극 (6a) 과 드레인 전극 (6b) 사이의 채널 영역을 구성하는, 게이트 전극 (2) 상에 위치한 반도체 막 (4)의 폭을 정의한다. 구체적으로는, 반도체 막 (4)은 소스 전극 (6a) 과 드레인 전극 (6b) 사이에서 확장하고, 확장 방향을 따라 제공되는 이러한 반도체 막 (4)의 양단상에, 확장 방향에 수직인 방향으로 요철 (오목부 (4b) 및 볼록부 (4a))이 형성된다. 여기서, 도 3c에 도시한 바와 같이, 소스 전극 (6a) 및 드레인 전극 (6b)의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선 (30)을 가정한다. 요철의 오목부 (4b)는 이러한 한 쌍의 가상 직선 (30)에 의해 샌드위치되는 영역의 외측에 위치된다. 다시 말해, 게이트 전극 (2) 상에 위치한 이러한 반도체 막 (4)의 폭은 소스 전극 (6a)의 폭 및 드레인 전극 (6b)의 폭 보다 넓고, 채널 영역의 양쪽 에지부 각각에서 반도체 막 (4)은 볼록부 (4a) 및 오목부 (4b)를 포함하는 요철 형상을 갖는다.

전술한 형상을 갖는 TFT가 액정 표시장치에서 사용될 때, TFT는 능동 매트릭스 기관상에서 매트릭스로 배치되고 소스 전극 (6a)은 콘택트 홀 (8)을 통해 픽셀 전극 (9)에 전기적으로 접속된다.

도 3b를 참조하면, 금속층 등으로 이루어진 게이트 전극이 투명 절연 기관 (1) 상에 형성된다. 채널 영역이 제공되는 반도체 막 (4)이 반도체 막 (4)과 게이트 전극 (2) 사이에 게이트 절연막 (3)을 개재한 상태로 게이트 전극 (2) 상에 형성된다. 또한, 금속층 등으로 이루어진 소스 전극 (6a) 및 드레인 전극 (6b)이 반도체 막 (4)과 소스 및 드레인 전극 (6a, 6b) 사이에 고농도 불순물 도핑 반도체 (5)를 개재한 상태로 이 반도체 막 (4)의 양측상에 형성된다. 또한, 패시베이션 막 (7)이 이들 구성을 커버하기 위해 형성되고, 픽셀 전극 (9)이 패시베이션 막 (7)에 개방된 콘택트 홀 (8)을 통해 소스 전극 (6a)에 전기적으로 접속되도록 형성된다. TFT의 소스 및 드레인이 게이트, 소스 및 드레인에 인가한 동작 전위에 따라 결정되더라도, 본 실시형태에서는 픽셀 전극에 접속된 전극을 소스 전극으로 한다.

다음으로, 도 3a에 도시한 바와 같은 평면 레이아웃 및 도 3b에 도시한 바와 같은 단면 구조를 갖는 TFT를 제조하는 방법을 도 4a 내지 도 5를 참조하여 설명한다.

먼저, 유리와 같은 투명 절연 기관 (1) 상에, Mo, Cr, Ta, 또는 Al 상에 Mo를 적층한 금속층, 또는 전술한 금속을 주 성분으로서 함유하는 합금 적층막 등이 스퍼터링 방법 등을 사용하여 200 nm 내지 300 nm 범위의 두께로 형성된다. 또한, 이러한 금속층은 포토-리소그래픽 기술 및 에칭 기술을 사용하여 게이트 전극 (2)으로 형성된다.

다음으로, SiN 막 또는 SiO₂ 막 및 SiN 막의 적층막으로 이루어진 게이트 절연막 (3)이 플라즈마-강화 CVD 방법에 의해 350 nm 내지 500 nm의 두께로 형성되고, 그 후, 반도체 막으로서 a-Si 층 (4A)이 100 nm 내지 250 nm 범위의 두께로 형성된 후, 인 (P)으로 도핑된 고농도 불순물 도핑 반도체 막으로서 n⁺ a-Si 층 (5)이 20 nm 내지 50 nm의 두께로 순차적으로 형성된다. 다음으로, Mo, Cr, Ta, 또는 Mo, Al 및 Mo의 적층막이 스퍼터링 방법 등을 사용하여 200 nm 내지 300 nm의 두께로 소스 및 드레인 전극에 대한 금속층 (6)으로서 형성된다. 그것에 의해, 포지티브 포토-레지스트가 1 μm 내지 2 μm의 두께로 절연 기관 (1) 상에 코팅된다.

다음으로, 포토-레지스트가 도 5에 도시한 바와 같이 포토마스크 패턴을 사용하여 노광 및 현상된다. 구체적으로는, 도 5에 도시한 포토마스크 패턴은 서로 상이한 투과량을 갖는 3개의 영역, 즉, 차광 영역, 반-투과 영역, 및 투과 영역을 포함하는 하프톤 마스크이다. 차광 영역은 소스 및 드레인 영역을 형성하는 한 쌍의 차광 영역 (11) 을 포함한다. 반-투과 영역은 슬릿 (13) 을 포함하고, 길고 가는 직사각형부 (12) 가 슬릿 (13) 을 통해 한 쌍의 차광 영역 사이에 배치되고 한 쌍의 차광 영역 (11) 의 폭 보다 큰 폭을 갖는다. 즉, TFT의 게이트 폭 방향을 따른 길고 가는 직사각형부 (12) 의 폭은 차광 영역 (11) 의 폭 보다 크다. 이 실시형태에서, 단일의 길고 가는 직사각형부 (12) 가 한 쌍의 차광 영역 (11) 사이에 배치된다. 또한, 차광 영역 및 반-투과 영역 이외의 영역은 투과 영역으로서 기능한다. 노광 및 현상이 이렇게 구성된 포토마스크 패턴을 사용하여 수행된다. 이러한 경우에, 노광량은, 투과 영역에 위치한 포토-레지스트 막을 제거하고, 코팅될 때와 실질적으로 동일하게 포토-레지스트의 두께를 유지하는 차광 영역 (11) 에 위치한 포토-레지스트 막을 남겨두고, 길고 가는 직사각형부 (12) 와 노광 장치의 분해능 이하의 치수를 갖는 슬릿 (13) 을 포함하는, 반-투과 영역에 얇은 포토-레지스트 막을 남겨 두도록 제어된다. 반-투과 영역에 위치한 포토-레지스트 막의 두께는 차광 영역 (11) 에서의 포토-레지스트 막의 두께 만큼 20% 내지 60%로 감소되거나, 또는 예를 들어, 대략 200 nm 내지 600 nm 의 두께로 감소된다. 이러한 방식으로, 두꺼운 소스 및 드레인 형성부 (10a) 및 얇은 채널 형성부 (10b) 를 포함하는 포토-레지스트 막을 도 4a에 도시하였다.

다음으로, 소스 및 드레인 금속층 (6) 이 마스크로서 나머지 포토-레지스트 막을 사용하여 건식 에칭 또는 습식 에칭에 의해 패턴화된다. 예를 들어, 소스 및 드레인 금속층 (6) 이 Cr로 이루어질 때 $CeNH_3O_3$ 에천트 (etchant) 를 사용하는 습식 에칭이 적용되고, 소스 및 드레인 금속층 (6) 이 Mo로 이루어질 때 O_2 와 SF_6 또는 CF_4 를 혼합한 가스를 사용한 건식 에칭이 적용된다. 그 후, SF_6 과 HCL 또는 O_2 를 혼합한 가스에 의해 건식 에칭을 사용하여 n^+ a-Si로 이루어진 고농도 불순물 도핑 반도체 막 5 (5A) 및 a-Si로 이루어진 반도체 막 4 (4A) 의 노출 부분이 제거된다. 이러한 방식으로, 도 3a에서의 음영 부분, 및 소스 드레인 (6a) 으로 커버될 n^+ a-Si로 이루어진 고농도 불순물 도핑 반도체 막 5 (5A) 및 a-Si로 이루어진 반도체 막 4 (4A) 의 부분, 드레인 전극 (6b), 및 드레인 버스 라인이 유지된다. 유지된 패턴은 각각의 단위 픽셀에 대응하는 부분에서 섬 형상을 갖지만, 단일 드레인 버스 라인과 필수적으로 형성된다.

여기서, 도 4c에 도시한 바와 같이, 두꺼운 소스 및 드레인 형성부 (10a) 및 얇은 채널 형성부 (10b) 를 포함하는 포토-레지스트 막이 또한 에칭된다. 전체 포토-레지스트 막에 있어서, 얇은 채널 형성부 (10b) 가 제거되고 두꺼운 소스 및 드레인 형성부 (10a) 는 유지된다. 소스 및 드레인 금속층 (6), n^+ a-Si 층 (5), 및 a-Si 층 (4) 의 1차 에칭이 상기와 같이 유지된 포토-레지스트 막을 사용하여 수행된다. 또 다른 방법으로는, n^+ a-Si로 이루어진 고농도 불순물 도핑 반도체 막 (5) 및 a-Si 층으로 이루어진 반도체 막 (4) 의 부분이 SF_6 또는 CF_4 를 HCL 또는 O_2 로 혼합한 가스를 갖는 건식 에칭을 사용하여 제거된다. 도 4b에 도시한 바와 같이 얇은 채널 형성부 (10b) 가 유지될 때, 포토-레지스트 막의 얇은 채널 형성부 (10b) 는 O_2 가스를 사용하는 건식 에칭에 의해 제거된다. 포토-레지스트 막의 평면 레이아웃에 반응하여, n^+ a-Si로 이루어진 고농도 불순물 도핑 반도체 막 (5) 및 a-Si로 이루어진 반도체 막 (4) 이 볼록부 (4a) 와 오목부 (4b) 를 포함하는 게이트 전극 (2) 상에 요철 형상으로 형성된다.

다음으로, 도 4d에 도시한 바와 같이, 소스 및 드레인 금속층 (6) 및 한 쌍의 포토-레지스트 막 (10a) 사이에 위치한 n^+ a-Si 층 (5A) 에 대한 2차 에칭이 소스 및 드레인 금속층 (6) 및 n^+ a-Si 층 (5A) 에 대한 1차 에칭과 유사한 에칭에 의해 수행된다. n^+ a-Si 층 (5A) 를 에칭할 때, a-Si 층 (4A) 의 표면의 일부가 막 형성이 채널 영역 (4B) 을 형성하기 위해 유지되는 시간에 50% 내지 80%의 범위의 두께와 같은 소정의 두께를 유지하도록 에칭된다. 그 후, 도 4d에 도시한 TFT가 포토-레지스트 막을 제거함으로써 형성된다. 소스 및 드레인 금속층 (6) 의 2차 에칭 이후에 이러한 포토-레지스트 막이 제거된다. 또 다른 방법으로는, 포토-레지스트 막을 제거한 이후에, 마스크로서 소스 및 드레인 금속층 (6) 을 사용하여 n^+ a-Si 층 (5A) 을 에칭함으로써 채널 영역 (4B) 을 형성할 수 있다.

다음으로, SiN으로 이루어진 패시베이션 막 (7) 이 플라즈마 강화 CVD 방법에 의해 300 nm 내지 400 nm의 두께로 형성되고, 그 후, 콘택트 홀 (8) 이 포토-리소그래픽 기술 및 에칭 기술을 사용하여 오픈된다. 여기에 도시하지 않았지만, 게이트 배선으로의 접속을 위한 콘택트 홀은 게이트 절연막 (3) 및 패시베이션 막 (7) 상에 형성되고, 드레인 배선으로의 접속을 위한 콘택트 홀은 패시베이션 막 (7) 에서 오픈된다. 또한, ITO 막이 스퍼터링 방법에 의해 40 nm 내지 140 nm의 두께로 패시베이션 막 (7) 상에 형성되고, 그 후, 소스 전극 (6a) 에 접속된 픽셀 전극 (9) 이 포토-리소그래픽 기술 및 에칭 기술을 사용하여 형성된다. 이러한 방식으로, 도 3a 및 3b에 도시한 박막 트랜지스터를 사용하는 능동 매트릭스 기관을 제조할 수 있다.

다음으로, 도 6a를 참조하여 포토마스크 패턴의 길고 가는 직사각형부 (12) 의 돌출 길이 (d1) 와 채널 에지 - 소스 및 드레인 거리 (d2) 사이의 관계를 설명한다. 도 5에 도시한 포토마스크 패턴의 차광 영역 (11) 으로부터의 길고 가는 직사각형부 (12) 의 돌출 정도는 포토마스크 직사각형 돌출 길이 (d1) 로서 정의된다. 또한, 직사각형 돌출 길이 (d1) 를 갖는 포토마스크 패턴을 사용하여 노광 및 현상에 의해 제조된 소스 및 드레인 전극 (6a 및 6b) 의 에지와 채널 영역의 반도체 막 (4) 의 오목부 (4b) 의 에지 사이의 거리는 채널 에지와 소스-드레인 에지 사이의 거리 (d2) 로서 정의된다. 즉, 도 6a는 반-투과 영역을 형성하는 길고 가는 직사각형부 (12) 의 길이 (d1) 가 변화할 때 거리 (d2) 의 변동을 나타낸다. 도 6a에 따르면, 돌출 길이 (d1) 가 1.5 μm 를 초과할 때, 거리 (d2) 가 포지티브로 바뀌고, 즉, 채널 영역의 반도체 막 (4) 의 오목부 (4b) 가 소스 및 드레인 전극 (6a 및 6b) 의 에지 보다 더 넓어지게 된다는 것이 명백하다.

도 6b는 돌출 길이 (d1) 가 0 μm , 1.5 μm , 및 3.0 μm 로 각각 변화할 때 TFT의 드레인 전류 (Id) - 드레인 전압 (Vd) 특성을 도시한다. 여기서, 게이트 전압은 10 V로 설정된다. 도 6a 및 6b로부터, 포토마스크 직사각형 돌출 길이 (d1) 가 1.5 μm 이상으로 설정될 때 채널 영역의 양쪽 에지부상에 요철 (4a 및 4b) 이 형성되고, TFT의 온-전류에 대한 영향이 양쪽 에지부가 굴곡될 때에도 억제될 수 있다는 것이 명백하다.

여기서, 채널 영역의 반도체 막 (4) 의 에지와 게이트 전극 (2) 의 에지 사이의 거리는 도 6a에 도시한 바와 같이 게이트 전극 돌출 길이 (d3) 로서 정의된다. 광이 투명 절연 기판 (1) 측으로부터 조사될 때, TFT의 오프-전류, 즉, 광 누설 전류는 광이 게이트 전극 (2) 에 의해 차광되지 않고 a-Si 층 (4) 에 도달하는 경우에 증가된다. 오프-전류의 증가를 억제하기 위해, 게이트 전극 돌출 길이 (d3) 는 소정의 길이 보다 짧게 설정될 수 없다. 따라서, 픽셀 전극의 면적이 감소되고 그것에 의해 개구 비율이 감소된다. 직사각형 돌출 길이 (d1) 가 증가될 때, 동시에 게이트 전극 돌출 길이 (d3) 를 감소시킬 수 없다. 그러나, 이러한 문제점은 직사각형 돌출 길이 (d1) 가 3.0 μm 이하일 때 발생하지 않는다. 요약하면, 포토마스크의 반-투과 영역의 길고 가는 직사각형부 (12) 는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역 (11) 의 대향하는 부분에서 소스 및 드레인 형성 영역의 폭 보다 일측상에서는 1.5 μm 내지 3.0 μm 의 범위 만큼 더 길게 설정되고 전체적으로는 양측상에서 3.0 μm 내지 6.0 μm 만큼 더 길게 설정된다.

다음으로, 전술한 박막 트랜지스터를 사용하는 액정 표시장치를 간략히 설명한다. 도 7을 참조하면, 이러한 액정 표시장치는 제 1 실시형태의 전술한 TFT가 그 위에 형성되는 능동 매트릭스 기판과, 투명 절연 기판 (14) 상에 형성된 차광막 (16), 컬러 필터 층 (17), 차광막 (16) 과 컬러 필터 막 (17) 의 표면을 평탄화하는 평탄화막 (18), 및 평탄화막 (18) 상에 형성되는 카운터 전극 (19) 을 포함하는 카운터 기판 사이에 액정층 (15) 을 개재시킨다. 액정층 (15) 과 접촉하는 정렬막 (20) 이 능동 매트릭스 기판과 카운터 기판의 표면에 각각 형성된다.

전술한 바와 같이, 이러한 실시형태의 박막 트랜지스터에서, 반도체 막 (4) 은 소스 전극 (6a) 과 드레인 전극 (6b) 사이에서 확장한다. 확장 방향을 따른 반도체 막 (4) 의 양쪽 에지상에, 확장 방향과 수직인 방향으로 요철 (오목부 (4b) 및 볼록부 (4a)) 이 형성된다. 또한, 요철의 오목부 (4b) 는 소스 전극 (6a) 및 드레인 전극 (6b) 의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선 (30) 에 의해 샌드위치되는 영역의 외측에 위치된다. 따라서, 온-전류를 안정화하고 채널 길이의 불균일성의 억제를 실현할 수 있다.

또한, 이러한 실시형태의 액정 표시장치에서, 박막 트랜지스터의 반도체 막 (4) 은 소스 전극 (6a) 과 드레인 전극 (6b) 사이에서 확장한다. 확장 방향을 따른 이러한 반도체 막 (4) 의 양쪽 에지상에, 확장 방향에 수직인 방향으로 요철 (오목부 (4b) 및 볼록부 (4a)) 이 형성된다. 또한, 요철의 오목부 (4b) 는 소스 전극 (6a) 및 드레인 전극 (6b) 의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선 (30) 에 의해 샌드위치되는 영역의 외측에 위치된다. 따라서, 박막 트랜지스터의 온-전류를 안정화하고 채널 길이의 불균일성의 억제를 실현할 수 있다. 이러한 방식으로, 표시 특성의 저하가 방지될 수 있다.

또한, 요철 (4a 및 4b) 은 1.5 μm 내지 3.0 μm 의 범위로 설계된 직사각형 돌출 길이 (d1) 를 포함하는 포토마스크 패턴을 사용하여 채널 영역의 양쪽 에지부상에 형성되고, 양쪽 에지부가 굴곡되는 경우에도 TFT의 온-전류에 대한 영향을 억제할 수 있다. 또한, 광 누설 전류의 증가를 억제하면서 개구 비율의 감소를 억제할 수 있다.

다음으로, 본 발명의 제 2 실시형태를 설명한다. 이 실시형태의 박막 트랜지스터도 소스 전극 (6a) 과 드레인 전극 (6b) 사이의 채널 영역을 구성하는 게이트 전극 (2) 상에 위치한 반도체 막 (4) 의 폭을 정의한다. 구체적으로는, 반도체 막 (4) 은 소스 전극 (6a) 과 드레인 전극 (6b) 사이에서 확장하고, 확장 방향을 따라 제공되는 이러한 반도체 막 (4) 의 양쪽 에지상에, 요철 (오목부 (4b) 및 볼록부 (4a)) 가 확장 방향에 수직인 방향으로 형성된다. 여기서, 도 8c에 도시한 바와 같이, 소스 전극 (6a) 및 드레인 전극 (6b) 의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선 (80) 이 가정된다. 요철의 오목부 (4b) 는 이러한 한 쌍의 가상 직선 (80) 에 의해 샌드위치되는 영역의 외측에 위치된다. 다시 말해, 이러한 반도체 막 (4) 의 폭이 게이트 전극 (2) 상에 위치한 소스 전극 (6a) 의 폭 및 드레인 전극 (6b) 의 폭 보다 넓고, 채널 영역의 양쪽 에지부 각

각에서의 반도체 막 (4) 은 오목부 (4a) 및 볼록부 (4b) 를 포함하는 요철 형상을 갖는다. 이 실시형태에서, 도 8a에 도시한 바와 같이, 채널 영역의 반도체 막 (4) 의 양쪽 에지부 각각은 2개의 볼록부 (4a) 및 3개의 오목부 (4b) 를 포함하는 요철 형상을 갖는다. 즉, 복수의 볼록부 (4a) 및 복수의 오목부 (4b) 가 반도체 막 (4) 의 양쪽 에지부 각각에 형성된다.

이러한 TFT를 제조할 때, 차광 영역, 반-투과 영역, 및 투과 영역을 포함하는 하프톤 마스크가 제 1 실시형태의 전술한 제조 방법과 유사하게 사용된다. 그러나, 여기에서 사용된 포토마스크의 패턴은 제 1 실시형태의 패턴과 상이하다. 이 실시형태에서, 차광 영역은 한 쌍의 차광 영역 (11) 을 포함한다. 반-투과 영역은 슬릿 (13), 및 슬릿 (13) 을 통해 한 쌍의 차광 영역 (11) 사이에 배치되고 차광 영역 (11) 의 폭 보다 더 큰 폭을 갖는 길고 가는 직사각형부 (12) 를 포함한다. 구체적으로는, 이 실시형태에서, 2개의 길고 가는 직사각형부 (12) 와 3개의 슬릿이 한 쌍의 차광 영역 (11) 사이에 배치된다. 차광 영역 및 반-투과 영역 이외의 영역은 투과 영역으로 기능한다. TFT는 차광 영역 (11) 의 대향하는 부분의 폭 보다 더 긴 2개의 길고 가는 직사각형부 (12) 를 갖는 반-투과 영역을 포함하는 포토마스크 패턴을 사용하여 노광 및 현상함으로써 형성된다.

이 실시형태의 액정 표시장치에서, 반도체 막 (4) 은 소스 전극 (6a) 과 드레인 전극 (6b) 사이에서 확장한다. 확장 방향을 따른 이러한 반도체 막 (4) 의 양쪽 에지상에, 확장 방향에 수직인 방향으로 요철 (오목부 (4a) 및 볼록부 (4a)) 가 형성된다. 또한, 요철의 오목부 (4b) 는 소스 전극 (6a) 및 드레인 전극 (6b) 의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선 (80) 에 의해 샌드위치되는 영역의 외측에 위치된다. 따라서, 박막 트랜지스터의 온-전류를 안정화하고 채널 길이의 불균일성의 억제를 실현할 수 있다. 이러한 방식으로, 표시 특성의 저하가 방지될 수 있다.

또한, 이 실시형태에서, 노광 및 현상 프로세스 동안의 노광량의 변동에 반응하여 소스 및 드레인 형성 영역 사이에 얇은 채널 영역을 형성하는 포토-레지스트 막의 막 두께에서의 변동을 억제할 수 있다. 따라서, 이 실시형태는 제 1 실시형태와 비교하여 채널 길이에서의 불균일성을 더 억제할 수 있다는 이점을 갖는다.

또한, 제 1 실시형태와 유사하게, 1.5 μm 내지 3.0 μm 의 범위로 설계된 포토마스크 직사각형 돌출 길이 (d1) 를 포함하는 포토마스크 패턴을 사용하여 채널 영역의 양쪽 에지부상에 요철 (4a 및 4b) 이 형성되고, 이것은 양쪽 에지부가 굴곡되는 경우에도 TFT의 온-전류에 대한 영향을 억제할 수 있다. 또한, 광 누설 전류의 증가를 억제하면서 개구 비율의 감소를 방지할 수 있다.

본 발명의 바람직한 실시형태를 도면을 참조하여 설명하였지만, 다양한 변화 또는 변형이 본 발명의 범위를 벗어나지 않고 이루어질 수도 있다는 것이 명백하다.

발명의 효과

이상, 설명한 바와 같이, 본 발명에 따르면, 온-전류를 안정화하고 채널 길이에서의 불균일성을 억제할 수 있는 박막 트랜지스터, 이러한 박막 트랜지스터를 사용하는 액정 표시장치, 및 이러한 박막 트랜지스터를 제조하는 방법을 제공할 수 있고, 또한, 박막 트랜지스터의 온-전류 특성에 대한 영향을 감소시킬 수 있는 포토마스크 패턴을 사용함으로써 박막 트랜지스터의 온-전류에 대한 영향을 감소시킬 수 있는 박막 트랜지스터를 제조하는 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

소스 전극과 드레인 전극 사이에서 확장하며, 반도체 막의 확장 방향을 따라 양쪽 에지상에 상기 확장 방향에 수직인 방향으로 형성되는 요철을 포함하는 반도체 막으로서, 상기 요철의 오목부는 상기 소스 전극 및 상기 드레인 전극의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치되는, 상기 반도체 막; 및

상기 반도체 막과 게이트 전극 사이에 게이트 절연막을 개재한 상태로 채널 영역 하부에 배치되는 게이트 전극을 구비하는, 박막 트랜지스터.

청구항 2.

박막 트랜지스터가 형성되는 능동 매트릭스 기판; 및

액정층을 개재하는 상기 능동 매트릭스 기판에 대향하는 카운터 기판을 구비하며,

상기 박막 트랜지스터 각각은,

소스 전극과 드레인 전극 사이에서 확장하며, 반도체 막의 확장 방향을 따라 양쪽 에지상에 상기 확장 방향에 수직인 방향으로 형성되는 요철을 포함하는 반도체 막으로서, 상기 요철의 오목부는 상기 소스 전극 및 상기 드레인 전극의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치되는, 상기 반도체 막; 및

상기 반도체 막과 게이트 전극 사이에 게이트 절연막을 개재한 상태로 채널 영역 하부에 배치되는 게이트 전극을 구비하는, 박막 트랜지스터.

청구항 3.

절연 기판상에 게이트 전극을 형성하는 단계;

상기 절연 기판 및 상기 게이트 전극과 반도체 막 사이에 게이트 절연 막을 개재한 상태로 상기 절연 기판 및 상기 게이트 전극상에 상기 반도체 막과 도전막을 형성하는 단계;

상기 반도체 막과 상기 도전막 상부에 포토-레지스트 막을 형성하는 단계;

마스크로서 상기 포토-레지스트 막을 사용하여 상기 도전막 및 상기 반도체막을 패터닝하여 상기 도전막 및 상기 반도체막을 섬 형상으로 형성하는 단계;

상기 도전막을 패터닝함으로써 서로 분리된 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 소스 전극과 상기 드레인 전극 사이의 상기 반도체 막을 채널 에칭하는 단계를 포함하며,

확장 방향을 따라 제공된 상기 반도체 막의 양쪽 에지상에서 상기 확장 방향에 수직인 방향으로 요철이 형성되며, 그리고

상기 요철의 오목부는 상기 소스 전극 및 상기 드레인 전극의 대향하는 에지의 양단을 링크하는 한 쌍의 가상 직선에 의해 샌드위치되는 영역의 외측에 위치되는, 박막 트랜지스터의 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 포토-레지스트 막은,

소스 전극 형성 영역 및 드레인 전극 형성 영역에 대응하는 두꺼운 부분; 및

상기 소스 전극 형성 영역과 상기 드레인 전극 형성 영역 사이의 채널 형성 영역에 대응하며, 상기 두꺼운 부분의 두께 보다 얇은 두께를 갖는 얇은 부분을 포함하는, 박막 트랜지스터의 제조 방법.

청구항 5.

제 3 항에 있어서,

상기 포토-레지스트 막은 상이한 투광량을 갖는 3개의 영역을 포함하는 포토마스크를 사용하면서 노광 및 현상에 의해 형성되고, 그리고

상기 포토마스크는 상기 소스 전극 형성 영역과 상기 드레인 전극 형성 영역에 대응하는 한 쌍의 차광 영역, 슬릿을 통해 상기 한 쌍의 차광 영역 사이에 제공되고 상기 슬릿과 함께 반-투과 영역을 구성하는 직사각형부, 및 상기 차광 영역 및 상기 반-투과 영역과 이격된 투광 영역을 포함하는, 박막 트랜지스터의 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 포토마스크의 상기 직사각형부는 상기 한 쌍의 차광 영역의 폭 보다 넓은, 박막 트랜지스터의 제조 방법.

청구항 7.

제 6 항에 있어서,

복수의 직사각형부가 상기 슬릿을 통해 제공되고, 상기 직사각형부 각각은 상기 포토마스크의 직사각형부와 동일한, 박막 트랜지스터의 제조 방법.

청구항 8.

제 4 항에 있어서,

상기 포토-레지스트 막을 형성하는 포토마스크는 소스 및 드레인 형성 영역에 대응하는 한 쌍의 차광 영역, 투광 영역, 및 노광 장치의 분해능 이하의 치수를 갖는 투광 및 차광 패턴을 갖는 반-투과 영역을 포함하고,

상기 투광 및 차광 패턴은 한 쌍의 슬릿 및 길고 가는 직사각형부를 포함하며, 그리고

상기 길고 가는 직사각형부는 상기 소스 및 드레인 형성 영역에 대응하는 상기 한 쌍의 차광 영역의 대향하는 부분의 폭 보다 더 긴, 박막 트랜지스터의 제조 방법.

청구항 9.

제 8 항에 있어서,

상기 포토마스크의 상기 반-투과 영역을 구성하는 상기 투광 및 차광 패턴의 상기 길고 가는 직사각형부는 상기 소스 및 드레인 형성 영역에 대응하는 상기 한 쌍의 차광 영역의 대향하는 부분에서 상기 소스 형성 영역의 폭 및 상기 드레인 형성 영역의 폭 중 어느 하나보다 1.5 μm 이상 더 긴, 박막 트랜지스터의 제조 방법.

청구항 10.

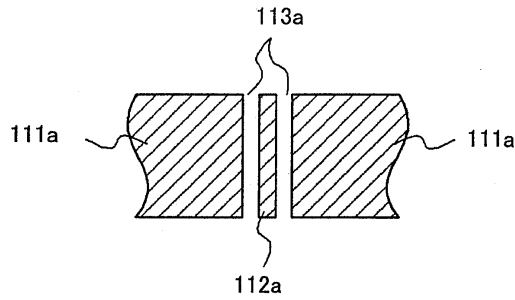
제 4 항에 있어서,

상기 포토마스크의 상기 반-투과 영역을 구성하는 상기 투광 및 차광 패턴의 상기 길고 가는 직사각형부는 상기 소스 및 드레인 형성 영역에 대응하는 상기 한 쌍의 차광 영역의 대향하는 부분에서 상기 소스 형성 영역의 폭 및 상기 드레인 형성 영역의 폭 중 어느 하나보다, 일측상에서는 1.5 μm 내지 3.0 μm 의 범위에서 더 길고 전체적으로 양측상에서는 3.0 μm 내지 6.0 μm 의 범위에서 더 긴, 박막 트랜지스터의 제조 방법.

도면

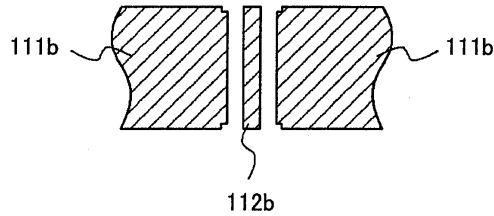
도면1a

종래기술



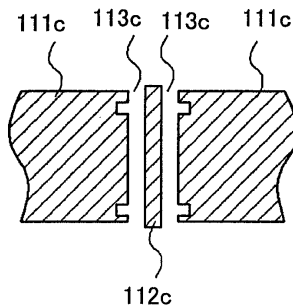
도면1b

종래기술



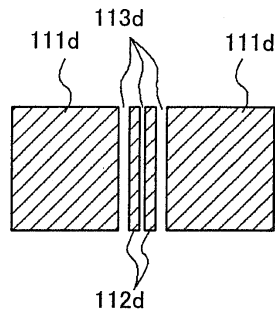
도면1c

종래기술



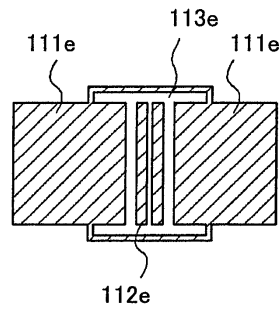
도면2a

종래기술



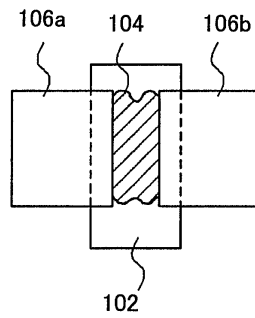
도면2b

종래기술



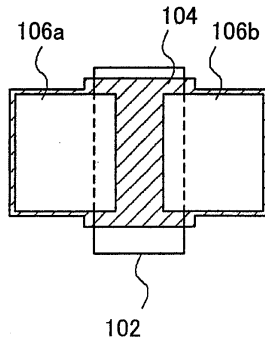
도면2c

종래기술

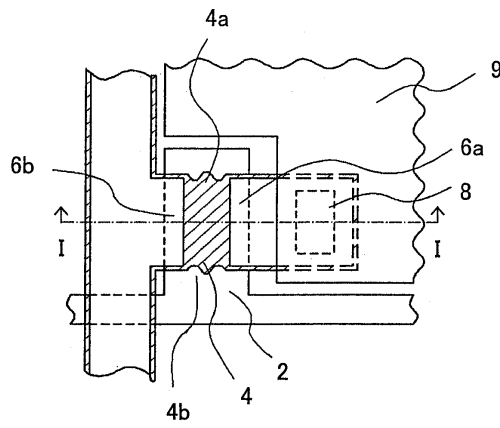


도면2d

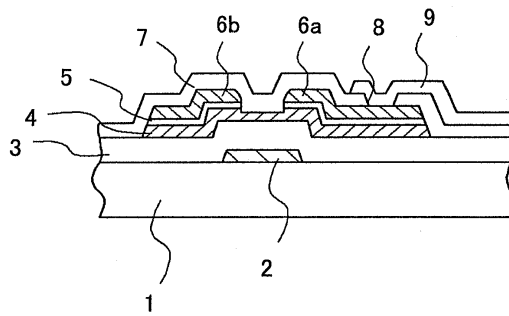
종래기술



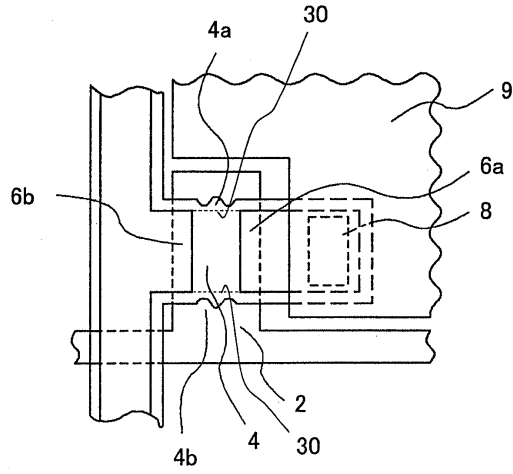
도면3a



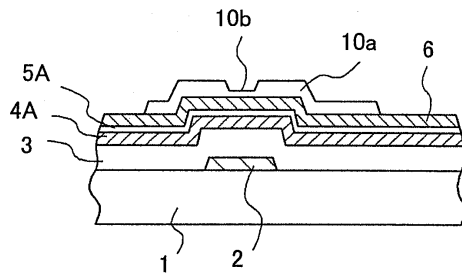
도면3b



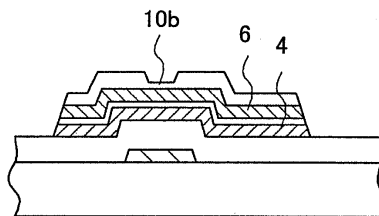
도면3c



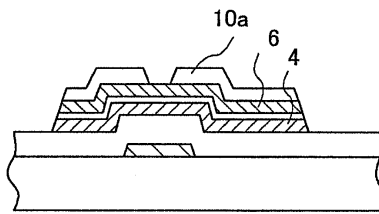
도면4a



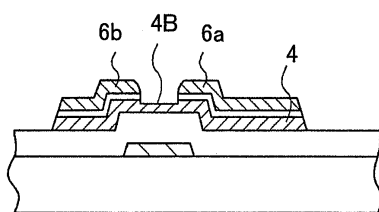
도면4b



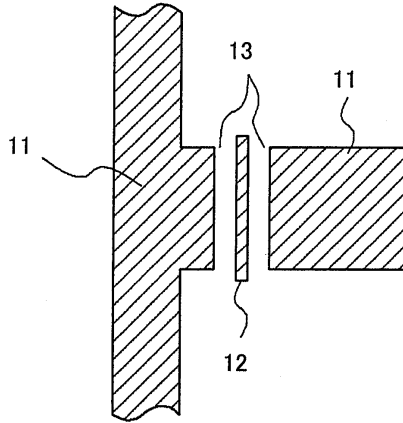
도면4c



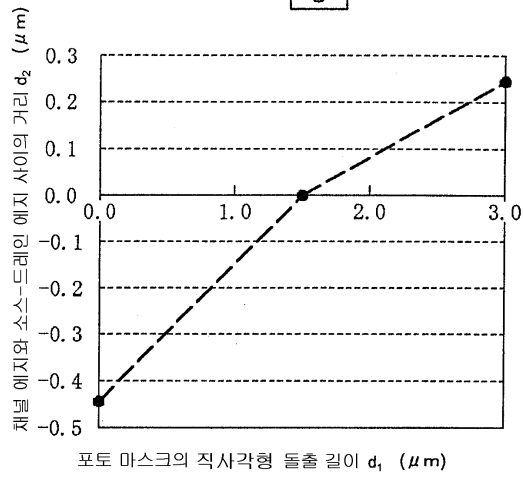
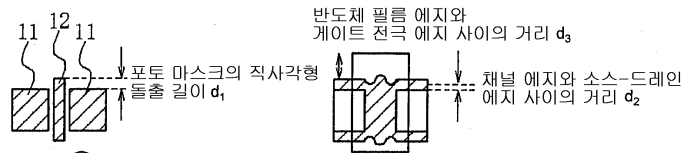
도면4d



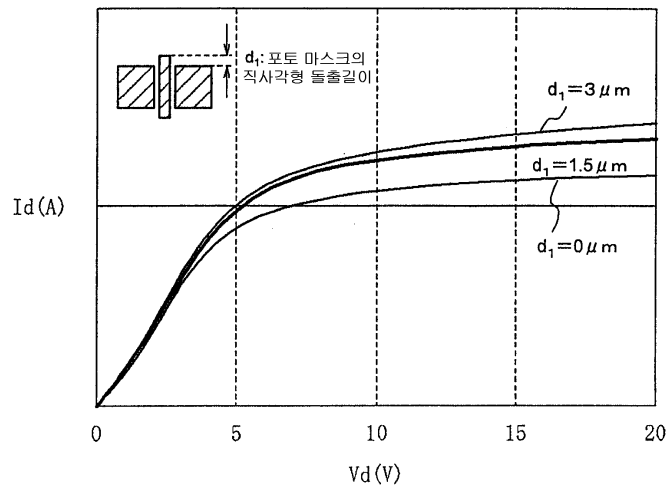
도면5



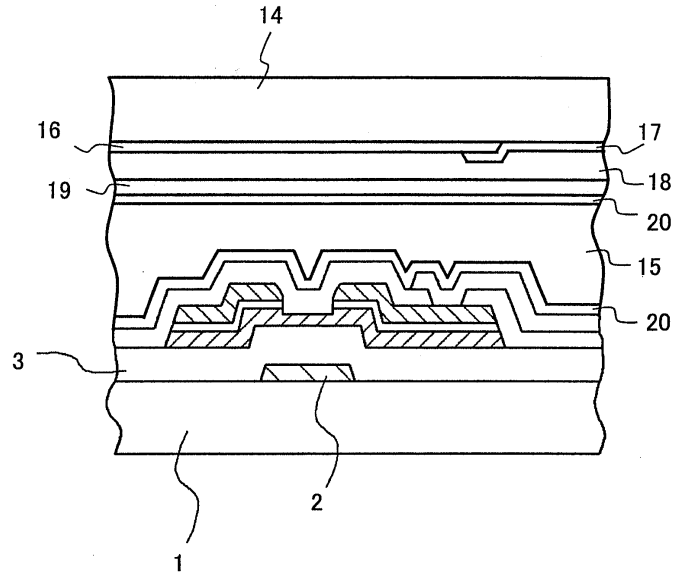
도면6a



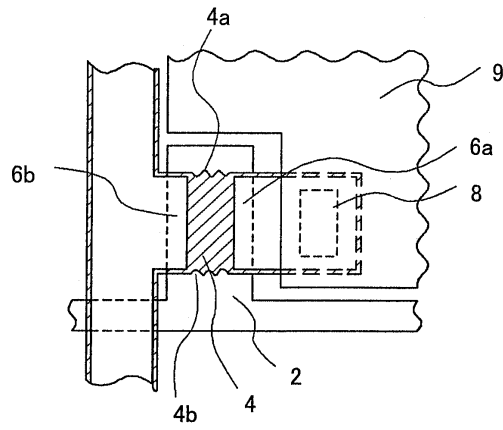
도면6b



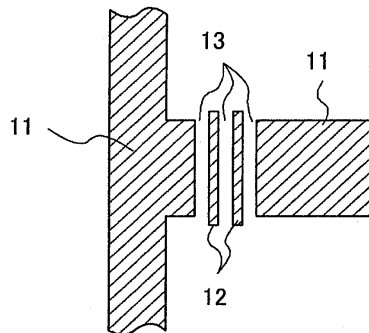
도면7



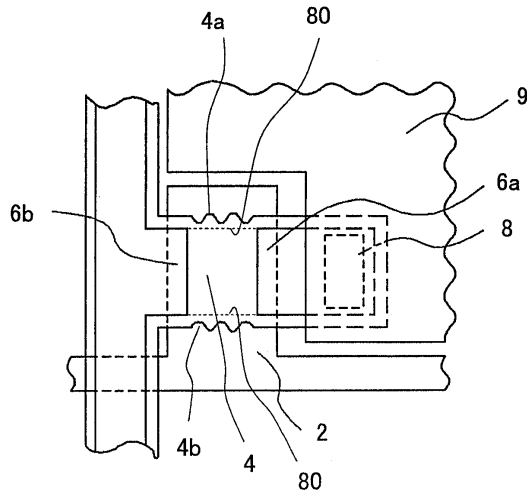
도면8a



도면8b



도면8c



专利名称(译)	薄膜晶体管，使用其的液晶显示装置及其制造方法		
公开(公告)号	KR1020060041843A	公开(公告)日	2006-05-12
申请号	KR1020050011393	申请日	2005-02-07
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	OHISHI MITSUMA 오히시미츠마 KIMURA SATOSHI 기무라사토시		
发明人	오히시미츠마 기무라사토시		
IPC分类号	G02F1/13357 G02F1/1368 G02F1/133 G02F1/136 G03F7/20 H01L21/00 H01L21/027 H01L21/336 H01L21/77 H01L21/84 H01L27/01 H01L27/12 H01L29/417 H01L29/786 H01L31/0392 H01L27/11 G02F1/1335 H01L29/78		
CPC分类号	H01L29/78696 H01L27/1214 H01L29/78633 H01L27/12 H01L29/41733 H01L27/1288 H01L27/1222 H01L29/66765 H01L29/78678		
代理人(译)	韩国专利公司		
优先权	2004034094 2004-02-10 JP		
其他公开文献	KR100708240B1		
外部链接	Espacenet		

摘要(译)

位于形成源电极和漏电极之间的沟道区的栅电极上的半导体膜的宽度大于漏电极的宽度和位于栅电极上的源电极的宽度。在沟道区的两个边缘部分上的半导体膜的宽度方向上形成不规则性。图3A 指数方面 源电极，漏电极，栅电极，半导体膜，

