

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/133(11) 공개번호 10-2005-0040455
(43) 공개일자 2005년05월03일(21) 출원번호 10-2003-0075661
(22) 출원일자 2003년10월28일(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자 박동진
대구광역시달서구월성동84번지월성주공1단지105동307호
정태혁
경상남도양산시중부동696-1대동황토방아파트103-901
허해진
울산광역시울주군언양읍동부리252번지

(74) 대리인 박상수

심사청구 : 있음

(54) 액정표시장치

요약

액정표시장치를 제공한다. 상기 액정표시장치는 하부기판을 구비한다. 상기 하부기판 상에 일방향으로 복수개의 데이터 라인이 배열된다. 상기 하부기판 상부에 상기 하부기판에 대향하는 대향면을 갖는 상부기판이 위치한다. 상기 상부기판의 대향면 상에 소정간격에 의해 서로 이격된 스트라이프 형태의 공통전극들이 위치하되, 상기 간격은 상기 하부기판의 데이터 라인이 위치한 영역에 대응된다. 이로써, 수평 크로스토크 현상을 억제할 수 있다.

대표도

도 3

색인어

공통전극, 수평 크로스토크, 커플링 캐패시터

명세서

도면의 간단한 설명

도 1은 수평 크로스토크 현상이 발생한 화면에 대한 평면도이다.

도 2는 본 발명의 제 1 실시예에 따른 액정표시장치를 설명하기 위한 평면도로서, 하부기판과 상부기판을 동시에 도시한 도면이다.

도 3은 본 발명의 제 2 실시예에 따른 액정표시장치를 설명하기 위한 평면도로서, 하부기판과 상부기판을 동시에 도시한 도면이다.

도 4는 도 2 또는 도 3의 절단선 I-I를 따라 취해진 액정표시장치의 제조방법을 설명하기 위한 단면도이다.

(도면의 주요 부위에 대한 부호의 설명)

100 : 하부기판 130 : 박막트랜지스터

150 : 화소전극 127 : 데이터 라인

500 : 상부기관 530 : 공통전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 패터닝된 공통전극을 갖는 액정표시장치에 관한 것이다.

박막트랜지스터 액정표시장치(Thin Film Transistor Liquid Crystal Display ; 이하, TFT LCD라 한다)는 콘트라스트 비가 크고, 계조표시나 동화상 구현에 적합하며, 풀칼라 구현이 용이한 잇점으로 인해 각광받고 있다.

이러한 TFT LCD는 디스플레이 면적이 커지고 해상도가 높아짐에 따라, 크로스토크(crosstalk), 플리커(flicker) 및 잔상(residual image)과 같은 화상의 열화문제가 점차 중요해지고 있다. 이 중, 크로스토크는 화이트 또는 블랙 표시가 화면의 일부 영역에서 이루어질 때, 그의 상하 또는 좌우에 위치하는 영역의 계조가 상기 화이트 또는 블랙 표시에 의해 영향 받아 본래의 계조 표시와는 다른 계조를 표시하게 되는 것을 말한다. 이 때, 상하 방향에 위치하는 영역에서 크로스토크가 발생하는 것을 수직형 크로스토크(vertical crosstalk)라고 하고, 좌우 방향에 위치하는 영역에서 크로스토크가 발생하는 것을 수평 크로스토크(horizontal crosstalk)라고 한다. 이는 대면적 TFT LCD에서 화상품질을 크게 저하시킨다.

도 1은 수평 크로스토크 현상이 발생한 화면에 대한 평면도로서, 상기 화면을 표시한 액정표시장치는 노말리 화이트(normaly white) 형이다.

도 1을 참조하면, 제 1 내지 제 3 행(R1, R2, R3) 및 제 1 내지 제 3 열(C1, C2, C3)을 매트릭스 형태로 갖는 화면이 도시되어 있다. 상기 제 2 행(R2)과 상기 제 2 열(C2)에 의해 정의되는 윈도우(W)에 블랙을 표시하도록 하고, 상기 윈도우 주변은 그레이를 표시하도록 한다. 이를 위해, 상기 제 1, 상기 제 2, 상기 제 3 행(R1, R2, R3)이 순차적으로 선택되는데, 상기 제 1 행(R1)이 선택되었을 때는 제 1 내지 제 3 열(C1, C2, C3)의 데이터 라인들에는 제 1 전압이 동일하게 인가된다. 이어서, 상기 제 2 행(R2)이 선택되었을 때는 제 1 및 제 3 열(C1, C3)의 데이터 라인들에는 상기 제 1 전압이 인가되나, 제 2 열(C2)의 데이터 라인에는 제 1 전압보다 높은 제 2 전압이 인가된다. 이어서, 제 3 행(R3)이 선택되었을 때는 제 1 내지 제 3 열(C1, C2, C3)의 데이터 라인들에는 상기 제 1 전압이 동일하게 인가된다. 그러나, 공통전극 전압은 상기 화면 전체에 일정하게 인가된다.

한편, 상기 데이터 라인 전압들은 액정의 열화를 방지하기 위해 각 라인 선택 시간동안 주기적으로 스윙(swing)하는데, 이로 인해 데이터 라인과 상기 공통전극 사이에는 용량 결합(capacitive coupling)으로 인한 커플링 캐패시터(coupling capacitor)가 생성되고, 이로 인해 상기 공통전극전압은 왜곡(distortion)된다. 또한, 상기 데이터 라인 전압이 클수록 상기 스윙 폭이 커져 상기 공통전극전압의 왜곡은 커진다.

상기 제 1 또는 제 3 행(R1, R3)이 선택되었을 때는 상기 제 1 내지 제 3 열(C1, C2, C3)의 데이터 라인들에는 제 1 전압이 동일하게 인가되므로, 상기 공통전극전압의 왜곡 정도가 동일하여 크로스토크가 발생하지 않는다. 그러나, 상기 제 2 행(R2)이 선택되었을 때는 상기 제 2 열(C2)의 데이터 라인 전압이 상기 제 1 및 제 3 열(C1, C3)의 데이터 라인들의 전압에 비해 커져, 상기 제 2 열(C2)의 데이터 라인 전압에 의한 공통전극전압의 왜곡은 상기 윈도우 좌우 주변에 비해 크고 이는 상기 윈도우 좌우 주변에 영향을 미쳐 상기 윈도우 좌우 주변의 계조 표시를 변화시킨다. 따라서, 상기 윈도우 좌우 주변은 원래 표시하고자 했던 그레이보다 밝은 그레이를 표시하게 된다.

일반적인 액정표시장치는 상기 데이터 라인들이 위치한 하부기관과 상기 공통전극이 위치한 상부기관을 구비하는데, 상기 공통전극은 상기 상부기관 전체에 위치하여 상기 공통전극과 상기 데이터 라인들과의 커플링 캐패시터 생성을 용이하게 할 뿐 아니라, 상기 공통전극 전압왜곡이 주변화소에 영향을 미치는 것 또한 용이하게 한다.

이러한 수평 크로스토크를 해결하기 위해, 칼럼 반전(column inversion) 구동방식이 채택되고 있다. 그러나, 이는 상기 박막트랜지스터에 인가되는 전압의 수준을 높게 하여 소비전력의 증가를 가져온다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 수평 크로스토크 현상이 억제된 액정표시장치를 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은 액정표시장치를 제공한다. 상기 액정표시장치는 하부기관을 구비한다. 상기 하부기관 상에 일방향으로 복수개의 데이터 라인이 배열된다. 상기 하부기관 상부에 상기 하부기관에 대향하는 대향면을 갖는 상부기관이 위치한다. 상기 상부기관의 대향면 상에 소정간격에 의해 서로 이격된 스트라이프 형태의 공통전극들이 위치하되, 상기 간격은 상기 하부기관의 데이터 라인이 위치한 영역에 대응된다.

상기 액정표시장치의 구동에 있어, 상기 공통전극들에는 동일한 전압이 인가되는 것이 바람직하다.

상기 공통전극은 투명 도전막인 것이 바람직하고, 상기 투명 도전막은 ITO(Indium Tin Oxide)막인 것이 바람직하다.

한편, 상기 공통전극들은 포토리소그래피를 사용하여 동시에 형성된 것이 바람직하다.

상기 액정표시장치는 상기 공통전극들의 일단들 및/또는 다단들에 위치하여 상기 공통전극들을 서로 연결하는 공통전극 연결부를 더욱 포함하는 것이 바람직하다. 상기 공통전극들과 상기 공통전극 연결부는 투명 도전막인 것이 바람직하고, 상기 투명 도전막은 ITO(Indium Tin Oxide)막인 것이 바람직하다. 한편, 상기 공통전극들과 상기 공통전극 연결부는 포토리소그래피를 사용하여 동시에 형성된 것이 바람직하다.

상기 액정표시장치는 상기 하부기관 하부에 위치하는 적색, 녹색 및 청색의 백라이트들을 더욱 포함할 수 있다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예들을 첨부된 도면들을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다.

도면들에 있어서, 층이 다른 층 또는 기관 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

도 2는 본 발명의 제 1 실시예에 따른 액정표시장치를 설명하기 위한 평면도로서, 하부기관과 상부기관을 동시에 도시한 도면이다.

도 2를 참조하면, 하부기관(100) 상에 일방향으로 복수개(G1 내지 Gn)의 게이트 라인들(106)과 상기 각 게이트 라인(106)에 교차하는 복수개(D1 내지 Dm)의 데이터 라인들(127)이 위치한다. 상기 게이트 라인들(106)과 상기 데이터 라인들(127)의 교차에 의해 정의된 열(A1 내지 Am)과 행을 갖는 단위화소 영역들이 매트릭스 형태로 위치한다. 상기 각 단위화소 영역에는 화소전극(150)이 위치하고, 또한 상기 게이트 라인(106)의 제어에 의해 스위칭되어 상기 데이터 라인(127)에 인가된 전압을 상기 화소전극(150)에 인가하는 박막트랜지스터(130)가 위치한다.

한편, 상기 하부기관(100)에 대향하는 위치에 상기 하부기관(100)과 대향하는 대향면을 갖는 상부기관(500)이 위치한다. 상기 상부기관의 대향면 상에 소정간격(540)에 의해 서로 이격된 스트라이프 형태의 공통전극들(530)이 위치하되, 상기 간격(540)은 상기 하부기관(100) 상의 데이터 라인(127)이 위치한 영역에 대응된다. 다시 말해서, 상기 공통전극들(530)은 상기 하부기관 상의 단위화소영역의 열들(A1 내지 Am)에 각각 대응하여 위치하고, 상기 하부기관(100) 상의 데이터 라인(127)이 위치한 영역에 대응되는 영역(540)에는 위치하지 않는다. 상기 공통전극들(530)은 투명 도전막인 것이 바람직하다. 상기 투명 도전막은 ITO막인 것이 바람직하다.

상기 하부기관(100)과 상부기관(500) 사이에는 액정(미도시)이 위치한다. 상기 각 단위화소 영역의 화소전극(150), 상기 화소전극(150)에 대향하는 상기 공통전극(530) 및 이들 사이에 개재된 액정은 하나의 액정캐패시터를 형성한다. 상기 각 박막트랜지스터(130)와 상기 각 액정캐패시터는 하나의 단위화소를 형성하며, 상기 단위화소는 열(A1 내지 Am)과 행으로 배열되어 단위화소 어레이를 형성한다.

상술한 바와 같은 액정표시장치를 구동함에 있어, 상기 게이트 라인들(106)중 어느 하나와 상기 데이터 라인들(127) 중 어느 하나를 선택하여 이들 각각에 전압을 인가함으로써, 특정 단위화소를 선택한다. 상기 게이트 라인(106)에 인가된 전압에 따라 턴-온된 상기 박막트랜지스터(130)는 상기 데이터 라인(127)에 인가된 전압을 상기 화소전극(150)에 전달함으로써 상기 화소전극에 전압이 인가된다. 한편, 상기 화소전극(150)에 대향하는 상기 공통전극(530)에는 공통전압이 인가된다. 이 때, 상기 화소전극(150)과 상기 공통전극(530) 사이에 위치하는 액정은 상기 화소전극(150)과 상기 공통전극(530) 즉, 상기 액정캐패시터의 양단에 인가된 전압차에 의해 배열을 달리하며, 이로 인해 상기 액정캐패시터를 통해 투과되는 빛의 투과도가 조절된다. 이로써, 상기 단위화소에 있어 계조표시가 구현된다.

이 때, 상기 상부기관(500)에 위치한 공통전극들(530) 모두 즉, 상기 선택된 단위화소를 제외한 단위화소 어레이 전체의 공통전극들(530)에는 동일한 전압이 인가된다. 그러나, 상기 공통전극들(530)은 상기 하부기관(100) 상의 상기 데이터라인(127)이 위치한 영역에 대응하는 영역에는 위치하지 않으므로써, 상기 공통전극(530)과 상기 선택된 데이터라인(127) 사이에 유도된 용량 결합(capacitive coupling)으로 인한 커플링 캐패시터(coupling capacitor: Cdc)의 생성을 억제할 수 있다. 따라서, 상기 공통전극전압의 왜곡이 억제된다. 결과적으로, 특정 계조를 표시하는 선택된 단위화소에 있어서의 공통전압 왜곡으로 인해 이에 인접한 좌우의 단위화소의 계조에 영향을 미치는 수평 크로스토크 현상을 개선할 수 있다.

한편, 상기 공통전극들(530)에 동일한 전압을 인가하는 것은 공통전압 인가회로(미도시)로부터 상기 공통전극들(530) 각각에 연결된 배선을 통해 구현될 수 있다.

도 3은 본 발명의 제 2 실시예에 따른 액정표시장치를 설명하기 위한 평면도로서, 하부기관과 상부기관을 동시에 도시한 도면이다. 본 실시예에 있어서의 액정표시장치는 상기 제 1 실시예에 있어서의 액정표시장치와는 공통전극의 구조를 달리한다. 따라서, 본 실시예의 액정표시장치는 후술하는 것을 제외하고는 상기 제 1 실시예의 액정표시장치와 동일하다.

도 3을 참조하면, 하부기관(100) 상에 위치한 복수개(G1 내지 Gn)의 게이트 라인들(106)과 복수개(D1 내지 Dm)의 데이터 라인들(127)에 의해 매트릭스 형태의 단위화소영역들이 정의되고, 상기 각 단위화소영역들에는 화소전극(150)과 박막트랜지스터(130)가 위치한다.

상기 하부기관(100)에 대향하는 위치에 상기 하부기관(100)과 대향하는 대향면을 갖는 상부기관(500)이 위치한다. 상기 상부기관의 대향면 상에 소정간격(540)에 의해 서로 이격된 스트라이프 형태의 공통전극들(530)이 위치하되, 상기 간격(540)은 상기 하부기관(100) 상의 데이터 라인(127)이 위치한 영역에 대응된다. 다시 말해서, 상기 공통전극들(530)은 상기 하부기관 상의 단위화소영역의 열들(A1 내지 Am)에 각각 대응하여 위치하고, 상기 하부기관(100)의 데이터 라인(127)이 위치한 영역에 대응되는 영역(540)에는 위치하지 않는다.

상기 상부기관(500)의 대향면 상에는 상기 공통전극들(530)의 일단들 및/또는 다단들에 위치하여 상기 공통전극들을 서로 연결하는 공통전극 연결부(535)가 배치된다. 상기 제 1 공통전극 연결부(535)와 상기 공통전극들(530)은 모두 투명 도전막인 것이 바람직하다. 상기 투명 도전막은 ITO(Indium Tin Oxide)막인 것이 바람직하다.

상술한 바와 같은 액정표시소자의 구동에 있어, 상기 공통전극들(530)에는 동일한 전압이 인가되는데, 상기 공통전극들(530)에 동일한 전압을 인가하는 것은 공통전압 인가회로(미도시)로부터 공통전극 연결부(535)에 연결된 배선을 통해 구현될 수 있다.

도 4는 도 2 또는 도 3의 절단선 I-I'를 따라 취해진 액정표시장치의 제조방법을 설명하기 위한 단면도이다. 단, 도 2 또는 도 3에 있어서의 A3 내지 Am-2 열의 단위화소는 생략되었다.

도 4를 참고하면, A1 내지 Am의 단위화소영역들을 갖는 하부기관(100) 상에 각 단위화소영역별로 게이트(105)들을 형성하고, 상기 게이트(105)들을 포함한 기관 전면을 덮는 게이트 절연막(110)을 형성한다. 상기 게이트 절연막(110) 상에 상기 게이트(105)와 대응되는 반도체층(120)을 형성하고, 상기 반도체층(120)의 양 가장자리에 소오스/드레인 전극들(125, 126)을 형성함과 동시에 상기 소오스 전극(126)에 연결된 데이터라인(127)을 형성한다. 이로써, 각 단위화소 영역에 상기 게이트(105), 반도체층(120) 및 소오스/드레인 전극들(125, 126)을 갖는 박막트랜지스터(130)가 형성된다. 이어서, 상기 드레인 전극(125)의 소정영역을 노출시키는 콘택홀을 갖는 보호막(160)을 형성하고, 상기 보호막(160) 상에 상기 콘택홀을 통해 상기 드레인 전극(125)과 접하는 화소전극(150)을 형성한다. 이어서, 상기 화소전극(150)을 포함하는 하부기관 전면면에 하부배향막(170)을 형성한다.

한편, 상부기관(500)을 준비하고, 상기 상부기관(500) 상에 상기 하부기관(100)의 상기 박막트랜지스터(130), 상기 데이터라인(127) 및 상기 게이트라인(도 2 또는 도 3의 106)이 형성된 영역을 가리는 차광막(510)을 형성하고, 상기 차광막(510)이 형성된 상부기관(500)전면을 덮는 절연막(520)을 형성한다. 이어서, 상기 절연막(530) 상에 투명전극물질, 바람직하게는 ITO를 증착(deposition)하고 상기 증착된 ITO를 포토리소그라피공정을 사용하여 패터닝함으로써, 상기 상부기관(500) 상에 소정간격(540)에 의해 서로 이격된 스트라이프 형태의 공통전극들(530)을 형성한다. 상기 간격(540)은 상기 하부기관(100) 상의 데이터 라인(127)이 형성된 영역에 대응하여 형성된다. 다시 말해서 상기 공통전극들(530)은 상기 하부기관 상의 단위화소영역의 열들(A1 내지 Am)에 각각 대응하여 위치하도록 형성되되, 상기 하부기관(100) 상의 데이터 라인(127)이 형성된 영역에 대응되는 영역(540)에는 형성하지 않는다. 상기 포토리소그라피 공정에서 상기 상부기관(500) 상에 증착된 투명전극물질, 바람직하게는 ITO를 패터닝함에 있어, 상기 공통전극들(530)과 상기 공통전극 연결부(도 3의 535)를 동시에 형성하는 것이 바람직하다. 이어서, 상기 공통전극들(530) 상에 상부배향막(550)을 형성한다.

이어서, 상기 하부기관(100)과 상기 상부기관(500)이 일정간격을 유지하도록 하여 합착하고, 상기 하부기관(100)과 상기 상부기관(500) 사이에 액정(600)을 주입한다.

상기 액정표시장치는 칼라이미지를 표시하기 위해서는 상기 하부기관(100) 하부에 상기 각 단위화소 별로 R, G, B 백라이트(700)가 배열되는 구조를 갖을 수 있다. 이러한 액정표시장치를 필드순차구동방식 액정표시장치라고 하는데, 이는 R, G, B 백라이트로부터 R, G, B 3원색의 광을 하나의 단위화소에 위치한 액정을 통해 시분할적으로 순차 디스플레이함으로써, 눈의 잔상효과를 이용하여 칼라이미지를 디스플레이한다. 이와는 달리, 상기 액정표시장치는 상기 절연막(520) 하부의 차광막(510) 상에 각 단위화소별로 배치된 R, G, B 칼라필터층(미도시)을 더욱 구비하여 칼라이미지를 구현할 수도 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 데이터 라인과 대응되는 영역에는 공통전극을 형성하지 않음으로써 상기 데이터 라인과 상기 공통전극 간의 용량 결합에 따른 커플링 캐패시터의 생성을 억제할 수 있고, 이로 인해 공통전극전압의 왜곡이 완화된다는 결과적으로 수평 크로스토크 현상을 억제할 수 있다.

(57) 청구의 범위

청구항 1.

하부기관;

상기 하부기관 상에 일방향으로 배열된 복수개의 데이터 라인;

상기 하부기관 상부에 위치하여 상기 하부기관에 대향하는 대향면을 갖는 상부기관; 및

상기 상부기관의 대향면 상에 소정간격에 의해 서로 이격된 스트라이프 형태의 공통전극들이 위치하되, 상기 간격은 상기 하부기관의 데이터 라인이 위치한 영역에 대응되는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 액정표시장치의 구동에 있어, 상기 공통전극들에는 동일한 전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 공통전극은 투명 도전막인 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 투명 도전막은 ITO(Indium Tin Oxide)막인 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 공통전극들은 포토리소그래피를 사용하여 동시에 형성된 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 공통전극들의 일단들 및/또는 다탄들에 위치하여 상기 공통전극들을 서로 연결하는 공통전극 연결부를 더욱 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 공통전극들과 상기 공통전극 연결부는 투명 도전막인 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 투명 도전막은 ITO(Indium Tin Oxide)막인 것을 특징으로 하는 액정표시장치.

청구항 9.

제 6 항에 있어서,

상기 공통전극들과 상기 공통전극 연결부는 포토리소그래피를 사용하여 동시에 형성된 것을 특징으로 하는 액정표시장치.

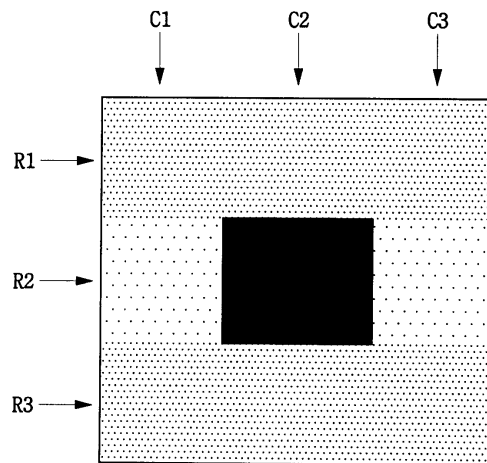
청구항 10.

제 1 항에 있어서,

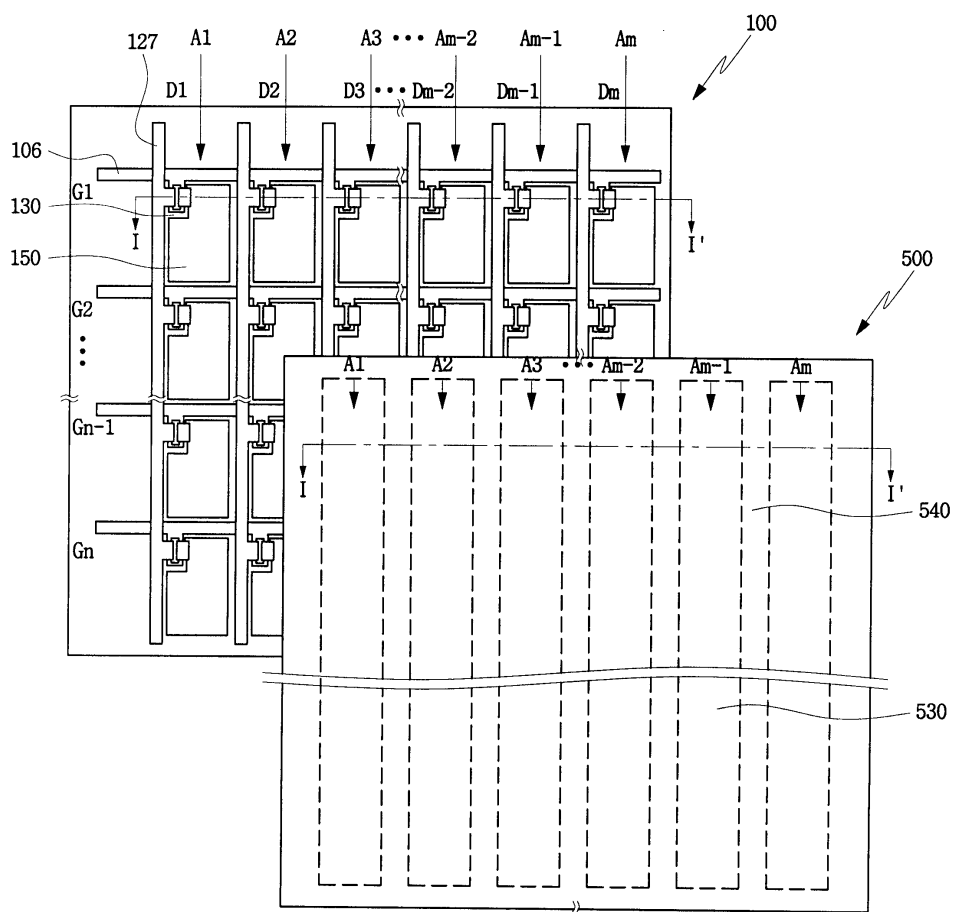
상기 액정표시장치는 상기 하부기판 하부에 위치하는 적색(R), 녹색(G) 및 청색(B)의 백라이트들을 더욱 포함하는 것을 특징으로 하는 액정표시장치.

도면

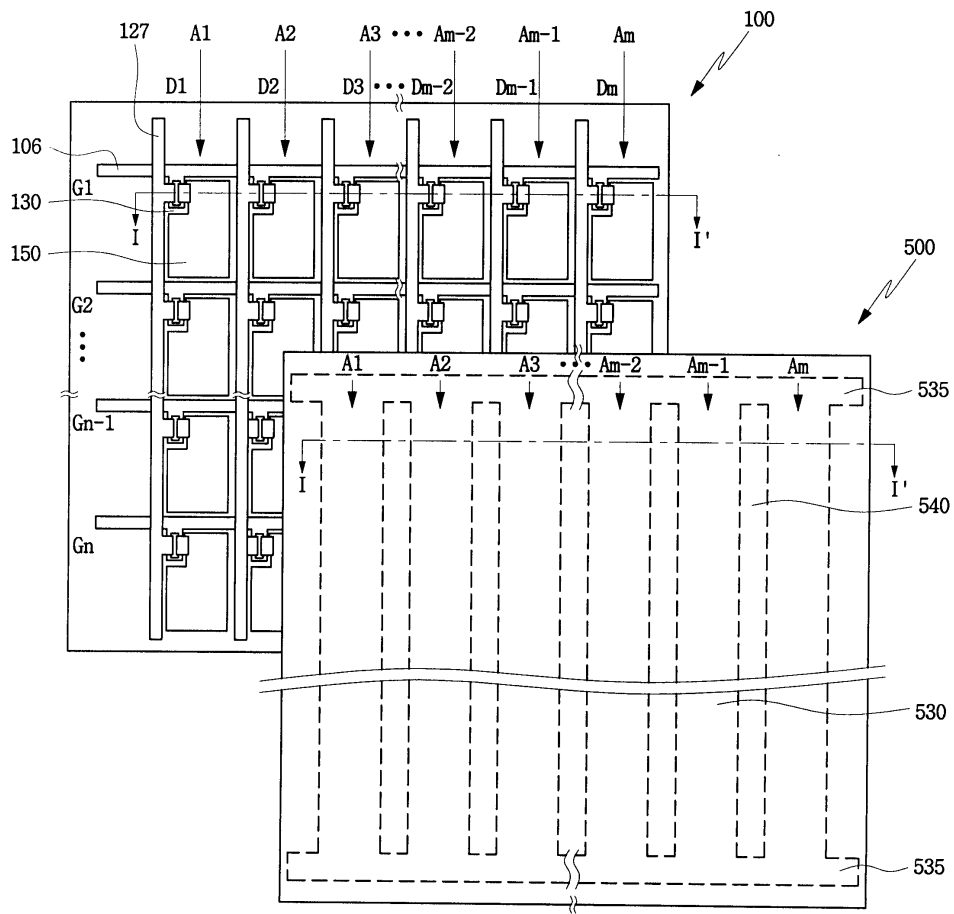
도면1



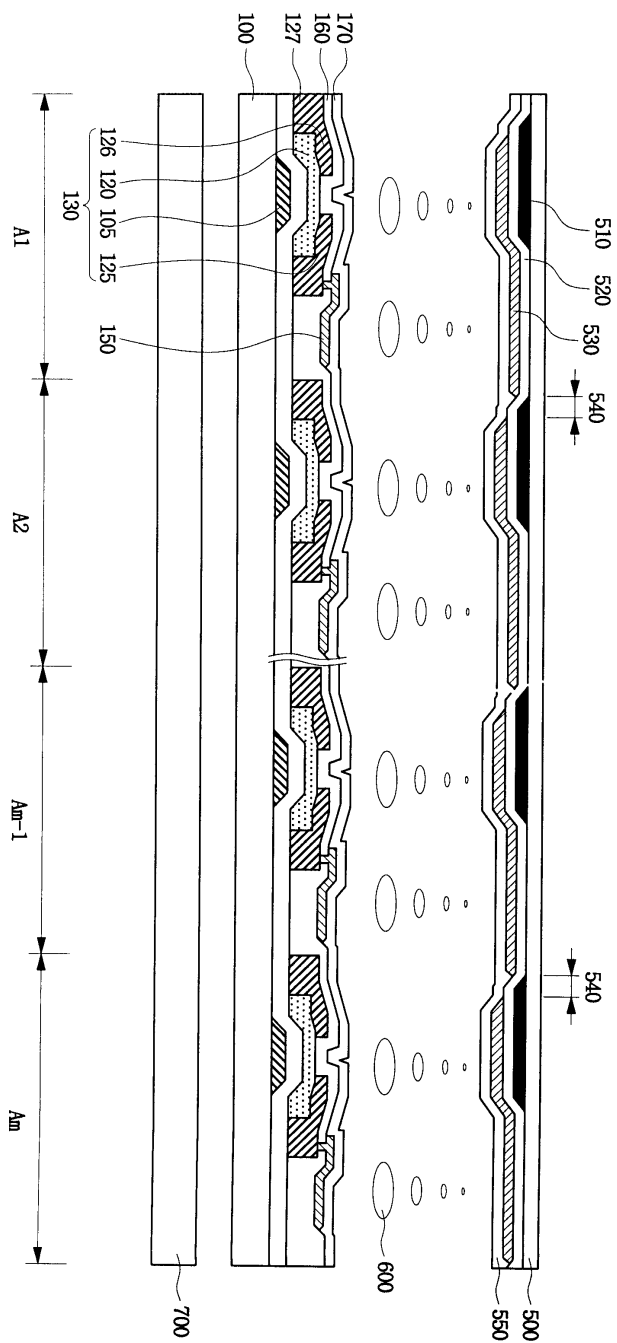
도면2



도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR1020050040455A	公开(公告)日	2005-05-03
申请号	KR1020030075661	申请日	2003-10-28
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK DONGJIN 박동진 JUNG TAEHYEOG 정태혁 HEO HAEJIN 허해진		
发明人	박동진 정태혁 허해진		
IPC分类号	G02F1/13 G02F1/1343 G02F1/1345 G02F G02F1/133		
CPC分类号	G02F2001/134318 G02F1/134309		
代理人(译)	PARK, 常树		
其他公开文献	KR100579190B1		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置。液晶显示装置包括下基板。多个数据线在一个方向上布置在下基板上。具有面向下基板的相对表面的上基板位于下基板上。条形公共电极在上基板的相对表面上彼此隔开预定距离，并且间隙对应于下基板的数据线所在的区域。结果，可以抑制水平串扰现象。

3 指数方面 公共电极，水平串扰，耦合电容

