

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/1362

(11) 공개번호 특2002 - 0091155
(43) 공개일자 2002년12월05일

(21) 출원번호 10 - 2002 - 7012669
(22) 출원일자 2002년09월25일
 번역문 제출일자 2002년09월25일
(86) 국제출원번호 PCT/IB2002/00228
(86) 국제출원출원일자 2002년01월21일

(87) 국제공개번호 WO 2002/59690
(87) 국제공개일자 2002년08월01일

(81) 지정국 국내특허 : 일본, 대한민국,
 EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스,
 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀랜
 드, 사이프러스,

(30) 우선권주장 0102167.4 2001년01월27일 영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
 네덜란드왕국, 아인트호펜, 그로네보르스베그 1

(72) 발명자 프렌치,이안,데.
 네덜란드,아인트호벤아아5656,프로프.홀스트란6
 반데르자그,피터,에이.
 네덜란드,아인트호벤아아5656,프로프.홀스트란6

(74) 대리인 문경진

심사청구 : 없음

(54) 액티브 매트릭스 액정 디스플레이 및 이의 제조 방법

요약

픽셀 전극(38) 및 투명 전도성 물질의 층(53)으로부터 형성된 연관 어드레스 라인(32)을 구비한, 액티브 매트릭스 액정 디스플레이와 같은, 픽셀 방식 디바이스를 위한 액티브 플레이트의 제조에서 사용하기 위한 방법으로서, 이를 통해 이 어드레스 라인의 전도성이 향상된다. 투명 전도 층(53) 및 금속 층(54)은 연속하여 증착되며, 예컨대 포토레지스트로 이루어진 보호 층(shielding layer)(60)에 의해 후속되고, 이 보호 층은 요구된 픽셀 전극 및 어드레스 라인에 해당하는 영역(67, 68, 69)의 구성으로 패터닝되며, 이 각 영역에서의 보호 층의 에칭 특성은 다르다. 이는 픽셀 전극에 해당하는 보호 층의 영역으로 하여금 선택적으로 에칭되어 제거되게 하여서, 어드레스 라인에서는 금속을 남겨두면서 이러한 영역에서의 금속을 선택적으로 제거되게 허용한다. 이 방법은 향상된 어드레스 라인 전도성으로 적은 마스크 카운

트(mask count) TFT 액티브 플레이트의 생산을 간단하게 한다.

대표도

도 6

명세서

기술분야

본 발명은 액티브 매트릭스 액정 디스플레이와 같은 픽셀 방식 디바이스(pixelated device)에 관한 것이며, 특히 이 디바이스의 제조에 사용되어지는, 액티브 플레이트로서 알려진, 액티브 매트릭스 회로를 구비한 기판을 제조하는 방법에 관한 것이다.

배경기술

액티브 매트릭스 액정 디스플레이(AMLCD)는 액티브 플레이트 및 수동 플레이트를 전형적으로 포함하고 액정 물질이 그사이에 삽입된다. 액티브 플레이트는 트랜지스터 스위칭 디바이스의 어레이를 포함하며, 전형적으로 하나의 트랜지스터는 디스플레이의 각 픽셀에 연관된다. 또한 각 픽셀은 신호가 각 픽셀의 디스플레이 출력을 제어하기 위해 인가되는 액티브 플레이트상의 픽셀 전극을 구비한다.

도 1은 AMLCD에서 액티브 플레이트의 알려진 일예의 픽셀을 구성하는 전기적 구성요소를 도시한다. 픽셀은 행 및 열로 배열된다. 픽셀의 행 도체(10)는 TFT(박막 트랜지스터)(12)의 게이트에 연결되고, 열 전극(14)은 소스에 커플링된다. 픽셀의 픽셀 전극 위에 제공된 액정 물질은 트랜지스터(12)의 드레인과 공통 접지 평면(18)사이에 연결된 액정 셀(16)을 유효하게 한정한다. 선택적 픽셀 저장 커패시터(20)는 트랜지스터(12)의 드레인과 픽셀의 인접한 행과 연관된 행 도체(10)사이에 연결된다.

투과형 디스플레이에 대해서, 액티브 플레이트의 넓은 영역은 적어도 부분적으로는 투명한데, 이는 이러한 타입의 디스플레이가 백 라이트에 의해 조사되므로 요구된다. 이러한 디스플레이 디바이스에서, 픽셀 전극은 투명하여야 하는 반면, 행 및 열 도체는 불투명한 금속 라인으로 항상 형성된다. 크롬, 알루미늄, 합금 또는 다층 구조와 같은, 금속 층은 디바이스 성능을 향상시키는 고 전도성 때문에 행 및 열 도체를 위해 사용된다. 픽셀 구동 신호가 인가되는 (일반적으로 열 라인인) 라인의 전도성은 특히 큰 디스플레이에서 중요한데, 이는 상당한 크기의 전압 강하가 라인의 길이에 걸쳐서 발생하여서, (열) 라인을 따라서 모든 픽셀을 균일하게 구동하는 것을 불가능하게 만들기 때문이다.

금속 열 도체 사용이 지니고 있는 문제는, 개별적인 증착 및 리소그래픽 과정(lithographic procedure)이 열 도체 및 픽셀 전극을 형성하기 위해 필요하다는 것이다. 픽셀 전극은 투명하여야 하며, 투명한 전도성 산화 막으로부터 전형적으로 생성된다. 제조 과정에서의 리소그래피 단계(lithography step)는 제조 과정에 드는 비용의 주요한 기여 요소이다. 각 리소그래픽 단계는, 비용을 증가시킬 뿐만 아니라, 제조의 수율(yield of process)을 감소시킨다고 여겨질 수 있다.

LCD의 액티브 플레이트를 위한 종래의 제조 과정은 다섯 번의 마스크 처리이다. 도 2에 도시된 기저 게이트(bottom gate) TFT LCD 액티브 플레이트를 참조하면, 각각 개별적인 마스크 한정을 요하는, 처리 단계는:

- (i) (행 도체의 일부인) 게이트(22)를 기판(21)위에 한정하는 단계와;
- (ii) 하부 고유 층(intrinsic layer)(24) 및 상부 도핑된 접촉 층(contact layer)(26)을 포함하는, (전체 구조는 덮는 게이트 유전체(23)위에 있는) 비정질 실리콘 아일랜드(island)를 한정하는 단계와;

- (iii) 금속 소스(28), 드레인(30) 및 열 전극(32)을 한정하는 단계와;
- (iv) 전체 기판을 덮는 패시베이션 층(passivation layer)(36)에서 접촉 홀(contact hole)(34)을 한정하는 단계와;
- (v) 홀(34)을 통해 드레인(10)과 접촉하는 투명 픽셀 전극(38)을 한정하는 단계로 이루어진다.

도 1에 도시된 커패시터는, 하나의 픽셀 전극의 중복 영역에 행의 인접한 행의 행/게이트 도체의 일부를 제공하여, 게이트 유전체로부터 단순히 형성될 수 있다.

비용을 줄이며 수율을 증가시키기 위해서 제조 과정의 리소그래피 단계의 수 따라서 마스크 카운트(count)를 줄여서 줄이고자하는 다양한 제안이 있어왔다.

예컨대, 픽셀 전극과 동일한 투명 전도성 산화막으로부터 열 도체를 형성하여, 픽셀 구조의 이러한 성분이 증착될 수 있으며 함께 패터닝될(patterned) 수 있다는 것이 제안되었다. 추가 방법은 두 개의 마스크 처리를 야기할 수 있고, 이는 도 3에 도시된 하부 게이트 TFT LCD 액티브 플레이트를 참조하여 설명된다. 각각 개별적인 마스크 한정을 요하는, 처리 단계는;

- (i) 게이트(22)(및 행 도체)를 한정하는 단계와;
- (ii) 또한 TFT 소스(28)를 형성하는 투명 열 전극(32) 및 또한 TFT 드레인(30)을 형성하는 픽셀 전극(38)을 한정하는 단계로 이루어진다.

반도체 아일랜드(24,26)의 한정, 예컨대 기판을 통한 노광(light exposure)을 이용하여, 게이트(22)를 사용하는 자기 - 정합 공정(self - aligned process)에 의해 달성될 수 있다. 물론, 반도체는 {상기 단계 (i) 및 단계 (ii)사이의} 제 3마스크 단계로 균일하게 형성될 수 있다. 어레이 주변에서, 게이트 유전체(23)는 디스플레이 주변에서 게이트 라인으로의 접촉을 허용하기 위해서, 저 - 정밀도 스테이지를 이용하여 에칭되어 제거된다.

이러한 구조에서, 열 라인에 사용되는 투명 전도성 산화막의 고 저항성은 큰(TV - 크기인) 디스플레이 구조에서 사용되지 못하게 한다.

이러한 이유로, 픽셀 전극의 투명성에 영향을 주지 않으면서, 전도성을 증가시키도록 층의 열 도체 영역을 처리하는 다른 제안이 있다. 예컨대, 제이, 리우 등에 의한 논문 "측벽 구리 전기도금에 의한 투명 전극의 전도성 향상" (SID 93 다이제스트, 페이지 554)은 금속 산화물 열 라인의 측벽에 구리 버스를 전기도금하여 전도성을 향상시키는 방법을 개시한다. 처리는, 구리 성장을 위한 시드(seed)로 역할을 하는, 금속 산화물 잔재를 남기기 위한 불완전한 에칭 처리를 포함한다. 공정은 복잡하고 제어하기가 힘들다. 게다가, 구리 버스는 소스 및 드레인 전극을 둘러쌀 것이고, 버스를 형성할 때 급속한 측면 구리 성장으로부터 기인하는 소스 및 드레인 사이의 단락의 위험이 존재한다. 소스 및 드레인 전극 주위의 구리 버스는 또한 TFT의 채널 길이에 영향을 주어서 TFT 특성을 덜 예측가능하게 만든다.

WO 99/59024는, 투명 전극과 인접한 패터닝된 금속 층을 제공하여 투명 전극의 전도성을 향상시키기 위한 방법을 개시한다.

처리의 복잡성을 극적으로 증가시킬 필요 없이, ITO와 같은, 투명 금속 산화물 층의 전도성을 증가시키기 위한 간단한 처리에 대한 필요성이 여전히 존재한다. 이러한 처리는 예컨대 액티브 매트릭스 LCD 제조에서의 애플리케이션을 발견할 것이지만 다른 영역에서 투명도를 잃지 않고 특정 영역에서 투명 전도 층이 더 전도성이 있도록 만들어질 수 있다면 마스크 카운트 감소가 달성될 수 있는 다른 기술에 또한 유용할 것이다. 이것은, 예컨대, 폴리머 LED 디스플레이 및 대면적 이미지 센서에서 이점이 될 수 있다.

본 발명의 제 1 양상에 따라서, 픽셀 전극 및 투명 전도성 물질로부터 형성된 연관 어드레스 라인을 포함하는 액티브 플레이트를 제조하는 방법이 제공되며, 상기 방법은:

기판 위에 연속으로 투명 전도성 물질 층 및 금속 층을 제공하는 단계와;

픽셀 전극 및 어드레스 라인을 위해 요구되는 투명 전도 층의 원하는 패턴에 해당하는 구성으로 보호 층(shielding layer)을 증착하며 패터닝하는 단계로, 이 보호 층은 픽셀 전극에 해당하는 영역에서의 보호 층의 에칭 특성이 어드레스 라인에 해당하는 영역에서의 보호 층의 특성과는 다른 방식으로 형성되는, 단계와;

어드레스 라인에 해당하는 영역에서의 보호 층의 일부를 남기면서 픽셀 전극에 해당하는 보호 층의 영역을 제거하기 위해서 특성의 차이점을 이용하여 보호 층이 에칭처리를 받게 하는 단계와;

이후 픽셀 전극에 해당하는 영역에서의 금속 층의 일부를 제거하는 단계를 포함한다. 보호 층의 나머지 부분은 후속적으로 제거될 수 있다.

이 방법을 통해서, 픽셀 전극은 투명 전도성 물질을 포함하고 연관된 어드레스 라인은 투명 전도성 물질을 포함하는 액티브 플레이트가, 금속의 상부 도포(overlying coating)와 더불어, 픽셀 전극과 동일한 증착된 층으로부터 제조된다. 어드레스 라인은 이와 같이 투명 전도성 물질과 상부 금속(overlying metal)의 조합을 포함하는 복합특성을 가지고, 결과적으로 어드레스 라인의 유효한 전기 전도성은 투명 전도성 물질만을 포함하는 알려진 방법의 전도성과 비교해서 상당히 향상된다. 동시에, 리우 등에 의해 제안된 접근법에 수반된 도금 방법 종류의 복잡성은 피해진다.

본 발명은, 픽셀 전극의 고 투명성을 유지하면서, 감소된 저항성을 어드레스 라인을 생성하는 간단한 프로세스에 제공한다. 프로세스는 AMLCD 등을 위한 액티브 플레이트를 만들기에 적합한 전체적으로 간단하며, 적은 마스크 수를 사용하는 제조 방법과 호환하며, 큰 사이즈 및/또는 고 해상도의 디바이스를 생성하기 위한 라인 전도성 및 픽셀 투명성의 요구되는 특성을 만족시킨다. 중요하게 본 발명은 또한 기존의 제조 장비와 호환하는 장점을 가진다.

보호 층은 바람직하게 포토레지스트(photoresist)를 포함한다.

바람직한 실시예에서, 픽셀 전극 및 어드레스 라인 해당 영역과 다르며 에칭 특성에 영향을 미치는, 보호 층의 특성은, 층의 두께를 포함하고, 이 경우 보호 층의 두께는 픽셀 전극에 해당하는 영역에서 보다 어드레스 라인에 해당하는 영역에서 더 크게 만들어진다.

보호 층을 위한 포토레지스트를 이용할 때, 다른 두께를 가진 선택된 영역으로의 층의 패터닝은, C.W. HAN 등에 의해서 발표된 " 새로운 포토리소그래피를 이용하여 4개의 마스크 프로세스로 제조된 TFT" 라는 제목의 논문{제 18차 국제 디스플레이 연구 컨퍼런스(아시아 디스플레이 98)의 SID 회보, 페이지 1109 - 1112}에서 설명된 종류의 포토리소그래픽 패터닝 기술을 이용하여 편리하게 달성될 수 있다. 이 기술은, 광 차단(light blocking) 및 투명 영역이외에, 그리드(grid) 또는 슬릿 slit) 패턴을 구비한 영역을 가지는 포토마스크의 사용을 포함한다. 회절 효과를 통해서, 이러한 영역은 포토레지스트 노광의 정도 및 이로 인한 최종 포토레지스트의 두께를 제어하고, 이 두께는 마스크의 광 차단 영역에 의해 생성되는 두께보다 작다.

보호 층에서 다른 두께를 가진 선택된 영역을 생성하기 위해 다른 기술이 이용될 수 있다는 것이 관찰되며, 또한 다른 영역에 보호 층 물질을 남겨두면서 특정 영역은 선택적으로 에칭되어 제거될 수 있도록 층의 에칭 특성에 영향을 주는 다른 특성은 두께이외의 것일 수 있다는 것이 관찰된다.

본 발명의 제 2 양상에 따라서, 액정 디스플레이용 액티브 플레이트를 제공하는 방법이 제공되며, 이 방법은;

절연 기판상에 게이트 도체 층을 증착하며 패터닝하는 단계와;

패터닝된 게이트 도체층 상에 게이트 절연 층을 증착하는 단계와;

게이트 절연 층 위에 실리콘 층을 증착하는 단계와;

기판 위에 투명 도체 층을 증착하는 단계와;

투명 도체 층 위에 금속 층을 증착하는 단계와;

금속 층 위에 에칭가능한 보호 층을 증착하며 패터닝하는 단계로, 이 보호 층은 소스 및 드레인 영역, 픽셀 전극 영역, 및 소스 또는 드레인 도체와 연관된 라인 도체 영역을 한정하는 구성을 가지며, 라인 도체 영역을 한정하는 보호 층의 영역은 픽셀 전극을 한정하는 영역보다 더 큰 두께를 가지는, 보호 층을 증착하며 패터닝하는 단계와;

보호 층을 이용하여 투명 도체 층 및 금속 층을 패터닝하는 단계와;

픽셀 전극 영역에서 금속 층을 노출하기 위해서 더 얇은 영역을 제거하고자 보호 층을 부분적으로 식각하는 단계와;

픽셀 전극 영역에서 금속 층 영역을 제거하는 단계를 포함한다.

이 방법은 두 개의 마스크 프로세스로 하여금 액티브 플레이트를 제조하는데 사용되게 할 수 있으며, 여기서 투명 도체 물질을 포함하는 어드레스 라인의 전도성이 상부 금속 층 영역에 의해 향상되며, 이 경우 실리콘 층은 게이트 도체에 자체 정렬된다.

발명의 상세한 설명

본 발명은 바람직하게 액티브 매트릭스 액정 디스플레이의 액티브 플레이트를 만드는데 사용된다. 본 발명은 또한 이 액티브 플레이트, 패시브 플레이트(passive plate), 및 액티브 및 패시브 플레이트사이에 삽입된 액정 물질 층을 포함하는 액티브 매트릭스 액정 디스플레이를 제공한다.

본 발명의 실시예는 이제 첨부된 도면을 참조하여, 예를 이용하여, 상세하게 설명될 것이다.

도면의 간단한 설명

도 1은 액티브 플레이트의 픽셀 성분을 도시하는 도면.

도 2는 하부 게이트 TFT를 이용하여 다섯 개의 마스크 프로세스를 이용하여 제조된 종래 액티브 플레이트의 부분 단면도.

도 3은 하부 게이트 TFT를 이용하여 다섯 개의 마스크 프로세스를 이용하여 제조된 제안된 액티브 플레이트의 부분 단면도.

도 4는 완전한 액정 디스플레이의 구조를 개략적으로 도시하는 도면.

도 5a 내지 5m은 AMLCD 디스플레이 디바이스를 위한 액티브 플레이트를 제조하기 위해 본 발명을 이용하는 제조 방법에서 다양한 스테이지를 예시하는 도면.

도 6은 도 5의 방법을 이용하여 형성된 액티브 플레이트의 부분 평면도.

도 7은 본 발명에 따른 제조 방법의 한 스테이지에서 이용될 수 있는 변형을 도시하는 도면.

실시예

주목해야 할 것은, 도면은 개략적이며 축척에 맞게 도시되지 않았다는 것을 유의하여야 한다. 이 도면의 요소의 상대적인 크기 및 비율은 사이즈에서, 도면에서의 명료성 및 편리성을 위해서, 과장되거나 또는 축소되어 도시되었다. 동일한 참조 번호는 동일한 요소, 또는 유사한 요소를 지시하기 위해 도면 전반에 걸쳐 사용된다.

액티브 매트릭스 액정 디스플레이의 액티브 플레이트를 제조하기 위한 적은 마스크 카운트 프로세스로의 본 발명의 애플리케이션은 이제 도 5a 내지 5m을 참조하여 설명될 것이다. 프로세스의 제 1 단계는 알려진 2 - 마스크 프로세스와 공통이다.

도 5a는 적은 수의 마스크 카운트 프로세스의 제 1 스테이지의 개략도이다. (도시되지 않은 행 어드레스 도체와 함께) 게이트 금속(45)은, 예컨대 유리로 된 절연 기판(46)상에 증착되며 한정되었고, 표준 역 채널 에치 TFT 스택 증착(standard back channel etch TFT stack deposition)이 수행되었다. 이는, 기판 표면으로부터 순서대로, 실리콘 니트라이드(nitride) 게이트 절연 층(47), 비정질 실리콘 층(48) 및 접촉면으로서 역할을 하는 도핑된 비정질 실리콘 층(49)을 제공한다. 도 5a의 우측 영역은 픽셀과 연관된 스위칭 트랜지스터(도 1의 12)를 형성하기 위해 사용될 것인 반면, 도 5a의 좌측 부분은 행 인입 영역(row lead - in area)을 형성할 것이며, 여기서 구동(게이팅) 신호가 행 도체에 인가될 수 있다. 비록 다른 두께를 가진 층이 사용될 수 있을지라도, 전형적으로 SiN 게이트 절연체(47)의 두께는 400 nm이며, 고유 비정질 실리콘(48)의 두께는 160 nm이고 도핑된 비정질 실리콘의 두께는 40 nm이다. 도핑된 실리콘 층(49)은 실리콘 접촉에 양질의 ITO를 제공하는 미정질(microcrystalline) 실리콘일 수 있다. TFT 스택은 행 인입 영역으로부터 에칭되어 제거되어야 한다. 이러한 마스크 단계는, 도 5b에 도시된 바와 같이, 프린팅하며(printing), 에칭전에 어레이 영역상에 플라스틱 시트를 라미네이팅하거나(laminating) 개략적으로 정렬된 프린트된 포토레지스트(50)를 사용하여 수행될 수 있다. 도 5c에서, TFT 스택은 행 인입 영역으로부터 에칭되어 제거되었고, 포지티브 포토레지스트(51)는 전체 플레이트에 가해진다.

배후 조명(rear illumination)이, 도 5d에 도시된 바와 같이, 게이트 라인(45)과 동일한 구성을 가지도록 포지티브 포토레지스트(51)를 패터닝하기 위해 이후 사용된다. 나머지 포토레지스트 층은 도 5e의 트랜지스터 채널 영역(52)을 남기도록 두 개의 실리콘 층(48 및 49)을 패터닝하기 위해 사용된다. 그 후 예컨대 스퍼터링된(sputtered) 금속 산화물 층인, 투명 전도 층(53)이 도 5f에 도시된 바와 같이 전체 플레이트상에 연속 층으로서 인가된다.

도 5a 내지 도 5f의 단계는 이미 제안되었다. 이러한 이전의 구조에서, 제조 프로세스는, 기판(46)상에 구조 전체에 걸쳐서 완전히 포토레지스트 층을 적용하며, 마스크를 이용하여 이 포토레지스트 층을 패터닝하며, 도 3의 구조와 유사한 구조를 제공하기 위해서 TFT의 소스 및 드레인 영역, TFT 소스 영역과 통합된 열 라인 및 픽셀 전극을 한정하기 위해서 패터닝된 포토레지스트를 이용하여 진행된다. 본 발명에 따라 이제 설명될 바와 같이, 선택된 영역, 특히 열 라인에서 투명 층(53)의 전도성을 향상시키기 위해서, 투명 전도 층(53)의 증착 이후의 제조 프로세스는 변경된다.

투명 전도 층(53) 제공 이후, 금속 층(54)이, 도 5g에 도시된 바와 같이, 상기 층(53)을 도포하기 위해서 기판(46)상에 구조 전체에 걸쳐서 완전히 스퍼터링 증착된다.

제 1 및 제 2 선택 영역에 포토레지스트를 남기기 위해서 제 1 및 제 2 영역에서의 포토레지스트의 두께를 달리하여 이후 포토레지스트 물질 층이, 금속 층(54)에 걸쳐서 가해지며 패터닝되는데, 이러한 방식은 공지되었지만 종래의 방식은 아니다. 더욱 상세하게는, 픽셀 전극이 형성될 영역에 해당하는 영역에서의 패터닝 이후 남겨진 포토레지스트의 두께는 열 어드레스 라인이 형성될 영역에 해당하는 영역에서의 두께보다 작다. 두께에서의 이러한 차이는, C.W. Han 등에 의한 전술한 논문에서 설명되며, 참조 자료로서 본 명세서에 병합되는 내용을 가진 "TFT LCD를 위한 새로운 4 마스크 - 카운트 프로세스 구조"라는 제목의 논문(SID 00 다이제스트, 페이지 1006 내지 1009)에서 C.W. Kim에 의해 설명된 종류의 포토리소그래피 패터닝 프로세스의 타입을 이용하여 달성된다. 특히 TFT 채널을 한정하고자 하는 이

러한 논문에 설명된 패터닝 기술은 소위 슬릿 또는 그레이 - 톤(grey - tone), 포토리소그래피를 이용한다. 이것은, 솔리드(solid) (불투명한) 영역, 투명 영역 및 그리드 또는 슬릿 패턴을 가진 영역으로 구성되는 포토리소그래픽 마스크를 통해서 포토레지스트를 노출하는 것을 수반한다. 투명 영역이 포토레지스트 층을 현상할(develope) 때 제거될 영역을 한정하는 역할을 하는 반면에, 솔리드 영역은 노출 광(exposure light)을 차단하여 전체 두께로 남게될 포토레지스트 층의 영역을 한정하는 역할을 한다. 슬릿의 패턴을 포함하는 영역은, 감소된 두께를 가진 영역이 되는 부분적으로 노출된 포토레지스트 영역을 한정하기 위해 사용된다. 이러한 목적을 위해 요구되는 슬릿 패턴의 파라미터는, 이점에 있어서 그 이상의 정보를 위한 참조로서 소개된 전술한 논문에서 설명된다. 슬릿으로부터 얻어진 회절 효과에 따라 좌우되는 이러한 부분 노광은, 관련 포토레지스트의 영역이 포토레지스트의 현상이후 마스크의 솔리드, 차광 영역에 의해 보호된 영역에서 발견되는 (층) 두께와 비교해서 감소된 두께로 남아있다는 것을 의미한다. 그러므로, 본질적으로, 이 논문에서 제안된 접근법은 포토레지스트 층으로 하여금 레지스트(resist)가 완전히 제거되는 영역을 제공할 뿐만 아니라 두 개의 다르며 제어된 두께를 가지는 영역으로 패터닝되게 한다.

이러한 효과는, 투명 전도 층(53) 및 상부 금속 층(54)의 선택적인 패터닝을 가능하게 하는 본 발명에 따른 방법에서 이용된다.

도 5h를 참조하면, 이후 도 5g에 도시된 구조는 포토레지스트 층(60), 이 경우 점선으로 표시된 포지티브 포토레지스트에 의해 도포되며, 도면 번호 65로 개략적으로 도시되고 각각 실선, x표 및 쇄선에 의해 표시된 차광 부분, 투명 부분 및 슬릿 패턴 부분을 포함하는 전술한 종류의 마스크를 이용하여 패터닝된다. 이러한 마스크를 이용하는 포토레지스트 층(60)의 패터닝은, 마스크의 투명 부분을 통해 노광된 층의 영역이 완전히 제거되며, 마스크의 차광 층 영역에 의해 노광으로부터 차단된 층의 영역이 실질적으로 완전한 두께로 남아있고, 슬릿 패턴을 가진 마스크의 영역을 통해서 부분적으로 노출된 층의 영역이 상당히 감소된 두께로 남게되는 결과가 된다. 그러므로, 도 5h에 도시된 바와 같이, 완전한 두께를 가진 포토레지스트의 영역(67)은 TFT 소스 접촉 및 관련 열 라인이 형성될 범위에 해당하는 영역상에 걸쳐서 한정되고, 감소된 두께를 가진 포토레지스트의 영역(68)은 행 인입 영역의 게이트 금속(45)상에 있는 영역에서 한정되고, 유사하게 감소된 두께를 가진 포토레지스트의 영역(69)은 TFT 드레인 접촉 및 픽셀 전극이 형성될 범위에 해당하는 영역에 걸쳐서 한정된다.

금속 층(54)의 노출된 영역 및 투명 전도 층(53)의 인접한 하부 영역(immediately underlying area)은 이후 도 5i에 도시된 구조를 남기기 위해서 에칭되어 제거되며, 포토레지스트의 나머지 영역은, 이러한 프로세스동안, 금속 및 투명 전도 층의 해당 하부 영역을 차단하는 역할을 한다.

포토레지스트의 제어된, 부분 에칭은 이후 영역(68 및 69)의 두께에 해당하는 포토레지스트 층의 미리결정된 두께를 제거하기 위해서 이후 수행되어, 이에 의해 완전한 - 두께 영역(67)에서 여전히 포토레지스트 물질(67')를 남기면서 이 영역을 완전히 제거하지만 그 결과 감소된 두께를 가지게 한다. 포토레지스트 층의 이러한 에칭의 결과는 도 5j에 예시된다. 바람직하게, 에칭은 프로세스 기체로서 주로 산소를 이용하여 플라즈마 에처(etcher)에서 수행된다. 이후 제어된 플라즈마 에칭은, 도 5k에 도시된 바와 같이, TFT의 최종 채널 영역위에 있는 도핑된 실리콘 층(49)의 일부를 완전히 제거해서 층(53, 54 및 67')에 의해 도포된 이 층 영역의 종단 부분사이 들어가기 위해 수행된다.

금속 층(54)의 노출된 영역은, 도 5l에 도시된 바와 같이, 선택성 에천트(etchant)를 이용하여 이후 에칭되어 제거되며, 최종적으로 도 5m에 도시된 구조를 남기기 위해 포토레지스트의 나머지 부분(67')이 제거된다. 이러한 구조에서, 포토레지스트의 나머지 부분이 제거되어야 하는 것이 필수적인 것은 아니며 디자인의 간편함을 위해서 남겨질 수 있다. 그러므로, 명료해질 바와 같이, 완성된 구조는 TFT 디바이스 및 관련 픽셀 전극(38)을 포함하며, 여기서 픽셀 전극은 패터닝된 투명 전도성 물질을 포함하며 TFT 드레인 접촉(30)을 형성하는 일체형 확장부를 구비한다. 또한 패터닝된 투명 전도성 물질은 복합 구조를 구비하며 열 라인의 전도성을 특히 향상시키기 위해 유사한 형태, 및 바로 위에 있는 금속 층을 더 포함하는 이러한 부분들을 열 라인(32)과 통합적으로 형성된 TFT 소스 접촉(28)에 제공한다. 투명 전도

성 물질(71)의 일부는, 바람직하게는 TAB 결합(bonding) 목적을 위한, 행 인입 영역에서 금속 층(45)상에 걸쳐서 확장하여 또한 제공된다.

도 6은 이러한 TFT의 행 및 열 어레이 및 픽셀 전극을 포함하는 그렇게 - 형성된 액티브 플레이트의 일부로서, 상기 어레이의 코너에 인접한 일부분을 평면도로 개략적으로 도시한다. 여기서, 열 라인(32)의 투명 전도성 물질로 이루어진 접촉 패드(72)가 유사하게 형성될 수 있기 때문에, 어레이의 행 (게이팅) 도체를 위한 접촉 패드를 형성하는 투명 전도성 물질의 영역(71)이 보여질 수 있다.

상기 앞서 설명된 실시예에서 금속 층(54)이 TFT 드레인 접촉을 형성하는 투명 전도성 물질만을 남기기 위해서 패터닝될지라도, 상부 금속 층 부분은, 이 영역을 한정하기 위해서 포토레지스트 노출 마스크에서 적절한 차광 영역을 이용하여, 소스 접촉 영역에서 금속을 제공하기 위해 사용되는 것과 유사한 방법으로 드레인 접촉 영역에 제공될 수 있다. 이 목적을 위한 금속의 존재는 도 6에 도면번호 73으로 도시된다. 소스 및 드레인 접촉 양쪽 모두에 금속을 제공하는 것은 소스 및 드레인 접촉에 더 양호하게 한정된 에지를 얻기 위해 바람직한 것일 수 있다.

종래의 AMLCD에서, ITO{인듐 주석 산화물(indium tin oxide)}는 투명 전도성 층을 위한 물질로서 일반적으로 사용된다. 그러나, ITO가, 알루미늄과 같은, 높은 값의 비금속성을 가지는 금속과 접촉하면, 전기화학(electrochemistry)에 기인한 원치 않는 에칭이 발생할 수 있다. 이러한 이유 때문에 IZO{인듐 아연 산화물(indium zinc oxide)}가 이제 사용되기 시작했고 이러한 물질은 투명 전도성 층(53)을 위해 바람직하다. 층(54)을 위해 사용된 전도성 금속은 Al, Mo, Ag, Cu 또는 이들 금속을 하나 이상 결합한 합금일 수 있다. 예컨대, Cr 또는 W를 포함하는 접촉 층이 앞에 나열된 바와 같이 금속으로 이루어진 주 도체 아래에 놓인다.

앞서 설명된 실시예에서 프로세싱 시퀀스의 순서는 동일한 일반적 결과를 만드는 한 변경될 수 있다. 예컨대, TFT 실리콘 층을 한정하기 위한 마스크로서 게이트 전극을 사용하는 역 노출(back exposure)은 필수적인 것은 아니며, 물론, 마스크 단계의 총 수가 2로부터 3으로 이후 증가할지라도, 비정질 실리콘 아일랜드를 한정하는 대신에 종래의 포토리소그래픽 패터닝 작업이 사용될 수 있다.

TFT를 위한 비정질 실리콘 아일랜드의 한정에 마스크로서 행 (게이트 라인) 금속을 이용하는 역 노출을 사용하는 전술한 방법에 의하면, 인접한 열 라인 사이의 이 행 도체를 따라서 형성되는 기생(parasitic) TFT에 기인한 문제가 발생할 수 있다. TV 애플리케이션 및 고 해상도 디스플레이를 위한 AMLCD에서 사용되는 것과 같은, 큰 대각선을 가진 액티브 플레이트에 대해 특히 문제가 되는 듯하다. 이러한 문제는, 기판위에 완전히 연속 층으로서 제공되기보다는 적어도 픽셀 어레이의 영역에서는 후속적으로 형성된 인접 열 라인사이의 행 라인의 영역상에 걸쳐서 불연속이도록 투명 전도 층(53)을 제공하여 회피될 수 있다.

이 점에 있어서 하나의 가능성은 도 5e의 것에 일반적으로 해당하는 단계에서 액티브 플레이트의 일부를 평면도로 도시하는 도 7에 개략적으로 예시되며, 여기서 도면 번호 90으로 참조되는 게이트 (행) 라인이 상부 실리콘 층(48 및 49)과 함께 기판상에 존재한다. 도 7은 또한 이후 단계에서 형성되는 두 개의 인접한 열 라인(32)의 위치를 점선으로 도시한다. 이 경우에, 빗금(hatching)에 의해 표시된, 투명 전도 층(53)은, 두 개의 인접한 열 라인(32)사이의 영역에서 게이트 라인(90)위에 있으며 TFT가 형성되는 영역으로부터 떨어져 있는, 도면 번호 92로 예시된 바와 같이, 홀 또는 개구부만을 구비한 일반적으로 연속 층으로서 기판상에 증착된다. 이 홀을 통해 노출되어 이후 남겨진 비정질 실리콘 층(48 및 49)의 영역은 이 홀의 위치에서 게이트 라인 위쪽에서부터 에칭되어 제거될 수 있어 이 영역에서 기생 TFT의 형성을 예방한다. 이러한 홀을 구비하는 층(53)을 제공하기 위해서, 프린팅 기술이, 층(53)이 스퍼터링 증착되기보다 바람직하게 이용된다. 층을 프린팅하는 것은, 쉽게 게이트 라인상의 코스 영역(coarse area)으로 하여금 오픈되어

남아있게 한다.

앞서 설명된 바와 같이, 증착된 투명 전도 층(53) 및 금속 층(54)의 선택적인 패터닝을 가능하게 하는 다른 두께를 가진 영역을 포함하는 패터닝된 포토레지스트 층을 이용하는 것이 특히 편리하다. 사용된 기술은 액티브 플레이트의 제조에서 사용된 기존의 박막 프로세스 및 생산 장비와 호환한다.

그러나, 투명 전도 층 및 상부 금속 층의 필요한 선택적인 패터닝은, 예컨대 다시 포토레지스트 재료(resist material)인 적합한 광 차폐 층을 이용하여 달성될 수 있는데, 보호 층의 특성은, 특히 에칭 속도 특성에 관하여, 유사한 결과를 얻기 위해 다른 두께를 생성하기 보다 어떻게든 해서 국부적으로(locally) 변경될 수 있다고 보여진다. 도 5h를 다시 참조하면 증착된 포토레지스트 층(60)이, 최종 픽셀 전극 및 TFT 드레인 접촉 위에 있는 영역이 최종 열 라인 및 TFT 소스 접촉 위에 있는 영역보다 에칭 저항성이 낮은 것으로 취급될 수 있는 물질대신이라면, 후속적인 에칭 프로세스를 겪을 때, 후자의 영역에서 보호 층이 남게 만드는 동안 전자의 영역은 제거될 수 있어서 도 5j와 같은 구조를 일반적으로 생성한다. 포토레지스트 이외의 적절하며, 에칭가능한 물질로 이루어지고 다른 두께의 영역으로 유사하게 패터닝될 수 있는 보호 층이 층(50)대신에 사용될 수 있다고 또한 보여진다.

도 4는, 본 명세서에서 도면 번호 82로 참조되는, 액티브 플레이트를 통합하는 완전한 액정 디스플레이의 구조를 도시한다. 액정 물질의 층(80)은, 앞서 설명된 구조를 포함하는 액티브 플레이트(82)상에 제공된다. 추가 기판(83)은 액정 물질의 층위에 있다. 이 추가 기판(83)은 칼라 필터(84) 및 (도 1에 도시된) 공통 전극(18)을 한정하는 층의 배열에 대해 한쪽 면상에 제공될 수 있다. 편광 막(86)은 기판(82 및 83)의 맞은 편 측면상에 또한 제공된다.

본 발명은 액티브, 트랜지스터, 기판과 특히 관련되므로, 액정 디스플레이의 동작 및 구성은 당업자에게는 명료하기 때문에 이후 더 상세히 설명되지 않을 것이다. 설명된 것에 추가 층이 제공될 수 있고, 당업자에게 명료할 다양한 대안이 존재한다. 본 발명은 알려진 개별적인 프로세싱 단계 및 물질에 의지하므로, 특정 프로세싱 파라미터 및 물질은 본 출원에서 상세하게 설명되지 않았다. 가능한 대안의 단계 및 범위는 당업자에게 명료할 것이다.

앞선 특정 예는 LCD의 액티브 플레이트에서 비정질 실리콘 TFT를 사용하지만, 다결정질 또는 미정질과 같은, 다른 반도체 구성이 가능하다.

설명된 특정 예에서, 하부 게이트 트랜지스터가 사용되지만, 상부 게이트 트랜지스터가 또한 사용될 수 있다.

본 발명은 액티브 매트릭스 LCD에 적용될 때를 상세하게 설명하였다. 본 발명은 또한 액티브 매트릭스 LED 디스플레이 및 이미지 센서에 적용될 수 있다. 본 발명은 투명 픽셀 전극을 필요로 하는 임의의 픽셀 방식 디바이스에 적용될 수 있으며, 여기서 디바이스의 행 또는 열 라인에 대해 동일한 층을 이용하여 픽셀 전극을 한정하는데 이점이 있을 수 있다. 본 발명은 또한 투과형 및 반사형 액티브 매트릭스 LCD 디스플레이에 적용될 수 있다. 반사형 디스플레이의 경우에, ITO는 소스 및 드레인 접촉을 형성하는데 잘 알려진 이점을 가지기 때문에 투명 층을 이용하는 것이 여전히 바람직할 수 있다.

앞서 설명된 예에서, 투과형 디스플레이가 도시되고, 픽셀 전극이 투명하여 도금 작업으로부터 보호된다. 반사형 디스플레이에 대해서, 픽셀 전극은 열 도체와 함께 도금될 수 있어서 소스 및 드레인 영역만이 보호된다.

본 개시물을 읽음으로서, 다른 변경이 당업자에게 명료해질 것이다. 이러한 변경은, AMLCD등과 같은 분야에 이미 알려져지며 본 명세서에서 이미 설명된 특성 대신에 또는 추가하여 사용될 수 있는 다른 특성을 포함할 수 있다.

산업상 이용 가능성

상술한 바와 같이, 본 발명은 액티브 매트릭스 액정 디스플레이와 같은 픽셀 방식 디바이스(pixellated device)에 관한 것이며, 특히 이 디바이스의 제조에 사용되어지는, 액티브 플레이트로서 알려진, 액티브 매트릭스 회로를 구비한 기판을 제조하는 방법에 이용가능하다.

(57) 청구의 범위

청구항 1.

투명한 전도성 물질로부터 형성된 픽셀 전극 및 관련 어드레스 라인을 포함하는 액티브 플레이트(active plate)를 제조하는 방법으로서,

투명 전도성 물질 층 및 금속 층을 기판상에 연속으로 제공하는 단계와;

상기 픽셀 전극 및 상기 어드레스 라인에 대해 필요한 상기 투명 전도 층의 원하는 패턴에 해당하는 구성으로 보호 층(shielding layer)을 증착하며 패터닝하는(patterning) 단계로서, 상기 보호 층은 상기 픽셀 전극에 해당하는 영역에서의 상기 보호 층의 에칭 특성이 상기 어드레스 라인에 해당하는 영역에서의 특성과 다른 방식으로 형성되는 단계와;

상기 어드레스 라인에 해당하는 상기 영역에서의 상기 보호 층의 일부를 남겨 두면서 상기 픽셀 전극에 해당하는 상기 보호 층의 상기 영역을 제거하기 위해서, 특성의 상기 차이점을 이용하여 상기 보호 층에 에칭 프로세스를 가하는 단계와;

상기 픽셀 전극에 해당하는 상기 영역에서의 상기 금속 층의 상기 일부를 이후 제거하는 단계를 포함하는, 액티브 플레이트를 제조하는 방법.

청구항 2.

제 1 항에 있어서, 차이가 나는 상기 보호 층의 특성은 상기 층의 두께를 포함하며, 상기 픽셀 전극에 해당하는 상기 보호 층의 상기 영역은 더 얇은 영역을 포함하고, 상기 보호 층을 에칭하는 상기 단계는 상기 더 얇은 보호 층 영역을 제거하는 부분 에칭을 포함하는 것을 특징으로 하는, 액티브 플레이트를 제조하는 방법.

청구항 3.

제 2 항에 있어서, 상기 보호 층은 포토레지스트를 포함하는 것을 특징으로 하는, 액티브 플레이트를 제조하는 방법.

청구항 4.

제 3 항에 있어서, 상기 보호 층은 상기 영역에서 감소된 두께를 가진 영역을 생성하기 위해 상기 픽셀 전극에 해당하는 상기 영역에서 상기 포토레지스트 물질의 부분 노출을 야기하는 영역을 포함하는 포토마스크를 이용하여 패터닝되는 것을 특징으로 하는, 액티브 플레이트를 제조하는 방법.

청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 투명 전도성 물질은 투명 금속 산화물을 포함하는 것을 특징으로 하는, 액티브 플레이트를 제조하는 방법.

청구항 6.

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, TFT는 상기 픽셀 전극 및 어드레스 라인과 연관하여 상기 기판상에 형성되며, 상기 투명 전도 층의 부분은 상기 TFT에 소스 및 드레인 접촉을 제공하기 위해 사용되고, 상기 일부는 상기 패터닝된 보호 층의 영역에 의해 한정되는 것을 특징으로 하는, 액티브 플레이트를 제조하는 방법.

청구항 7.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 액티브 매트릭스 액정 디스플레이 디바이스의 액티브 플레이트를 형성하기 위한, 액티브 플레이트를 제조하는 방법.

청구항 8.

액정 디스플레이를 위한 액티브 플레이트를 제조하는 방법으로서,

절연 기판 위에 게이트 도체 층을 증착하며 패터닝하는 단계와;

상기 패터닝된 게이트 도체 층위에 게이트 절연 층을 증착하는 단계와;

상기 게이트 절연 층위에 실리콘 층을 증착하는 단계와;

상기 기판 위에 투명 도체 층을 증착하는 단계와;

상기 투명 도체 층위에 금속 층을 증착하는 단계와;

상기 금속 층위에 에칭가능한 보호 층을 증착하며 패터닝하는 단계로서, 상기 보호 층은 소스 및 드레인 영역, 픽셀 전극 영역, 및 상기 소스 또는 드레인 도체와 연관된 라인 도체 영역을 한정하는 구성을 가지고, 상기 라인 도체 영역을 한정하는 상기 보호 층의 상기 영역은 상기 픽셀 전극을 한정하는 상기 영역보다 더 큰 두께를 가지는, 보호 층을 증착하며 패터닝하는 단계와;

상기 보호 층을 이용하여 상기 투명 도체 층 및 상기 금속 층을 패터닝하는 단계와;

상기 픽셀 전극 영역에서 상기 금속 층을 노출하기 위해서 상기 더 얇은 영역을 제거하고자 상기 보호 층을 부분적으로 에칭하는 단계와;

상기 픽셀 전극 영역에서 상기 금속 층 영역을 제거하는 단계를 포함하는, 액정 디스플레이를 위한 액티브 플레이트를 제조하는 방법.

청구항 9.

제 8 항에 있어서, 상기 실리콘 층은 상기 게이트 도체 층을 이용하는 자기 - 정합 프로세스(self - aligned process)에 의해 상기 투명 도체 층의 상기 증착 이전에 패터닝되는 것을 특징으로 하는, 액정 디스플레이를 위한 액티브 플레이트를 제조하는 방법.

청구항 10.

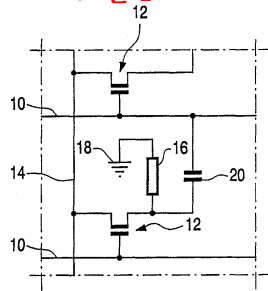
제 8 항 또는 제 9 항에 있어서, 상기 보호 층은 포토레지스트를 포함하는 것을 특징으로 하는, 액정 디스플레이를 위한 액티브 플레이트를 제조하는 방법.

청구항 11.

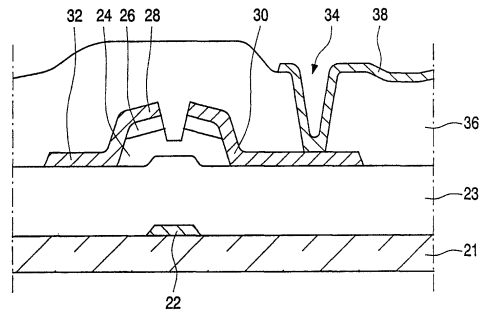
액티브 매트릭스 액정 디스플레이 디바이스로서, 제 8 항 내지 제 10 항 중 어느 한 항에 기재된 액티브 플레이트, 패시브 플레이트(passive plate) 및 상기 액티브 및 패시브 플레이트사이에 삽입되는 액정 물질로 이루어진 층을 포함하는, 액티브 매트릭스 액정 디스플레이 디바이스.

도면

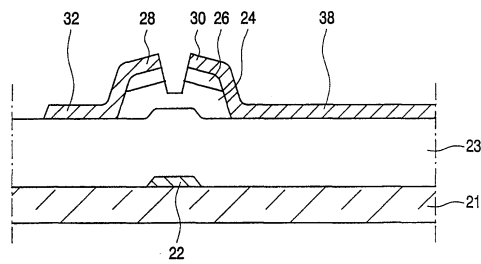
도면 1



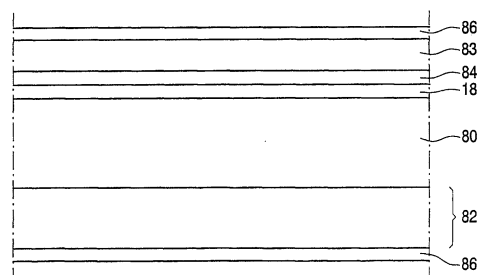
도면 2



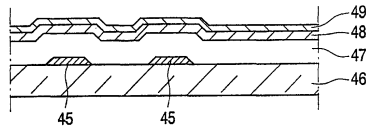
도면 3



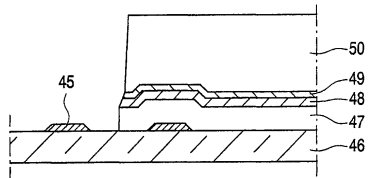
도면 4



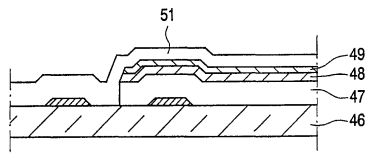
도면 5a



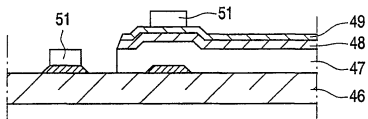
도면 5b



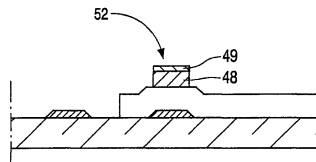
도면 5c



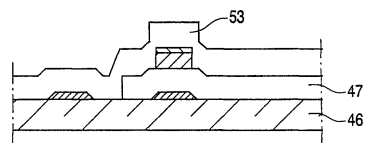
도면 5d



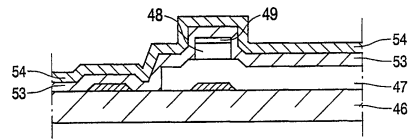
도면 5e



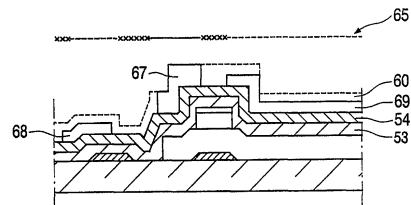
도면 5f



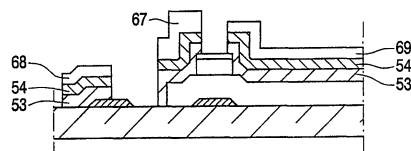
도면 5g



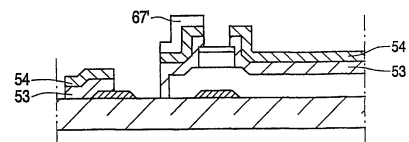
도면 5h



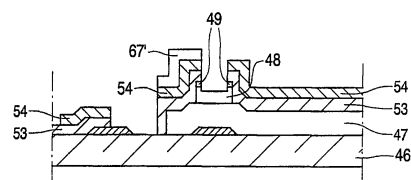
도면 5i



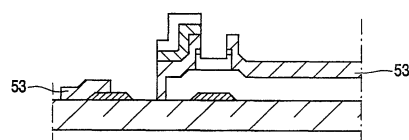
도면 5j



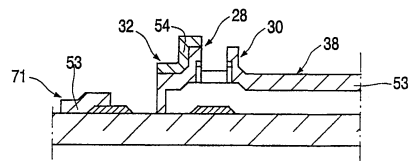
도면 5k



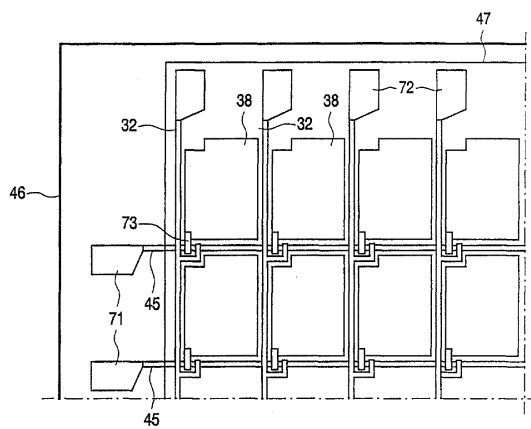
도면 5l



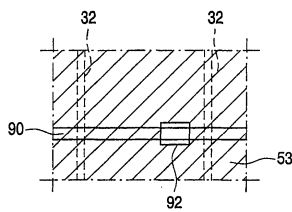
도면 5m



도면 6



도면 7



专利名称(译)	有源矩阵液晶显示器及其制造方法		
公开(公告)号	KR1020020091155A	公开(公告)日	2002-12-05
申请号	KR1020027012669	申请日	2002-01-21
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	FRENCH IAN D VANDERZAAG PIETER J		
发明人	프렌치,이안,데. 반데르자그,피터,에이.		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1362 H01L21/336 H01L21/77 H01L21/84		
CPC分类号	G02F1/13439 G02F1/136286 H01L27/124 H01L27/1248 H01L27/1288 H01L29/66765		
代理人(译)	MOON , KYOUNG 金		
优先权	2001002167 2001-01-27 GB		
外部链接	Espacenet		

摘要(译)

一种用于在像素电极38和有源板的像素的方式的装置，的透明制造中使用的方法如导电性具有由层形成的相关的地址线（32）的材料的53，有源矩阵液晶显示器，它接着是屏蔽层60，其在区域67,68和69的构造中被图案化，对应于所需的像素电极和地址线，保护层的蚀刻性质不同。这允许选择性地蚀刻掉与像素电极对应的保护层的区域，以允许在这些区域中选择性地去除金属，同时在地线中留下金属。该方法通过减少掩模数量来改善地址线电导率 - 1 - 简化掩模数TFT有源板的的生产。 6

