



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월30일
(11) 등록번호 10-1443374
(24) 등록일자 2014년09월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2007-0106914
(22) 출원일자 2007년10월23일
심사청구일자 2012년10월15일
(65) 공개번호 10-2009-0041284
(43) 공개일자 2009년04월28일
(56) 선행기술조사문헌
JP11271722 A*
JP2004271840 A
JP2004361571 A
JP2005136028 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이종범
경기 포천시 창수면 주원1리 351(1/2)
김주한
대구광역시 북구 동천로24길 12, 202동 803호 (동천동, 부영그린타운)
(74) 대리인
서교준

전체 청구항 수 : 총 10 항

심사관 : 이옥우

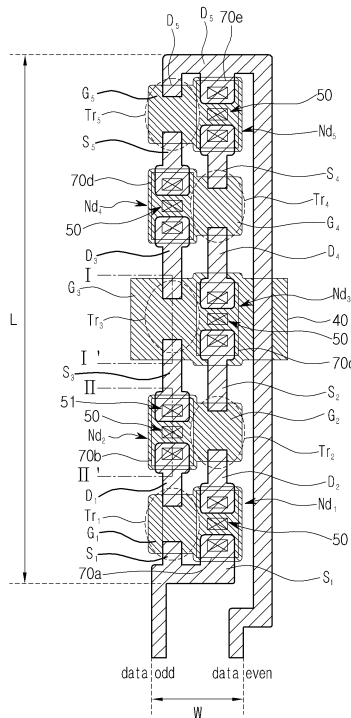
(54) 발명의 명칭 정전기 방지 회로 및 이를 구비한 액정표시장치

(57) 요약

본 발명은 정전기 방지 회로 및 이를 구비한 액정표시장치에 관한 것으로, 액정표시패널의 신호라인들(게이트 라인, 데이터 라인 및 공통전압 라인)에 형성되는 정전기 방지 회로의 연결 구조를 변경하여, 정전기 방지 회로의 폭과 길이를 줄인 효과가 있다.

또한, 본 발명은 정전기 방지 회로에 사용되는 트랜지스터들의 연결 노드 영역에 콘택홀을 형성하여 인접한 트랜지스터의 소스/드레인 전극과 직접 연결될 수 있도록 개선하였다.

대표도 - 도3



특허청구의 범위

청구항 1

복수개의 신호라인들;

상기 복수개의 신호라인들에 대해 기수번째 신호라인과 인접한 우수번째 신호라인 사이에 배치된 다수개의 게이트 전극;

상기 다수개의 게이트 전극 상에 각각 배치되어 복수개의 트랜지스터를 형성하는 소스/드레인 전극; 및

상기 게이트 전극들의 각각에는 트랜지스터를 형성하기 위해 배치된 소스/드레인 전극과 평행하게 인접한 영역에 형성된 연결노드를 포함하고,

상기 게이트 전극 상에 형성된 연결노드는 인접한 양측 트랜지스터들의 소스 전극과 드레인 전극 및 상기 연결노드가 형성된 게이트 전극을 콘택부에 의해 직접 연결한 것을 특징으로 하는 정전기 방지회로.

청구항 2

제 1 항에 있어서, 상기 다수개의 게이트 전극은 서로 전기적으로 단절된 구조인 것을 특징으로 하는 정전기 방지 회로.

청구항 3

제 1 항에 있어서, 상기 복수개의 신호라인들은 액정표시장치의 게이트 라인 또는 데이터 라인인 것을 특징으로 하는 정전기 방지 회로.

청구항 4

제 1 항에 있어서, 상기 다수개의 게이트 전극의 폭은 30 μ m~50 μ m의 범위를 갖는 것을 특징으로 하는 정전기 방지 회로.

청구항 5

제 1 항에 있어서, 상기 각 신호라인 사이의 폭은 30 μ m~50 μ m의 범위를 갖는 것을 특징으로 하는 정전기 방지 회로.

청구항 6

복수의 화소 영역을 정의하기 위해 교차 배열된 복수개의 게이트 라인과 데이터 라인;

상기 게이트 라인들과 데이터 라인들에 대해 각각 기수번째 라인과 인접한 우수번째 라인 사이에 각각 배치된 복수개의 정전기 방지 회로; 및

상기 정전기 방지 회로들과 전기적으로 연결된 공통전압 라인을 포함하고,

상기 정전기 방지 회로는,

복수개의 게이트 전극;

상기 다수개의 게이트 전극 상에 각각 배치되어 복수개의 트랜지스터를 형성하는 소스/드레인 전극; 및

상기 게이트 전극들의 각각에는 트랜지스터를 형성하기 위해 배치된 소스/드레인 전극과 평행하게 인접한 영역에 형성된 연결노드를 포함하고,

상기 게이트 전극 상에 형성된 연결노드는 인접한 양측 트랜지스터들의 소스 전극과 드레인 전극 및 상기 연결노드가 형성된 게이트 전극을 콘택부에 의해 직접 연결한 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서, 상기 다수개의 게이트 전극은 기수번째 라인과 인접한 우수번째 라인 사이의 폭보다 작은 것을 특징으로 하는 액정표시장치.

청구항 8

제 6 항에 있어서, 상기 콘택부는 액정표시장치의 화소전극과 동일한 물질인 것을 특징으로 하는 액정표시장치.

청구항 9

제 6 항에 있어서, 상기 게이트 전극들과 연결 노드들은 상기 기수번째 라인과 인접한 우수번째 라인 사이에 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제 6 항에 있어서, 상기 기수번째 라인과 인접한 우수번째 라인 사이에 형성된 정전기 방지 회로의 폭은 30 μ m~50 μ m의 범위를 갖는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 정전기 방지회로를 구비한 액정표시장치에 관한 것이다.

배경기술

[0002] 평판표시소자 중 하나인 액정표시장치는 액체의 유동성과 결정의 광학적 성질을 갖는 액정에 전계를 가하여 광학적 이방성을 변화시키는 소자로서, 종래 음극선관(Cathode Ray Tube)에 비해 소비전력이 낮고 부피가 작으며 대형화 및 고정세가 가능하여 널리 사용하고 있다.

[0003] 이와 같은 액정표시장치는 화상을 표시하는 액정표시패널과 상기 액정표시패널에 구동 신호를 인가하기 위한 구동회로부로 크게 구분되며, 상기 액정표시패널은 일정 공간을 갖고 합착된 제 1, 제 2 기판과, 상기 제 1, 제 2 기판 사이에 주입된 액정층으로 구성된다.

[0004] 이와 같은 액정표시장치는 액정의 성질과 패턴의 구조에 따라서 여러 가지 다양한 모드가 있다. 즉, 액정 방향자가 90° 트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 화소를 여러 도메인으로 나눠 각각의 도메인의 주시야각 방향을 달리하여 광시야각을 구현하는 멀티도메인 모드(Multi-Domain Mode)와, 보상필름을 기판 외주면에 부착하여 빛의 진행방향에 따른 빛의 위상 변화를 보상하는 OCB 모드(Optically Compensated Birefringence Mode)와, 한 기판 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계 방식(In-Plane Switching Mode)과, 네가티브형 액정과 수직배향막을 이용하여 액정 분자의 장축이 배향막 평면에 수직 배열되도록 하는 VA 모드(Vertical Alignment Mode) 등 다양하다.

[0005] 또한, 상기 액정표시장치의 화소 구조는 구동 신호를 인가하는 게이트 라인과 그래픽 데이터 신호를 인가하는 데이터 라인이 매트릭스 형태로 다수개의 화소 영역을 정의하고, 화소 영역에는 화소 전극과 상기 데이터 라인으로부터 인가되는 데이터 신호를 화소 전극으로 전달하는 박막 트랜지스터(Thin Film Transistor: '이하 TFT라 한다')가 배치되어 있다.

[0006] 또한, 액정표시장치의 모드에 관계없이 제조 공정 중 또는 제품 사용중 외부 또는 내부에서 발생되는 정전기에 의해 소자 및 신호 라인들(게이트, 데이터, 공통전압 라인을 포함한다)이 손상되는 것을 방지하기 위해 정전기 방지 회로(ElectroStatic Discharge Protection Circuit)가 형성된다. 상기 정전기 방지 회로는 공통전압이 인가되는 공통전압 라인과 게이트 라인 및 데이터 라인 끝단에 배치된다.

[0007] 그러나, 액정표시장치가 소형화 및 고해상도화로 진행하면서 정전기 방지 회로가 형성될 공간이 협소해지고 있어, 패널 설계에 어려움이 있다. 특히, 정전기 방지회로는 다수개의 트랜지스터를 연결하여 형성되기 때문에 게이트 라인들 간 또는 데이터 라인들 간의 간격이 좁을 경우에는 제조 공정중 회로들간 쇼팅 불량 발생되는 문제가 있다.

[0008] 최근 동영상 시청을 위해 다양한 휴대용 디스플레이 장치들이 보급되고 있는데, 이들 휴대용 디스플레이 장치들은 모두 소형이면서 높은 해상도를 요구하고 있다. 따라서, 정전기 방지 회로가 더욱 좁은 공간에서 설계될

필요성이 있다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명은, 액정표시패널의 신호라인들(게이트 라인, 데이터 라인 및 공통전압 라인)에 형성되는 정전기 방지 회로의 연결 구조를 변경하여, 정전기 방지 회로의 폭과 길이를 줄인 정전기 방지 회로 및 이를 구비한 액정 표시장치를 제공함에 그 목적이 있다.
- [0010] 또한, 본 발명은, 정전기 방지 회로에 사용되는 트랜지스터들의 연결 노드 영역에 콘택홀을 형성하여 인접한 트랜지스터의 소스/드레인 전극과 직접 연결될 수 있도록 개선한 정전기 방지 회로 및 이를 구비한 액정표시 장치를 제공함에 다른 목적이 있다.

과제 해결수단

- [0011] 상기한 목적을 달성하기 위한, 본 발명에 따른 정전기 방지 회로는,
- [0012] 복수개의 신호라인들;
- [0013] 상기 복수개의 신호라인들에 대해 기수번째 신호라인과 인접한 우수번째 신호라인 사이에 배치된 다수개의 게이트 전극;
- [0014] 상기 다수개의 게이트 전극 상에 각각 배치되어 트랜지스터를 형성하는 소스/드레인 전극; 및
- [0015] 상기 다수개의 게이트 전극 상에는 각각 소스/드레인 전극과 인접하면서 평행하게 형성된 연결노드를 포함하고,
- [0016] 상기 연결노드는 인접한 트랜지스터의 소스전극과 드레인 전극 및 하부에 형성된 게이트 전극을 콘택부에 의해 직접 연결한 것을 특징으로 한다.
- [0017] 본 발명의 다른 실시 예에 따른 액정표시장치는,
- [0018] 복수개의 게이트 라인과 데이터 라인;
- [0019] 상기 게이트 라인과 데이터 라인에 대해 각각 기수번째 라인과 인접한 우수번째 라인 사이에 배치된 공통전압 라인; 및
- [0020] 상기 공통전압 라인을 중심으로 상기 기수번째 라인과 인접한 우수번째 라인 사이에 서로 대칭되도록 배치된 다수개의 게이트 전극과, 상기 다수개의 게이트 전극 및 공통전압 라인 상에 각각 배치되어 트랜지스터를 형성하는 소스/드레인 전극과, 상기 다수개의 게이트 전극 및 공통전압 라인 상에 형성된 각각의 소스/드레인 전극과 인접하면서 평행하게 형성된 연결노드를 포함하고, 상기 연결노드는 인접한 트랜지스터의 소스전극과 드레인 전극 및 하부에 형성된 게이트 전극을 콘택부에 의해 직접 연결한 정전기 방지 회로를 포함한다.

효과

- [0021] 이상에서 자세히 설명된 바와 같이, 본 발명은 액정표시패널의 신호라인들(게이트 라인, 데이터 라인 및 공통 전압 라인)에 형성되는 정전기 방지 회로의 연결 구조를 변경하여, 정전기 방지 회로의 폭과 길이를 줄인 효과가 있다.
- [0022] 또한, 본 발명은 정전기 방지 회로에 사용되는 트랜지스터들의 연결 노드 영역에 콘택홀을 형성하여 인접한 트랜지스터의 소스/드레인 전극과 직접 연결될 수 있도록 개선한 효과가 있다.
- [0023] 본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 실시 예를 상세히 설명한다. 우선, 도면들 중 동일한 구성요소 또는 부품들은 가능한 한 동일한 참조부호를 나타내고 있음에 유의해야 한다. 실 시예를 설명함에 있어서 관련된 공지기술 혹은 구성에 대한 구체적인 설명은 실 시예의 요지를 모호하게 하지 않기 위해 생략한다.

- [0025] 또한, 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상(on/above/over/upper)"에 또는 "아래(down/below/under/lower)"에 형성되는 것으로 기재되는 경우에 있어, 그 의미는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들에 접촉되어 형성되는 경우로 해석될 수도 있으며, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 그 사이에 추가적으로 형성되는 경우로 해석될 수도 있다. 따라서, 그 의미는 발명의 기술적 사상에 의하여 판단되어야 한다.
- [0026] 이하, 첨부한 도면에 의거하여 본 발명의 실시 예를 자세히 설명하도록 한다.
- [0027] 도 1은 본 발명에 따른 액정표시장치의 패널 구조를 개략적으로 도시한 도면이다.
- [0028] 도 1을 참조하면, 액정표시장치(10)는 화상을 디스플레이하는 액정표시패널(15)과, 상기 액정표시패널(15)과 전기적으로 연결된 게이트 구동부(30) 및 데이터 구동부(20)로 구성된다. 또한, 도면에는 도시되지 않았지만, 상기 게이트 구동부(30)와 데이터 구동부(20)의 동작을 제어하는 타이밍 컨트롤러(Timing Controller: 60)를 포함한다.
- [0029] 상기 액정표시패널(15)은 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)이 교차하여 다수의 화소 영역이 매트릭스 형태로 배열되어 있다.
- [0030] 상기 다수의 화소 영역 각각에는 액정 화소가 형성된다.
- [0031] 상기 게이트 구동부(30)는 1 프레임(1 수직 동기 신호의 기간) 동안 다수의 게이트 라인(GL1~GLn)을 순차적으로 일정한 기간(예를 들면, 1 수평 동기 신호의 기간)씩 인에이블(Enable) 시킨다. 이를 위하여, 상기 게이트 구동부(30)는 수평 동기 신호의 주기마다 순차적으로 쉬프트(Shift) 되는 인에이블 펄스를 서로 배타적으로 가지는 다수의 게이트 신호를 발생한다. 다수의 게이트 신호들 각각에 포함된 게이트 인에이블 펄스는 수평 동기 신호의 기간과 동일한 폭을 가진다. 상기 다수의 게이트 신호 각각에 포함된 인에이블 펄스는 프레임 주기마다 한 번씩 발생 된다. 이러한 다수의 게이트 신호를 발생하기 위하여, 상기 게이트 구동부(30)는 타이밍 컨트롤러(60)로부터의 게이트 제어 신호들(GCS)에 응답한다. 상기 게이트 제어 신호들(GCS)에는 게이트 스타트 펄스(GSP) 및 적어도 하나의 게이트 클럭(GSC) 등이 포함된다. 상기 게이트 스타트 펄스(GSP)는 프레임 기간의 시작 시점으로부터 하나의 수평 동기 신호의 기간에 해당하는 특정 논리(예를 들면, 하이 논리)를 유지 한다.
- [0032] 상기 데이터 구동부(20)는, 다수의 게이트 라인(GL1~GLn) 중 어느 하나가 인에이블 될 때마다, 데이터 라인(DL1~DLm)의 수에 해당하는(즉, 1 게이트 라인에 배열된 액정 화소들의 수에 해당하는) 화소 구동 신호들을 발생한다. 이들 1 라인 분의 화소 데이터 신호 각각은 대응하는 데이터 라인(DL)을 경유하여 상기 액정표시패널(15) 상의 대응하는 액정 화소에 공급된다. 게이트 라인(GL) 상에 배열된 액정 화소들 각각은 대응하는 화소 구동 신호의 전압 레벨에 해당하는 광량을 통과시킨다. 1 라인 분의 화소 구동 신호를 발생하기 위하여, 데이터 구동부(20)는, 데이터 제어 신호(DCS)에 응답하여, 게이트 신호에 포함된 인에이블 펄스의 기간마다 1 라인 분의 화소 데이터(VDd)를 순차적으로 입력한다. 데이터 구동부(20)는 순차 입력된 1 라인 분의 화소 데이터(VDd)를 동시에 아날로그 형태의 화소 구동 신호로 변환한다.
- [0033] 타이밍 컨트롤러(60)는 도시하지 않은 외부의 비디오 소스(예를 들면, 텔레비전 수신기에 포함된 영상 복조 모듈 또는 컴퓨터 시스템에 포함된 그래픽 모듈)로부터 동기 신호들(SYNC)을 공급받는다. 동기신호들(SYNC)에는 데이터 클럭(Dclk), 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync) 및 수직 동기 신호(Vsync) 등이 포함된다. 타이밍 컨트롤러(60)는 동기신호들(SYNC)을 이용하여 게이트 구동부(30)가 매 프레임마다 액정표시패널(15) 상의 상기 다수의 게이트 라인(GL1~GLn)이 순차적으로 스캔되게 하는 상기 다수의 게이트 신호를 발생하는데 필요한 게이트 제어 신호들(GCS)을 생성한다. 또한, 타이밍 컨트롤러(60)는 데이터 구동부(20)로 하여금 게이트 라인(GL)이 인에이블 되는 주기마다 1 라인 분의 화소 데이터(VDd)를 순차적으로 입력하고 그 순차 입력된 1 라인 분의 화소 데이터(VDd)를 아날로그 형태의 화소 데이터 신호로 변환 및 출력하게 하는데 필요한 데이터 제어 신호들(DCS)을 발생한다. 나아가, 상기 타이밍 컨트롤러(60)는 비디오 소스로부터 프레임 단위(1장의 화상 단위)로 구분된 화소 데이터 스트림(VDi)을 공급받는다. 타이밍 컨트롤러(60)는 프레임 분의 화소 데이터 스트림(VDi)를 1 라인 분씩 화소 데이터 스트림(VDd)으로 구분하고 그 구분된 1라인 분의 화소 데이터 스트림(VDd)을 상기 데이터 구동부(20)에 공급한다.
- [0034] 상기 게이트 라인들(GL1, ..., GLn)과 상기 데이터 라인들(DL1, ..., DLn) 가장자리 끝단에는 각각 제 1 정전기 방지회로들(26)과 제 2 정전기 방지 회로들(25)이 배치되어 있다. 상기 제 1 정전기 방지회로들(26)은 기수번째

게이트 라인과 인접한 우수번째 게이트 라인을 한쌍으로 하여 각각 하나씩 배치되어 있고, 상기 제 2 정전기 방지회로들(25)은 기수번째 데이터 라인과 인접한 우수번째 데이터 라인을 한쌍으로 하여 각각 하나씩 배치되어 있다. 또한, 상기 제 1 정전기 방지회로들(26)과 제 2 정전기 방지회로들(25)은 액정표시패널(15) 외곽둘레를 따라 배치되어 있는 공통전압 라인(40)에 공통으로 연결되어 있다.

[0035] 따라서, 액정표시패널(15)의 상기 게이트 라인들(GL1, ..., GLn)과 상기 데이터 라인들(DL1, ..., DLn)에 정전기가 인가되면 상기 제 1 정전기 방지회로들(26)과 제 2 정전기 방지회로(25)들에 의해 상기 게이트 라인들(GL1, ..., GLn)과 상기 데이터 라인들(DL1, ..., DLn)이 상기 공통전압 라인(40)과 등전위 상태가 되어 내부 소자 및 신호라인들을 보호한다.

[0036] 도 2는 본 발명에 따라 액정표시패널의 데이터 라인 가장자리에 형성된 정전기 방지 회로도이고, 도 3은 상기 도 2의 정전기 방지 회로가 액정표시패널의 어레이 기판 상에 형성된 모습을 도시한 도면이다.

[0037] 도 2 및 도 3을 참조하면, 본 발명에 따른 정전기 방지 회로는 5개의 트랜지스터들(Tr-1, Tr-2, Tr-3, Tr-4, Tr-5)로 구성되어 있다. 도면에서는 데이터 라인들(DL1, ..., DLn) 가장자리에 각각 배치되는 정전기 방지회로를 중심으로 설명하지만, 게이트 라인들(GL1, ..., GLn) 가장자리에 각각 배치되는 정전기 방지회로도 동일한 구조로 형성될 수 있다. 또한, 도면에서는 5개의 트랜지스터로 정전기 방지회로를 구성하였지만, 이에 한정되지 않고 적어도 2개 이상의 트랜지스터들로 정전기 방지회로를 구성할 수 있다.

[0038] 기수번째 데이터 라인(DL2n+1)의 가장자리에는 정전기 방지회로(25)의 제 1 트랜지스터(Tr-1)의 소스전극(S1)과 게이트 전극(G1) 및 제 2 트랜지스터(Tr-2)의 드레인 전극(D2)과 함께 제 1 연결노드(Nd1)에 공통으로 연결되어 있고, 우수번째 데이터 라인(DL2n)의 가장자리는 정전기 방지회로(25)의 제 5 트랜지스터(Tr5)의 드레인 전극(D5)과 게이트 전극(G5) 및 제 4 트랜지스터(Tr4)의 소스전극(S4)과 함께 제 5 연결노드(Nd5)에 공통으로 연결되어 있다. 본 발명의 정전기 방지 회로에서는 양측 가장자리에 배치되어 있는 제 1 트랜지스터(Tr-1)의 소스 전극(S1)이 각각 평행하게 두 개로 분리되어 있고, 제 5 트랜지스터(Tr-5)의 드레인 전극(D5)이 각각 평행하게 두 개로 분리되어 있다. 각각의 소스 전극(S1)은 제 1 트랜지스터(Tr-1)의 전극 역할을 하고, 다른 하나의 소스 전극(S1)은 제 1 연결노드(Nd1)에 연결부 역할을 한다. 마찬가지로 제 5 트랜지스터(Tr-5)의 어느 하나의 드레인 전극(D5)은 트랜지스터의 전극 역할을 하고, 다른 하나는 제 5 연결노드(Nd5)의 연결부 역할을 한다.

[0039] 또한, 정전기 방지회로(25)의 중앙에 배치된 제 3 트랜지스터(Tr-3)의 게이트 전극(G3)은 공통전압 라인(40), 제 2 트랜지스터(Tr-2)의 소스전극(S2) 및 제 4 트랜지스터(Tr-4)의 드레인 전극(D4)과 함께 제 3 연결노드(Nd3)에서 공통으로 연결되어 있다. 상기 제 2 트랜지스터(Tr-2)의 게이트 전극(G2)은 상기 제 1 트랜지스터(Tr-1)의 드레인 전극(D1) 및 제 3 트랜지스터(Tr-3)의 소스전극(S3)과 함께 제 2 연결노드(Nd2)에 공통으로 연결되어 있고, 상기 제 4 트랜지스터(Tr4)의 게이트 전극(G4)은 상기 제 3 트랜지스터(Tr-3)의 드레인 전극(D3) 및 제 5 트랜지스터(Tr-5)의 소스 전극(S5)과 함께 제 4 연결노드(Nd4)에 공통으로 연결되어 있다.

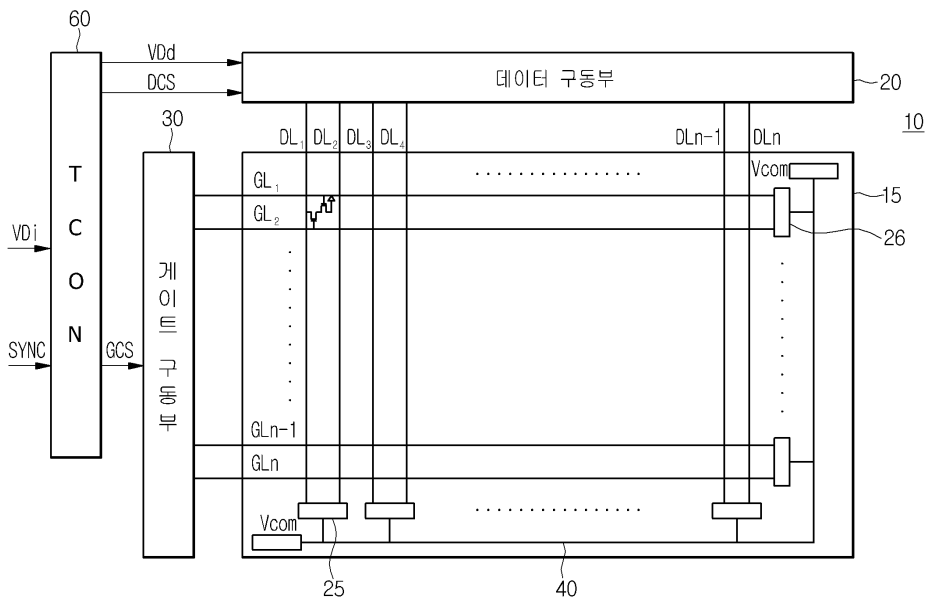
[0040] 본원 발명에서는 정전기 방지 회로의 전체 폭(W)과 길이(L)를 줄이기 위해서 상기 제 1, 2, 3, 4, 5 트랜지스터들(Tr-1, Tr-2, Tr-3, Tr-4, Tr-5)의 소스/드레인 전극들을 기수번째 데이터 라인과 인접한 우수번째 데이터 라인 사이에서 서로 평행한 방향으로 배치되도록 형성하였다.

[0041] 즉, 도 3에 도시된 바와 같이, 제 1, 3, 5 트랜지스터(Tr-1, Tr-3, Tr-5)의 소스/드레인 전극들(S1/D1, S3/D3, S5/D5)과 제 2, 4 트랜지스터(Tr-2, Tr-4)의 소스/드레인 전극들(S2/D2, S4/D4)은 서로 평행하게 배치되어 있다. 또한, 제 2 연결노드(Nd2)와 제 4 연결노드(Nd4)는 각각 제 2 트랜지스터(Tr-2)의 게이트 전극(G2)과 제 4 트랜지스터(Tr-4)의 게이트 전극(G4) 상에 각각 형성되고, 제 1, 3, 5 연결노드(Nd2, Nd3, Nd5)는 각각 제 1 트랜지스터(Tr-1)의 게이트 전극(G1), 제 3 트랜지스터(Tr-3)의 게이트 전극(G3) 및 제 5 트랜지스터(Tr-5)의 게이트 전극(G5) 상에 형성된다.

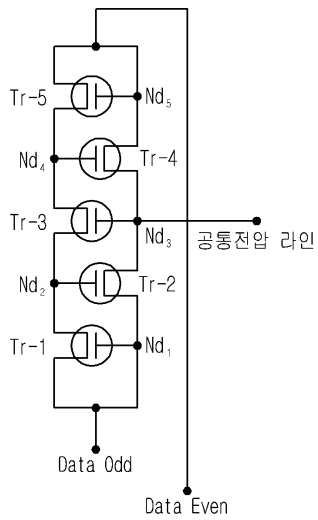
[0042] 따라서, 상기 제 1, 2, 3, 4, 5 연결노드(Nd1, Nd2, Nd3, Nd4, Nd5)의 각각 영역에는 하부에 형성된 게이트 전극(G1, G2, G3, G4, G5)과 전기적 콘택을 위한 콘택홀들(50)이 형성되어 있고, 콘택부(70a, 70b, 70c, 70d, 70e)에 의해 인접한 소스/드레인 전극(S1/D1, S2/D2, S3/D3, S4/D4, S5/D5) 및 게이트 전극들(G1, G2, G3, G4, G5)과 전기적으로 연결된다. 또한, 상기 게이트 전극들 중 제 1 트랜지스터(Tr-1)의 게이트 전극(G1), 제 2 트랜지스터(Tr-2)의 게이트 전극(G2), 제 4 트랜지스터(Tr-4)의 게이트 전극(G4) 및 제 5 트랜지스터(Tr-5)의 게이트 전극(G5)은 전기적으로 단절(분리)된 구조(isolation)로 형성되고 그 폭 역시 기수번째 데이터 라인(DL2n+1)과 인접한 우수번째 데이터 라인(DL2n) 사이의 폭을 갖거나 그보다 작은 폭을 갖도록 형성되어 있다.

- [0043] 그래서, 본 발명에서는 정전기 방지 회로 모든 트랜지스터들과 전기적 연결 연결노드들을 두개의 데이터 라인 사이에 형성할 수 있도록 하였다. 본원 발명에서의 정전기 방지 회로의 게이트 전극들 폭은 $30\mu\text{m}$ ~ $50\mu\text{m}$ 의 범위를 갖는다. 따라서, 본원 발명의 정전기 방지 회로의 폭(W) 역시 $30\mu\text{m}$ ~ $50\mu\text{m}$ 의 범위를 갖는다.
- [0044] 또한, 본원 발명에서는 정전기 방지 회로를 구성하기 위한 트랜지스터의 연결 영역을 각각의 게이트 전극 상에서 형성될 수 있도록 함으로써, 최소의 공간에서 정전기 방지 회로를 설계할 수 있도록 하였다.
- [0045] 도 4는 상기 도 3의 I-I'와 II-II'선을 절단한 단면도이다.
- [0046] 도 4를 참조하면, 상기 I-I'는 도 3의 제 3 트랜지스터(Tr-3) 영역의 소스/드레인 전극(S3/D3)의 단면도이고, 상기 II-II'는 도 3의 제 2 트랜지스터(Tr-2) 영역의 제 2 연결노드의 단면도이다.
- [0047] 먼저, 제 3 트랜지스터(Tr-3)가 형성된 영역은 기판(100) 상에 게이트 전극(G3)이 형성되어 있고, 게이트 절연막(102)을 사이에 두고 채널층(104)이 형성되어 있다. 상기 채널층(104) 상에는 소스/드레인 전극(S3/D3)이 형성되어 있고, 상기 소스/드레인 전극(S3/D3) 상에는 보호막(109)이 형성되어 있다. 상기 게이트 전극(G3)은 공통전압 라인과 동일하다.
- [0048] II-II' 영역의 제 2 연결노드(Nd2) 영역은 제 2 트랜지스터(Tr-2)의 게이트 전극(G2) 상에 게이트 절연막(102)이 형성되어 있다. 상기 게이트 절연막(102) 상에는 제 1 트랜지스터(Tr-1)의 드레인전극(D1)과 제 3 트랜지스터(Tr3)의 소스전극(S3) 전극이 제 1 콘택홀(50)을 사이에 두고 형성되어 있다. 상기 제 1 트랜지스터(Tr1)의 드레인전극(D1)과 제 3 트랜지스터(Tr3)의 소스전극(S3) 아래에는 채널층패턴(104a)이 형성되어 있다.
- [0049] 또한, 상기 제 1 트랜지스터(Tr1)의 드레인전극(D1)과 제 3 트랜지스터(Tr3)의 소스전극(S3) 전극 상에는 보호막(109)이 형성되어 있다. 상기 보호막(109) 상에는 제 2 콘택홀(51)이 형성되어 있다. 그리고 상기 제 1 콘택홀(50) 및 제 2 콘택홀(51)을 통하여 액정표시장치의 화소전극과 동일한 물질인 콘택부(70b)에 의해 상기 제 1 트랜지스터(Tr1)의 드레인전극(D1)과 제 3 트랜지스터(Tr3)의 소스전극(S3) 및 제 2 트랜지스터(Tr2)의 게이트 전극(G2)과 전기적으로 연결된다.
- [0050] 따라서, 본 발명에서의 정전기 방지 회로에 사용되는 트랜지스터의 연결노드를 각각의 트랜지스터들의 게이트 전극 상에 형성함으로써, 정전기 방지회로의 폭과 길이를 최소화 할 수 있도록 하였다. 본원 발명에서는 정전기 방지 회로가 형성되는 기수번째 데이터 라인과 인접한 우수번째 데이터 라인 폭 사이에 형성될 수 있도록 하였다.
- [0051] 또한, 도면에서는 상기 기수번째 데이터 라인과 우수번째 데이터 라인 사이에 형성되는 정전기 방지 회로를 중심으로 설명하였지만, 동일하게 기수번째 게이트 라인과 인접한 우수번째 게이트 라인 사이에 정전기 방지 회로를 형성할 수 있다.
- [0052] 도 5a 내지 도 5d는 본원 발명의 액정표시장치 제조 공정을 도시한 단면도이다.
- [0053] 특히, 도면에서는 정전기 방지회로 영역의 제조 공정을 중심으로 도시하였지만, 제조 공정은 액정표시장치의 어레이 기판 제조 공정시 함께 형성되므로 이에 대한 구체적인 설명을 한다.
- [0054] 도 5a를 참조하면, 제 3 트랜지스터(Tr3) 영역의 기판(100)과 제 2 연결노드(Nd2) 영역의 기판(100) 상에 각각 게이트 전극(G3)과 전기적으로 분리(isolation)된 제 2 트랜지스터(Tr2)의 게이트 전극(G2)을 형성한다. 상기 제 3 트랜지스터(Tr3)의 게이트 전극(G3)은 공통전압 라인과 동일한 라인의 일부이다. 즉, 공통전압 라인이 형성되면 제 3 트랜지스터(Tr-3)의 게이트 전극(G3)이 완성된다.
- [0055] 이때, 기판(100) 상에 금속막을 증착한 다음, 마스크 공정을 포함하는 포토리소그래피 공정과 식각 공정에 따라 액정표시장치의 어레이 기판 상에는 게이트 라인들과 게이트 라인들 각각으로부터 인출된 게이트 전극들이 형성된다(미도시).
- [0056] 상기와 같이 게이트 전극(G3, G2)이 기판(100) 상에 형성되면, 게이트 절연막(102)을 기판(100)의 전 영역 상에 형성한다.
- [0057] 그런 다음, 도 5b에 도시한 바와 같이, 기판(100) 상에 비정질 실리콘막과 도핑된(n+ or p+) 비정질 실리콘막을 순차적으로 형성하고, 계속해서 소스/드레인 전극 형성을 위해 금속막을 형성한다. 그런 다음, 마스크를 포함하는 포토리소그래피 방법과 식각 공정으로 소스/드레인 전극 및 채널층(104)을 동시에 형성한다. 따라서, 액정표시장치의 정전기 방지 회로인 I-I' 영역에는 제 3 트랜지스터(Tr3)의 소스/드레인 전극

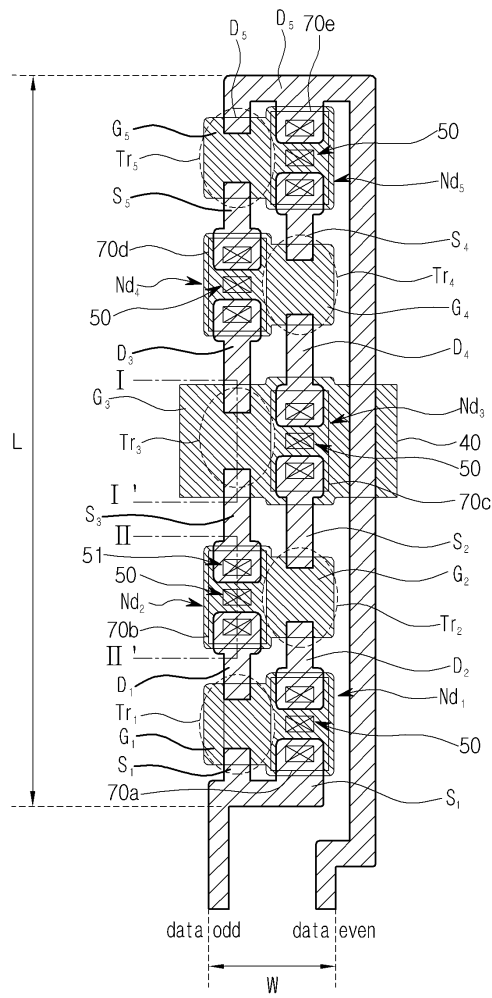
도면1



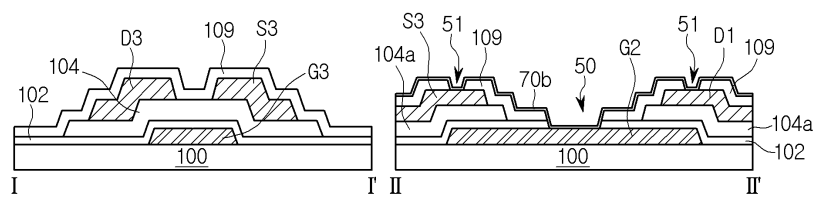
도면2



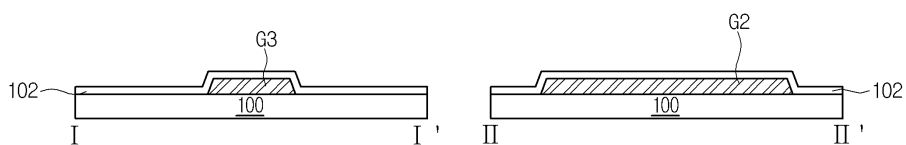
도면3



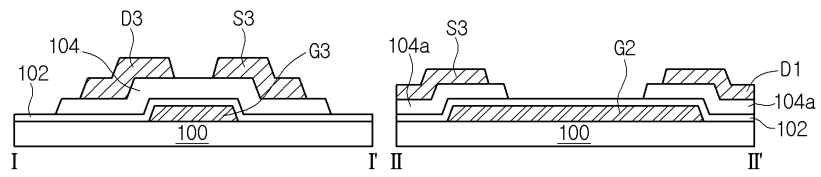
도면4



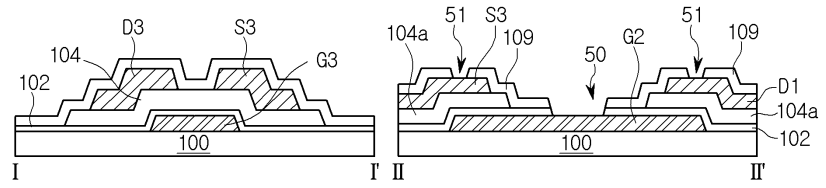
도면5a



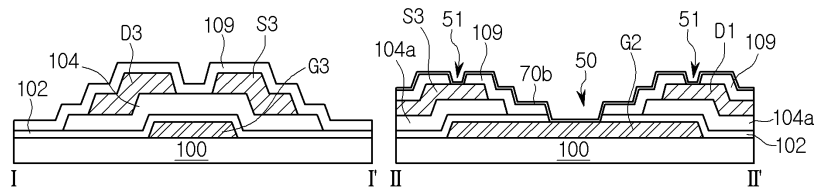
도면5b



도면5c



도면5d



专利名称(译)	标题：抗静电电路和具有该抗静电电路的液晶显示装置		
公开(公告)号	KR101443374B1	公开(公告)日	2014-09-30
申请号	KR1020070106914	申请日	2007-10-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JONG BEOM 이종범 KIM JU HAN 김주한		
发明人	이종범 김주한		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	H01L27/0248 G02F1/136204		
其他公开文献	KR1020090041284A		
外部链接	Espacenet		

摘要(译)

通过改变静电放电保护电路的连接结构来减小静电放电 (ESD) 保护电路的宽度和长度。 ESD保护电路包括设置在奇数信号线和与信号线中的奇数信号线相邻的偶数信号线之间的多个栅电极;源/漏电极对各自设置在相应的一个栅电极上以形成多个晶体管;和连接节点平行于源/漏电极对，每个连接节点与相应的一个源/漏电极对相邻并且在相应的一个栅电极上，其中每个连接节点直接连接到源/相邻晶体管的漏电极对和通过接触部分形成在源/漏电极下方的栅电极。

