



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월16일
(11) 등록번호 10-1264714
(24) 등록일자 2013년05월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0008892

(22) 출원일자 2007년01월29일

심사청구일자 2011년11월02일

(65) 공개번호 10-2008-0070950

(43) 공개일자 2008년08월01일

(56) 선행기술조사문헌

KR1020000019835 A*

KR2020000005251 U*

JP2004226597 A

JP2002123234 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김창인

경상북도 구미시 인동46길 28, 805동 1304호 (구 평동, 부영아파트)

박원용

대구광역시 달서구 학산로7길 27, 보성 2차 202동 607호 (월성동)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 18 항

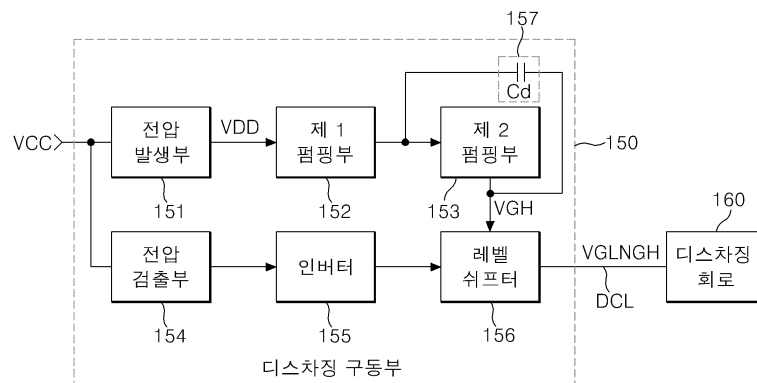
심사관 : 양성지

(54) 발명의 명칭 액정표시장치 및 그의 구동 방법

(57) 요약

본 발명은 각 픽셀의 디스차징 시간을 일정시간 동안 지연시켜 주는 지연소자의 갯수를 최소화할 수 있는 액정표시장치를 제공하는 것으로, 인가된 고전위 전원전압을 일차 펌핑하는 제 1 펌핑부; 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생하는 제 2 펌핑부; 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전원전압 레벨과 기준 전압 레벨을 비교하여 검출된 고전위 전원전압 레벨이 기준 전압 레벨보다 높으면 하이 전압을 생성하고, 검출된 고전위 전원전압 레벨이 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 전압 검출부; 전압 검출부로부터의 하이 전압 또는 로우 전압을 인버터하는 인버터; 인버터로부터 입력된 하이전압을 제 2 펌핑부로부터의 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 디스차징회로로 공급하는 레벨 쉬프터; 및 제 2 펌핑부의 입력측과 출력측 사이에 접속되어 레벨 쉬프터로부터 출력되는 게이트하이전압을 디스차징기간 동안 유지시켜 주는 지연소자를 포함하며, 디스차징회로는 입력측이 디스차징 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차징부로 구성되며, 다수의 디스차징부 각각은 디스차징기간동안 유지되는 게이트 하이 전압을 공급하는 디스차징 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

인가된 고전위 전원전압을 일차 펌핑하는 제 1 펌핑부;

상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생하는 제 2 펌핑부;

상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전원전압 레벨과 기준 전압 레벨을 비교하여 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 높으면 하이 전압을 생성하고, 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 전압 검출부;

상기 전압 검출부로부터의 하이 전압 또는 로우 전압을 인버터하는 인버터;

상기 인버터로부터 입력된 하이전압을 상기 제 2 펌핑부로부터의 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 디스차지회로로 공급하는 레벨 쉬프터; 및

상기 제 2 펌핑부의 입력측과 출력측 사이에 접속되어 상기 레벨 쉬프터로부터 출력되는 상기 게이트하이전압을 디스차지기간 동안 유지시켜 주는 지연소자를 포함하며,

상기 디스차지회로는 입력측이 디스차지 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차지부로 구성되며,

상기 다수의 디스차지부 각각은 상기 디스차지기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차지 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 지연소자는,

상기 제 2 펌핑부의 입력측과 출력측 사이에 접속된 하나의 커패시터

를 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 커패시터는 저용량 커패시터인 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 지연소자는,

상기 제 2 펌핑부의 입력측과 출력측 사이에 접속된 2개 이상의 커패시터들

을 포함하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 커패시터들은 병렬로 접속된 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 커패시터들은 직렬로 접속된 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 커패시터들은 저용량 커패시터인 것을 특징으로 하는 액정표시장치.

청구항 8

인가된 고전위 전원전압을 일차 펌핑하는 제 1 펌핑부;

상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생하는 제 2 펌핑부;

상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전원전압 레벨과 기준 전압 레벨을 비교하여 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 높으면 하이 전압을 생성하고, 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 전압 검출부;

상기 전압 검출부로부터의 하이 전압 또는 로우 전압을 인버터하는 인버터;

상기 인버터로부터 입력된 하이전압을 상기 제 2 펌핑부로부터의 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 디스차징회로로 공급하는 레벨 쉬프터;

상기 제 1 펌핑부의 입력측과 출력측 사이에 접속되어 상기 레벨 쉬프터로부터 출력되는 게이트하이전압을 일정 시간 동안 유지시켜 주는 지연소자를 포함하며,

상기 디스차징회로는 입력측이 디스차징 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차징부로 구성되며,

상기 다수의 디스차징부 각각은 상기 디스차징기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차징 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 지연소자는,

상기 제 1 펌핑부의 입력측과 출력측 사이에 접속된 하나의 커패시터를 포함하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 커패시터는 저용량 커패시터인 것을 특징으로 하는 액정표시장치.

청구항 11

제 8 항에 있어서,

상기 지연소자는,

상기 제 1 펌핑부의 입력측과 출력측 사이에 접속된 2개 이상의 커패시터들을 포함하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 커패시터들은 병렬로 접속된 것을 특징으로 하는 액정표시장치.

청구항 13

제 11 항에 있어서,

상기 커패시터들은 직렬로 접속된 것을 특징으로 하는 액정표시장치.

청구항 14

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 커패시터들은 저용량 커패시터인 것을 특징으로 하는 액정표시장치.

청구항 15

제 1 펌핑부가 인가된 고전위 전원전압을 일차 펌핑하는 단계;

제 2 펌핑부가 상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생시키는 단계;

전압 검출부가 상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전압 레벨과 기준 전압 레벨을 비교하여 검출된 고전위 전원전압 레벨이 상기 기준 전압레벨보다 높으면 하이 전압을 생성하고, 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 단계;

상기 전압 검출부로부터의 로우 전압 또는 하이 전압을 인버터에서 인버터하는 단계;

상기 인버터로부터의 로우 전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 게이트 로우 전압을 디스차지회로로 공급하는 단계;

상기 인버터로부터의 하이전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 입력된 하이전압을 상기 제 2 펌핑부로부터 발생된 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 상기 디스차지회로로 공급하는 단계; 및

상기 제 2 펌핑부의 입력측과 출력측 사이에 접속된 지연소자가 상기 레벨 쉬프터로부터 출력되는 게이트하이전압을 디스차지기간 동안 유지시키는 단계를 포함하며,

상기 디스차지회로는 입력측이 디스차지 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차지부로 구성되며,

상기 다수의 디스차정부 각각은 상기 디스차지기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차지 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함하는 액정표시장치의 구동 방법.

청구항 16

제 15 항에 있어서,

상기 지연소자는 상기 제 2 펌핑부의 입력측과 출력측 사이에 접속된 하나의 커패시터를 포함하는 액정표시장치의 구동 방법.

청구항 17

제 1 펌핑부가 인가된 고전위 전원전압을 일차 펌핑하는 단계;

제 2 펌핑부가 상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생시키는 단계;

전압 검출부가 상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전압 레벨과 기준 전압 레벨을 비교하여 검출된 고전위 전원전압 레벨이 상기 기준 전압레벨보다 높으면 하이 전압을 생성하고, 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 단계;

상기 전압 검출부로부터의 로우 전압 또는 하이 전압을 인버터에서 인버터하는 단계;

상기 인버터로부터의 로우 전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 게이트 로우 전압을 디스차지회로로 공급하는 단계;

상기 인버터로부터의 하이전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 입력된 하이전압을 상기 제

2 펌핑부로부터 발생된 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 상기 디스차징회로로 공급하는 단계; 및

상기 제 1 펌핑부의 입력측과 출력측 사이에 접속된 지연소자가 상기 레벨 쉬프터로부터 출력되는 게이트하이전압을 디스차징기간 동안 유지시키는 단계를 포함하며,

상기 디스차징회로는 입력측이 디스차징 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차징부로 구성되며,

상기 다수의 디스차징부 각각은 상기 디스차징기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차징 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함하는 액정표시장치의 구동 방법.

청구항 18

제 17 항에 있어서,

상기 지연소자는 상기 제 1 펌핑부의 입력측과 출력측 사이에 접속된 하나의 커패시터를 포함하는 액정표시장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0012] 본 발명은 액정표시장치에 관한 것으로, 특히 각 픽셀의 디스차징 시간을 일정시간 동안 지연시켜 주는 지연소자의 갯수를 최소화할 수 있는 액정표시장치 및 그의 구동 방법에 관한 것이다.

[0013] 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하며, 그리고 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 이러한 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 도 1과 같이 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

[0014] 도 1을 참조하면, 액티브 매트릭스 타입의 액정표시장치는, 디지털 입력 데이터를 감마기준전압을 기준으로 아날로그 데이터 전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여 액정셀(C1c)을 충전시킨다.

[0015] TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극과 스토리지 캐패시터(Cst)의 일측 전극에 접속된다.

[0016] 액정셀(C1c)의 공통전극에는 공통전압(Vcom)이 공급된다.

[0017] 스토리지 캐패시터(Cst)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(C1c)의 전압을 일정하게 유지하는 역할을 한다.

[0018] 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(C1c)의 화소전극에 공급한다. 이때 액정셀(C1c)의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.

[0019] 이와 같은 구조를 갖는 픽셀들을 구비하는 종래의 액정표시장치는 전원전압(VCC)의 공급이 중단되면 디스차징회로(미도시)를 이용하여 각 픽셀의 잔류 전하를 디스차징시킨다. 여기서, 디스차징회로는 전원전압(VCC)의 공급이 중단된 후 일정시간 동안 게이트하이전압(VGH)를 게이트라인(GL)에 공급함으로써, 각 픽셀의 잔류 전하가 데이터라인(DL)을 통해 디스차징되도록 한다. 이러한 디스차징회로는 다수의 저용량 커패시터들(약, 15개의 저용량 커패시터들)을 이용하여 게이트하이전압(VGH)의 공급 시간을 일정시간 동안 유지시킨다.

[0020] 이와 같이 종래의 액정표시장치는 약 15개의 저용량 커패시터들을 갖는 디스차징회로를 구비하기 때문에, 비교

적 높은 제조 비용이 소모되고 복잡한 회로 구성을 갖는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0021] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 각 픽셀의 디스차징 시간을 일정시간 동안 지연시켜 주는 지연소자의 갯수를 최소화할 수 있는 액정표시장치 및 그의 구동 방법을 제공하는 데 있다.

[0022] 본 발명의 다른 목적은 각 픽셀의 디스차징 시간을 일정시간 동안 지연시켜 주는 지연소자의 갯수를 최소화함으로써, 제조 비용을 절감함과 아울러 회로 구성을 간단화시킬 수 있는 액정표시장치 및 그의 구동 방법을 제공하는 데 있다.

발명의 구성 및 작용

[0023] 이와 같은 목적을 달성하기 위한 본 발명의 일실시예에 따른 액정표시장치는, 인가된 고전위 전원전압을 일차 펌핑하는 제 1 펌핑부; 상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생시키는 제 2 펌핑부; 상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전원전압 레벨과 기준 전압 레벨을 비교하여 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 높으면 하이 전압을 생성하고, 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 전압 검출부; 상기 전압 검출부로부터의 하이 전압 또는 로우 전압을 인버터하는 인버터; 상기 인버터로부터 입력된 하이전압을 상기 제 2 펌핑부로부터의 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 디스차징회로로 공급하는 레벨 쉬프터; 및 상기 제 2 펌핑부의 입력측과 출력측 사이에 접속되어 상기 레벨 쉬프터로부터 출력되는 상기 게이트하이전압을 디스차징기간 동안 유지시켜 주는 지연소자를 포함하며, 상기 디스차징회로는 입력측이 디스차징 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차징부로 구성되며, 상기 다수의 디스차징부 각각은 상기 디스차징기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차징 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함한다.

[0024] 본 발명의 일실시예에 따른 액정표시장치의 구동 방법은, 제 1 펌핑부가 인가된 고전위 전원전압을 일차 펌핑하는 단계; 제 2 펌핑부가 상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생시키는 단계; 전압 검출부가 상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전압 레벨과 기준 전압 레벨을 비교하여 검출된 고전위 전원전압 레벨이 상기 기준 전압레벨보다 높으면 하이 전압을 생성하고, 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 단계; 상기 전압 검출부로부터의 로우 전압 또는 하이 전압을 인버터에서 인버터하는 단계; 상기 인버터로부터의 로우 전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 게이트 로우 전압을 디스차징회로로 공급하는 단계; 상기 인버터로부터의 하이전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 입력된 하이전압을 상기 제 2 펌핑부로부터 발생된 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 상기 디스차징회로로 공급하는 단계; 및 상기 제 2 펌핑부의 입력측과 출력측 사이에 접속된 지연소자가 상기 레벨 쉬프터로부터 출력되는 게이트하이전압을 디스차징기간 동안 유지시키는 단계를 포함하며, 상기 디스차징회로는 입력측이 디스차징 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차징부로 구성되며, 상기 다수의 디스차징부 각각은 상기 디스차징기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차징 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함한다.

[0025] 본 발명의 다른 실시예에 따른 액정표시장치는, 인가된 고전위 전원전압을 일차 펌핑하는 제 1 펌핑부; 상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생시키는 제 2 펌핑부; 상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전원전압 레벨과 기준 전압 레벨을 비교하여 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 높으면 하이 전압을 생성하고, 상기 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 전압 검출부; 상기 전압 검출부로부터의 하이 전압 또는 로우 전압을 인버터하는 인버터; 상기 인버터로부터 입력된 하이전압을 상기 제 2 펌핑부로부터의 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 디스차징회로로 공급하는 레벨 쉬프터; 및 상기 제 1 펌핑부의 입력측과 출력측 사이에 접속되어 상기 레벨 쉬프터로부터 출력되는 상기 게이트하이전압을 디스차징기간 동안 유지시켜 주는 지연소자를 포함하며, 상기 디스차징회로는 입력측이 디스차징 라인과 공통 접속되고, 출력측이

게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차정부로 구성되며, 상기 다수의 디스차정부 각각은 상기 디스차정기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차정 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함한다.

[0026] 본 발명의 다른 실시예에 따른 액정표시장치의 구동 방법은, 제 1 펌핑부가 인가된 고전위 전원전압을 일차 펌핑하는 단계; 제 2 펌핑부가 상기 제 1 펌핑부에 의해 일차 펌핑된 고전위 전원전압을 이차 펌핑하여 게이트하이전압을 발생하는 단계; 전압 검출부가 상기 고전위 전원전압의 레벨을 검출하고, 검출된 고전위 전압 레벨과 기준 전압 레벨을 비교하여 검출된 고전위 전원전압 레벨이 상기 기준 전압레벨보다 높으면 하이 전압을 생성하고, 검출된 고전위 전원전압 레벨이 상기 기준 전압 레벨보다 낮으면 로우 전압을 생성하는 단계; 상기 전압 검출부로부터의 로우 전압 또는 하이 전압을 인버터에서 인버터하는 단계; 상기 인버터로부터의 로우 전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 게이트 로우 전압을 디스차정회로로 공급하는 단계; 상기 인버터로부터의 하이전압이 상기 레벨 쉬프터에 입력되면, 상기 레벨 쉬프터가 입력된 하이전압을 상기 제 2 펌핑부로부터 발생된 게이트하이전압 레벨로 쉬프트시켜 게이트하이전압을 상기 디스차정회로로 공급하는 단계; 및 상기 제 1 펌핑부의 입력측과 출력측 사이에 접속된 지연소자가 상기 레벨 쉬프터로부터 출력되는 게이트하이전압을 디스차정기간 동안 유지시키는 단계를 포함하며, 상기 디스차정회로는 입력측이 디스차정 라인과 공통 접속되고, 출력측이 게이트 라인들과 일대일로 대응되게 접속된 다수의 디스차정부로 구성되며, 상기 다수의 디스차정부 각각은 상기 디스차정기간동안 유지되는 상기 게이트 하이 전압을 공급하는 디스차정 라인과 게이트 라인 사이에 직렬 접속된 박막트랜지스터를 포함한다.

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

[0028] 도 2는 본 발명의 실시예에 따른 액정표시장치의 구성도이다.

[0029] 도 2를 참조하면, 본 발명의 액정표시장치(100)는, 다수의 데이터라인들(DL1 내지 DLm)과 다수의 게이트라인들(GL1 내지 GLn)이 대응되게 교차되며 그 교차부에 액정셀(C1c)을 구동하기 위한 박막트랜지스터(TFT : Thin Film Transistor)가 형성된 액정표시패널(110)과, 액정표시패널(110)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동부(120)와, 액정표시패널(110)의 게이트라인들(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위한 타이밍 컨트롤러(140)와, 액정표시패널(110)에 형성된 각 픽셀의 디스차정을 제어하는 디스차정 구동부(150)와, 디스차정 구동부(150)의 제어에 따라 각 픽셀을 디스차정시키는 디스차정회로(160)를 구비한다.

[0030] 액정표시패널(110)은 두 장의 유리기판 사이에 액정이 주입된다. 액정표시패널(110)의 하부 유리기판 상에는 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)이 직교된다. 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차부에는 TFT가 형성된다. TFT는 스캔펄스에 응답하여 데이터라인들(DL1 내지 DLm)상의 데이터를 액정셀(C1c)에 공급하게 된다. TFT의 게이트전극은 게이트라인들(GL1 내지 GLn)에 접속되며, TFT의 소스전극은 데이터라인들(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극과 스토리지 캐패시터(Cst)에 접속된다.

[0031] TFT는 게이트라인들(GL1 내지 GLn) 중에서 자신의 게이트단자에 접속된 게이트라인을 경유하여 게이트단자에 공급되는 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인들(DL1 내지 DLm) 중에서 TFT의 드레인단자에 접속된 데이터라인 상의 비디오 데이터는 액정셀(C1c)의 화소전극에 공급된다.

[0032] 데이터 구동부(120)는 타이밍 컨트롤러(140)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(DL1 내지 DLm)에 공급하며, 그리고 타이밍 컨트롤러(140)로부터 공급되는 디지털 데이터(RGB 데이터나 RGBW 데이터 등)를 샘플링하여 래치한 다음 감마기준전압 발생부(미도시)로부터 공급되는 감마기준전압을 기준으로 액정표시패널(110)의 액정셀(C1c)에서 계조를 표현할 수 있는 아날로그 데이터 전압으로 변환시켜 데이터라인들(DL1 내지 DLm)에 공급한다.

[0033] 게이트 구동부(130)는 타이밍 컨트롤러(140)로부터 공급되는 게이트구동 제어신호(GDC)와 게이트쉬프트클럭(GSC)에 응답하여 스캔펄스 즉, 게이트펄스를 순차적으로 발생하여 게이트라인들(GL1 내지 GLn)에 공급한다. 이때, 게이트 구동부(130)는 게이트구동전압 발생부(미도시)로부터 공급되는 게이트하이전압(VGH)과 게이트로우전압(VGL)에 따라 각각 스캔펄스의 하이레벨전압과 로우레벨전압을 결정한다. 상기 게이트구동전압 발생부는 고전위 전원전압(VDD)을 인가받아 게이트하이전압(VGH)과 게이트로우전압(VGL)을 발생시켜 게이트 구동부(130)에 공급한다. 여기서, 상기 게이트구동전압 발생부는 액정표시패널(110)의 각 픽셀에 구비된 TFT의 문턱전압 이상이

되는 게이트 하이전압(VGH)을 발생하고 TFT의 문턱전압 미만이 되는 게이트 로우전압(VGL)을 발생하여 게이트 구동부(130)로 공급한다.

[0034] 인버터(미도시)는 내부에 발생하는 구형파신호를 삼각파신호로 변화시킨 후 삼각파신호와 상기 시스템으로부터 공급되는 직류 전원전압(VCC)을 비교하여 비교결과에 비례하는 버스트디밍(Burst Dimming)신호를 발생한다. 이렇게 내부의 구형파신호에 따라 결정되는 버스트디밍신호가 발생되면, 상기 인버터 내에서 교류 전압과 전류의 발생을 제어하는 구동 IC(미도시)는 버스트디밍신호에 따라 백라이트 어셈블리(미도시)에 공급되는 교류 전압과 전류의 발생을 제어한다.

[0035] 타이밍 컨트롤러(140)는 시스템으로부터 공급되는 디지털 데이터(RGB 데이터나 RGBW 데이터 등)를 데이터 구동부(120)에 공급하고, 또한 클럭신호(CLK)에 따라 수평/수직 동기신호(H,V)를 이용하여 데이터구동 제어신호(DDC)와 게이트구동 제어신호(GDC)를 발생하여 각각 데이터 구동부(120)와 게이트 구동부(130)에 공급한다. 여기서, 데이터 구동 제어신호(DDC)는 소스스위프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하고, 게이트구동 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트스위프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함한다.

[0036] 디스차징 구동부(150)는 직류 전원전압(VCC)을 인가받아 고전위 전위전압(VDD)을 발생한 후, 이 고전위 전원전압(VDD)을 펌핑하여 스캔펄스의 하이레벨과 동일한 레벨의 게이트하이전압(VGH)을 발생한다. 그리고, 디스차징 구동부(150)는 인가되는 직류 전원전압(VCC)의 레벨을 검출하여 검출된 전압레벨에 따라 게이트로우전압(VGL)을 디스차징회로(160)로 출력하거나 게이트하이전압(VGH)을 디스차징회로(160)로 출력한다. 즉, 디스차징 구동부(150)는 액정표시장치(100)에 전원전압(VCC)이 정상적으로 구동되는 동안에는 각 픽셀의 디스차징이 수행되지 않도록 디스차징회로(160)를 제어하고, 반대로 전원전압(VCC)의 공급이 중단되면 일정시간 동안 각 픽셀의 잔류 전하가 디스차징되도록 디스차징회로(160)를 제어한다.

[0037] 디스차징회로(160)는 입력측이 디스차징라인(DCL)과 공통 접속되고 출력측이 게이트라인들(GL1 내지 GLn)과 일대일로 대응되게 접속된 제 1 내지 제 n 디스차징부(160-1 내지 160-n)로 구성된다. 즉, 첫번째 수평라인에 위치한 제 1 디스차징부(160-1)의 출력측은 첫번째 게이트라인(GL1)에 접속되고, 마지막번째 수평라인에 위치한 제 n 디스차징부(160-n)의 출력측은 마지막번째 게이트라인(GLn)에 접속된다.

[0038] 제 1 내지 제 n 디스차징부(160-1 내지 160-n)는 액정표시장치(100)에 공급되는 직류 전원전압(VCC)의 레벨이 소정의 기준전압레벨 이하로 감소될 때, 디스차징 구동부(150)로부터 스캔펄스의 하이레벨과 일치되는 레벨의 게이트하이전압(VGH)을 공급받아 액정표시패널(110)의 각 픽셀의 잔류 전하를 방전시킨다. 즉, 제 1 내지 제 n 디스차징부(160-1 내지 160-n)는 데이터라인들(DL1 내지 DLm)에 데이터전압이 공급되지 않고 있는 동안 디스차징 구동부(150)로부터 게이트하이전압(VGH)이 공급되면, 게이트하이전압(VGH)을 자신과 대응되게 접속된 게이트라인에 공급하여 각 픽셀의 박막트랜지스터(TFT)를 턴온시킴으로써 각 픽셀의 잔류 전하가 데이터라인들(DL1 내지 DLm)을 통해 디스차징되도록 한다.

[0039] 제 1 내지 제 n 디스차징부(160-1 내지 160-n)는 각각, 디스차징라인(DCL)과 대응되게 접속된 게이트라인(GL) 사이에 동일한 구조로 접속된 2개의 박막트랜지스터들(TFT)을 구비한다. 예로서, 첫번째 게이트라인(GL1)과 마지막번째 게이트라인(GLn)에 각각 접속된 제 1 및 제 n 디스차징부(160-1, 160-n)의 회로 구성을 살펴보면 다음과 같다.

[0040] 제 1 디스차징부(160-1)는 디스차징라인(DCL)과 게이트라인(GL1) 사이에 직렬 접속된 박막트랜지스터들(TFT1-1, TFT1-2)을 구비한다.

[0041] 박막트랜지스터(TFT1-1)는 디스차징라인(DCL)에 접속된 게이트 및 드레인, 그리고 게이트라인(GL1)과 박막트랜지스터(TFT1-2)의 드레인에 공통 접속된 소스를 갖는다.

[0042] 박막트랜지스터(TFT1-2)는 디스차징라인(DCL)에 접속된 게이트 및 소스, 그리고 게이트라인(GL1)과 박막트랜지스터(TFT1-1)의 소스에 공통 접속된 드레인을 갖는다. 여기서, 게이트라인(GL1)은 박막트랜지스터(TFT1-1)의 소스와 박막트랜지스터(TFT1-2)의 드레인 사이에 위치한 출력노드(N1)에 접속된다.

[0043] 디스차징 구동부(150)가 디스차징라인(DCL)을 통해 0V 이하의 게이트로우전압(VGH)을 공급하면, 박막트랜지스터들(TFT1-1, TFT1-2)이 턴오프되므로, 제 1 디스차징부(160-1)는 게이트라인(GL1)에 전압을 공급하지 않는다. 이 경우 게이트라인(GL1)에 접속된 각 픽셀의 디스차징이 수행되지 않는다.

[0044] 디스차징 구동부(150)가 디스차징라인(DCL)을 통해 게이트하이전압(VGH)을 공급하면, 박막트랜지스터들(TFT1-1,

TFT1-2)이 턴온되므로, 제 1 디스차정부(160-1)는 게이트라인(GL1)에 게이트하이전압(VGH)을 공급하여 게이트라인(GL1)에 접속된 각 픽셀의 잔류 전하를 디스차징시킨다. 이때, 게이트라인(GL1)에 접속된 각 픽셀의 박막트랜지스터(TFT)가 제 1 디스차정부(160-1)로부터 공급된 게이트하이전압(VGH)에 의해 턴온되어 픽셀의 잔류 전하를 데이터라인(DL)으로 공급한다.

[0045] 제 n 디스차정부(160-n)는 디스차장라인(DCL)과 게이트라인(GLn) 사이에 직렬 접속된 박막트랜지스터들(TFTn-1, TFTn-2)을 구비한다.

[0046] 박막트랜지스터(TFTn-1)는 디스차장라인(DCL)에 접속된 게이트 및 드레인, 그리고 게이트라인(GLn)과 박막트랜지스터(TFTn-2)의 드레인에 공통 접속된 소스를 갖는다.

[0047] 박막트랜지스터(TFTn-2)는 디스차장라인(DCL)에 접속된 게이트 및 소스, 그리고 게이트라인(GLn)과 박막트랜지스터(TFTn-1)의 소스에 공통 접속된 드레인을 갖는다. 여기서, 게이트라인(GLn)은 박막트랜지스터(TFTn-1)의 소스와 박막트랜지스터(TFTn-2)의 드레인 사이에 위치한 출력노드(Nn)에 접속된다.

[0048] 디스차징 구동부(150)가 디스차장라인(DCL)을 통해 0V 이하의 게이트로우전압(VGH)을 공급하면, 박막트랜지스터들(TFTn-1, TFTn-2)이 턴오프되므로, 제 n 디스차정부(160-n)는 게이트라인(GLn)에 전압을 공급하지 않는다. 이 경우 게이트라인(GLn)에 접속된 각 픽셀의 디스차징이 수행되지 않는다.

[0049] 디스차징 구동부(150)가 디스차장라인(DCL)을 통해 게이트하이전압(VGH)을 공급하면, 박막트랜지스터들(TFTn-1, TFTn-2)이 턴온되므로, 제 n 디스차정부(160-n)는 게이트라인(GLn)에 게이트하이전압(VGH)을 공급하여 게이트라인(GLn)에 접속된 각 픽셀의 잔류 전하를 디스차징시킨다. 이때, 게이트라인(GLn)에 접속된 각 픽셀의 박막트랜지스터(TFT)가 제 n 디스차정부(160-n)로부터 공급된 게이트하이전압(VGH)에 의해 턴온되어 픽셀의 잔류 전하를 데이터라인(DL)으로 공급한다.

[0050] 도 3은 도 2에 도시된 디스차징 구동부의 구성도이다.

[0051] 도 3을 참조하면, 디스차징 구동부(150)는, 직류 전원전압(VCC)을 인가받아 고전위 전원전압(VDD)를 발생하는 전압 발생부(151)와, 전압 발생부(151)로부터 출력된 고전위 전원전압(VDD)을 일차적으로 펌핑(Pumping)하는 제 1 펌핑부(152)와, 일차 펌핑된 고전위 전원전압(VDD)을 이차적으로 펌핑하여 게이트하이전압(VGH)을 발생시키는 제 2 펌핑부(153)와, 인가되는 직류 전원전압(VCC)의 레벨을 검출하여 검출된 전압레벨에 따라 전원전압(VCC) 레벨의 하이전압(VCC)이나 로우전압(0V)를 출력하는 전압 검출부(154)와, 전압 검출부(154)로부터 출력된 하이전압(VCC)이나 로우전압(0V)을 반전시켜 로우전압(0V)이나 하이전압(VCC)을 출력하는 인버터(155)와, 인버터(155)로부터의 로우전압(0V)의 레벨을 쉬프트시켜 게이트로우전압(VGL)을 디스차징회로(160)로 출력하거나 인버터(155)로부터의 하이전압(VCC)을 쉬프트시켜 게이트하이전압(VGH)을 디스차징회로(160)로 출력하는 레벨 쉬프터(156)와, 레벨 쉬프터(156)로부터 디스차징회로(160)로 공급되는 게이트하이전압(VGH)을 일정시간 동안 유지시켜 주는 지연소자(157)를 구비한다.

[0052] 전압 발생부(151)는 직류 전원전압(VCC)을 인가받아 고전위 전원전압(VDD)를 발생하여 제 1 펌핑부(152)로 출력하는데, 여기서 고전위 전원전압(VDD)은 액정표시패널(110)에 공급되는 전압 중 가장 높은 전압으로 전원전압(VCC)보다 높다.

[0053] 제 1 펌핑부(152)는 전압 발생부(151)로부터 출력된 고전위 전원전압(VDD)을 일차 펌핑하여 제 2 펌핑부(153)로 출력한다.

[0054] 제 2 펌핑부(153)는 제 1 펌핑부(152)에 의해 일차 펌핑된 고전위 전원전압(VDD)을 이차 펌핑하여 스캔펄스의 하이레벨과 동일한 레벨의 게이트하이전압(VGH)을 레벨 쉬프터(156)로 출력한다.

[0055] 전압 검출부(154)는 액정표시장치(100)에 공급되는 직류 전원전압(VCC)의 레벨을 검출하여 검출된 전압레벨과 소정의 기준전압 레벨을 비교하여 비교결과에 따라 전원전압(VCC) 레벨의 하이전압(VCC)이나 로우전압(0V)을 인버터(155)로 출력한다. 도 4에 도시된 바와 같이, 비교결과 검출된 전압 레벨이 소정의 기준전압(Vref) 레벨보다 높으면, 전압 검출부(154)는 전원전압(VCC) 레벨의 하이전압(VCC)을 인버터(155)로 출력하여 각 픽셀의 디스차징이 수행되지 않도록 한다. 비교결과 검출된 전압 레벨이 소정의 기준전압(Vref) 레벨보다 낮으면, 전압 검출부(154)는 로우전압(0V)을 인버터(155)로 출력하여 각 픽셀의 잔류 전하가 디스차징되도록 한다.

[0056] 즉, 도 4에 도시된 바와 같이 전압 검출부(154)는 전원전압(VCC)의 레벨이 감소되는 시점을 검출하여 전원전압(VCC) 레벨이 소정의 기준전압(Vref) 레벨 이하로 감소되는 시점부터 각 픽셀의 디스차징이 디스차징기간(Tdc)

동안 이루어지도록 한다.

[0057] 인버터(155)는 전압 검출부(154)로부터 하이전압(VCC)이 입력되면 이 하이전압(VCC)의 레벨을 반전시켜 로우전압(0V)을 레벨 쉬프터(156)로 출력하고, 반대로 전압 검출부(154)로부터 로우전압(0V)이 입력되면 이 로우전압(0V)의 레벨을 반전시켜 하이전압(VCC)을 레벨 쉬프터(156)로 출력한다.

[0058] 레벨 쉬프터(156)는 인버터(155)로부터 로우전압(0V)이 입력되면 이 로우전압(0V)의 레벨을 0V 전압보다 낮은 레벨로 쉬프트시켜 약 -5V의 게이트로우전압(VGL)을 디스차지라인(DCL)을 통해 디스차지회로(160)로 출력한다. 이때, 디스차지회로(160)에 구비된 박막트랜지스터들(TFT)은 레벨 쉬프터(156)로부터의 게이트로우전압(VGL)에 의해 턴오프되어 각 픽셀의 디스차지가 수행되지 않도록 한다.

[0059] 레벨 쉬프터(156)는 인버터(155)로부터 하이전압(VCC)이 입력되면 이 하이전압(VCC) 레벨을 제 2 펌핑부(153)로부터의 게이트하이전압(VGH) 레벨로 쉬프트시켜 스캔펄스의 레벨과 동일한 레벨의 게이트하이전압(VGH)을 디스차지라인(DCL)을 통해 디스차지회로(160)로 출력한다. 이때, 디스차지회로(160)에 구비된 박막트랜지스터들(TFT)은 레벨 쉬프터(156)로부터의 게이트하이전압(VGH)에 의해 턴온되어 각 픽셀의 잔류 전하가 디스차지되도록 한다.

[0060] 지연소자(157)는 제 2 펌핑부(153)의 입력측과 출력측 사이에 접속된 하나의 저용량 커패시터(Cd)로 이루어지며, 이 커패시터(Cd)는 레벨 쉬프터(156)로부터 디스차지회로(160)로 공급되는 게이트하이전압(VGH)을 디스차지기간(Tdc) 동안 유지시켜 준다.

[0061] 또한, 도 5에 도시된 바와 같이 지연소자(157)의 커패시터(Cd)는 제 1 펌핑부(152)의 입력측과 출력측 사이에 접속될 수도 있다.

[0062] 한편, 본 발명에서는 지연소자(157)가 하나의 커패시터(Cd)만을 구비하는 것으로 개시하고 있지만, 이에 한정되는 것은 아니다. 다른 예로서, 지연소자(157)는 병렬 접속되거나 직렬 접속된 적어도 2개의 커패시터들을 구비할 수도 있다.

[0063] 따라서, 본 발명은 하나의 커패시터를 제 1 펌핑부(152)의 양측단 사이에 접속하거나 제 2 펌핑부(153)의 양측단 사이에 접속하여 디스차지회로(160)에 공급되는 게이트하이전압(VGH)을 디스차지기간 동안 유지시켜 줌으로써, 제조 비용을 절감함과 아울러 회로 구성을 간단화시키며, 또한 점유 공간을 확보하여 그의 활용성을 높일 수 있다.

발명의 효과

[0064] 이상에서 설명한 바와 같이 본 발명은, 각 픽셀의 디스차지 시간을 일정시간 동안 지연시켜 주는 지연소자의 갯수를 최소화함으로써, 제조 비용을 절감함과 아울러 회로 구성을 간단화시키며, 또한 점유 공간을 확보하여 그의 활용성을 높일 수 있다.

[0065] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치의 각 픽셀의 등가 회로도.

[0002] 도 2는 본 발명의 실시예에 따른 액정표시장치의 구성도.

[0003] 도 3은 도 2에 도시된 디스차지 구동부의 일실시예 구성도.

[0004] 도 4는 도 2에 도시된 액정표시장치에 공급되는 전원전압의 특성도.

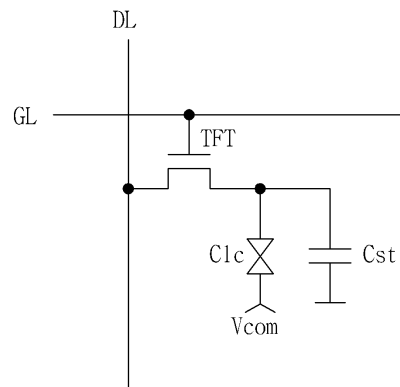
[0005] 도 5는 도 2에 도시된 디스차지 구동부의 다른 실시예 구성도.

[0006] * 도면의 주요 부분에 대한 부호의 설명 *

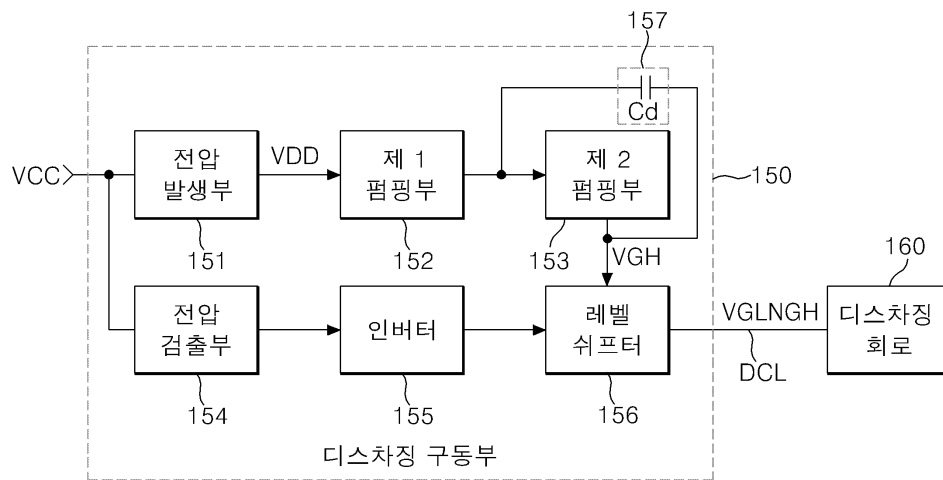
[0007] 100: 액정표시장치

110: 액정표시패널

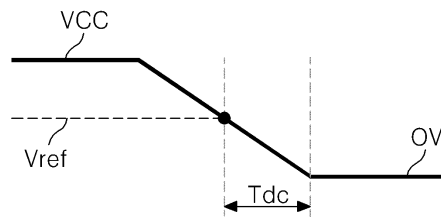
도면1



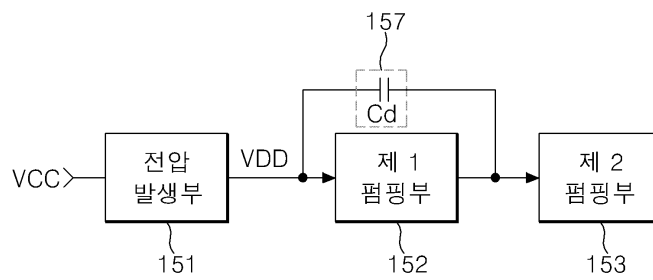
도면3



도면4



도면5



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101264714B1	公开(公告)日	2013-05-16
申请号	KR1020070008892	申请日	2007-01-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHANG IN 김창인 PARK WON YONG 박원용		
发明人	김창인 박원용		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3677 G09G3/3648 G09G3/3696 G09G2300/0408 G09G2310/0245 G09G2330/02 G09G2330/027		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020080070950A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其使延迟元件的数量最小化延迟每个像素的放电时间达预设时间。并且高电位电压电平检测产生栅极高电压的第二泵浦区域的电平，并且用第一泵浦区域泵浦初级泵浦的高电势电压：第一泵浦区域，其首先泵浦所施加的高电势电压。泵送第二个：高电位电压并检测并比较参考电压电平。并且如果它高于参考电压电平，则检测到的高电位电源电压电平产生高电压。如果它低于参考电压电平，则检测到的高电位电源电压电平包括产生低电压的电压检测部分，逆变器从电压反转高电压在检测部分或低电压时，电平移位器将从逆变器输入的高电压从第二泵浦区域移位到栅极高电压电平，并将栅极高电压提供给放电电路和延迟元件。并且放电电路的输入侧与放电电路共同连接。延迟元件连接在第二泵浦区的输入侧和输出侧之间，并且在放电期间保持从电平短路器输出的栅极高电压。多个放电部件由多个放电部件组成，其中它们一一对应于栅极线，包括提供保持放电周期的栅极高电压的放电电路和串联的薄膜晶体管。连接在栅极线之间。液晶显示器，放电，电容器，延迟。

