



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월10일
(11) 등록번호 10-1013715
(24) 등록일자 2011년01월31일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0095758

(22) 출원일자 2003년12월23일

심사청구일자 2008년12월18일

(65) 공개번호 10-2005-0064398

(43) 공개일자 2005년06월29일

(56) 선행기술조사문헌

KR1019900002110 A*

KR1020030094528 A*

KR1020010081249 A*

KR1019940000911 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

양준영

경기도부천시원미구상1

동행복한마을서해아파트2407동1303호

박용인

서울특별시양천구신월동987-1신월시영아파트15

동1004호

김상현

경기도안양시만안구석수동415-1석수LG빌리지401

동503호

(74) 대리인

박장원

전체 청구항 수 : 총 11 항

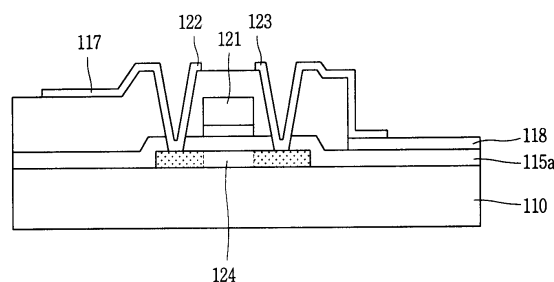
심사관 : 임동재

(54) 액정표시소자 및 그 제조방법

(57) 요약

본 발명의 액정표시소자 제조방법은 마스크수를 감소시켜 제조공정을 단순화하기 위한 것으로, 기판을 제공하는 단계; 상기 기판 위에 결정화된 실리콘으로 이루어진 액티브 패턴을 형성하는 단계; 상기 액티브 패턴이 형성된 기판 전면에서 제 1 절연막을 증착하는 단계; 상기 제 1 절연막 위에 차례대로 투명한 제 1 도전성 금속과 불투명한 제 2 도전성 금속을 증착하는 단계; 상기 제 1 도전성 금속과 제 2 도전성 금속을 패터닝하여 게이트전극과 화소전극을 동시에 형성하되, 상기 제 1 도전성 금속으로 이루어진 상기 화소전극 위에 상기 제 2 도전성 금속으로 이루어진 제 2 도전성 금속 패턴을 형성하는 단계; 상기 게이트전극과 화소전극 및 제 2 도전성 금속 패턴이 형성된 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브패턴의 소오스/드레인영역을 노출시키는 콘택홀을 형성하는 동시에 상기 화소전극 위의 제 2 절연막과 상기 제 2 도전성 금속 패턴을 제거하는 단계; 및 상기 콘택홀을 통해 상기 액티브패턴의 소오스영역과 연결되는 소오스전극 및 상기 액티브패턴의 드레인영역과 연결되는 드레인전극을 형성하는 단계를 포함한다.

대표도 - 도4f



특허청구의 범위

청구항 1

기판을 제공하는 단계;

상기 기판 위에 결정화된 실리콘으로 이루어진 액티브 패턴을 형성하는 단계;

상기 액티브 패턴이 형성된 기판 전면에 제 1 절연막을 증착하는 단계;

상기 제1 절연막 위에 차례대로 투명한 제 1 도전성 금속과 불투명한 제 2 도전성 금속을 증착하는 단계;

상기 제 1 도전성 금속과 제 2 도전성 금속을 패터닝하여 게이트전극과 화소전극을 동시에 형성하되, 상기 제 1 도전성 금속으로 이루어진 상기 화소전극 위에 상기 제 2 도전성 금속으로 이루어진 제 2 도전성 금속 패턴을 형성하는 단계;

상기 게이트전극과 화소전극 및 제 2 도전성 금속 패턴이 형성된 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브패턴의 소오스/드레인영역을 노출시키는 콘택홀을 형성하는 동시에 상기 화소전극 위의 제 2 절연막과 상기 제 2 도전성 금속 패턴을 제거하는 단계; 및

상기 콘택홀을 통해 상기 액티브패턴의 소오스영역과 연결되는 소오스전극 및 상기 액티브패턴의 드레인영역과 연결되는 드레인전극을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 액티브 패턴을 형성할 때, 상기 결정화된 실리콘으로 화소영역에 스토리지전극을 포함하는 스토리지라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 5

제 4 항에 있어서, 상기 스토리지전극은 제 1 절연막을 사이에 두고 화소전극과 스토리지 커패시터를 구성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6

삭제

청구항 7

제 1 항에 있어서, 상기 제 1 도전성 금속은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명한 도전성 물질로 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8

제 1 항에 있어서, 상기 제 2 도전성 금속은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴과 같은 불투명한 도전성 물질로 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9

제 1 항에 있어서, 상기 콘택홀을 형성하기 위한 콘택홀 마스크는 상기 화소전극 형태와 동일한 마스크 패턴을 포함하며, 상기 콘택홀 마스크를 사용하여 상기 화소전극 위의 제 2 절연막을 제거하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 10

제 1 항에 있어서, 상기 게이트전극을 형성한 후에 상기 게이트전극을 마스크로 상기 액티브 패턴에 불순물 이온을 주입하여 소오스영역과 드레인영역을 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11

제 10 항에 있어서, 상기 불순물 이온은 인과 같은 5족 원소인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 12

제 10 항에 있어서, 상기 불순물 이온은 붕소와 같은 3족 원소인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 13

제 1 항에 있어서, 상기 소오스전극은 연장되어 데이터라인을 구성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 14

제 1 항에 있어서, 상기 드레인전극은 화소영역 쪽으로 연장 형성되어 상기 화소전극에 연결하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 특히 게이트전극과 화소전극을 동시에 패터닝함으로써 박막 트랜지스터의 제조에 사용되는 마스크수를 감소시킨 액정표시소자 및 그 제조방법에 관한 것이다.
- [0017] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- [0018] 상기 액정표시장치는 크게 제 1 기판인 컬러필터(color filter) 기판과 제 2 기판인 어레이(array) 기판 및 상

기 컬러필터 기관과 어레이 기관 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

- [0019] 상기 액정표시장치의 스위칭소자로는 일반적으로 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하며, 상기 박막 트랜지스터의 채널층으로 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 사용할 수 있다.
- [0020] 한편, 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기관의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography) 공정)를 필요로 하므로 생산성 면에서 상기 마스크 공정의 수를 줄이는 방법이 요구되어지고 있다.
- [0021] 도 1은 일반적인 액정표시장치의 어레이 기관 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 NxM개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 한 화소만을 나타내었다.
- [0022] 도면에 도시된 바와 같이, 상기 어레이 기관(10)은 화소영역 위에 형성된 화소전극(18), 상기 기관(10) 위에 중첩으로 배열된 게이트라인(16)과 데이터라인(17), 그리고 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어져 있다.
- [0023] 상기 박막 트랜지스터는 게이트라인(16)에 연결된 게이트전극(21), 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 게이트전극(21)과 소오스/드레인전극(22, 23)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막(미도시) 및 상기 게이트전극(21)에 공급되는 게이트 전압에 의해 소오스전극(22)과 드레인전극(23) 간에 전도채널(conductive channel)을 형성하는 액티브층(24)을 포함한다.
- [0024] 이 때, 상기 제 1 절연막과 제 2 절연막에 형성된 제 1 콘택홀(40a)을 통해 상기 소오스전극(22)은 액티브층(24)의 소오스영역과 전기적으로 접속하며 상기 드레인전극(23)은 액티브층(24)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 드레인전극(23) 위에는 제 2 콘택홀(40b)이 형성된 제 3 절연막(미도시)이 있어, 상기 제 2 콘택홀(40b)을 통해 상기 드레인전극(23)과 화소전극(18)이 전기적으로 접속되게 된다.
- [0025] 이하, 도 2a 내지 도 2g를 참조하여 종래의 액정표시장치의 제조공정을 자세히 설명한다.
- [0026] 도 2a 내지 도 2g는 도 1에 도시된 액정표시장치의 I-I'선에 따른 제조공정을 순차적으로 나타내는 단면도로써, 도시되어 있는 박막 트랜지스터는 액티브층으로 다결정 실리콘을 이용한 다결정 실리콘 박막 트랜지스터로 게이트전극과 소오스전극 및 드레인전극이 상기 액티브층의 동일 평면에 위치하는 코플라나 구조로 되어있다.
- [0027] 먼저, 도 2a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(10) 위에 포토리소그래피 공정을 이용하여 다결정 실리콘으로 이루어진 액티브 패턴(24)을 형성한다.
- [0028] 다음으로, 도 2b에 도시된 바와 같이, 상기 액티브 패턴(24)이 형성된 기관(10) 전면에 차례대로 제 1 절연막(15a)과 도전성 금속(30)을 증착한다.
- [0029] 다음으로, 도 2c에 도시된 바와 같이, 포토리소그래피 공정을 이용하여 상기 도전성 금속(30)을 패터닝함으로써 상기 액티브 패턴(24) 위에 제 1 절연막(15a)이 개재된 게이트전극(21)을 형성한다.
- [0030] 이후, 상기 게이트전극(21) 패턴을 마스크로 액티브 패턴(24)의 소정영역에 고농도의 불순물 이온을 주입하여 p+ 또는 n+의 소오스/드레인영역(24a, 24b)을 형성한다. 상기 소오스/드레인영역(24a, 24b)은 소오스/드레인전극과의 오믹-콘택(ohmic contact)을 위해 형성한다.
- [0031] 다음으로, 도 2d에 도시된 바와 같이, 상기 게이트전극(21)이 형성된 기관(10) 전면에 제 2 절연막(15b)을 증착한 후 포토리소그래피 공정을 통해 상기 제 1 절연막(15a)과 제 2 절연막(15b)을 일부 제거하여 소오스/드레인영역(24a, 24b)과 소오스/드레인전극간의 전기적 접속을 위한 제 1 콘택홀(40a)을 형성한다.
- [0032] 이 후, 도 2e에 도시된 바와 같이, 도전성 금속을 기관(10) 전면에 증착한 후 포토리소그래피 공정을 이용하여 상기 제 1 콘택홀(40a)을 통해 소오스영역(24a)과 연결되는 소오스전극(22) 및 드레인영역(24b)과 연결되는 드레인전극(23)을 형성한다. 이 때, 상기 소오스전극(22)을 구성하는 도전성 금속의 일부는 연장되어 데이터라인(17)을 구성하게 된다.
- [0033] 다음으로, 도 2f에 도시된 바와 같이, 상기 기관(10) 전면에 아크릴(Acryl)과 같은 유기절연막인 제 3 절연막(15c)을 증착한 후 포토리소그래피 공정을 이용하여 드레인전극(23)의 일부를 노출시키는 제 2 콘택홀(40b)을

형성한다.

- [0034] 마지막으로, 도 2g에 도시된 바와 같이, 상기 제 3 절연막(15c)이 형성된 기판(10) 전면에 인듐-틴-옥사이드(Indium Tin Oxide; ITO)와 같은 투명 도전성 물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 제 2 콘택홀(40b)을 통해 드레인전극(23)과 연결되는 화소전극(18)을 형성한다.
- [0035] 상기에 설명된 바와 같이 다결정 실리콘 박막 트랜지스터를 포함하는 액정표시소자의 제조에는 액티브 패턴, 게이트전극, 제 1 콘택홀, 소오스/드레인전극, 제 2 콘택홀 및 화소전극 등을 패터닝하는데 포토리소그래피 공정을 필요로 한다.
- [0036] 상기 포토리소그래피 공정은 마스크에 그려진 패턴(pattern)을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상 공정 등 다수의 공정으로 이루어져 있다. 그 결과 다수의 포토리소그래피 공정은 생산 수율을 떨어뜨리며 형성된 박막 트랜지스터에 결함이 발생될 확률을 높이게 하는 등 문제점이 있었다.
- [0037] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- [0038] 본 발명은 상기한 문제를 해결하기 위한 것으로, 게이트전극과 화소전극을 동시에 패터닝함으로써 마스크수를 감소시켜 제조공정 및 비용이 감소된 액정표시소자 및 그 제조방법을 제공하는데 목적이 있다.
- [0039] 또한, 본 발명의 다른 목적은 액티브층으로 스토리지전극을 구성하여 스토리지 커패시터를 형성함으로써 충분한 축적용량을 확보하는 동시에 개구율이 향상된 액정표시소자 및 그 제조방법을 제공하는데 있다.
- [0040] 본 발명의 또 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

- [0041] 상기한 목적을 달성하기 위하여, 본 발명의 액정표시소자의 제조방법은 기판을 제공하는 단계; 상기 기판 위에 결정화된 실리콘으로 이루어진 액티브 패턴을 형성하는 단계; 상기 액티브 패턴이 형성된 기판 전면에서 제 1 절연막을 증착하는 단계; 상기 제 1 절연막 위에 차례대로 투명한 제 1 도전성 금속과 불투명한 제 2 도전성 금속을 증착하는 단계; 상기 제 1 도전성 금속과 제 2 도전성 금속을 패터닝하여 게이트전극과 화소전극을 동시에 형성하되, 상기 제 1 도전성 금속으로 이루어진 상기 화소전극 위에 상기 제 2 도전성 금속으로 이루어진 제 2 도전성 금속 패턴을 형성하는 단계; 상기 게이트전극과 화소전극 및 제 2 도전성 금속 패턴이 형성된 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브패턴의 소오스/드레인영역을 노출시키는 콘택홀을 형성하는 동시에 상기 화소전극 위의 제 2 절연막과 상기 제 2 도전성 금속 패턴을 제거하는 단계; 및 상기 콘택홀을 통해 상기 액티브패턴의 소오스영역과 연결되는 소오스전극 및 상기 액티브패턴의 드레인영역과 연결되는 드레인전극을 형성하는 단계를 포함한다.
- [0042] 상기 액티브 패턴은 비정질 실리콘 박막 또는 결정화된 실리콘 박막으로 이루어질 수 있다.
- [0043] 이 때, 상기 액티브 패턴을 형성할 때 동일물질로 화소영역에 스토리지전극을 포함하는 스토리지를 형성하는 단계를 추가할 수 있으며, 상기 스토리지전극은 제 1 절연막을 사이에 두고 화소전극과 스토리지 커패시터를 구성할 수 있다.
- [0044] 상기 게이트전극과 화소전극을 동시에 형성하는 단계는 상기 기판 전면에서 차례대로 제 1 도전성 금속과 제 2 도전성 금속을 증착하는 단계, 상기 제 1 도전성 금속과 제 2 도전성 금속을 패터닝하여 게이트전극과 화소전극 패턴을 형성하는 단계, 상기 기판 전면에서 제 2 절연막을 증착하는 단계, 상기 제 1 절연막과 제 2 절연막을 일부 제거하여 소오스/드레인영역과 소오스/드레인전극 사이를 전기적으로 접속하는 콘택홀을 형성하는 동시에 상기 화소전극 패턴 위의 제 2 절연막을 제거하는 단계 및 상기 화소전극 패턴 위에 남아있는 제 2 도전성 금속을 제거하는 단계로 이루어질 수 있다.
- [0045] 이 때, 상기 제 1 도전성 금속 또는 제 2 도전성 금속은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명 도전성 물질로 이루어질 수 있으며, 상기 제 2 도전성 금속은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴과 같은 불투명 도전성 물질로 이루어질 수 있다.
- [0046] 또한, 게이트전극을 형성한 후에 상기 게이트전극을 마스크로 상기 액티브 패턴의 소정 영역에 불순물 이온을

주입하여 소오스영역과 드레인영역을 형성하는 단계를 추가로 포함할 수 있으며, 이 때 상기 불순물 이온은 인과 같은 5족 원소 또는 붕소와 같은 3족 원소일 수 있다.

[0047] 또한, 상기 소오스전극의 일부는 연장 형성되어 데이터라인을 구성할 수 있으며, 상기 드레인전극의 일부는 화소영역 쪽으로 연장 형성되어 화소전극에 연결되도록 구성할 수 있다.

[0048] 또한, 본 발명의 액정표시소자는 절연기관, 상기 기관 위에 형성된 액티브 패턴, 상기 기관 전면에 증착된 제 1 절연막, 상기 기관 위에 동시에 패터닝하여 형성된 게이트전극과 화소전극, 상기 기관 위에 형성되며, 콘택홀이 형성된 제 2 절연막 및 상기 기관 위에 형성되어 콘택홀을 통해 소오스영역과 연결되는 소오스전극 및 드레인영역과 연결되는 드레인전극을 포함한다.

[0049] 이 때, 상기 소오스전극의 일부는 연장 형성되어 데이터라인을 구성하며, 상기 드레인전극의 일부는 화소영역 쪽으로 연장 형성되어 화소전극에 연결될 수 있다.

[0050] 또한, 상기 화소전극은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명 도전물질로 구성되며, 상기 게이트전극은 상기 화소전극과 동일한 투명 도전물질 위에 불투명 도전성 물질이 증착되어 있는 이중층으로 구성될 수 있다.

[0051] 한편, 상기 게이트라인과 평행한 방향으로 화소영역 내에 형성되는 스토리지전극을 추가로 포함할 수 있으며, 이 때 상기 스토리지전극은 제 1 절연막을 사이에 두고 화소전극과 스토리지 커패시터를 구성할 수 있다.

[0052] 이하, 본 발명에 대해 상세히 설명한다.

[0053] 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 박막 트랜지스터를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

[0054] 여기서, 상기 박막 트랜지스터의 채널층으로 비정질 실리콘 또는 다결정 실리콘을 사용할 수 있다.

[0055] 비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3" 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50" 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다.

[0056] 그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도($\sim 1\text{cm}^2/\text{Vsec}$)로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘 박막 트랜지스터를 이용하여 유리기관 위에 화소부와 구동회로를 동시에 집적하는 연구가 활발히 진행되고 있다.

[0057] 다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기관에 직접 제작할 수 있다는 장점이 있다.

[0058] 특히, 이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.

[0059] 또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압($\sim 25\text{V}$)을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.

[0060] 그러나, 상기 다결정 실리콘 박막 트랜지스터를 포함하는 액정표시소자의 제조에는 많은 수의 포토리소그래피 공정을 필요로 하며, 다수의 포토리소그래피 공정은 제조공정 및 비용을 증가시키는 문제점을 발생시킨다.

[0061] 상기와 같은 문제를 해결하기 위해서는 박막 트랜지스터의 제조공정을 개선하여 특히 포토리소그래피 공정의 수, 즉 사용되는 마스크수를 줄이도록 하는 것이 중요하다.

[0062] 이에 대해 본 발명에서는 게이트전극과 화소전극을 동시에 패터닝하며 콘택홀 형성 공정을 개선함으로써 마스크 수를 감소시킨 액정표시소자의 제조방법을 제공한다.

[0063] 이를 위해 본 발명에서는 화소전극을 구성하기 위한 투명 도전막을 먼저 증착한 후 연속적으로 게이트전극용 도전성 금속을 증착한 후, 포토리소그래피 공정을 이용하여 게이트전극과 화소전극을 동시에 패터닝하게 된다. 이 때, 상기 화소전극 패턴 위에 남아있는 도전성 금속은 콘택홀을 형성할 때 상기 화소전극 영역도 오픈(open)함으로써 제거될 수 있다.

- [0064] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시소자 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.
- [0065] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 NxM개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 한 화소만을 나타내었다.
- [0066] 도면에 도시된 바와 같이, 어레이 기판(110)은 화소영역 위에 형성된 화소전극(118), 상기 기판(110) 위에 종횡으로 배열된 게이트라인(116)과 데이터라인(117), 그리고 상기 게이트라인(116)과 데이터라인(117)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어져 있다.
- [0067] 상기 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 게이트전극(121)과 소오스/드레인전극(122, 123)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막 및 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(124)을 포함한다.
- [0068] 이 때, 상기 제 1 절연막과 제 2 절연막에 형성된 콘택홀(140)을 통해 상기 소오스전극(122)의 일부는 액티브층(124)의 소오스영역과 전기적으로 접속하며 상기 드레인전극(123)의 일부는 액티브층(124)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 소오스전극(122)의 다른 일부는 데이터라인(117)과 연결되어 상기 데이터라인(117)의 일부를 구성하며, 상기 드레인전극(123)의 다른 일부는 화소영역 쪽으로 연장 형성되어 화소전극(118)에 연결되게 된다.
- [0069] 상기 화소영역은 게이트라인(116)과 데이터라인(117)이 교차하여 정의되는 영역으로 화상표시 영역을 의미하며, 상기 화소전극(118)은 인듐-틴-옥사이드와 같은 빛의 투과율이 뛰어난 투명 전도성 물질을 사용할 수 있다.
- [0070] 이 때, 상기 화소전극(118)은 게이트전극(121)과 동시에 동일층에 형성함으로써 박막 트랜지스터 제작에 사용되는 마스크수를 감소시킬 수 있게 되며, 이를 다음의 액정표시소자 제조공정에서 상세히 설명한다.
- [0071] 도 4a 내지 도 4f는 도 3에 도시된 액정표시소자의 III-III'선에 따른 제조공정을 순차적으로 나타내는 단면도이다.
- [0072] 먼저, 도 4a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기판(110) 위에 채널층으로 사용할 액티브 패턴(124)을 형성한다.
- [0073] 이 때, 상기 기판(110) 위에 실리콘산화막(SiO_2)으로 구성되는 버퍼막을 형성한 후 상기 버퍼막 위에 액티브 패턴(124)을 형성할 수도 있다. 상기 버퍼막은 유리기판(110) 내에 존재하는 나트륨(natrium; Na) 등의 불순물이 공정 중에 상부층으로 침투하는 것을 차단하는 역할을 한다.
- [0074] 상기 액티브 패턴(124)은 비정질 실리콘 박막 또는 결정화된 실리콘 박막으로 형성할 수 있으나, 본 실시예에서는 결정화된 다결정 실리콘 박막을 이용하여 박막 트랜지스터를 구성하였다. 상기 다결정 실리콘 박막은 기판(110) 위에 비정질 실리콘 박막을 증착한 후 여러 가지 결정화 방식을 이용하여 형성할 수 있으며, 이를 설명하면 다음과 같다.
- [0075] 먼저, 비정질 실리콘 박막은 여러 가지 방법으로 증착하여 형성할 수 있으며, 상기 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 방법이 있다.
- [0076] 이후, 상기 비정질 실리콘 박막 내에 존재하는 수소원자를 제거하기 위한 탈수소화(dehydrogenation) 공정을 진행한 뒤 결정화를 실시한다. 이 때, 비정질 실리콘 박막을 결정화하는 방법으로는 크게 비정질 실리콘 박막을 고온 요로(furnace)에서 열처리하는 고상 결정화(Solid Phase Crystallization; SPC) 방법과 레이저를 이용하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA) 방법이 있다.
- [0077] 다음으로, 도 4b에 도시된 바와 같이, 상기 기판(110) 전면에서 게이트절연막인 제 1 절연막(115a)을 증착한다.
- [0078] 이후, 도 4c에 도시된 바와 같이, 상기 제 1 절연막(115a)이 증착된 기판(110) 전면에서 차례대로 제 1 도전성 금속(130)과 제 2 도전성 금속(135)을 증착한다.
- [0079] 이 때, 상기 제 1 도전성 금속(130)은 화소전극을 구성하기 위한 인듐-틴-옥사이드 또는 인듐-징크-옥사이드

(Indium Zinc Oxide; IZO) 등과 같은 투과율이 뛰어난 투명 도전성 물질을 사용하며, 상기 제 2 도전성 금속(135)은 게이트전극을 포함하는 게이트라인을 구성하기 위한 알루미늄, 알루미늄 합금, 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴 등과 같은 도전성 물질을 사용할 수 있다.

- [0080] 다음으로, 도 4d에 도시된 바와 같이, 포토리소그래피 공정을 이용하여 상기 제 1 도전성 금속(130)과 제 2 도전성 금속(135)을 패터닝함으로써 게이트전극(121)과 화소전극(118) 패턴을 형성한다.
- [0081] 이 때, 제 1 도전성 금속으로 구성된 화소전극(118) 패턴 위에는 상기 화소전극(118) 패턴과 동일한 형태의 제 2 도전성 금속(135) 패턴이 남아있게 된다.
- [0082] 이후, 상기 게이트전극(121)을 마스크로 상기 액티브 패턴(124)의 소정 영역에 불순물 이온을 주입하여 저항성 접촉층(ohmic contact layer)인 소오스영역(124a)과 드레인영역(124b)을 형성한다. 이 때, 상기 게이트전극(121)은 액티브 패턴(124)의 채널영역에 도펀트(dopant)가 침투하는 것을 방지하는 이온-스타퍼(ion stopper)의 역할을 하게 된다.
- [0083] 상기 액티브 패턴(124)의 전기적 특성은 주입되는 도펀트의 종류에 따라 바뀌게 되며, 상기 주입되는 도펀트가 붕소(B) 등의 3족 원소에 해당하면 P-타입 박막 트랜지스터로 인(P) 등의 5족 원소에 해당하면 N-타입 박막 트랜지스터로 동작을 하게 된다.
- [0084] 이 때, 상기 이온 주입 공정 후에 주입된 도펀트를 활성화하는 공정을 진행할 수도 있다.
- [0085] 다음으로, 도 4e에 도시된 바와 같이, 상기 게이트전극(121)과 화소전극(118) 패턴이 형성된 기판 전면에서 제 2 절연막(115b)을 증착한 후 포토리소그래피 공정을 통해 상기 제 1 절연막(115a)과 제 2 절연막(115b)을 일부 제거하여 소오스/드레인영역(124a, 124b)과 소오스/드레인전극간의 전기적 접촉을 위한 콘택홀(140)을 형성한다.
- [0086] 이 때, 상기 화소영역에 형성된 화소전극(118) 패턴과 동일한 마스크를 사용하여 상기 화소전극(118) 패턴 위에 형성된 제 2 절연막(115b)을 제거함으로써 제 2 도전성 금속(135) 패턴이 노출되도록 한다.
- [0087] 상기 제 2 절연막(115b)은 고개구율을 위한 벤조사이클로부텐(Benzocyclobutene; BCB) 또는 아크릴계 수지(resin)와 같은 투명 유기절연물질로 형성할 수 있다.
- [0088] 이후, 상기 화소전극(118) 패턴 위에 남아있는 제 2 도전성 금속(135)을 제거하여 투명 도전성 물질로 구성된 상기 화소전극(118) 패턴이 노출되도록 한다. 이 때는 별도의 마스크를 사용하는 것이 아니라 상기 제 2 절연막(115b) 패턴을 형성하는 과정에서 마스크 사용 없이 상기 제 2 도전성 금속(135)의 식각공정을 진행하는 것이다.
- [0089] 그리고, 도 4f에 도시된 바와 같이, 상기 결과물 위에 도전성 금속 물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 콘택홀(140)을 통해 소오스영역(124a)과 연결되는 소오스전극(122) 및 드레인영역(124b)과 연결되는 드레인전극(123)을 형성한다.
- [0090] 이 때, 상기 소오스전극(122)의 일부는 연장 형성되어 데이터라인(117)을 구성하며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장 형성되어 화소전극(118)에 연결되게 된다.
- [0091] 이와 같이 상기 제 1 실시예에 따른 액정표시소자의 제조공정은 게이트전극과 화소전극을 동시에 패터닝하며 콘택홀 형성 공정을 하나 줄임으로써 종래의 제조공정에 비해 2번의 마스크 공정을 줄일 수 있게 된다. 그 결과 제조공정의 단순화에 따른 수율의 증가 및 제조비용의 감소 등의 효과를 제공한다.
- [0092] 한편, 일반적으로 어레이 기판의 화소전극은 컬러필터 기판의 공통전극과 함께 액정 커패시터를 이루는데, 액정 커패시터에 인가된 전압은 다음 신호가 들어올 때까지 유지되지 못하고 누설되어 사라진다. 따라서, 인가된 전압을 유지하기 위해서는 스토리지 커패시터(storage capacitor)를 액정 커패시터에 연결해서 사용해야 한다.
- [0093] 이러한 스토리지 커패시터는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가지며, 상기와 같은 스토리지 커패시터를 포함하는 본 발명의 액정표시소자에 대한 실시예를 설명하면 다음과 같다.
- [0094] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 화소영역의 중앙에 스토리지 커패시터가 형성된 어레이 기판을 예를 들어 나타내고 있다.
- [0095] 이 때, 제 2 실시예는 도 3에 도시된 제 1 실시예의 액정표시소자와는 스토리지 커패시터를 제외하고는 동일한 구성으로 이루어져 있다.

- [0096] 도면에 도시된 바와 같이, 어레이 기관(210)은 화소영역 위에 형성된 화소전극(218), 상기 기관(210) 위에 중첩으로 배열된 게이트라인(216)과 데이터라인(217), 그리고 상기 게이트라인(216)과 데이터라인(217)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어져 있다.
- [0097] 상기 박막 트랜지스터는 게이트라인(216)에 연결된 게이트전극(221), 데이터라인(217)에 연결된 소오스전극(222) 및 화소전극(218)에 연결된 드레인전극(223)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 게이트전극(221)과 소오스/드레인전극(222, 223)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막 및 상기 게이트전극(221)에 공급되는 게이트 전압에 의해 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브층(224)을 포함한다.
- [0098] 이 때, 상기 제 1 절연막과 제 2 절연막에 형성된 콘택홀(240)을 통해 상기 소오스전극(222)의 일부는 액티브층(224)의 소오스영역과 전기적으로 접속하며 상기 드레인전극(223)의 일부는 액티브층(224)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 소오스전극(222)의 다른 일부는 데이터라인(217)과 연결되어 상기 데이터라인(217)의 일부를 구성하며, 상기 드레인전극(223)의 다른 일부는 화소영역 쪽으로 연장 형성되어 화소전극(218)에 연결되게 된다.
- [0099] 한편, 상기 화소영역의 중앙에는 게이트라인(216)과 평행한 방향으로 스토리지라인(255)이 형성되어 있다.
- [0100] 이 때, 상기 스토리지라인(255)은 화상표시 영역에서 일정부분 폭이 증가되어 스토리지전극(250)을 구성하게 된다. 또한, 상기 스토리지전극(250)을 포함하는 스토리지라인(255)은 액티브층(224)을 형성할 때 동일한 물질로 형성할 수 있다.
- [0101] 이와 같이 구성된 스토리지전극(250)과 투명전극인 화소전극(218)의 중첩되는 부분은 제 1 절연막을 사이에 두고 스토리지 커패시터를 형성하게 되며, 이를 다음의 액정표시소자 제조공정에서 자세히 설명한다.
- [0102] 도 6a 내지 도 6f는 도 5에 도시된 액정표시소자의 V-V'선에 따른 제조공정을 순차적으로 나타내는 단면도이다.
- [0103] 먼저, 도 6a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(210) 위에 채널층으로 사용될 액티브 패턴(224) 및 스토리지 커패시터용 스토리지 배선(즉, 스토리지전극(250)을 포함하는 스토리지라인)을 형성한다.
- [0104] 다음으로, 도 6b에 도시된 바와 같이, 상기 기관(210) 전면에서 게이트절연막인 제 1 절연막(215a)을 증착한다.
- [0105] 이후, 도 6c에 도시된 바와 같이, 상기 제 1 절연막(215a)이 증착된 기관(210) 전면에서 차례대로 제 1 도전성 금속(230)과 제 2 도전성 금속(235)을 증착한다.
- [0106] 이 때, 상기 제 1 도전성 금속(230)은 화소전극을 구성하기 위한 인듐-틴-옥사이드 또는 인듐-징크-옥사이드 등과 같은 투과율이 뛰어난 투명 도전성 물질을 사용하며, 상기 제 2 도전성 금속(235)은 게이트전극을 포함하는 게이트라인을 구성하기 위한 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 등과 같은 도전성 물질을 사용할 수 있다.
- [0107] 다음으로, 도 6d에 도시된 바와 같이, 포토리소그래피 공정을 이용하여 상기 제 1 도전성 금속(230)과 제 2 도전성 금속(235)을 패터닝함으로써 게이트전극(221)과 화소전극(218) 패턴을 형성한다.
- [0108] 이 때, 상기 스토리지전극(250) 위에도 화소전극(218) 패턴이 형성되어 후에 제 1 절연막(215a)을 사이에 두고 스토리지 커패시터를 구성하게 된다.
- [0109] 또한, 제 1 도전성 금속으로 구성된 화소전극(218) 패턴 위에는 상기 화소전극(218) 패턴과 동일한 형태의 제 2 도전성 금속(235) 패턴이 아직 남아있게 된다.
- [0110] 이후, 상기 게이트전극(221)을 마스크로 상기 액티브 패턴(224)의 소정 영역에 불순물 이온을 주입하여 저항성 접촉층인 소오스영역(224a)과 드레인영역(224b)을 형성한다. 이 때, 상기 게이트전극(221)은 액티브 패턴(224)의 채널영역에 도펀트가 침투하는 것을 방지하는 이온-스타퍼의 역할을 하게 된다.
- [0111] 상기 액티브 패턴(224)의 전기적 특성은 주입되는 도펀트의 종류에 따라 바뀌게 되며, 상기 주입되는 도펀트가 붕소(B) 등의 3족 원소에 해당하면 P-타입 박막 트랜지스터로 인(P) 등의 5족 원소에 해당하면 N-타입 박막 트랜지스터로 동작을 하게 된다.
- [0112] 이 때, 상기 이온 주입 공정 후에 주입된 도펀트를 활성화하는 공정을 진행할 수도 있다.

- [0113] 다음으로, 도 6e에 도시된 바와 같이, 상기 게이트전극(221)과 화소전극(218) 패턴이 형성된 기판 전면에서 제 2 절연막(215b)을 증착한 후 포토리소그래피 공정을 통해 상기 제 1 절연막(215a)과 제 2 절연막(215b)을 일부 제거하여 소오스/드레인영역(224a, 224b)과 소오스/드레인전극간의 전기적 접속을 위한 콘택홀(240)을 형성한다.
- [0114] 이 때, 상기 화소영역에 형성된 화소전극(218) 패턴과 동일한 마스크를 사용하여 상기 화소전극(218) 패턴 위에 형성된 제 2 절연막(215b)을 제거함으로써 제 2 도전성 금속(235) 패턴이 노출되도록 한다.
- [0115] 이후, 상기 화소전극(218) 패턴 위에 남아있는 제 2 도전성 금속(235)을 제거하여 투명 도전성 물질로 구성된 상기 화소전극(218) 패턴이 노출되도록 한다.
- [0116] 마지막으로, 도 6f에 도시된 바와 같이, 상기 결과물 위에 도전성 금속 물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 콘택홀(240)을 통해 소오스영역(224a)과 연결되는 소오스전극(222) 및 드레인영역(224b)과 연결되는 드레인전극(223)을 형성한다.
- [0117] 이 때, 상기 소오스전극(222)의 일부는 연장 형성되어 데이터라인(217)을 구성하며, 상기 드레인전극(223)의 일부는 화소영역 쪽으로 연장 형성되어 화소전극(218)에 연결되게 된다.
- [0118] 이와 같이 제 2 실시예에서는 액티브층을 형성할 때 동일물질로 스토리지 커패시터용 스토리지전극을 형성하여 화소전극과 스토리지 커패시터를 구성함으로써 추가적인 공정 없이 축적용량을 확보할 수 있게 된다.
- [0119] 특히, 상기 스토리지전극은 액티브층과 동일한 다결정 실리콘 박막으로 형성되므로 종래의 불투명한 금속물질로 형성되는 스토리지전극에 비해 액정표시패널의 개구율을 향상시키는 역할을 하게 된다.
- [0120] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

- [0121] 상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법은 게이트전극과 화소전극을 동시에 패터닝함으로써 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.
- [0122] 이 때, 상기 화소전극은 드레인전극과의 전기적 접속을 위한 별도의 콘택홀이 필요 없게 되어 제조공정 및 비용이 더욱 감소되게 된다.
- [0123] 또한, 본 발명은 액티브층으로 스토리지전극을 구성하여 스토리지 커패시터를 형성함으로써 충분한 축적용량을 확보하는 동시에 개구율이 향상된 액정표시소자 얻을 수 있게 된다.

도면의 간단한 설명

- [0001] 도 1은 일반적인 액정표시장치의 어레이 기판 일부를 나타내는 평면도.
- [0002] 도 2a 내지 도 2g는 도 1에 도시된 액정표시소자의 I-I'선에 따른 제조공정을 순차적으로 나타내는 단면도.
- [0003] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도.
- [0004] 도 4a 내지 도 4f는 도 3에 도시된 액정표시소자의 III-III'선에 따른 제조공정을 순차적으로 나타내는 단면도.
- [0005] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도.
- [0006] 도 6a 내지 도 6f는 도 5에 도시된 액정표시소자의 V-V'선에 따른 제조공정을 순차적으로 나타내는 단면도.
- [0007] ** 도면의 주요부분에 대한 부호의 설명 **
- | | |
|-----------------------------|----------------------|
| [0008] 110, 210 : 어레이 기판 | 115a, 215a : 제 1 절연막 |
| [0009] 115b, 215b : 제 2 절연막 | 116, 216 : 게이트라인 |
| [0010] 117, 217 : 데이터라인 | 118, 218 : 화소전극 |
| [0011] 121, 221 : 게이트전극 | 122, 222 : 소오스전극 |
| [0012] 123, 223 : 드레인전극 | 124, 224 : 액티브 패턴 |

- [0013]

124a,224a : 소오스영역

124b,224b : 드레인영역
- [0014]

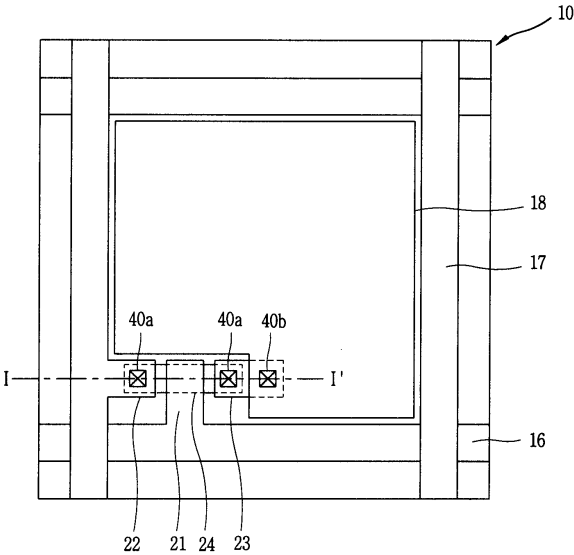
140,240 : 콘택홀

250 : 스토리지전극
- [0015]

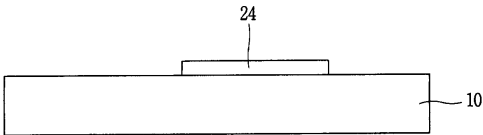
255 : 스토리지라인

도면

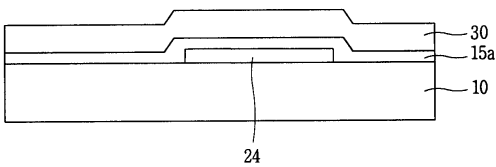
도면1



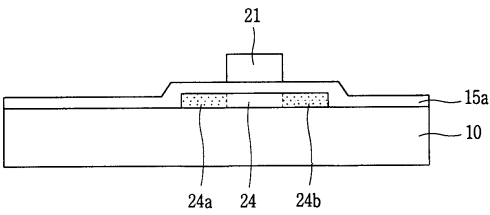
도면2a



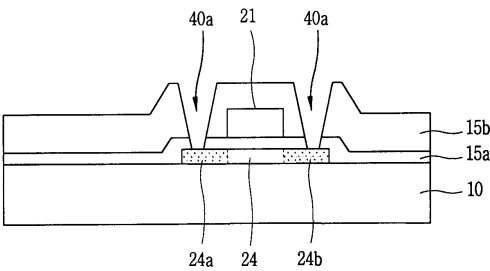
도면2b



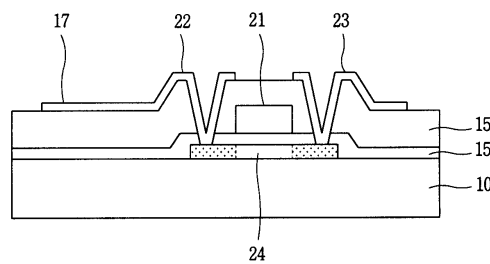
도면2c



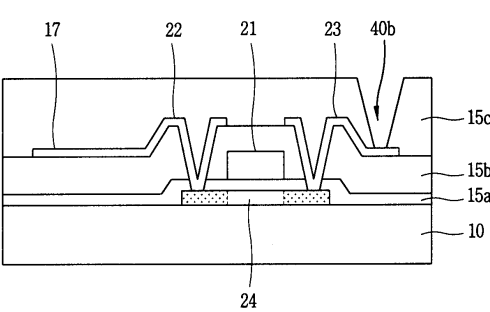
도면2d



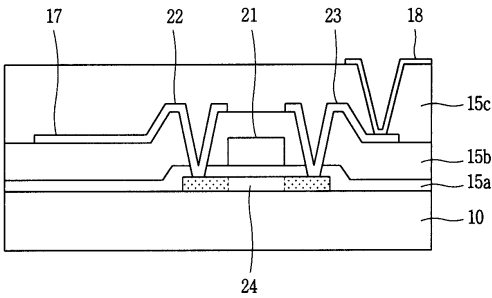
도면2e



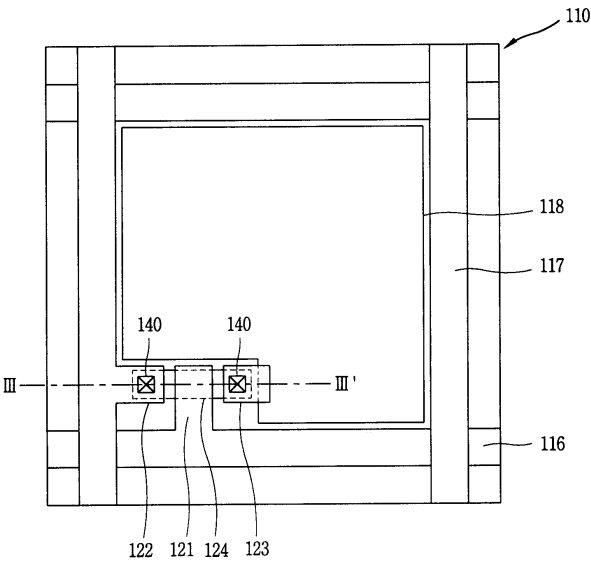
도면2f



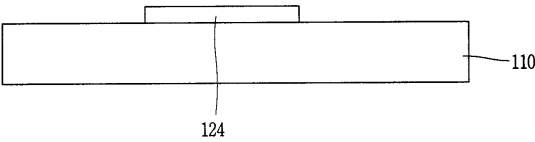
도면2g



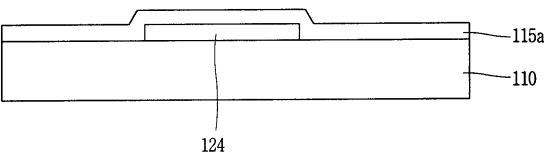
도면3



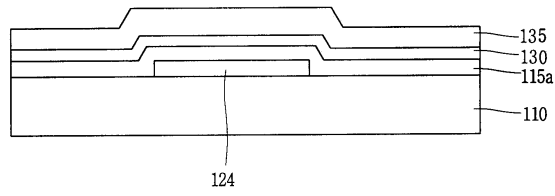
도면4a



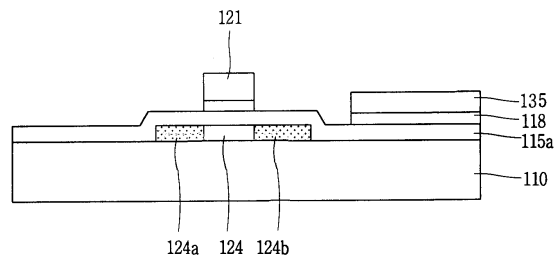
도면4b



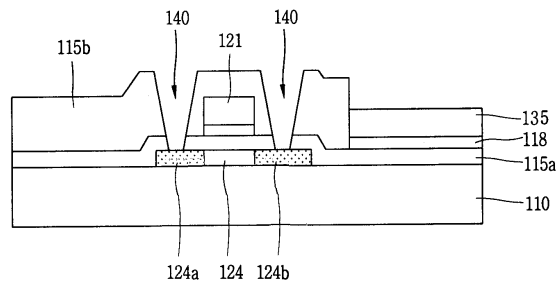
도면4c



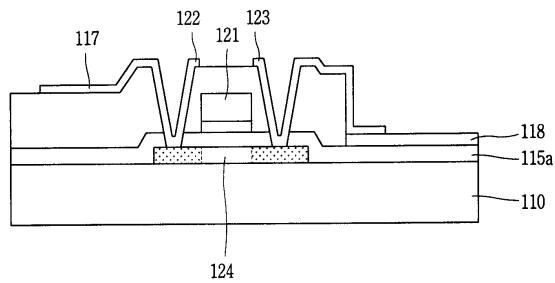
도면4d



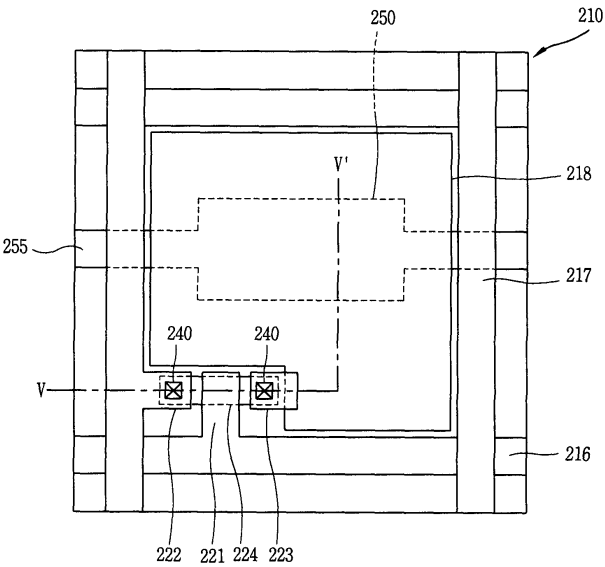
도면4e



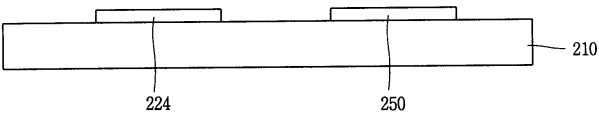
도면4f



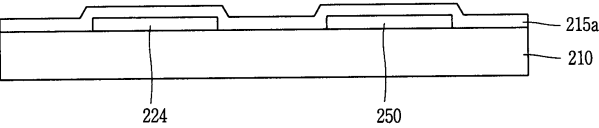
도면5



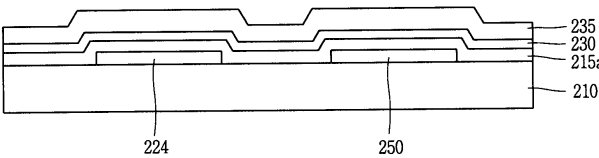
도면6a



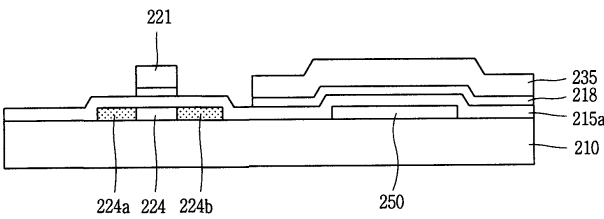
도면6b



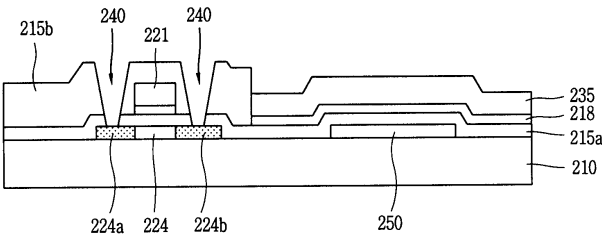
도면6c



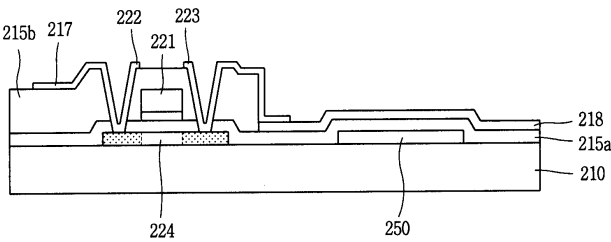
도면6d



도면6e



도면6f



专利名称(译)	液晶显示元件及其制造方法		
公开(公告)号	KR101013715B1	公开(公告)日	2011-02-10
申请号	KR1020030095758	申请日	2003-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOONYOUNG 양준영 PARK YONGIN 박용인 KIM SANGHYUN 김상현		
发明人	양준영 박용인 김상현		
IPC分类号	G02F1/1339 G02F1/133 G02F1/1362 G02F G02F1/136		
CPC分类号	G02F2001/136231 G02F1/136277 G02F1/136286 G02F1/136213		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020050064398A		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示装置的制造方法，以减少掩模的数量以简化制造工艺，包括：提供衬底；在基板上形成结晶硅的活性图案；在其上形成有源图案的基板的整个表面上沉积第一绝缘层；在第一绝缘层上依次沉积透明的第一导电金属和不透明的第二导电金属；但在形成第一导电金属和第二栅电极，并通过在同一时间图案化导电金属，上方形成包括第一导电金属的第一像素电极的第二导电性金属形成的第二导电金属图案的像素电极的。形成在其上形成所述栅电极和所述像素电极和第二导电金属图案的基板上形成第二绝缘膜；通过在形成用于暴露所述有源图案和与所述第一绝缘膜和第二绝缘膜与像素电极之上的第二绝缘膜的源/漏区的接触孔的同时去除所述第二导电金属图案选择性地除去；以及形成连接到源电极的漏区和经由该接触孔连接到所述有源图案的源极区的有源图案的漏电极。

