



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월09일
(11) 등록번호 10-0902068
(24) 등록일자 2009년06월03일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2002-0087014

(22) 출원일자 2002년12월30일

심사청구일자 2007년11월13일

(65) 공개번호 10-2004-0061210

(43) 공개일자 2004년07월07일

(56) 선행기술조사문헌

KR1020020066962 A*

KR1020020079585 A*

US05517542 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이백원

서울특별시동작구사당1동1035-10

(74) 대리인

박영우

전체 청구항 수 : 총 13 항

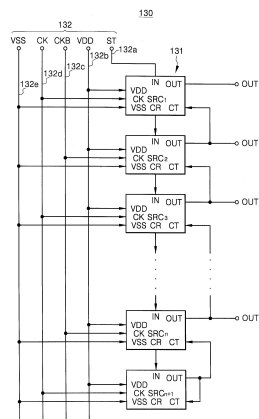
심사관 : 이성현

(54) 게이트 구동회로 및 이를 갖는 액정표시장치

(57) 요약

표시 특성을 향상시킬 수 있는 게이트 구동회로 및 이를 갖는 액정표시장치가 개시된다. 게이트 구동회로는 복수의 구동 스테이지와 더미 스테이지로 이루어진다. 복수의 구동 스테이지는 현재단 출력단자가 이전단 제어단자에 연결됨으로써 서로 종속적으로 연결되어 다수의 게이트 라인에 순차적으로 게이트 구동신호를 출력한다. 더미 스테이지는 출력단자가 복수의 구동 스테이지 중 마지막 스테이지의 제어단자 및 자신의 제어단자에 각각 연결된다. 따라서, 게이트 구동회로는 액정표시장치의 표시 특성을 향상시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 게이트 라인이 구비되는 액정표시패널에 연결된 게이트 구동회로에 있어서,

현재단 출력단자가 이전단 제어단자에 연결됨으로써 서로 종속적으로 연결되고, 매트릭스 형태로 배열된 각각의 화소 상에 형성된 스위칭 소자에 연결된 복수의 게이트 신호 라인에 상기 복수의 스위칭 소자를 구동하기 위한 게이트 구동 신호를 순차적으로 출력하는 복수의 구동 스테이지; 및

더미 출력 신호를 출력하는 더미 출력단자가 상기 복수의 구동 스테이지 중 마지막 스테이지의 제어단자에 연결되어 상기 마지막 스테이지를 온/오프시키고, 더미 제어단자가 상기 더미 출력단자에 연결되어 상기 더미 출력 신호에 의해서 온/오프되는 더미 스테이지를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 2

제1항에 있어서, 상기 더미 스테이지는,

온 전압레벨의 출력신호를 상기 더미 출력단자에 제공하는 풀업부;

상기 더미 출력단자에 오프 전압레벨의 출력신호를 제공하는 풀다운부; 및

상기 더미 제어단자로부터 제공되는 상기 온 전압레벨의 출력신호에 의해서 구동되어 상기 풀다운부를 턴-온시키면서 상기 풀업부를 턴-오프시키고, 상기 온 전압레벨의 출력신호를 소정의 시간동안 유지시키기 위한 구동부를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 3

제2항에 있어서, 상기 더미 제어 단자에 연결된 트랜지스터의 사이즈를 상기 마지막 구동 스테이지의 제어 단자에 연결된 트랜지스터의 사이즈보다 작게 형성함으로써, 상기 더미 스테이지의 온 전압레벨의 출력신호는 상기 게이트 구동신호의 전압레벨과 동일한 것을 특징으로 하는 게이트 구동회로

청구항 4

제2항에 있어서, 상기 온 전압레벨의 출력신호는 상기 마지막 스테이지의 구동을 제어할 수 있을 정도의 충분한 전압레벨을 일정 시간동안 유지하는 것을 특징으로 하는 게이트 구동회로.

청구항 5

제2항에 있어서, 상기 구동부는,

상기 풀업부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀업부를 턴-온시키고, 상기 온 전압레벨의 출력신호의 선단에 응답하여 소정의 시간 이후에 상기 풀업부를 턴-오프시키는 풀업 구동부; 및

상기 풀다운부의 입력노드에 연결되고, 상기 입력신호의 선단에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 온 전압레벨의 출력신호의 선단에 응답하여 소정의 시간 이후에 상기 풀다운부를 턴-온시키는 풀다운 구동부를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 6

제5항에 있어서, 상기 풀업 구동부는,

상기 풀업부의 입력노드와 상기 더미 출력단자와의 사이에 연결된 커패시터;

드레인이 구동전압단자에 연결되고, 게이트가 입력단자에 연결되며, 소오스가 상기 풀업부의 입력노드에 연결된 제1 NMOS 트랜지스터;

드레인과 게이트가 상기 구동전압단자에 공통으로 연결된 제2 NMOS 트랜지스터;

드레인이 상기 구동전압단자에 연결되고, 게이트가 상기 제2 NMOS 트랜지스터의 소오스에 연결되며, 소오스가 상기 풀다운부의 입력노드에 연결된 제3 NMOS 트랜지스터;

드레인이 상기 입력단자에 연결되고, 게이트가 상기 풀다운부의 입력노드에 연결되며, 소오스가 접지전압단자에 연결된 제4 NMOS 트랜지스터;

드레인이 상기 풀다운부의 입력노드에 연결되고, 게이트가 상기 입력단자에 연결되며, 소오스가 상기 접지전압단자에 연결된 제5 NMOS 트랜지스터; 및

드레인이 상기 풀업부의 입력노드에 연결되고, 게이트가 상기 풀다운부의 입력노드에 연결되며, 소오스가 상기 접지전압단자에 연결된 제6 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제6항에 있어서, 상기 풀업 구동부는 드레인이 상기 입력단자에 연결되고, 게이트가 상기 제어단자에 연결되며, 소오스가 상기 접지전압단자에 연결된 제7 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 8

제6항에 있어서, 상기 풀다운 구동부는,

드레인이 상기 풀다운부의 입력노드에 연결되고, 게이트가 상기 풀업부의 입력노드에 연결되며, 소오스가 상기 접지전압단자에 연결 제8 NMOS 트랜지스터;

드레인이 상기 제2 NMOS 트랜지스터의 소오스에 연결되고, 게이트가 상기 풀업부의 입력노드에 연결되며, 소오스가 상기 접지전압단자에 연결된 제9 NMOS 트랜지스터; 및

드레인이 상기 풀업부의 입력노드에 연결되고, 게이트가 상기 제어단자에 연결되며, 소오스가 상기 접지전압단자에 연결된 제10 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 9

매트릭스 형태로 배열된 각각의 화소 상에 형성된 스위칭 소자에 연결된 다수의 게이트 라인이 구비되는 제1 기판, 상기 제1 기판과 마주보는 제2 기판 및 상기 제1 및 제2 기판 사이에 개재된 액정층으로 이루어진 표시부; 및

현재단 출력단자가 이전단 제어단자에 연결됨으로써 서로 종속적으로 연결되고, 상기 다수의 게이트 라인에 상기 스위칭 소자를 구동하기 위한 게이트 구동 신호를 순차적으로 출력하는 복수의 구동 스테이지 및 더미 출력 신호가 출력되는 더미 출력단자가 상기 복수의 구동 스테이지 중 마지막 스테이지의 제어단자에 연결되어 상기 마지막 스테이지를 온/오프시키고, 더미 제어단자가 상기 더미 출력단자에 연결되어 상기 더미 출력신호에 의해서 온/오프되는 더미 스테이지로 이루어진 게이트 구동회로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서, 상기 더미 스테이지는,

온 전압레벨의 출력신호를 상기 더미 출력단자에 제공하는 풀업부;

상기 더미 출력단자에 오프 전압레벨의 출력신호를 제공하는 풀다운부; 및

상기 더미 제어단자로부터 제공되는 상기 온 전압레벨의 출력신호에 의해서 구동되어 상기 풀다운부를 턴-온시키면서 상기 풀업부를 턴-오프시키고, 상기 온 전압레벨의 출력신호를 소정의 시간동안 유지시키기 위한 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제9항에 있어서, 상기 게이트 구동회로는 상기 복수의 구동 스테이지 및 더미 스테이지에 각종 신호를 제공하기 위한 배선부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서, 상기 배선부는,

상기 복수의 구동 스테이지 중 홀수번째 구동 스테이지의 제1 그룹에 제1 클럭신호를 제공하는 제1 클럭배선;

상기 홀수번째 구동 스테이지의 제2 그룹 및 상기 더미 스테이지에 상기 제1 클럭신호를 제공하는 제2 클럭배선;

상기 복수의 구동 스테이지 중 짝수번째 구동 스테이지의 제3 그룹에 상기 제1 클럭신호와 반전된 위상을 갖는 제2 클럭신호를 제공하는 제3 클럭배선; 및

상기 짝수번째 구동 스테이지의 제4 그룹에 상기 제2 클럭신호를 제공하는 제4 클럭배선을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

제8항에 있어서, 상기 구동 스테이지는 상기 더미 스테이지를 구성하는 회로와 동일한 회로를 포함하되, 상기 더미 스테이지의 제10 트랜지스터에 대응되는 상기 구동 스테이지의 트랜지스터의 사이즈는 상기 더미 스테이지의 제10 트랜지스터의 사이즈보다 10배 큰 것을 특징으로 하는 게이트 구동회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 게이트 구동회로 및 이를 갖는 액정표시장치에 관한 것으로, 더욱 상세하게는 표시 특성을 향상시킬 수 있는 게이트 구동회로 및 이를 갖는 액정표시장치에 관한 것이다.
- <19> 최근 들어 정보처리기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 따라서, 사용자는 정보처리장치에서 처리된 정보를 육안으로 확인하기 위해서 디스플레이 장치를 필요로 한다.
- <20> 이러한 디스플레이 장치 중 액정 표시 장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용한 디스플레이 장치이다.
- <21> 이러한 액정표시장치 중에서도 두 장의 기관에 각각 전극이 형성되고, 각 전극에 인가되는 전압을 스위칭하기 위한 박막 트랜지스터를 구비하는 장치가 주로 사용된다. 이와 같이 박막 트랜지스터를 이용하는 액정표시장치는 비정질 액정표시장치와 다결정 액정표시장치로 구분된다.
- <22> 다결정 액정표시장치는 소자 동작을 고속화할 수 있고 소자의 저전력 구동이 가능한 장점이 있는 반면, 제조 공정이 복잡한 단점이 있다. 따라서, 상기 다결정 액정표시장치는 소형 디스플레이 장치에 주로 적용되고, 상기 비정질 액정표시장치는 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.
- <23> 최근에는 상기 비정질 액정표시장치에서도 상기 다결정 액정표시장치와 같이 액정표시패널의 유리기관 상에 게이트 구동회로를 형성함으로써 조립공정의 수를 감소하고자 하는 기술 개발에 힘쓰고 있다.
- <24> 일반적으로, 상기 게이트 구동회로는 하나의 쉬프트 레지스터와 상기 쉬프트 레지스터에 각종 신호를 제공하기 위한 배선부로 이루어진다. 상기 배선부는 여러개의 배선들로 이루어지고, 상기 배선들의 레이아웃은 상기 게이트 구동회로부터 출력되는 출력신호를 결정한다. 즉, 상기 배선들이 서로 크로스되면서 발생하는 커패시턴스에 의해서 상기 게이트 구동회로의 출력신호가 왜곡되는 현상이 발생된다.
- <25> 따라서, 상기 쉬프트 레지스터에 각종 신호를 제공하는 배선들의 잘못된 레이아웃 및 상기 배선부에 다른 배선을 추가하는 것은 상기 게이트 구동회로의 출력신호를 왜곡시키고, 그로 인해서 상기 액정표시장치의 표시 특성을 저하시킨다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서, 본 발명의 제1 목적은 표시 특성을 향상시킬 수 있는 게이트 구동회로를 제공하는 것이다.

<27> 또한, 본 발명의 제2 목적은 상기한 게이트 구동회로를 갖는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

<28> 상술한 본 발명의 제1 목적을 달성하기 위한 본 발명에 따른 게이트 구동회로는, 현재단 출력단자가 이전단 제어단자에 연결됨으로써 서로 종속적으로 연결되고, 다수의 게이트 라인에 각각 연결되어 순차적으로 게이트 구동신호를 출력하는 복수의 구동 스테이지; 및 출력단자가 상기 복수의 구동 스테이지 중 마지막 스테이지의 제어단자에 연결되어 상기 마지막 스테이지의 동작을 제어하고, 제어단자가 상기 출력단자에 연결된 더미 스테이지를 포함한다.

<29> 또한, 본 발명의 제2 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 다수의 게이트 라인이 구비되는 제1 기판, 상기 제1 기판과 마주보는 제2 기판 및 상기 제1 기판과 상기 제2 기판과의 사이에 개재된 액정층으로 이루어진 표시부; 및 현재단 출력단자가 다음단 제어단자에 연결됨으로써 서로 종속적으로 연결되고, 상기 다수의 게이트 라인에 각각 연결되어 순차적으로 게이트 구동신호를 출력하는 복수의 구동 스테이지 및 출력단자가 상기 복수의 구동 스테이지 중 마지막 스테이지의 제어단자에 연결되어 상기 마지막 스테이지의 동작을 제어하고, 제어단자가 상기 출력단자에 연결된 더미 스테이지로 이루어진 게이트 구동부를 포함한다.

<30> 이러한 게이트 구동회로 및 이를 갖는 액정표시장치에 따르면, 더미 스테이지의 출력단자가 마지막 구동 스테이지의 제어단자에 연결됨과 동시에, 자신의 제어단자에도 연결됨으로써, 액정표시장치의 표시 특성을 향상시킬 수 있다.

<31> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

<32> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 도면이고, 도 2는 도 1에 도시된 게이트 구동회로를 구성하는 쉬프트 레지스터를 구체적으로 나타낸 도면이다.

<33> 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(200)는 TFT 기판(100), 컬러필터기판(미도시) 및 상기 TFT 기판(100)과 컬러필터기판과의 사이에 개재된 액정층(미도시)으로 이루어진다.

<34> 상기 TFT 기판(100)은 영상을 표시하는 표시영역(DA) 및 상기 표시영역(DA)에 인접한 주변영역(PA)으로 구분되는데, 상기 표시영역(DA)에는 다수의 화소가 매트릭스 형태로 구비된다. 구체적으로, 상기 다수의 화소 각각은 제1 방향으로 연장된 데이터 라인(DL)과 상기 제1 방향과 직교하는 제2 방향으로 연장된 게이트 라인(GL)에 연결된 TFT(110) 및 상기 TFT(110)에 결합된 화소 전극(120)을 포함한다.

<35> 상기 다수의 화소의 개수에 따라서 상기 액정표시장치(200)의 해상도가 결정된다. 상기 다수의 화소가 $m \times n$ 개로 구비되면, 상기 해상도는 $m \times n$ 이 된다. 이때, 상기 TFT 기판(100) 상에는 m 개의 상기 데이터 라인(DL1 ~ DL m)이 구비되며 n 개의 상기 게이트 라인(GL1 ~ GL n)이 구비된다.

<36> 한편, 상기 데이터 라인들(DL1 ~ DL m)의 일단이 배치되는 데이터측 주변영역에는 데이터 구동회로(140)가 칩 형태로 부착되고, 상기 게이트 라인들(GL1 ~ GL n)의 일단이 배치되는 게이트측 주변영역에는 게이트 구동회로가 집적된다. 상기 게이트 구동회로(130)는 상기 표시영역(DA)에 상기 다수의 화소를 형성하는 공정과 동일한 공정 상에서 형성된다.

<37> 상기 게이트 구동회로(130)는 하나의 쉬프트 레지스터로 구성된다.

<38> 도 2에 도시된 바와 같이, 상기 쉬프트 레지스터(131)는 종속적으로 연결된 복수의 스테이지(SRC1 ~ SRC $n+1$)로 이루어진다. 구체적으로, 상기 쉬프트 레지스터(131)는 n 개의 구동 스테이지(SRC1 ~ SRC n) 및 더미 스테이지(SRC $n+1$)를 포함한다. 여기서, 상기 n 은 짝수이다.

<39> 상기 n 개의 구동 스테이지(SRC1 ~ SRC n)는 상기 n 개의 게이트 라인(GL1 ~ GL n)에 게이트 구동신호를 순차적으로 출력한다. 이때, 상기 n 개의 구동 스테이지(SRC1 ~ SRC n) 각각의 출력단자(OUT)는 이전 구동 스테이지의 제어단자(CT)에 각각 연결된다. 또한, 상기 n 개의 구동 스테이지(SRC1 ~ SRC n) 각각의 캐리단자(CR)는 다음 구동 스테이지의 입력단자(IN)에 연결된다.

<40> 예외적으로, 상기 n 개의 구동 스테이지(SRC1 ~ SRC n) 중 첫 번째 구동 스테이지(SRC1)의 입력단자(IN)에는 이전 스테이지의 출력신호 대신에 개시신호(ST)가 제공된다.

<41> 한편, 상기 더미 스테이지(SRC $n+1$)는 입력단자(IN)가 상기 n 개의 구동 스테이지(SRC1 ~ SRC n) 중 n 번째 구동 스테이지(SRC n)의 캐리단자(CR)에 연결되고, 출력단자(OUT)가 상기 n 번째 구동 스테이지(SRC n)의 제어단자(C

T)에 연결된 형태로 구비된다. 따라서, 상기 더미 스테이지(SRCn+1)는 상기 n 번째 구동 스테이지(SRCn)가 제대로 동작할 수 있도록 제어한다. 또한, 상기 더미 스테이지(SRCn+1)의 출력단자(OUT)는 상기 더미 스테이지(SRCn+1)의 제어단자(CT)에도 결합된다. 따라서, 상기 더미 스테이지(SRCn+1)는 자신의 출력신호에 의해서 제어된다.

- <42> 상기 쉬프트 레지스터(131)의 주변에는 상기 쉬프트 레지스터(131)에 각종 신호를 공급하기 위한 배선부(132)가 구비된다. 구체적으로, 상기 배선부(132)는 개시신호배선(132a), 구동전압배선(132b), 제1 클럭신호배선(132c) 및 제2 클럭신호배선(132d), 접지전압배선(132e)을 포함한다.
- <43> 상기 개시신호배선(132a)은 외부로부터 제공된 개시신호(ST)를 상기 첫 번째 구동 스테이지(SRC1)의 입력단자(IN)에 제공한다. 여기서 상기 개시신호(ST)는 외부의 그래픽 콘트롤러(미도시) 등으로부터 제공되는 수직동기 신호에 동기된 펄스이다. 상기 구동전압배선(132b)도 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 및 더미 스테이지(SRCn+1)에 각각 연결되어 구동전압(VDD)을 공급하고, 상기 접지전압배선(132e)은 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 및 더미 스테이지(SRCn+1)에 각각 연결되어 접지전압(VSS)을 공급한다.
- <44> 한편, 상기 제1 클럭신호배선(132c)은 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 중 홀수번째 구동 스테이지(SRC1, SRC3) 및 더미 스테이지(SRCn+1)에 제1 클럭신호(CK)를 제공하고, 제2 클럭신호배선(132d)은 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 중 짝수번째 구동 스테이지(SRC2, SRCn)에 상기 제1 클럭신호(CK)와 반전된 위상을 갖는 제2 클럭신호(CKB)를 제공한다.
- <45> 따라서, 각 스테이지의 출력신호들(OUT1 ~ OUTn)이 순차적으로 액티브 구간(하이 상태)을 가지고 발생되므로, 출력신호들(OUT1 ~ OUTn)은 액티브 구간에서 대응되는 상기 게이트 라인(GL1 ~ GLn)이 각각 순차적으로 선택된다.
- <46> 도 3은 본 발명의 일 실시예에 따른 구동 스테이지의 구성을 나타낸 회로도이고, 도 4는 도 3에 도시된 구동 스테이지의 레이아웃 도면이다. 단, 도 3 및 도 4에서는 n 번째 구동 스테이지(SRCn)의 구성을 대표적으로 제시하고, 나머지 구동 스테이지들(SRC1 ~ SRCn-1)은 상기 n 번째 구동 스테이지(SRCn)와 동일한 구성을 갖기 때문에 나머지 구동 스테이지(SRC1 ~ SRCn-1)에 대한 설명은 생략한다.
- <47> 도 3 및 도 4를 참조하면, 쉬프트 레지스터(131)의 n 번째 구동 스테이지(SRCn)는 풀업부(131a), 풀다운부(131b), 풀업 구동부(131c), 풀다운 구동부(131d), 캐리 출력부(131e)를 포함한다. 또한, 상기 n 번째 구동 스테이지(SRCn)는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭신호단자(CK), 접지전압단자(VSS), 구동전압단자(VDD) 및 캐리 출력단자(CR)를 갖는다.
- <48> 상기 풀업부(131a)는 클럭신호(CK)를 입력받는 드레인, 제1 노드(N1)에 연결된 게이트 및 상기 출력단자(OUT)에 연결된 소오스로 이루어진 제1 NMOS 트랜지스터(NT1)로 구성된다.
- <49> 상기 풀다운부(131b)는 드레인이 상기 출력단자(OUT)에 연결되고, 게이트가 제2 노드(N2)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 제2 NMOS 트랜지스터(NT2)로 구성된다.
- <50> 상기 풀업 구동부(131c)는 커패시터(C), 제3 내지 제9 NMOS 트랜지스터(NT3, NT4, NT5, NT6, NT7, NT8, NT9)로 구성된다. 상기 커패시터(C)는 제1 노드(N1)와 출력단자(OUT) 사이에 연결된다. 상기 제3 NMOS 트랜지스터(NT3)는 드레인이 상기 구동전압단자(VDD)에 연결되고, 게이트가 상기 입력단자(IN)에 연결되며, 소오스가 상기 제1 노드(N1)에 연결된 구성을 갖는다. 또한, 상기 제4 NMOS 트랜지스터(NT4)는 드레인과 게이트가 상기 구동전압단자(VDD)에 공통으로 연결되고, 소오스가 상기 제5 NMOS 트랜지스터(NT5)의 게이트에 연결된 구성을 갖는다. 한편, 상기 제5 NMOS 트랜지스터(NT5)는 드레인이 상기 구동전압단자(VDD)에 연결되고, 게이트가 상기 제4 NMOS 트랜지스터(NT4)의 소오스에 연결되며, 소오스가 상기 제2 노드(N2)에 연결된 구성을 갖는다.
- <51> 상기 제6 NMOS 트랜지스터(NT6)는 드레인이 상기 입력단자(IN)에 연결되고, 게이트가 상기 제2 노드(N2)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 또한, 상기 제7 NMOS 트랜지스터(NT7)는 드레인이 상기 제2 노드(N2)에 연결되고, 게이트가 상기 입력단자(IN)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 상기 제8 NMOS 트랜지스터(NT8)는 드레인이 상기 제1 노드(N1)에 연결되고, 게이트가 상기 제2 노드(N2)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다.
- <52> 도면에 도시하지는 않았지만, 상기 제8 NMOS 트랜지스터(NT8)의 소오스는 상기 접지전압(VSS)보다 낮은 전압레벨을 갖는 제3 전원전압이 제공되는 제3 전원전압단자에 연결될 수 있다. 한편, 상기 제9 NMOS 트랜지스터(NT9)는 드레인이 상기 입력단자(IN)에 연결되고, 게이트가 제어단자(CT)에 연결되며, 소오스가 상기 접지전압단자

(VSS)에 연결된 구성을 갖는다.

- <53> 상기 풀다운 구동부(131d)는 제10 내지 제13 NMOS 트랜지스터(NT10, NT11, NT12, NT13)를 포함한다. 구체적으로, 상기 제10 NMOS 트랜지스터(NT10)는 드레인이 상기 제2 노드(N2)에 연결되고, 게이트가 상기 제1 노드(N1)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 상기 제11 NMOS 트랜지스터(NT11)는 드레인이 상기 제4 NMOS 트랜지스터(NT4)의 소오스에 연결되고, 게이트가 상기 제1 노드(N1)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 또한, 상기 제12 NMOS 트랜지스터(NT12)는 드레인이 상기 제1 노드(N1)에 연결되고, 게이트가 상기 제어단자(CT)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 상기 제13 NMOS 트랜지스터(NT13)는 드레인이 상기 출력단자(OUT)에 연결되고, 게이트가 상기 제어단자(CT)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다.
- <54> 한편, 상기 캐리 출력부(131e)는 드레인이 상기 클럭신호단자(CK)에 연결되고, 게이트가 상기 제1 노드(N1)에 연결되며, 소오스가 상기 캐리출력단자(CR)에 연결된 제14 NMOS 트랜지스터(NT14)를 포함한다. 따라서, 상기 캐리 출력부(131e)는 다음 구동 스테이지의 입력단자(IN)에 제1 및 제2 클럭신호(CK/CKB) 중 대응되는 클럭신호의 전달을 제어한다.
- <55> 상기 n 번째 구동 스테이지(SRCn)에서, 상기 입력단자(IN)로 제공된 이전 스테이지의 캐리신호(CR)에 의해서 상기 제3 NMOS 트랜지스터(NT3)가 턴-온됨으로써 상기 제1 노드(N1)의 전위가 상기 접지전압(VSS)에서 상기 구동전압(VDD)으로 상승된다. 이후, 상기 제4 및 제5 NMOS 트랜지스터(NT4, NT5) 및 상기 제1 노드(N1)의 전위의 상승에 의해서 상기 제10 NMOS 트랜지스터(NT10)가 턴-온된다. 이처럼, 상기 제10 NMOS 트랜지스터(NT10)가 동작됨으로써 상기 제2 노드(N2)의 전위가 상기 접지전압(VSS)으로 다운된다. 그로 인해서, 상기 제2 NMOS 트랜지스터(NT2)가 턴-오프된다.
- <56> 상기 제1 노드(N1)의 전위가 상승됨에 따라서 상기 제1 NMOS 트랜지스터(NT1)가 턴-온됨으로써 상기 출력단자(OUT)에 온 전압레벨을 갖는 상기 클럭신호(CK)가 나타나기 시작하면, 출력전압이 캐패시터(C)에 부트스트랩(BOOTSTRAP)되어 상기 제1 NMOS 트랜지스터(NT1)의 게이트 전압이 상기 구동전압(VDD) 이상으로 상승하게 된다. 따라서, 상기 제1 NMOS 트랜지스터(NT1)가 완전(FULL) 도통상태를 유지하게 된다.
- <57> 이후, 상기 n 번째 구동 스테이지(SRCn)의 제어단자(CT)를 통해 온 전압레벨로 상승된 더미 스테이지의 출력신호가 제공되면, 상기 제12 및 제13 NMOS 트랜지스터(NT12, NT13)가 턴-온된다.
- <58> 상기 제12 NMOS 트랜지스터(NT12)가 턴-온됨으로써 상기 제1 노드(N1)의 전위가 상기 구동전압(VDD)에서 상기 접지전압(VSS)으로 다운된다. 그로 인해서 상기 제10 NMOS 트랜지스터(NT10)가 턴-오프된다. 따라서, 상기 제4 및 제5 NMOS 트랜지스터(NT4, NT5)를 통하여 상기 제2 노드(N2)는 상기 접지전압(VSS)에서 상기 구동전압(VDD)으로 상승된다.
- <59> 또한, 상기 제어단자(CT)로부터 제공된 상기 더미 스테이지의 출력신호는 상기 제13 NMOS 트랜지스터(NT13)를 턴-온시키고, 턴-온된 상기 제13 NMOS 트랜지스터(NT13)는 상기 제2 NMOS 트랜지스터(NT12)와 함께 상기 출력단자(OUT)에 상기 접지전압(VSS)을 출력한다.
- <60> 한편, 상기 제7 내지 8 NMOS 트랜지스터(NT7, NT8)는 이상 현상에 의하여 상기 출력단자(OUT)에 상기 구동전압(VDD)이 출력되는 상태에서 상기 입력단자(IN)로 제공되는 n-1 번째 구동 스테이지의 출력신호가 온 전압레벨로 변경될 경우에 턴-온된다.
- <61> 구체적으로, 상기 출력단자(OUT)에 상기 접지전압(VSS)이 출력되는 상태에서 상기 입력단자(IN)에 온 전압레벨을 갖는 n-1 번째 구동 스테이지의 출력신호가 제공되면, 상기 제7 및 제8 NMOS 트랜지스터(NT7, NT8)가 턴-온되면서 상기 입력단자로 제공된 상기 n-1 번째 구동 스테이지의 출력신호를 상기 접지전압(VSS)으로 방전시킨다.
- <62> 또한, 상기 제9 NMOS 트랜지스터(NT9)는 상기 제어단자(CT)를 통해 제공된 상기 더미 스테이지의 출력신호에 의해서 동작되어 상기 입력단자(IN)로 제공되는 온 전압레벨로 변경된 n-1 번째 구동 스테이지의 출력신호를 방전시킨다. 따라서, 상기 제1 NMOS 트랜지스터(NT1)가 턴-온되는 것이 방지된다.
- <63> 한편, 상기 제어단자(CT)를 통해 인가되는 상기 더미 스테이지의 출력신호가 오프 전압레벨로 하강되어 상기 제12 NMOS 트랜지스터(NT12)가 턴-오프되더라도 상기 제2 노드(N2)는 상기 제4 및 제5 NMOS 트랜지스터(NT4, NT5)를 통하여 상기 구동전압(VDD)으로 바이어스된 상태를 유지한다. 따라서, 상기 제2 NMOS 트랜지스터(NT2)는 턴-온 상태를 유지하여 상기 출력단자(OUT)에는 상기 접지전압(VSS)이 계속 출력된다.

- <64> 도 5는 본 발명의 일 실시예에 따른 더미 스테이지의 구성을 나타낸 회로도이고, 도 6은 도 5에 도시된 구동 스테이지의 레이아웃 도면이다. 단, 도 5 및 6을 설명하는데 있어서, 상기 도 3 및 도 4에 도시된 n 번째 구동 스테이지(SRCn)와 동일한 구성 요소에 대해서는 동일한 참조 부호를 병기하고 그에 대응하는 설명은 생략한다.
- <65> 도 5 및 도 6을 참조하면, 더미 스테이지(SRCn+1)는 상기 n 번째 구동 스테이지(SRCn)와 같이 풀업부(131a), 풀다운부(131b), 풀업 구동부(131c), 풀다운 구동부(131f) 및 캐리 출력부(131e)를 포함한다. 여기서, 상기 더미 스테이지(SRCn+1)는 상기 n 번째 구동 스테이지와 동일한 구조를 갖지만, 상기 더미 스테이지(SRCn+1)의 제어단자(CT)에는 상기 더미 스테이지(SRCn+1)의 출력단자(OUT)가 연결된다. 따라서, 상기 더미 스테이지(SRCn+1)는 자신의 출력신호에 의해서 제어된다.
- <66> 이때, 상기 더미 스테이지(SRCn+1)의 출력 신호를 소정의 시간동안 유지하기 위하여 상기 제어단자(CT)에 직접적으로 연결된 트랜지스터의 사이즈가 변경되거나 또는 삭제된다.
- <67> 구체적으로, 상기 더미 스테이지(SRCn+1)에서 제12 NMOS 트랜지스터(NT12')의 사이즈는 상기 n 번째 구동 스테이지의 제12 NMOS 트랜지스터(NT12)의 사이즈보다 약 10배 정도 작다.
- <68> 트랜지스터의 사이즈는 트랜지스터 채널의 길이에 대한 그의 폭의 비율이다. 일반적으로, 길이는 정해져 있기 때문에 상기 트랜지스터의 사이즈는 채널의 폭에 의해서 결정된다. 따라서, 상기 더미 스테이지(SRCn+1)에 이용되는 상기 제12 NMOS 트랜지스터(NT12')의 폭은 상기 n 번째 구동 스테이지에 이용되는 상기 제12 NMOS 트랜지스터(NT12)의 폭보다 약 10배 정도 작다.
- <69> 따라서, 상기 더미 스테이지(SRCn+1)는 온 전압레벨을 갖는 자신의 출력신호에 의해서 상기 제12 NMOS 트랜지스터(NT12')가 턴-온되기까지 소정의 시간이 소요된다.
- <70> 즉, 온 전압레벨로 상승된 상기 더미 스테이지(SRCn+1)의 출력신호가 상기 더미 스테이지(SRCn+1)의 제어단자(CT)로 피드백 되더라도, 상기 제12 NMOS 트랜지스터(NT12')의 사이즈에 의해서 상기 제12 NMOS 트랜지스터(NT12')가 턴-온되기까지는 소정의 시간이 소요된다. 따라서, 상기 제10 NMOS 트랜지스터(NT10)도 바로 턴-오프되지 않기 때문에, 상기 제2 노드(N2)는 상기 접지전압(VSS)을 소정의 시간동안 유지한다. 이로써, 상기 더미 스테이지(SRCn+1)의 출력단자는 소정의 시간동안 온 전압레벨을 유지할 수 있다.
- <71> 소정의 시간이 경과된 이후, 상기 제12 NMOS 트랜지스터(NT12')가 턴-온되면, 그에 대응하여 상기 제10 NMOS 트랜지스터(NT10)가 턴-오프되고, 상기 제2 노드(N2)는 상기 접지전압(VSS)에서 상기 구동전압(VDD)으로 상승된다. 상기 제2 노드(N2)의 전위가 상기 구동전압(VDD)으로 상승됨에 따라서 상기 제2 NMOS 트랜지스터(NT2)가 턴-온되어 상기 더미 스테이지(SRCn+1)의 출력단자(OUT)에는 상기 접지전압(VSS)이 출력된다.
- <72> 또한, 상기 더미 스테이지(SRCn+1)에서는 상기 n 번째 구동 스테이지(SRCn)에서 제어단자(CT)에 연결된 상기 제13 NMOS 트랜지스터(NT13)가 제거된 상태로 구성된다. 따라서, 턴-온 상태에 있는 상기 제2 NMOS 트랜지스터(NT2)만이 상기 출력단자(OUT)에 상기 접지전압(VSS)을 출력함으로써, 상기 출력단자(OUT)에 상기 접지전압(VSS)이 출력되는 시간을 늦출 수 있다.
- <73> 도 7은 구동 스테이지와 동일한 구조로 구성된 더미 스테이지의 출력 파형도이고, 도 8은 더미 스테이지가 도 5에 도시된 회로도로 구성된 경우의 출력 파형도이다. 단, 도 7 및 도 8에서 X축은 시간(μ s)이고, Y 축은 전압(V)이다.
- <74> 도 7을 참조하면, 구동 스테이지들이 순차적으로 하이 구간을 갖는 출력신호(OUTn-1, OUTn)를 출력한 이후, 더미 스테이지가 동작된다. 상기 더미 스테이지는 상기 구동 스테이지들과 동일한 회로도로 구성되고, 상기 더미 스테이지의 출력단자가 상기 더미 스테이지의 제어단자에 연결된다. 이때, n 번째 구동 스테이지의 출력신호(OUTn)에 의해서 상기 더미 스테이지의 출력단자로부터 출력되는 출력신호(OUTn+1')가 온 전압레벨로 변경됨과 동시에 온 전압레벨로 변경된 상기 출력신호(OUTn+1')는 상기 n 번째 구동 스테이지의 제어단자 및 자신의 제어단자로 각각 제공된다.
- <75> 이후, 상기 제어단자를 통해 제공된 자신의 상기 출력신호(OUTn+1')에 의해서 상기 더미 스테이지의 출력단자로부터 출력되는 상기 출력신호(OUTn+1')는 턴-오프 전압레벨로 다운되었다. 이로써, 상기 더미 스테이지의 출력신호(OUTn+1')가 소정의 기간동안 온 전압레벨을 유지하지 못하고 바로 오프 전압레벨로 다운되었다.
- <76> 한편, 도 8에 도시된 바와 같이 상기 더미 스테이지가 도 5에 도시된 회로도로 구성되면, 상기 더미 스테이지의 출력신호(OUTn+1)는 안정적으로 나타났다.

- <77> 상기 구동 스테이지들이 순차적으로 하이 구간을 갖는 출력신호(OUTn-1, OUTn)를 출력한 이후, 상기 더미 스테이지가 동작된다. 즉, n 번째 구동 스테이지의 출력신호(OUTn+1)에 의해서 상기 더미 스테이지의 출력단자로부터 출력되는 출력신호(OUTn+1)가 온 전압레벨로 변경됨과 동시에 온 전압레벨로 변경된 상기 출력신호(OUTn+1)는 상기 n 번째 구동 스테이지의 제어단자 및 자신의 제어단자로 각각 제공된다.
- <78> 이후, 상기 더미 스테이지의 제어단자를 통해 상기 출력신호(OUTn+1)가 제공되더라도, 상기 제어단자에 연결된 트랜지스터의 사이즈가 작기 때문에 상기 더미 스테이지의 출력단자로부터 출력되는 상기 출력신호(OUTn+1)가 오프 전압레벨로 다운되기까지는 소정의 시간이 소요되었다. 따라서, 상기 더미 스테이지의 출력신호(OUTn+1)는 소정의 기간동안 온 전압레벨을 유지할 수 있다.
- <79> 이때, 상기 하이 구간을 갖는 구동 스테이지들의 출력신호와 온 전압레벨을 갖는 상기 더미 스테이지의 출력신호는 거의 동일한 전압레벨을 갖고 발생되었다. 따라서, 상기 n 번째 구동 스테이지는 상기 더미 스테이지의 출력신호에 의해서 안정적으로 구동될 수 있다.
- <80> 도 9는 본 발명의 다른 실시예에 따른 쉬프트 레지스터의 구동 스테이지 및 더미 스테이지의 구성을 나타낸 회로도이다.
- <81> 도 9를 참조하면, 본 발명의 다른 실시예에 따른 쉬프트 레지스터(133)는 n 개의 구동 스테이지(SRC1 ~ SRCn) 및 더미 스테이지(SRCn+1)로 이루어진다. 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 중 n 번째 구동 스테이지(SRCn)는 폴업부(133a), 폴다운부(133b), 폴업 구동부(133c) 및 폴다운 구동부(133d)를 포함한다.
- <82> 상기 폴업부(133a)는 드레인을 통해 클럭신호(CK)를 입력받고, 게이트가 제3 노드(N3)에 연결되며, 출력단자(OUT)에 소오스가 연결된 제1 NMOS 트랜지스터(NT1)로 구성된다.
- <83> 상기 폴다운부(133b)는 출력단자(OUT)에 드레인이 연결되고, 제4 노드(N4)에 게이트가 연결되고, 소오스가 접지 전압단자(VSS)에 연결된 제2 NMOS 트랜지스터(NT2)로 구성된다.
- <84> 상기 폴업 구동부(133c)는 커패시터(C), 제3 내지 제5 NMOS 트랜지스터(NT3, NT4, NT5)로 구성된다. 상기 커패시터(C)는 상기 제3 노드(N3)와 출력단자(OUT) 사이에 연결된다. 상기 제3 NMOS 트랜지스터(NT3)는 드레인이 구동전압단자(VDD)에 연결되고, 게이트가 입력단자(IN)에 연결되며, 소오스가 상기 제3 노드(N3)에 연결된 구성을 갖는다. 상기 제4 NMOS 트랜지스터(NT4)는 드레인이 상기 제3 노드(N3)에 연결되고, 게이트가 제어단자(CT)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 상기 제5 NMOS 트랜지스터(NT5)는 드레인이 상기 제3 노드(N3)에 연결되고, 게이트가 상기 제4 노드(N4)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 상기 제3 NMOS 트랜지스터(NT3)의 사이즈는 상기 제5 NMOS 트랜지스터(NT5)의 사이즈보다 약 2배 정도 크다.
- <85> 상기 폴다운 구동부(133d)는 제6 및 제7 NMOS 트랜지스터(NT6, NT7)로 구성된다. 상기 제6 NMOS 트랜지스터(NT6)는 드레인과 게이트가 상기 구동전압단자(VDD)에 공통으로 연결되고, 소오스가 상기 제4 노드(N4)에 연결된 구성을 갖는다. 상기 제7 NMOS 트랜지스터(NT7)는 드레인이 상기 제4 노드(N4)에 연결되고, 게이트가 상기 제3 노드(N3)에 연결되며, 소오스가 상기 접지전압단자(VSS)에 연결된 구성을 갖는다. 상기 제6 NMOS 트랜지스터(NT6)의 사이즈는 상기 제7 NMOS 트랜지스터(NT7)의 사이즈보다 약 16배 정도 크다.
- <86> 상기 n 번째 구동 스테이지(SRCn)의 입력단자로 n-1 번째 구동 스테이지의 출력신호가 제공되면, 상기 제7 NMOS 트랜지스터(NT7)가 턴-온된다. 상기 제7 NMOS 트랜지스터가 동작됨으로써 상기 제4 노드(N4)의 전위가 상기 구동전압(VDD)에서 상기 접지전압(VSS)으로 다운되고, 그로 인해서 상기 제2 NMOS 트랜지스터(NT2)가 턴-오프된다. 이후, 상기 제7 NMOS 트랜지스터(NT7)가 턴온되더라도, 상기 제6 NMOS 트랜지스터(NT6)의 사이즈가 상기 제7 NMOS 트랜지스터(NT7)의 사이즈보다 약 16배정도 크기 때문에 상기 제4 노드(N4)는 상기 접지전압(VSS)으로 계속 유지된다.
- <87> 상기 n 번째 구동 스테이지(SRCn)의 제어단자(CT)를 통해 온 전압레벨로 상승된 상기 더미 스테이지의 출력신호가 제공되면, 상기 제7 NMOS 트랜지스터(NT7)가 턴-오프된다. 따라서, 상기 제6 NMOS 트랜지스터(NT6)를 통하여 상기 제4 노드(N4)는 상기 접지전압(VSS)에서 상기 구동전압(VDD)으로 상승된다.
- <88> 이후, n 번째 구동 스테이지의 제어단자(CT)를 통해 인가되는 상기 더미 스테이지의 출력신호가 오프 전압레벨로 다운되어 상기 제4 NMOS 트랜지스터(NT4)가 턴-오프되더라도, 상기 제4 노드(N4)는 상기 제6 NMOS 트랜지스터(NT6)를 통하여 상기 구동전압(VDD)으로 바이어스된다. 따라서, 상기 제2 NMOS 트랜지스터(NT2)는 턴-온 상태를 유지하여 상기 출력단자(OUTn)에는 상기 접지전압(VSS)이 계속 출력된다.

- <89> 한편, 도 9에 도시된 바와 같이 상기 더미 스테이지(SRCn+1)는 상기 n 번째 구동 스테이지(SRCn)와 같이 풀업부(133a), 풀다운부(133b), 풀업 구동부(133c) 및 풀다운 구동부(133d)를 포함한다. 여기서, 상기 더미 스테이지(SRCn+1)는 상기 n 번째 구동 스테이지(SRCn)와 동일한 구조를 갖지만, 상기 더미 스테이지(SRCn+1)의 제어단자(CT)에는 상기 더미 스테이지(SRCn+1)의 출력단자(OUT)가 연결된다. 따라서, 상기 더미 스테이지(SRCn+1)는 자신의 출력신호에 의해서 제어된다. 이때, 온 전압레벨을 갖는 상기 더미 스테이지(SRCn+1)의 출력 신호를 소정의 시간동안 유지시키기 위하여 상기 제어단자(CT)에 직접적으로 연결된 트랜지스터의 사이즈가 변경된다.
- <90> 구체적으로, 상기 더미 스테이지(SRCn+1)에서 제4 NMOS 트랜지스터(NT4')의 사이즈는 상기 n 번째 구동 스테이지(SRCn)의 제4 NMOS 트랜지스터(NT4)의 사이즈보다 약 10배 정도 작다. 따라서, 상기 더미 스테이지(SRCn+1)는 온 전압레벨을 갖는 자신의 출력신호에 의해서 상기 제4 NMOS 트랜지스터(NT4')가 턴-온되기까지 소정의 시간이 소요된다.
- <91> 즉, 상기 더미 스테이지(SRCn+1)의 제어단자(CT)를 통해 온 전압레벨로 상승된 상기 더미 스테이지(SRCn+1)의 출력신호가 제공되더라도, 상기 제4 NMOS 트랜지스터(NT4')가 턴-온되는데 소정의 시간이 소요되기 때문에 상기 제7 NMOS 트랜지스터(NT7)도 바로 턴-오프되지 않는다. 따라서, 상기 제4 노드(N4)는 상기 접지전압(VSS)을 소정의 시간동안 유지한다. 이로써, 상기 더미 스테이지(SRCn+1)는 소정의 시간동안 온 전압레벨을 유지할 수 있다.
- <92> 소정의 시간이 경과된 이후, 상기 제4 NMOS 트랜지스터(NT4')가 턴-온되면, 그에 대응하여, 상기 제7 NMOS 트랜지스터(NT7)가 턴-오프됨으로써 상기 제4 노드(N4)는 상기 접지전압(VSS)에서 상기 구동전압(VDD)으로 상승된다. 상기 제4 노드(N4)의 전위가 구동전압(VDD)으로 상승됨에 따라서 상기 제2 NMOS 트랜지스터(NT2)가 턴-온되어 상기 더미 스테이지(SRCn+1)의 출력단자(OUT)에는 상기 접지전압(VSS)이 출력된다.
- <93> 이처럼, 상기 더미 스테이지(SRCn+1)의 제어단자(CT)를 상기 더미 스테이지(SRCn+1)의 출력단자(OUT)에 연결시킴으로써, 상기 더미 스테이지(SRCn+1)가 안정적으로 동작할 수 있다. 또한, 상기 게이트 구동회로는 상기 더미 스테이지(SRCn+1)의 제어단자(CT)에 제어신호를 제공하기 위하여 외부로부터 제공되는 별도의 배선을 필요로 하지 않음으로써 추가하지 않아도 된다.
- <94> 따라서, 상기 추가 배선(미도시)이 추가됨으로써 다른 배선들과 상기 추가 배선과의 사이에서 발생하는 커패시턴스에 의해서 상기 게이트 구동회로로 제공되는 각종 신호가 지연되는 현상을 방지할 수 있다.
- <95> 도 10은 본 발명의 다른 실시예에 따른 게이트 구동회로를 나타낸 도면이다.
- <96> 도 10을 참조하면, 본 발명의 다른 실시예에 따른 게이트 구동회로(150)는 하나의 쉬프트 레지스터(151)로 이루어진다. 또한, 상기 쉬프트 레지스터(151)의 주변에는 상기 쉬프트 레지스터(151)에 각종 신호를 공급하기 위한 배선부(152)가 구비된다.
- <97> 구체적으로, 상기 배선부(152)는 개시신호배선(152a), 구동전압배선(152b), 제1 클럭배선(152c), 제2 클럭배선(152d), 접지전압배선(152e), 제3 클럭배선(152f), 제4 클럭배선(152g)을 포함한다.
- <98> 상기 제1 클럭배선(152c)은 n 개의 구동 스테이지(SRC1 ~ SRCn) 중 홀수 번째 구동 스테이지(SRC1, SRC3, ..., SRCn-1)의 제1 그룹에 제1 클럭신호(CK1)를 제공하고, 상기 제3 클럭배선(152f)은 상기 홀수번째 구동 스테이지(SRC1, SRC3, ..., SRCn-1)의 제2 그룹 및 상기 더미 스테이지(SRCn+1)에 상기 제1 클럭신호(CK)를 제공한다. 한편, 상기 제2 클럭배선(152d)은 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 중 짝수번째 구동 스테이지(SRC2, ..., SRCn)의 제3 그룹에 상기 제1 클럭신호(CK)와 반전된 위상을 갖는 제2 클럭신호(CKB)를 제공하고, 상기 제4 클럭배선(152g)은 상기 짝수번째 구동 스테이지(SRC2, ..., SRCn)의 제4 그룹에 상기 제2 클럭신호(CKB)를 제공한다.
- <99> 따라서, 상기 n 개의 구동 스테이지(SRC1 ~ SRCn)들 중 일부는 상기 제1 및 제2 클럭배선(152c, 152d)을 통해 각각 제공되는 상기 제1 및 제2 클럭신호(CK, CKB)에 의해 동작되고, 나머지 일부는 상기 제3 및 제4 클럭배선(152f, 152g)을 통해 각각 제공되는 상기 제1 및 제2 클럭신호(CK, CKB)에 의해 동작된다. 이로써, 첫 번째 게이트 라인으로부터 n 번째 게이트 라인까지 순차적으로 온 전압레벨구간을 갖고 발생하는 상기 제1 및 제2 클럭신호(CK, CKB)의 지연 시간을 최소화하여 각 스테이지로부터의 출력신호가 왜곡되는 현상을 방지할 수 있다.
- <100> 한편, 상기 제3 및 제4 클럭배선(152f, 152g)은 다른 배선들을 가로지르는 연결 라인들에 결합되어 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 각각에 연결되는 것이 아니고, 상기 제1 및 제2 클럭배선(152c, 152d)의 일단에 결합되어 상기 n 개의 구동 스테이지(SRC1 ~ SRCn) 각각에 연결된다.

- <101> 구체적으로, 상기 제1 클럭신호(CK)가 입력되는 상기 제3 클럭배선(152f)의 일단과 상기 제1 클럭신호(CK)가 입력되는 상기 제1 클럭배선(152c)의 일단과 동일한 위치에 배치된다. 또한, 상기 제2 클럭신호(CKB)가 입력되는 상기 제2 클럭배선(152d)의 일단과 상기 제2 클럭신호(CKB)가 입력되는 상기 제4 클럭배선(152g)의 일단과 동일한 위치에 배치된다. 즉, 상기 제1 내지 제4 클럭배선(152c, 152d, 152f, 152g)의 입력단자는 상기 n 개의 구동 스테이지(SRC1 ~ SRCn)의 첫 번째 구동 스테이지(SRC1)에 인접한 위치에 배치된다.
- <102> 이때, 상기 제1 클럭배선(152c)의 다른 일단은 상기 제3 클럭배선(152f)의 다른 일단과 결합되고, 결합되는 위치는 더미 스테이지(SRCn+1)에 인접한 위치이다. 또한, 상기 제2 클럭배선(152d)의 다른 일단은 상기 제4 클럭배선(152g)의 다른 일단과 결합되고, 결합되는 위치는 상기 더미 스테이지(SRCn+1)에 인접한 위치이다.
- <103> 따라서, 상기 제3 및 제4 클럭배선(152f, 152g)은 상기 쉬프트 레지스터(151)와 직접적으로 연결되지도 않고, 다른 배선들과 크로스(cross)되는 부분도 없다. 이로써, 상기 제3 및 제4 클럭배선(152f, 152g)을 통한 상기 제1 및 제2 클럭신호(CK, CKB)의 이동속도는 상기 제1 및 제2 클럭배선(152c, 152d)을 통한 상기 제1 및 제2 클럭신호(CK, CKB)의 이동속도보다 빠르다.
- <104> 또한, 상기 배선부(152)는 배선 폭이 좁을 수록 쉬프트 레지스터(151)와 인접하여 배치된다.
- <105> 구체적으로, 상기 쉬프트 레지스터(151)에 가장 인접한 곳에는 상기 개시신호배선(152a)이 배치되고, 그 다음으로 상기 구동전압배선(152b)이 상기 개시신호배선(152a)에 인접하여 배치된다. 상기 구동전압배선(152b)의 외측으로는 제2 및 제1 클럭배선(152d, 152c)이 순차적으로 위치한다. 상기 제1 클럭배선(152c)과 인접하여 상기 접지전압배선(152e)이 형성된다. 한편, 상기 제3 클럭배선(152f)은 상기 접지전압배선(152e)에 인접하여 배치되고, 그 다음으로 상기 제4 클럭배선(152g)이 상기 제3 클럭배선(152f)에 인접하여 배치된다.
- <106> 상기 배선부(152)가 이와 같은 순서로 배치된 각종 배선들로 이루어짐으로써 상기 액정표시장치의 표시특성을 향상시킬 수 있다. 즉, 상기 쉬프트 레지스터(151)와 인접할수록 배선들 사이의 접촉 면적이 커져 접촉 커패시턴스가 커지기 때문에, 접촉 커패시턴스의 영향을 적게 받는 배선들일수록 상기 쉬프트 레지스터(151)와 인접하여 배치된다. 이로써, 상기 액정표시장치의 표시 특성을 향상시킬 수 있다.

발명의 효과

- <107> 이와 같은 게이트 구동회로 및 이를 갖는 액정표시장치에 따르면, 더미 스테이지의 출력단자가 마지막 구동 스테이지의 제어단자에 연결됨과 동시에, 자신의 제어단자에도 연결된다.
- <108> 따라서, 상기 더미 스테이지의 제어단자에 제어신호를 제공하기 위한 배선을 추가할 경우, 상기 추가 배선과 다른 배선들과의 사이에서 발생하는 커패시턴스에 의해서 상기 게이트 구동회로로 제공되는 각종 신호가 지연되는 현상을 방지할 수 있다.
- <109> 또한, 더미 스테이지에서 제어단자에 연결된 트랜지스터의 구조가 변경됨으로써, 상기 더미 스테이지의 출력신호가 정상적으로 출력되고, 그로 인해서 상기 액정표시장치의 표시 특성을 향상시킬 수 있다.
- <110> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

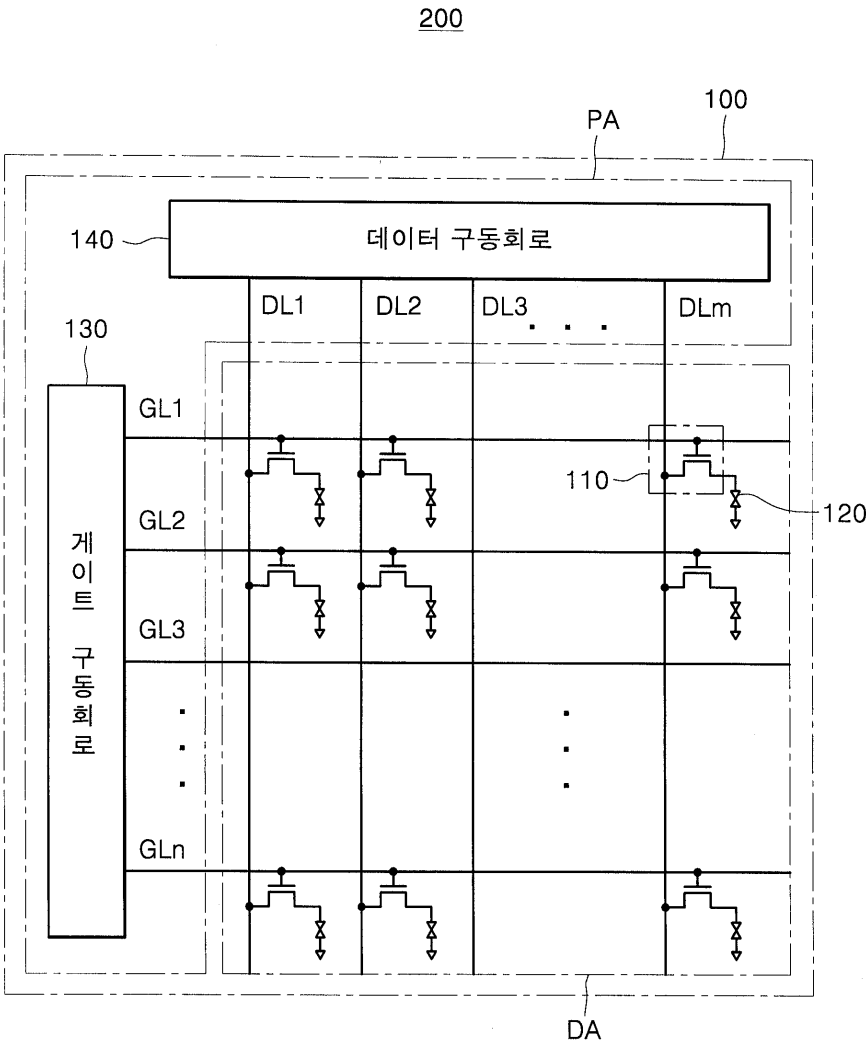
도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 도면이다.
- <2> 도 2는 도 1에 도시된 게이트 구동회로를 구성하는 쉬프트 레지스터를 구체적으로 나타낸 도면이다.
- <3> 도 3은 도 2에 도시된 구동 스테이지의 구성을 나타낸 회로도이다.
- <4> 도 4는 도 3에 도시된 구동 스테이지의 레이아웃 도면이다.
- <5> 도 5는 도 2에 도시된 더미 스테이지의 구성을 나타낸 회로도이다.
- <6> 도 6은 도 5에 도시된 더미 스테이지의 레이아웃 도면이다.
- <7> 도 7은 더미 스테이지가 구동 스테이지와 동일한 구조를 가질 경우 더미 스테이지의 출력 파형도이다.
- <8> 도 8은 더미 스테이지가 도 5에 도시된 회로로 구성된 경우의 출력 파형도이다.

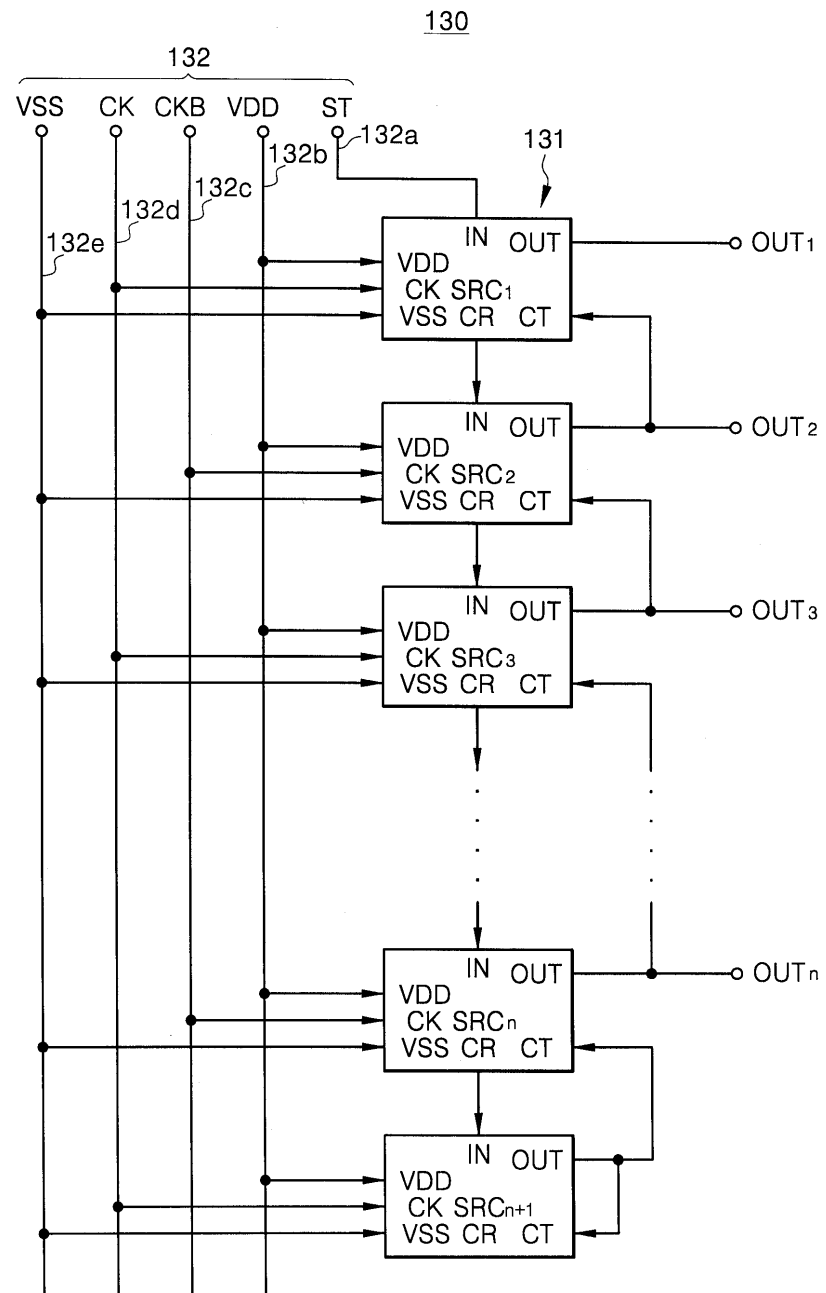
- <9> 도 9는 본 발명의 다른 실시예에 따른 구동 스테이지 및 더미 스테이지의 구성을 나타낸 회로도이다.
- <10> 도 10은 본 발명의 다른 실시예에 따른 게이트 구동회로를 나타낸 도면이다.
- <11> <도면의 주요 부분에 대한 부호의 설명>
- <12> 130 : 게이트 구동회로 131a : 풀업부
- <13> 131 : 쉬프트 레지스터 131e : 캐리 출력부
- <14> 131b : 풀다운부 131c : 풀업 구동부
- <15> 131d : 풀다운 구동부 132 : 배선
- <16> 200 : 액정표시장치 SRC1 ~ SRCn : 구동 스테이지
- <17> SRCn+1 : 더미 스테이지

도면

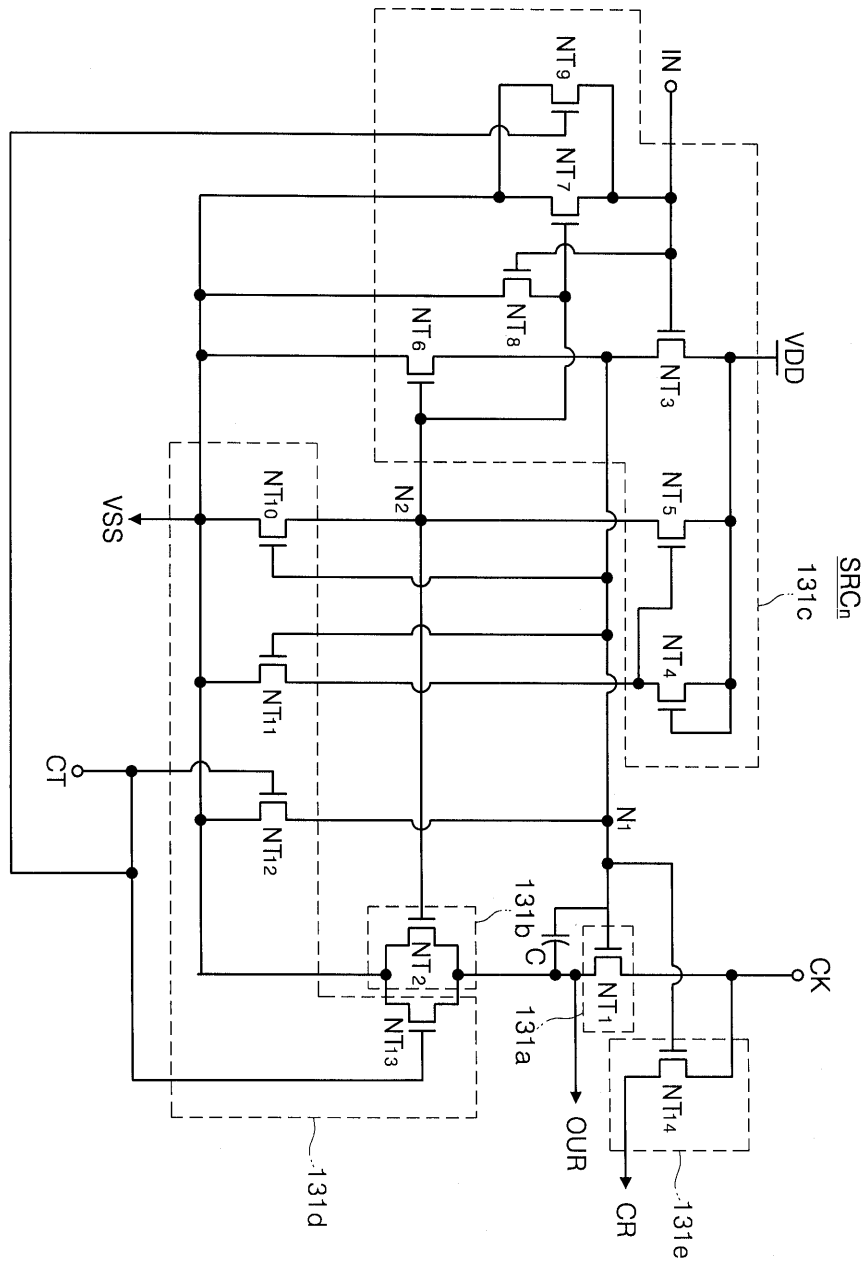
도면1



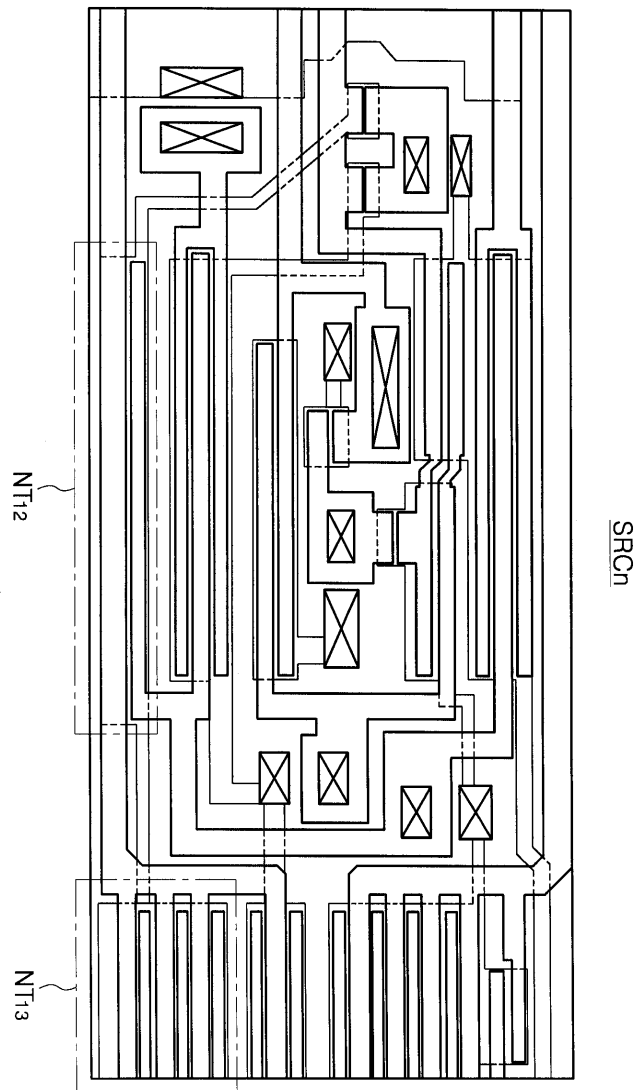
도면2



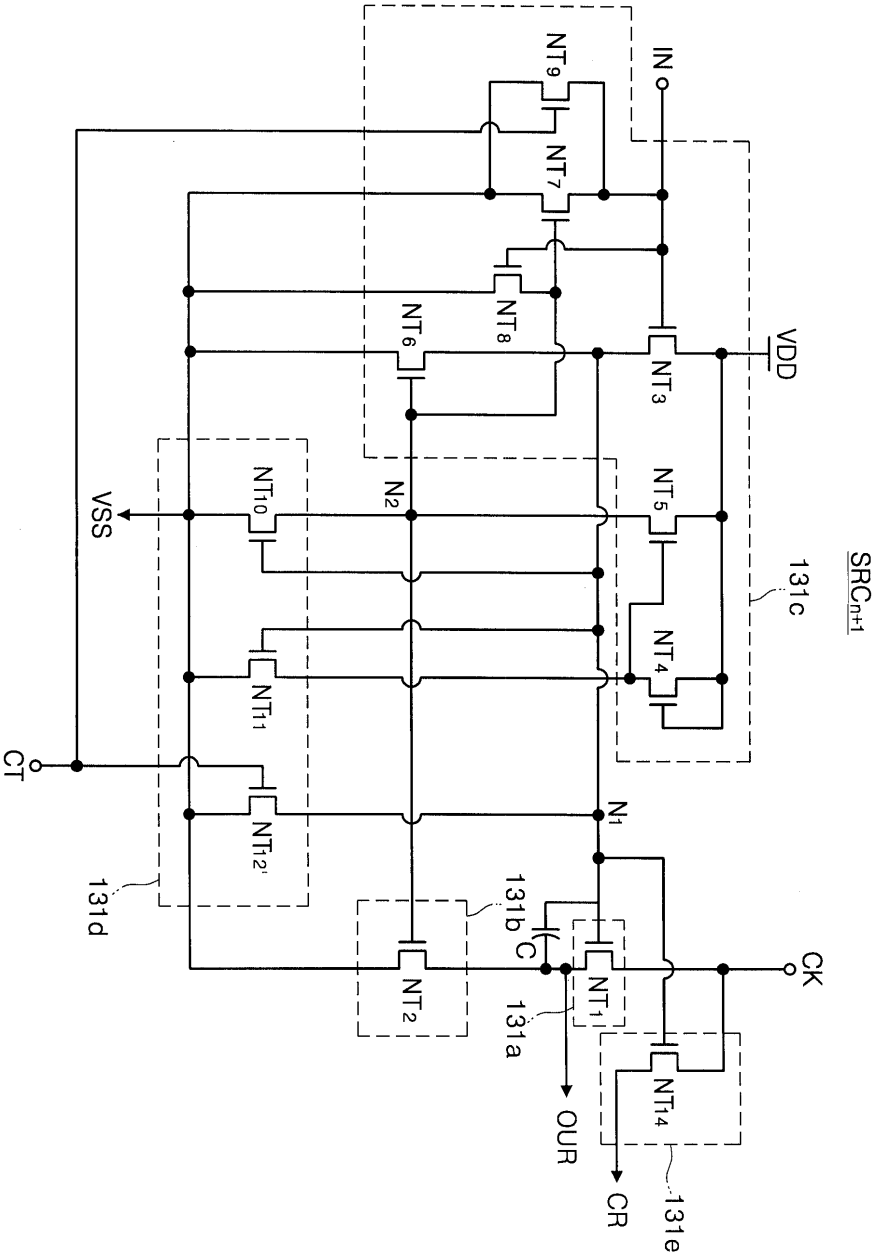
도면3



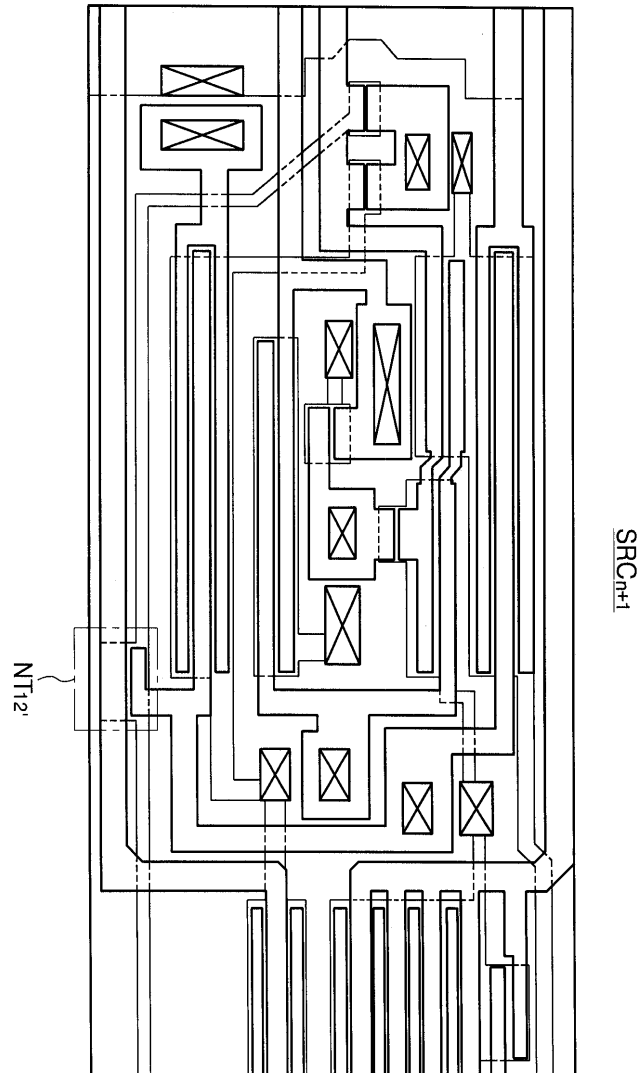
도면4



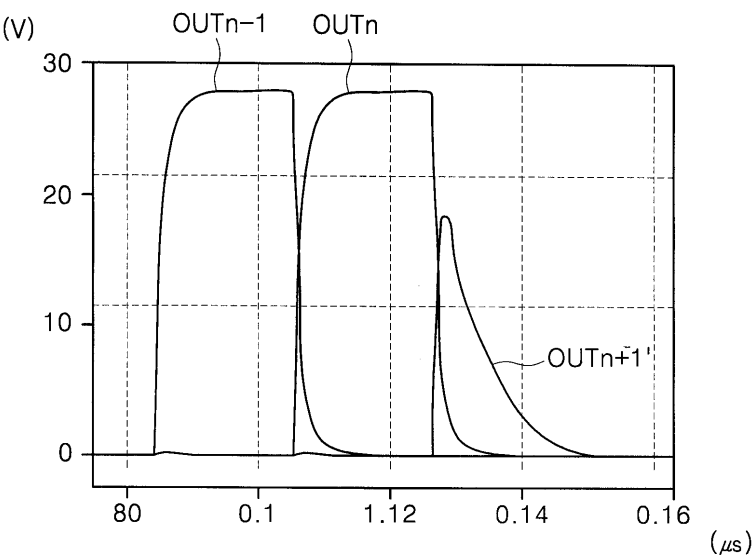
도면5



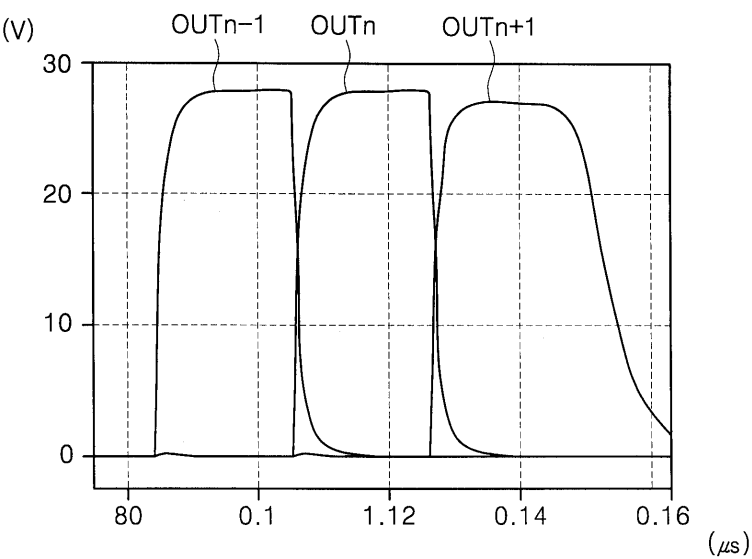
도면6



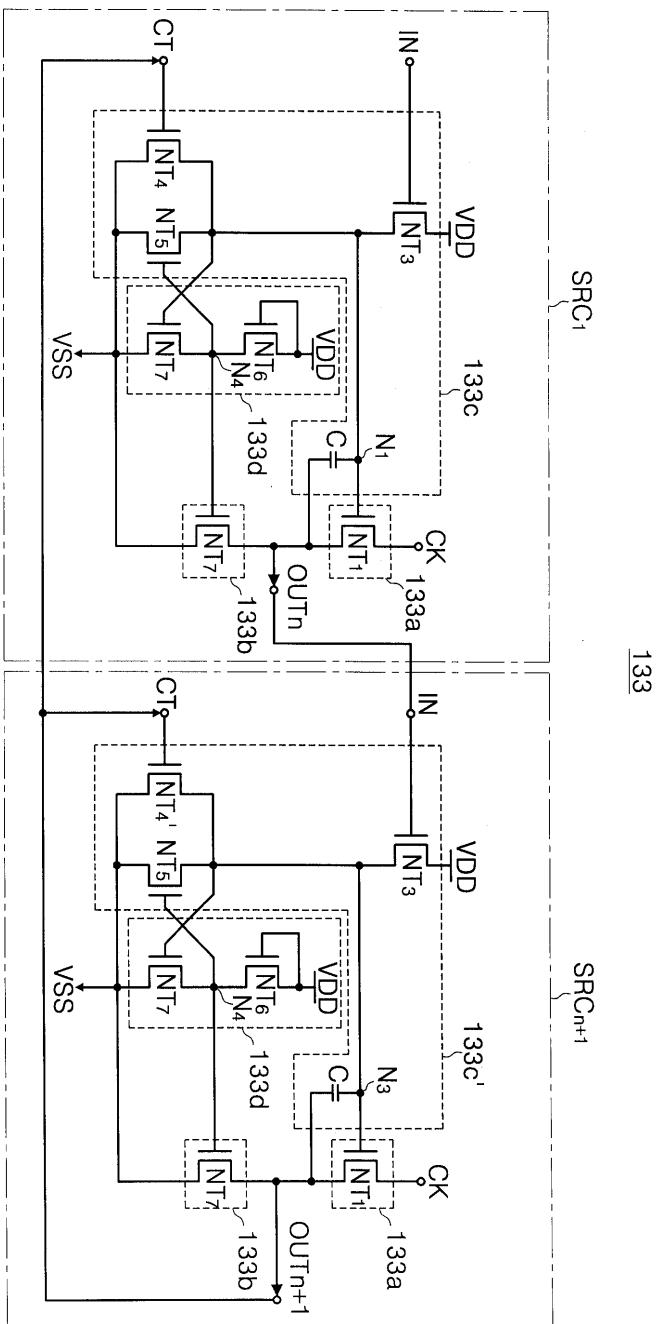
도면7



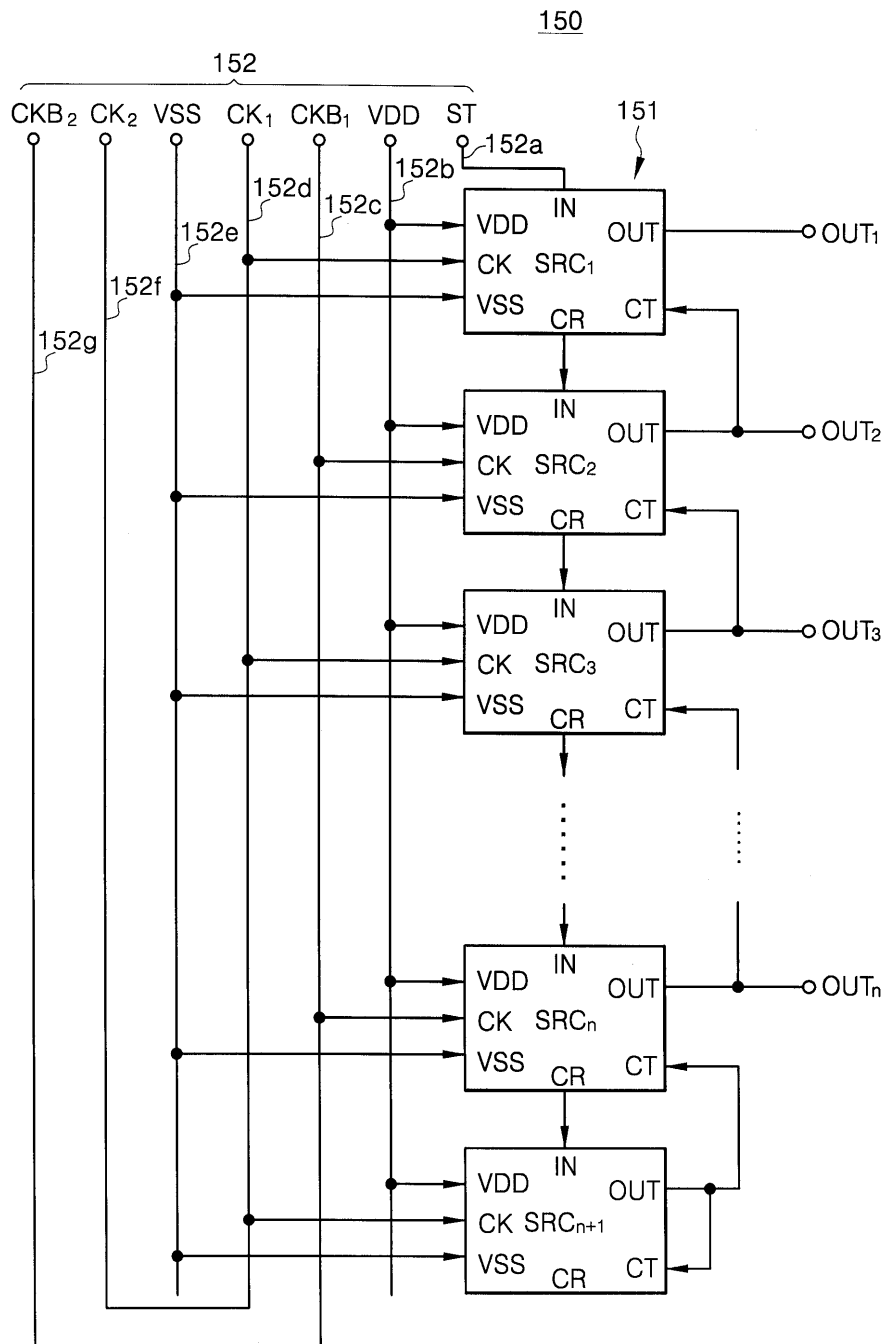
도면8



도면9



도면10



专利名称(译)	栅极驱动电路和具有该栅极驱动电路的液晶显示装置		
公开(公告)号	KR100902068B1	公开(公告)日	2009-06-09
申请号	KR1020020087014	申请日	2002-12-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BACKWON		
发明人	LEE, BACKWON		
IPC分类号	G09G3/36		
代理人(译)	PARK, YOUNG WOO		
其他公开文献	KR1020040061210A		
外部链接	Espacenet		

摘要(译)

公开了一种能够改善显示特性的栅极驱动电路和具有该栅极驱动电路的液晶显示装置。栅极驱动电路包括多个驱动级和虚设级。多个驱动级通过连接到现阶段输出端子处的前级控制端子而彼此连接，并且顺序地将栅极驱动信号输出到栅极线。虚设级分别连接到输出级的多个驱动级及其控制端子中的最后一级的控制端子。因此，栅极驱动电路可以改善液晶显示装置的显示特性有。

