



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월13일
(11) 등록번호 10-0878231
(24) 등록일자 2009년01월06일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0007366

(22) 출원일자 2002년02월08일

심사청구일자 2007년02월08일

(65) 공개번호 10-2003-0067868

(43) 공개일자 2003년08월19일

(56) 선행기술조사문헌

US05905484 A1*

US05572655 A1*

Electro International, 1991, April 16-18,
279-282*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이백운

경기도성남시분당구야탑동331번지동부아파트110
동802호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 15 항

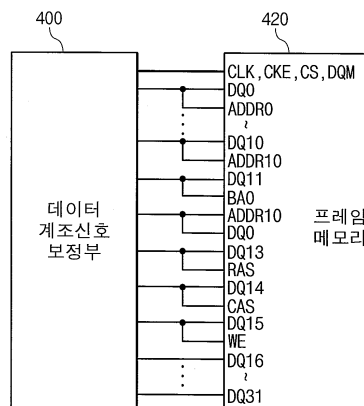
심사관 : 김범수

(54) 액정 표시 장치 및 그 구동 방법과 프레임 메모리

(57) 요약

본 발명에 따른 액정 표시 장치는 데이터를 버스트 모드로 출력하고 저장하는 프레임 메모리와 연결되어 있는 데이터 계조 신호 보정부를 포함한다. 데이터 계조 신호 보정부는 데이터 계조 신호 소스로부터 현재 프레임의 계조 신호를 수신하여 프레임 메모리에 버스트 모드로 저장하고, 프레임 메모리에 저장되어 있는 이전 프레임의 계조 신호를 버스트 모드로 판독하여, 현재 프레임의 계조 신호와 이전 프레임의 계조 신호를 고려해서 보정된 계조 신호를 생성하여 출력한다. 프레임 메모리가 데이터 계조 신호 보정부와 인터페이스하는 버스를 프레임 메모리의 데이터 핀과 명령 핀이 공유하고 있다.

대표도 - 도4



특허청구의 범위

청구항 1

주사 신호를 전달하는 다수의 게이트선, 데이터 전압을 전달하며 상기 게이트선과 절연되어 교차하는 다수의 데이터선, 그리고 상기 게이트선 및 데이터선에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트선 및 데이터선에 연결되어 있는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 포함하는 액정 표시 장치 패널,

상기 게이트선에 상기 주사 신호를 순차적으로 공급하는 게이트 드라이버,

데이터 계조 신호 소스로부터 계조 신호를 수신하고, 현재 프레임의 계조 신호와 이전 프레임의 계조 신호를 고려해서 보정된 계조 신호를 생성하여 출력하는 데이터 계조 신호 보정부, 그리고

상기 데이터 계조 신호 보정부로부터 출력되는 상기 보정된 계조 신호를 대응하는 데이터 전압으로 바꾸어 상기 데이터선으로 공급하는 데이터 드라이버

를 포함하며,

상기 데이터 계조 신호 보정부는 상기 데이터 계조 신호 소스로부터의 상기 현재 프레임의 계조 신호를 한번의 명령으로 2이상의 데이터를 처리하는 모드인 버스트 모드로 저장하고, 저장된 상기 이전 프레임의 계조 신호를 상기 버스트 모드로 출력하는 프레임 메모리를 포함하고, 상기 프레임 메모리는 상기 데이터 계조 신호 보정부와 인터페이스 하는 다수의 버스에 일대일로 연결되어 있으며 데이터가 입출력하는 다수의 데이터 핀, 상기 다수의 데이터 핀이 연결되어 있는 버스를 상기 데이터 핀과 함께 공유하고 있으며 상기 프레임 메모리의 동작에 필요한 명령을 수신하는 다수의 명령 핀을 포함하는

액정 표시 장치.

청구항 2

제1항에서,

상기 데이터 계조 신호 보정부는

상기 프레임 메모리의 상기 계조 신호의 기록 및 판독을 제어하는 컨트롤러 및

상기 현재 프레임의 계조 신호와 상기 이전 프레임의 계조 신호를 고려해서 상기 보정된 계조 신호를 생성하여 출력하는 데이터 계조 신호 변환기

를 더 포함하는 액정 표시 장치.

청구항 3

제2항에서,

상기 데이터 계조 신호 보정부는

상기 프레임 메모리로 전달되는 연속적으로 입력되는 상기 현재 프레임의 계조 신호를 임시로 저장하여 상기 프레임 메모리로 전달하는 캐시 메모리를 더 포함하는 액정 표시 장치.

청구항 4

제2항 또는 제3항에서,

상기 프레임 메모리는 상기 데이터 계조 신호 보정부 외부에 형성되어 상기 데이터 계조 신호 보정부와 인터페이스하는 액정 표시 장치.

청구항 5

제1항에서,

상기 프레임 메모리는

상기 데이터 핀을 마스킹하는 데 이용되는 데이터 마스크 핀, 그리고

상기 버스를 상기 데이터 핀 또는 상기 명령 핀으로 선택하는 데 이용되는 칩 선택 핀을 포함하는 액정 표시 장치.

청구항 6

제5항에서,

상기 데이터 마스크 핀과 상기 칩 선택 핀이 액티브 상태일 때 상기 버스는 상기 명령 핀에 이용되고,

상기 데이터 마스크 핀과 상기 칩 선택 핀이 인액티브(inactive) 상태일 때 상기 버스는 상기 데이터 핀에 이용되는

액정 표시 장치.

청구항 7

제1항에서,

상기 프레임 메모리는

상기 버스가 상기 명령 핀에 이용되어, 상기 프레임 메모리의 뱅크가 프리차지(precharge)되고 데이터가 저장되어 있는 행(row)과 판독할 첫 번째 데이터의 열(column) 주소가 지정되고,

상기 버스가 상기 데이터 핀에 이용되어, 상기 지정된 열부터 상기 지정된 행의 데이터가 상기 버스트 모드로 판독되는

액정 표시 장치.

청구항 8

제1항에서,

상기 프레임 메모리는

상기 버스가 상기 명령 핀에 이용되어, 상기 프레임 메모리의 뱅크가 프리차지(precharge)되고 데이터를 기록할 행(row)과 기록할 첫 번째 데이터의 열(column) 주소가 지정되고,

상기 버스가 상기 데이터 핀에 이용되어, 상기 지정된 열부터 상기 지정된 행의 데이터가 상기 버스트 모드로 기록되는

액정 표시 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

외부로부터의 다수의 버스에 일대일로 연결되어 있으며 데이터가 입출력하는 다수의 데이터 핀, 동작에 필요한 명령을 수신하는 다수의 명령 핀, 상기 데이터 핀을 마스크하는 데 이용되는 데이터 마스크 핀, 및 칩 선택에 이용되는 칩 선택 핀을 가지며, 한번의 명령으로 2이상의 데이터를 처리하는 버스트 모드로 한 프레임 동안의

계조 신호를 저장하고 출력하는 프레임 메모리를 포함하는 액정 표시 장치를 구동하는 방법에서,
 상기 명령 핀은 상기 데이터 핀과 함께 상기 버스를 공유하고 있으며,
 상기 데이터 마스크 핀과 상기 칩 선택 핀의 상태를 변경하여 상기 버스를 상기 데이터 핀 또는 상기 명령 핀으로 이용하여 이전 프레임의 계조 신호를 상기 버스트 모드로 판독하는 버스트 판독 단계, 및
 상기 데이터 마스크 핀과 상기 칩 선택 핀의 상태를 변경하여 상기 버스를 상기 데이터 핀 또는 상기 명령 핀으로 이용하여 현재 프레임의 계조 신호를 상기 버스트 모드로 기록하는 버스트 기록 단계를 포함하는 액정 표시 장치 구동 방법.

청구항 14

제13항에서,
 상기 버스트 판독 단계는
 상기 버스를 상기 명령 핀으로 선택하여 상기 프레임 메모리의 बैं크를 프리차지하는 단계,
 판독하고자 하는 계조 신호가 저장되어 있는 행을 지정하는 단계,
 상기 지정된 행에서 판독을 시작할 첫 번째 열 주소를 지정하는 단계, 그리고
 상기 버스를 상기 데이터 핀으로 전환하여 상기 지정된 행에 저장된 계조 신호를 상기 지정된 열부터 차례로 상기 버스트 모드로 판독하는 단계를 포함하는 액정 표시 장치 구동 방법.

청구항 15

제13항에서,
 상기 버스트 기록 단계는
 상기 버스를 상기 명령 핀으로 선택하여 상기 프레임 메모리의 बैं크를 프리차지하는 단계,
 상기 현재 프레임의 계조 신호를 기록할 행을 지정하는 단계,
 상기 지정된 행에서 기록을 시작할 첫 번째 열 주소를 지정하는 단계, 그리고
 상기 버스를 상기 데이터 핀으로 전환하여 상기 지정된 행에 계조 신호를 상기 지정된 열부터 차례로 상기 버스트 모드로 기록하는 단계를 포함하는 액정 표시 장치 구동 방법.

청구항 16

제14항 또는 제15항에서,
 상기 프레임 메모리의 बैं크 중 상기 지정된 행이 있는 बैं크만 프리차지하는 액정 표시 장치 구동 방법.

청구항 17

제14항 또는 제15항에서,
 상기 프레임 메모리의 모든 बैं크를 동시에 프리차지하는 액정 표시 장치 구동 방법.

청구항 18

제14항 또는 제15항에서,
 상기 첫 번째 열 주소를 지정하는 단계는 다음 बैं크가 상기 프레임 메모리 내에서 자체적으로 프리차지되도록 하는 자동 프리차지 명령을 제공하는 단계를 포함하는 액정 표시 장치 구동 방법.

청구항 19

제15항에서,

상기 버스트 기록 단계는

상기 현재 프레임의 계조 신호를 외부의 캐시 메모리에 일시 저장한 후 상기 프레임 메모리로 기록하는 단계를 더 포함하는 액정 표시 장치 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 액정 표시 장치 및 그 구동 방법과 액정 표시 장치 사용되는 프레임 메모리에 관한 것이다.
- <7> 근래 퍼스널 컴퓨터나 텔레비전 등의 경량화 및 박형화에 따라 디스플레이 장치도 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(CRT, cathode ray tube) 대신 액정 표시 장치(LCD, liquid crystal display)와 같은 평판 패널 표시 장치(FPD, flat panel display)가 개발되고 있다.
- <8> LCD는 두 기관 사이에 주입되어 있는 이방성 유전율을 가지는 액정 물질에 전계를 인가하고, 이 전계의 세기를 조절하여 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다. 이러한 LCD는 평판 표시 장치 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터를 스위칭 소자로 이용한 TFT LCD가 주로 이용되고 있다.
- <9> 최근에는 TFT LCD가 컴퓨터의 표시 장치뿐만 아니라 텔레비전의 표시 장치로 널리 사용됨에 따라 동화상을 구현할 필요성이 증가하게 되었다. 연속되는 그림을 초당 24프레임 이상의 빠른 속도로 표시하면 인간은 동화상으로 인지하게 되는데, 이러한 동화상의 인지는 인간의 눈이 인지되는 화상을 0.04초 정도 기억하는 잔상효과가 있기 때문이다.
- <10> CRT와 같은 발광형 표시 장치는 임펄스(impulse)형 발광 방식이므로 동화상 구현 시에 앞뒤 프레임 사이의 휘도 차이가 큰 경우에도 블랭킹 구간이 존재하여 인간의 눈의 잔상 효과와 보상된다. 따라서, 자연스러운 동화상 구현이 가능하지만, 종전의 TFT LCD는 응답 속도가 느리기 때문에 동화상을 구현하기 어렵다는 단점이 있었다. 이러한 응답 속도 문제를 개선하기 위해 종래에는 OCB(optically compensated band) 모드를 사용하거나, 강유전성 액정(FLC, ferro-electric liquid crystal) 물질을 사용한 TFT LCD를 사용하였다.
- <11> 그러나, 이와 같은 OCB 모드나 FLC를 사용하기 위해서는 종래의 TFT LCD 패널이 구조를 바꾸어야 하는 문제점이 있어서, 본 출원인은 한국공개번호 특2001-0077568호의 액정 표시 장치 및 그의 구동 방법(2001년 2월 3일에 출원되어 2001년 8월 20일에 공개됨)에서 TFT LCD의 패널 구조를 바꾸지 않으면서, 보정된 데이터 전압을 생성할 수 있는 데이터 계조 신호 보정부를 추가함으로써 이와 같은 문제를 해결하였다.
- <12> 이와 같은 데이터 계조 신호 보정부에서 계조 신호를 저장하고 출력하는 프레임 메모리는 데이터 계조 신호 보정부에 내장될 수도 있지만, 도 3에 도시한 바와 같이 외장 메모리로서 구현되는 것이 가격면에서 바람직하다.
- <13> 이때, 데이터 계조 신호 보정부가 외장의 프레임 메모리와 인터페이스하기 위해서는 데이터 계조 신호 보정부에 핀이 필요하게 된다. 그러나 데이터 계조 신호 보정부의 다이(die) 사이즈는 총 핀 수의 제공에 비례하여 증가하고, 다이 사이즈가 증가하면 제조 단가가 증가하게 된다.

발명이 이루고자 하는 기술적 과제

- <14> 이와 같은 문제점을 해결하기 위하여, 본 발명은 데이터 계조 신호 보정부가 프레임 메모리와 인터페이스 하는 부분을 줄이는 것을 그 기술적 과제로 한다.

발명의 구성 및 작용

- <15> 본 발명은 프레임 메모리의 일부 핀들이 데이터 계조 신호 보정부와 인터페이스하는 버스를 공유하여 이러한 기술적 과제를 달성한다.

- <16> 본 발명의 한 특징에 따르면, 액정 표시 장치는 액정 표시 장치 패널, 게이트 드라이버, 데이터 드라이버 및 데이터 계조 신호 보정부로 이루어진다. 액정 표시 장치 패널은 주사 신호를 전달하는 다수의 게이트선, 데이터 전압을 전달하며 상기 게이트선과 절연되어 교차하는 다수의 데이터선, 그리고 상기 게이트선 및 데이터선에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트선 및 데이터선에 연결되어 있는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 포함한다. 데이터 계조 신호 보정부는 데이터 계조 신호 소스로부터 계조 신호를 수신하고, 현재 프레임의 계조 신호와 이전 프레임의 계조 신호를 고려해서 보정된 계조 신호를 생성하여 출력한다. 게이트 드라이버는 게이트선에 주사 신호를 순차적으로 공급하며, 데이터 드라이버는 데이터 계조 신호 보정부로부터 출력되는 보정된 계조 신호를 대응하는 데이터 전압으로 바꾸어 데이터선으로 공급한다.
- <17> 여기서, 데이터 계조 신호 보정부는 데이터 계조 신호 소스로부터의 현재 프레임의 계조 신호를 한번의 명령으로 일정량의 데이터를 처리하는 모드인 버스트 모드로 저장하고, 저장된 이전 프레임의 계조 신호를 버스트 모드로 출력하는 프레임 메모리를 포함한다.
- <18> 또한, 데이터 계조 신호 보정부는 프레임 메모리의 계조 신호의 기록 및 판독을 제어하는 컨트롤러와 보정된 계조 신호를 생성하여 출력하는 데이터 계조 신호 변환기를 포함하는 것이 바람직하다. 또한 연속적으로 입력되는 현재 프레임의 계조 신호를 임시로 저장하여 프레임 메모리로 전달하는 캐시 메모리를 포함할 수 있다.
- <19> 이때, 프레임 메모리는 데이터 계조 신호 보정부 외부에 형성되어 데이터 계조 신호 보정부와 인터페이스하는 것이 바람직하다.
- <20> 프레임 메모리가 데이터 계조 신호 보정부와 인터페이스하기 위해서 다수의 데이터 핀, 다수의 명령 핀, 데이터 마스크 핀 및 칩 선택 핀을 포함한다. 데이터 핀과 명령 핀은 버스를 공유하고 있으며, 각각을 통하여 데이터가 입출력하고, 프레임 메모리의 동작에 필요한 명령을 수신한다. 데이터 마스크 핀은 데이터가 입출력하지 않을 경우 데이터 핀을 마스킹하는 데 이용되며, 칩 선택 핀은 버스를 데이터 핀 또는 명령 핀으로 선택하는 데 이용된다.
- <21> 이때, 버스는 데이터 마스크 핀과 칩 선택 핀이 액티브 상태일 때 명령 핀에 이용되고, 데이터 마스크 핀과 칩 선택 핀이 인액티브 상태일 때 데이터 핀에 이용되는 것이 바람직하다.
- <22> 여기서 프레임 메모리로부터 데이터를 버스트 판독할 때는, 버스를 명령 핀에 이용하여 프레임 메모리의 बैं크를 프리차지하고 데이터가 저장되어 있는 행과 판독할 첫 번째 데이터의 열 주소를 지정하고, 다음에 버스를 데이터 핀에 이용하여 앞에서 지정한 열부터 지정한 행의 데이터를 버스트 판독한다.
- <23> 또한 프레임 메모리에 데이터를 버스트 기록할 때는, 버스를 명령 핀에 이용하여 프레임 메모리의 बैं크를 프리차지하고 데이터를 기록할 행과 기록을 시작할 첫 번째 열 주소를 지정하고, 다음에 버스를 데이터 핀에 이용하여 앞에서 지정한 열부터 지정한 행에 데이터를 버스트 기록한다.
- <24> 본 발명의 다른 특징에 따르면, 본 발명의 한 특징에 따른 액정 표시 장치를 구동하는 방법이 제공된다. 구동할 때는 데이터 마스크 핀과 칩 선택 핀의 상태를 변경해서 버스를 데이터 핀 또는 명령 핀으로 이용하여, 프레임 메모리로부터 이전 프레임의 계조 신호를 버스트 판독하거나 프레임 메모리에 현재 프레임의 계조 신호를 버스트 기록한다.
- <25> 이때, 버스트 판독할 때는 먼저 버스를 명령 핀으로 선택하여 프레임 메모리의 बैं크를 프리차지한 후에, 판독하고자 하는 계조 신호가 저장되어 있는 행을 지정하고 지정된 행에서 판독을 시작할 첫 번째 열 주소를 지정한다. 다음에 버스를 데이터 핀으로 전환하여 지정된 행에 저장된 이전 프레임의 계조 신호를 지정된 열부터 차례로 버스트 판독한다.
- <26> 또한 버스트 기록할 때는 먼저 버스를 명령 핀으로 선택하여 프레임 메모리의 बैं크를 프리차지한 후에, 계조 신호를 기록할 행을 지정하고 지정된 행에서 기록을 시작할 첫 번째 열 주소를 지정한다. 다음에 버스를 데이터 핀으로 전환하여 지정된 행에 현재 프레임의 계조 신호를 지정된 열부터 차례로 버스트 기록한다.
- <27> 여기서, बैं크를 프리차지할 때는 지정된 행이 있는 बैं크만 프리차지하거나 모든 बैं크를 동시에 프리차지할 수 있다. 또는 첫 번째 열 주소를 지정할 때 다음 बैं크가 프레임 메모리 내에서 자체적으로 프리차지되도록 하는 자동 프리차지 명령을 제공할 수도 있다.
- <28> 또한 버스트 기록하기 전에 계조 신호를 외부의 캐시 메모리에 임시로 저장한 후에 프레임 메모리에 기록할 수도 있다.

- <29> 이하, 도면을 참조하여 본 발명에 따른 액정 표시 장치 및 그 구동 방법과 프레임 메모리에 대하여 상세하게 설명한다.
- <30> 먼저, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치와 그 데이터 계조 신호 보정부에 대하여 설명한다.
- <31> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 도면이다. 도 2는 본 발명의 일 실시예에 따른 데이터 계조 신호 보정부를 나타내는 블록도이다. 도 3은 프레임 메모리를 외장 메모리로 구현한 경우를 나타내는 블록도이다.
- <32> 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치는 액정 패널(100), 게이트 드라이버(200), 데이터 드라이버(300) 및 데이터 계조 신호 보정부(400)를 포함한다.
- <33> 액정 패널(100)에는 게이트 온 전압을 전달하기 위한 다수의 게이트선(120) 및 보정된 데이터 전압을 전달하기 위한 다수의 데이터선(130)이 형성되어 있다. 이웃한 두 게이트선(120)은 이웃한 두 데이터선(130)과 함께 화소 영역을 정의하며, 각 화소 영역에는 박막 트랜지스터(110)가 형성되어 있다. 게이트선(120)에 연결된 게이트 전극과 데이터선(130)에 연결된 소스 및 드레인 전극은 이 박막 트랜지스터(110)의 세 단자를 이루며, 박막 트랜지스터(110)의 드레인 전극에는 화소 커패시터(C_1)와 스토리지 커패시터(C_{st})가 연결되어 있다.
- <34> 게이트 드라이버(200)는 게이트선(120)에 순차적으로 게이트 온 전압을 인가하여, 게이트 온 전압이 인가된 게이트선(120)에 게이트 전극이 연결되는 박막 트랜지스터(110)를 턴온시킨다.
- <35> 데이터 계조 신호 보정부(400)는 도시하지 않은 데이터 계조 신호 소스(예를 들면, 그래픽 제어기)로부터 데이터 계조 신호(G_n)를 수신한 후, 현재 프레임의 데이터 계조 신호와 이전 프레임의 데이터 계조 신호를 고려하여 보정된 데이터 계조 신호(G_n')를 생성하여 출력한다. 이때, 계조 신호 보정부(400)는 독립형(stand-alone) 유닛으로 존재할 수도 있고, 그래픽 카드나 LCD 모듈에 통합될 수도 있다.
- <36> 데이터 드라이버(300)는 데이터 계조 신호 보정부(400)로부터 수신된 보정된 데이터 계조 신호(G_n')를 해당 계조 전압(데이터 전압)으로 바꾸어 각각 데이터선(130)에 인가한다.
- <37> 다음에 도 2를 참조하여, 데이터 계조 신호 보정부(400)에 대하여 자세하게 설명한다.
- <38> 도 2에 도시한 바와 같이, 데이터 계조 신호 보정부(400)는 합성기(410), 프레임 메모리(420), 컨트롤러(430), 데이터 계조 신호 변환기(440) 및 분리기(450)를 포함한다.
- <39> 합성기(410)는 데이터 계조 신호 소스(도시하지 않음)로부터 계조 신호(G_n)를 수신하여, 데이터 계조 신호 보정부(400)가 처리할 수 있는 속도로 데이터 스트림의 주파수를 변환한다. 예컨대, 데이터 계조 신호 소스로부터 18비트의 데이터가 65MHz 주파수에 동기하여 수신되고, 데이터 계조 신호 보정부(400)의 구성 요소들의 처리 속도가 50MHz가 한계라고 하면, 합성기(410)는 18비트의 계조 신호를 2개씩 묶어 36비트의 계조 신호(G_m)로 합성하여 프레임 메모리(420)로 전송한다.
- <40> 프레임 메모리(420)는 컨트롤러(430)의 제어에 의해 소정 어드레스에 저장되어 있는 이전 계조 신호(G_{m-1})를 읽어서 데이터 계조 신호 변환기(440)에 출력하는 동시에, 합성기(410)로부터 전송되는 계조 신호(G_m)를 상기 소정 어드레스에 저장한다. 데이터 계조 신호 변환기(440)는 합성기(410)로부터 출력되는 현재 프레임의 계조 신호(G_m)와 프레임 메모리(420)로부터 출력되는 이전 프레임의 계조 신호(G_{m-1})를 수신한 후, 이를 이용하여 보정된 계조 신호(G_m')를 생성한다.
- <41> 분리기(450)는 데이터 계조 신호 변환기(440)로부터 출력되는 36비트의 보정된 데이터 계조 신호(G_m')를 분리하여 18비트의 보정된 계조 신호(G_n')를 출력한다.
- <42> 본 발명의 일 실시예에서는 데이터 계조 신호에 동기하는 클록 주파수가 프레임 메모리를 액세스하는 클록 주파수와 상이하기 때문에, 데이터 계조 신호를 합성 및 분리하는 합성기(410) 및 분리기(450)가 필요하였으나, 데이터 계조 신호에 동기하는 클록 주파수와 프레임 메모리(420)를 액세스하는 클록 주파수가 같은 경우에는 이와 같은 합성기와 분리는 불필요하게 된다.
- <43> 이때, 프레임 메모리(420)는 도 3에 도시한 바와 같이 별도의 외장 메모리로서 구현되는 것이 바람직하다. 프

레이프 메모리의 성능을 충족하는 외장 메모리로서는 SDRAM, DDR SDRAM(double data rate SDRAM) 등의 버스트 타입(burst-type)의 메모리를 사용할 수 있다. 본 발명의 일 실시예에서는 프레임 메모리로서 512K ×32 ×4뱅크의 구조를 가진 64Mb SDRAM을 사용하여 설명하지만, 다른 버스트 타입 메모리를 사용하는 경우에도 본 발명의 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 것이다.

- <44> 본 발명의 일 실시예에 따른 512K ×32 ×4뱅크의 구조를 가진 64Mb SDRAM인 프레임 메모리(420)가 데이터 제조 신호 보정부(400)와 인터페이스하기 위해서는 총 52개의 핀이 필요하다. 이러한 52개의 핀은 클록(clock, 이하 CLK라 함), 클록 인에이블(clock enable, 이하 CKE라 함), 칩 선택(chip select, 이하 CS라 함) 및 데이터 마스크(data mask, 이하 DQM이라 함)로 이루어지는 4개의 제1 그룹 핀, 행 액세스(row access strobe, 이하 RAS라 함), 열 액세스(column access strobe, 이하 CAS라 함), 라이트 인에이블(write enable, 이하 WE라 함), 2개의 뱅크 어드레스(bank address, 이하 각각 BA0 및 BA1이라 함) 및 11개의 어드레스(이하, 각각 ADDR0 내지 ADDR10이라 함)로 이루어지는 16개의 제2 그룹 핀, 그리고 32개의 데이터 핀(이하, 각각 DQ0 내지 DQ31이라 함)으로 이루어지는 제3 그룹 핀이다.
- <45> 칩 형태로 이루어진 데이터 제조 신호 보정부(400)의 다이(die) 사이즈는 총 핀 수의 제곱에 비례하여 증가하고, 다이 사이즈가 증가하면 제조 단가가 증가하게 된다. 따라서, 데이터 제조 신호 보정부(400)의 핀 수를 줄이면 다이 사이즈를 줄일 수 있어, 가격 저하를 기대할 수 있다. 이는 데이터 제조 신호 보정부(400)가 독립형(stand-alone) 유닛으로 존재할 때뿐만 아니라 그래픽 카드나 LCD 모듈에 통합되어 있을 때도 마찬가지이다.
- <46> 이하, 도 4 및 도 5를 참조하여 본 발명의 일 실시예에 따른 프레임 메모리와 이의 구동 방법에 대하여 자세하게 설명한다.
- <47> 도 4는 본 발명의 일 실시예에 따라 프레임 메모리(420)를 외장 메모리로 구현한 경우를 나타내는 블록도이다.
- <48> 도 4에 도시한 바와 같이, 프레임 메모리(420)로서 512K ×32 ×4뱅크의 구조를 가진 64Mb SDRAM을 사용한 경우에는 도 3과 달리 16개의 제2 그룹 핀과 제3 그룹 핀의 버스를 공유하여 데이터 제조 신호 보정부(400)에서 핀 수를 16개 줄일 수 있다.
- <49> 버스트 타입의 프레임 메모리(420)에는 버스트 모드가 있어서 판독(read) 또는 기록(write) 명령을 한번 내리면 최대 한 페이지의 데이터가 별도의 다른 명령 없이 판독 또는 기록될 수 있다. 아래에서 설명하는 것처럼 제2 그룹 핀과 제3 그룹 핀에 대해서 컨트롤 시퀀스를 조정하여 제2 그룹 핀과 제3 그룹 핀을 공유할 수 있다.
- <50> 이하, 도 5a 내지 5c를 참조하여 본 발명의 제1 실시예에 따른 프레임 메모리(420) 구동 방법에 대해서 자세하게 설명한다.
- <51> 도 5a는 프레임 메모리의 파워업 단계를 나타내는 시퀀스 도면이며, 도 5b는 프레임 메모리의 버스트 판독을 나타내는 시퀀스 도면이고, 도 5c는 프레임 메모리의 버스트 기록을 나타내는 시퀀스 도면이다.
- <52> 먼저, 도 5a를 참조하여 프레임 메모리(420)의 파워업 단계에 대해서 설명한다.
- <53> 프레임 메모리(420)를 판독 또는 기록하는 것과 같이 프레임 메모리(420)를 정상적으로 작동시키기 위해서는 먼저 파워업(power-up) 단계가 필요하다. 파워업 단계는 명령(command)만으로 이루어지고 데이터의 입출력이 없으므로 DQM을 액티브로 하여 데이터 핀을 마스크한다. 다시 말하면 데이터측 입출력을 하이 임피던스(HI-Z) 상태인 오픈 상태로 유지하면 된다. 이러한 파워업 단계는 비작동(no operation, NOP) 단계, 프리차지(precharge, PRE) 단계, 자동 리프레시(auto refresh, AR) 단계 및 모드 레지스터 설정(mode register set, MRS) 단계로 이루어진다.
- <54> NOP 단계에서는 안정된 클록이 입력되는 상태에서 CKE를 액티브로 하고 CS, RAS, CAS, WE 등의 핀들은 인액티브(inactive)로 하여 200μs 정도 유지한다. PRE 단계에서는 CS, RAS 및 WE를 액티브, CAS를 인액티브로 하고 ADDR10을 1로 설정하여 프레임 메모리(420)의 모든 뱅크를 프리차지한다. AR 단계에서는 CS, RAS 및 CAS를 액티브, WE를 인액티브로 하여 프리차지된 메모리를 리프레시하며, 이 AR 단계를 2회 이상 반복한다. MRS 단계에서는 CS, RAS, CAS 및 WE를 액티브로 하고 BA0, BA1, ADDR0 내지 ADDR10에 MRS 값을 주어서, CAS 레이턴시(LT)(2 또는 3), 버스트 길이(1, 2, 4, 8 또는 풀 페이지) 및 버스트 타입을 설정한다.
- <55> 이와 같은 파워업 단계를 거친 후 프레임 메모리(420)를 버스트 판독 또는 버스트 기록할 수 있다. 이하에서는

파워업 단계의 MRS 단계에서 버스트 길이가 풀 페이지로 설정된 경우에 대해서 설명한다.

- <56> 도 5b를 참조하여 프레임 메모리(420)를 버스트 판독하는 방법에 대하여 설명한다.
- <57> 먼저 BA0 및 BA1에 읽고자 하는 बैं크의 주소를 지정하고 CS, RAS 및 WE를 액티브, CAS를 인액티브로 하고 ADDR10을 0으로 설정하여 수동으로 지정한 बैं크를 프리차지한다(PRE0). 프리차지한 후 ADDR0 내지 ADDR10에 판독하고자 하는 데이터가 저장되어 있는 행(row)의 주소를 지정하고 CS 및 RAS를 액티브, CAS 및 WE를 인액티브로 하여 앞에서 지정된 행을 액티브 상태로 한다(RA0). PRE0 및 RA0 단계에서는 아직 유효한 데이터를 읽고 있지 않으므로 DQM은 액티브로 되어 있다.
- <58> 다음에 ADDR0 내지 ADDR7에 읽고자 하는 첫 번째 데이터의 열(column) 주소를 지정하고 CS 및 CAS를 액티브, RAS 및 WE를 인액티브로 하고 ADDR10을 1로 설정하여 CAS 명령을 내린다(RD0). CAS 명령을 내릴 때는 DQM을 액티브로 하여 CAS 명령이 제대로 들어갈 수 있도록 하고, 다음 클록부터는 데이터를 읽기 위해서 DQM을 인액티브로 한다(RD0).
- <59> 여기서, CAS 레이턴시(LT)가 2로 설정된 경우에는 CAS 명령으로부터 2클록 이후부터 데이터를 읽어야 하지만, 판독 상태에서 DQM 명령은 2클록 이후에 작동한다. 즉, CAS 명령 다음 2클록에서는 DQM이 아직 액티브 상태이므로 데이터를 읽을 수 없으며 그 다음 클록부터 데이터를 읽을 수 있다. 따라서 ADDR0 내지 ADDR7을 설정할 때 주소는 (읽고자 하는 첫 번째 데이터의 열 주소 - 1)로 지정하여야 데이터를 정상적으로 읽을 수 있다. 도 5b에 도시한 바와 같이 Q1부터 데이터를 읽을 때는 주소는 Q0으로 지정하여야 한다. 그러나 CAS 레이턴시(LT)가 3인 경우에는 이와 같은 문제가 발생하지 않으므로 ADDR0 내지 ADDR7에는 읽고자 하는 첫 번째 데이터의 열 주소를 지정하면 된다.
- <60> 이와 같이 DQM이 인액티브로 바뀐 경우부터 256셀의 데이터가 지정된 열 주소부터 차례로 버스트 판독된다. 이때 도 4에 도시한 바와 같이 데이터 핀과 제2 그룹 핀이 버스를 공유하고 있으므로 데이터를 읽을 때 RAS, CAS, WE, BA, ADDR0 내지 ADDR10의 상태가 바뀔 수 있지만 버스가 공유되어 있지 않는 CS를 인액티브로 계속 유지하면 프레임 메모리(420)에는 명령이 들어가지 않는다.
- <61> XGA 디스플레이의 경우에는 1라인에 1024 화소가 있으므로 한 बैं크의 한 행에 있는 256셀만으로는 이 화소를 저장하기에는 부족하다. 따라서 한 बैं크의 한 행을 읽은 후 다음 बैं크를 계속해서 읽어야 한다.
- <62> PRE0 단계에서와 같이 읽고자 하는 다음 बैं크의 주소를 BA0 및 BA1에 지정하여 앞 बैं크의 마지막 유효한 데이터 다음 클록 또는 그 이후에 프리차지한다(PRE1). 그런데 앞에서 설명한 바와 같이 리드 상태에서 DQM 명령은 2클록 이후에 작동하므로 마지막 유효한 데이터 1클록 전에 DQM을 액티브로 하여 마지막 유효한 데이터 다음 클록부터 데이터 핀을 마스킹한다. 프리차지한 후의 CAS 명령을 내리는 동작(RA1) 및 버스트 리드 동작(RD1)은 앞에서 설명한 RA0 및 RD0의 단계와 동일하므로 설명을 생략한다.
- <63> 그런데, 디스플레이용 데이터는 연속적으로 입력되는 데 반하여 이와 같이 한 बैं크의 데이터를 읽고 다음 बैं크의 데이터를 읽으면 시간적인 차이가 생기게 된다. 이러한 시간적인 차이를 보상하기 위해 데이터 계조 신호 보정부(400) 내부에 캐시 메모리(도시하지 않음)를 둘 수 있다. 데이터 계조 신호 보정부(400)에 전달되는 현재 프레임의 계조 신호를 임시로 캐시 메모리에 저장하고 이를 프레임 메모리(420)로 전달함으로써 이러한 시간적인 차이를 보상할 수 있다.
- <64> बैं크를 바꾸어 가면서 한 라인의 데이터를 모두 읽으면 마지막 बैं크의 마지막 유효한 데이터 1클록 전에 DQM을 액티브로 하여 유효한 데이터 다음 클록부터 데이터 핀을 마스킹하고, 다음 라인의 데이터를 읽으면 된다. 다음 라인의 데이터를 읽는 과정은 앞에서 설명한 한 라인의 데이터를 읽는 과정과 동일하므로 설명을 생략한다.
- <65> 다음에, 도 5c를 참조하여 프레임 메모리(420)에 버스트 기록하는 방법에 대하여 설명한다.
- <66> 버스트 기록 과정은 CAS 레이턴시(LT)가 없다는 점을 제외하면 버스트 판독 과정과 동일하다.
- <67> 상세히 설명하면, 버스트 판독에서의 PRE0 단계와 같이 기록하고자 하는 बैं크를 프리차지하고(PRE0), 기록하고자 하는 행을 액티브 상태로 한다(RA0). 라이트 상태에서는 DQM 명령은 레이턴시(LT) 없이 바로 그 클록 사이클에 작용하므로, 판독 상태와 달리 CAS 명령을 내릴 때까지 DQM을 액티브로 유지하고 다음 클록부터 DQM을 인액티브로 설정한다(WR0). 그리고 ADDR0 내지 ADDR7에 기록할 데이터의 열 주소를 지정할 때, 데이터는 CAS 명령 다음 클록부터 입력되므로 저장할 주소보다 1(또는 그 이상) 앞선 주소로 지정한다. 이와 같이 하면 CAS 명령 다음 클록부터 256셀의 데이터가 차례로 기록된다.

- <68> 버스트 기록에서도 한 뱅크의 한 행에는 256개의 셀만이 있으므로 다음 뱅크에 계속해서 기록하여야 한다. 다음 뱅크에 기록할 때는 버스트 판독과 달리 레이턴시(LT)가 없으므로 마지막 유효한 데이터 다음 클록부터 DQM을 액티브로 한다. 이후의 동작(PRE1, RA1, WR1)은 이 기술분야에서 통상의 지식을 가진 자가 도면과 앞의 설명을 참조하여 용이하게 실시할 수 있으므로 설명을 생략한다.
- <69> 뱅크를 바꾸어 가면서 한 라인의 데이터를 모두 기록하면 마지막 뱅크의 마지막 유효한 데이터 다음 클록부터 DQM을 액티브로 하여 유효한 데이터 다음 클록부터 데이터 핀을 마스킹하고, 다음 라인의 데이터를 기록한다. 이 과정은 앞에서 설명한 한 라인의 데이터를 기록하는 과정과 동일하므로 설명을 생략한다.
- <70> 이와 같이 본 발명의 제1 실시예에 따라 데이터를 버스트 판독, 버스트 기록 또는 버스트 판독 후에 버스트 기록하거나 버스트 기록 후에 버스트 판독할 수 있다.
- <71> 다음에 본 발명의 제2 실시예에 따른 프레임 메모리 구동 방법에 대해서 설명한다.
- <72> 본 발명의 제1 실시예에 따른 프레임 메모리 구동 방법에서는 한 뱅크를 판독 또는 기록할 때마다 프리차지하였지만, 제2 실시예에서는 한 라인의 데이터를 판독 또는 기록할 때 모든 뱅크를 프리차지한다.
- <73> 상세히 설명하면, 한 라인의 데이터를 판독 또는 기록하기 전에 첫 번째 뱅크의 프리차지 단계(PRE0)에서 CS, RAS 및 WE를 액티브, CAS를 인액티브로 하고 ADDR10을 1로 설정하여 모든 뱅크를 프리차지한다. 이후에 다음 뱅크를 판독 또는 기록할 때는 프리차지 단계(PRE1)를 생략하고 바로 CAS 명령을 내리면 된다(RA1). 다른 과정은 제1 실시예와 유사하므로 이에 대한 설명은 생략한다.
- <74> 다음에 본 발명의 제3 실시예에 따른 프레임 메모리 구동 방법에 대해서 설명한다.
- <75> 본 발명의 제1 및 제2 실시예에 따른 프레임 메모리 구동 방법에서는 수동으로 프리차지 명령을 내렸지만, 제3 실시예에서는 프레임 메모리 내에서 자동으로 프리차지한다.
- <76> 상세히 설명하면, CAS 명령을 내릴 때(RA0, RA1) ADDR10을 1로 설정하면 한 뱅크의 버스트 판독 또는 버스트 기록이 끝난 후 다음 뱅크를 버스트 판독 또는 버스트 기록할 때 별도의 프리차지 명령(PRE1) 없이 프레임 메모리 내에서 자동으로 프리차지를 수행한다. 다른 과정은 제1 및 제2 실시예와 유사하므로 이에 대한 설명은 생략한다.

발명의 효과

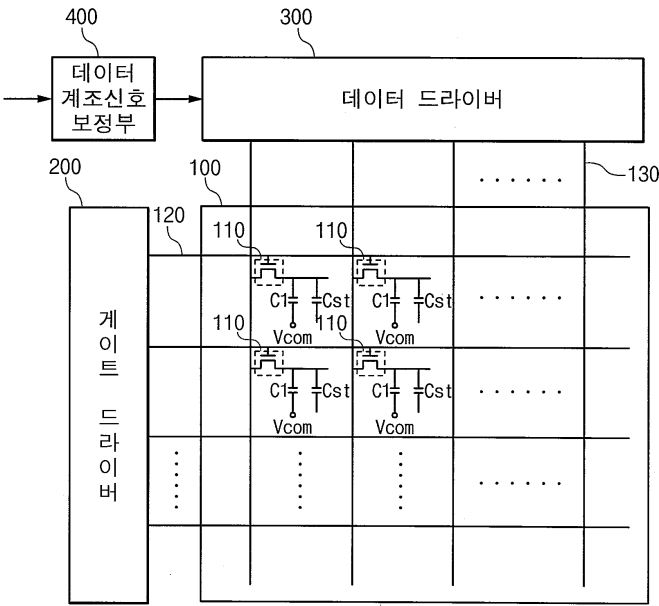
- <77> 이와 같이 본 발명에 의하면, 데이터 계조 신호 보정부가 프레임 메모리와 인터페이스 하는 부분을 줄여서 데이터 계조 신호 보정부의 크기를 줄일 수 있다.

도면의 간단한 설명

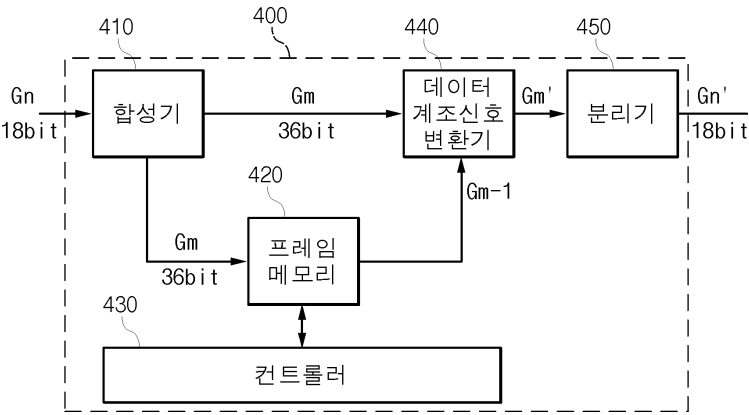
- <1> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 도면이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 데이터 계조 신호 보정부를 나타내는 블록도이다.
- <3> 도 3은 프레임 메모리를 외장 메모리로 구현한 경우를 나타내는 블록도이다.
- <4> 도 4는 본 발명의 일 실시예에 따라 프레임 메모리를 외장 메모리로 구현한 경우를 나타내는 블록도이다.
- <5> 도 5a는 프레임 메모리의 파워업 단계를 나타내는 시퀀스 도면이며, 도 5b는 프레임 메모리의 버스트 판독을 나타내는 시퀀스 도면이고, 도 5c는 프레임 메모리의 버스트 기록을 나타내는 시퀀스 도면이다.

도면

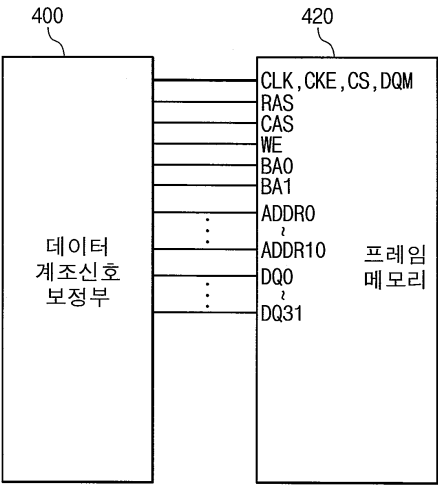
도면1



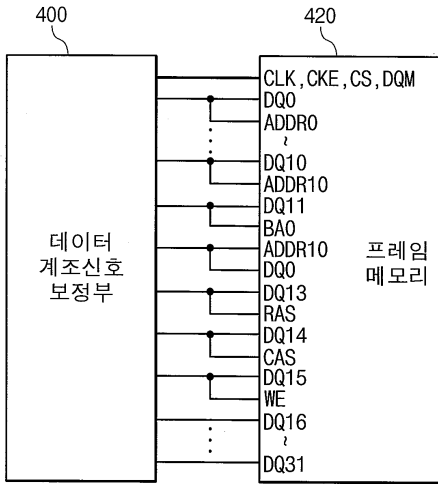
도면2



도면3



도면4



도면5a

파워업

CS							...								
Command	NOP	PRE			AR		...		AR		...		MRS		
DQM															
Data	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	...	Hi-Z	Hi-Z	Hi-Z	...	Hi-Z	Hi-Z	Hi-Z	Hi-Z

도면5b

버스트 판독

CS															
Command		PRE0			RA0			RD0							
DQM															
Data	LT=2	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2	Q3	Q4
	LT=3	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q0	Q1	Q2	Q3

다음 뱅크를 버스트 판독

CS															
Command				PRE1			RA1			RD1					
DQM															
Data	LT=2	Q254	Q255	Q0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2
	LT=3	Q253	Q254	Q255	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2

라인의 종료

CS															
Command															
DQM															
Data	LT=2	Q254	Q255	Q0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	LT=3	Q253	Q254	Q255	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

도면5c

버스트 기록

CS															
Command		PRE0			RA0			WR0							
DQM															
Data		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	D1	D2	D3	D4	D5	D6	D7

다음 뱅크를 버스트 기록

CS															
Command				PRE1			RA1			WR1					
DQM															
Data		D254	D255	D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	D1	D2	D3	D4	D5

CS															
Command															
DQM															
Data		D254	D255	D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

专利名称(译)	液晶显示器，其驱动方法和帧存储器		
公开(公告)号	KR100878231B1	公开(公告)日	2009-01-13
申请号	KR1020020007366	申请日	2002-02-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BAEKWON		
发明人	LEE,BAEKWON		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G11C11/401 H04N5/20 H04N5/66		
CPC分类号	G09G2360/121 G09G2360/128 G09G2360/18 G09G3/2092 G09G3/3611		
其他公开文献	KR1020030067868A		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示器包括帧数存储器，其输出数据到突发模式并存储，以及连接的数据灰度信号修正部门。数据灰度信号修正部门从数据梯度信号源接收当前帧的梯度信号，并将其存储在帧存储器中为突发模式。存储在帧存储器中的前一帧的梯度信号被读取到突发模式。考虑到当前帧的梯度信号和前一帧的梯度信号而校正的梯度信号被创建，并且梯度信号输出。帧存储器的数据引脚和命令引脚共享帧存储器与数据灰度信号修改部门接口的总线。帧存储器，突发和液晶显示器。

