



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월17일
(11) 등록번호 10-0874637
(24) 등록일자 2008년12월11일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2001-0081802
(22) 출원일자 2001년12월20일
심사청구일자 2006년11월07일
(65) 공개번호 10-2003-0051010
(43) 공개일자 2003년06월25일
(56) 선행기술조사문헌
KR1020010056509 A

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

하영수

경상북도구미시임수동동락원B동610호

문성웅

경상북도구미시옥계동540번지대백타운106동701호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 6 항

심사관 : 안준형

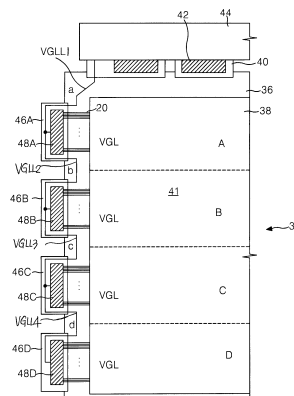
(54) 라인 온 글래스형 액정표시장치

(57) 요약

본 발명은 제한된 영역내에서 LOG형 신호라인군의 라인저항 차를 게이트 드라이브 IC별로 보상하여 수평라인 블록간의 휘도차를 방지할 수 있는 LOG형 액정표시장치에 관한 것이다.

이 LOG형 액정표시장치는 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와; 상기 게이트라인들을 구동하는 다수의 게이트 드라이브 집적회로들 각각이 실장된 다수의 게이트 테이프 캐리어 패키지들과; 상기 데이터라인들을 구동하는 다수의 데이터 드라이브 집적회로들 각각이 실장된 다수의 데이터 테이프 캐리어 패키지들과; 상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트 드라이브 집적회로들에서 필요로 하는 구동신호를 전송하는 라인 온 글래스형 신호라인들과; 상기 라인 온 글래스형 신호라인들의 라인 저항 차로 인한 게이트 드라이브 집적회로들 각각으로 공급되는 상기 구동신호의 전압 차를 보상하여, 상기 게이트 드라이브 집적회로들로부터 상기 게이트라인들로 동일한 크기의 게이트신호가 공급되도록 하는 전압차 보상부를 구비하고; 상기 전압차 보상부는 상기 게이트 드라이브 집적회로들 각각의 외부에 설치되어 상기 게이트 드라이브 집적회로들 각각에 전기적으로 접속되는 것을 특징으로 한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와;

상기 게이트라인들을 구동하는 다수의 게이트 드라이브 집적회로들 각각이 실장된 다수의 게이트 테이프 캐리어 패키지들과;

상기 데이터라인들을 구동하는 다수의 데이터 드라이브 집적회로들 각각이 실장된 다수의 데이터 테이프 캐리어 패키지들과;

상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트 드라이브 집적회로들에서 필요로 하는 구동신호를 전송하는 라인 온 글래스형 신호라인들과;

상기 라인 온 글래스형 신호라인들의 라인 저항 차로 인한 게이트 드라이브 집적회로들 각각으로 공급되는 상기 구동신호의 전압 차를 보상하여, 상기 게이트 드라이브 집적회로들로부터 상기 게이트라인들로 동일한 크기의 게이트신호가 공급되도록 하는 전압차 보상부를 구비하고;

상기 전압차 보상부는 상기 게이트 드라이브 집적회로들 각각의 외부에 설치되어 상기 게이트 드라이브 집적회로들 각각에 전기적으로 접속되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 전압차 보상부는 상기 라인 온 글래스형 신호라인들 중 게이트 로우전압을 전송하는 게이트 로우전압 전송 라인의 라인저항 차에 의한 게이트 로우전압 차를 보상하는 게이트 로우전압차 보상부인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 게이트 로우전압차 보상부는

상기 게이트 드라이브 집적회로의 게이트 로우전압 입력단에 그 집적회로 별로 서로 다른 저항값을 갖고 설치된 저항인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 게이트 로우전압차 보상부는

상기 게이트 드라이브 집적회로의 출력단에 그 집적회로 별로 서로 다른 저항값을 갖고 설치된 저항인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 게이트 드라이브 집적회로 별로 그의 입력단 및 출력단 중 어느 하나에 설치되는 저항은 그 게이트 드라이브 집적회로에 접속되는 라인 온 글래스형 게이트 로우전압 전송라인의 라인저항 값에 반비례하는 저항값을 갖게 설정된 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 게이트 로우전압차 보상부는

상기 게이트 드라이브 집적회로의 게이트 로우전압 입력단에 설치되어 일정전압이 유지되게 하는 제너다이오드

인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 액정표시장치에 관한 것으로, 특히 액정패널 상에 형성된 라인 온 글래스형 패턴들의 라인저항에 의해 의한 전압차를 보상할 수 있는 라인 온 글래스형 액정표시장치에 관한 것이다.
- <20> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- <21> 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.
- <22> 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍 제어부와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍 제어부는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(Vcom), 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등과 같은 구동전압들을 생성한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.
- <23> 이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이버 IC와 게이트 드라이버 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.
- <24> 여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이버 IC들은 TCP에 접속되어진 PCB(Printed Circuit Board)에 실장되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류전압들을 공급받는다. 상세히 하면, 데이터 드라이버 IC들은 데이터 PCB에 실장된 신호라인들을 통해 직렬로 접속되어 타이밍 제어부로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이버 IC들은 게이트 PCB에 실장된 신호라인들을 통해 직렬로 접속되어 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.
- <25> COG 방식으로 액정패널에 실장되는 드라이버 IC들은 신호라인들이 액정패널, 즉 하부 글래스 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍 제어부 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.
- <26> 최근에는 드라이버 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정표시장치가 더욱 박형화될 수 있게 하고 있다. 특히 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이버 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이버 IC들은 액정패널의 하부 글래스 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.
- <27> 실제로, LOG형 신호배선들을 이용하여 게이트 PCB를 제거한 액정표시장치는 도 1에 도시된 바와 같이 액정패널

(1)과, 액정패널(1)과 데이터 PCB(12) 사이에 접속되어진 다수개의 데이터 TCP들(8)과, 액정패널(1)의 다른 측에 접속되어진 다수개의 게이트 TCP들(14)과, 데이터 TCP들(8) 각각에 실장되어진 데이터 드라이브 IC(10)들과, 게이트 TCP들(14) 각각에 실장되어진 게이트 드라이브 IC들(16)을 구비한다.

<28> 액정패널(1)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(2)과, 칼라필터 어레이가 형성된 상부기판(4)과, 하부기판(2)과 상부기판(4) 사이에 주입된 액정을 구성으로 한다. 이러한 액정패널(1)에는 게이트라인들(20)과 데이터라인들(18)의 교차영역마다 마련되는 액정셀들로 구성되어 화상을 표시하는 화상 표시영역(21)이 마련된다. 화상표시영역(21)의 외곽부에 위치하는 하부기판(2) 외곽영역에는 데이터라인(18)으로부터 신장되어진 데이터 패드들과, 게이트라인(20)로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(2)의 외곽영역에는 게이트 드라이브 IC(16)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(26)이 위치하게 된다.

<29> 데이터 TCP(8)에는 데이터 드라이브 IC(10)가 실장되고, 그 데이터 드라이브 IC(10)와 전기적으로 접속된 입력 패드들(24) 및 출력패드들(25)이 형성된다. 데이터 TCP(8)의 입력패드들(24)은 데이터 PCB(12)의 출력패드들과 전기적으로 접속되고, 출력패드들(25)은 하부기판(2) 상의 데이터패드들과 전기적으로 접속된다. 특히 첫번째 데이터 TCP(8)는 하부기판(2) 상의 LOG형 신호라인군(26)에 전기적으로 접속되는 게이트 구동신호 전송군(22)이 추가적으로 형성된다. 이 게이트 구동신호 전송군(22)은 데이터 PCB(12)를 경유하여 타이밍 컨트롤러 및 전원 공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(26)에 공급하게 된다.

<30> 데이터 드라이브 IC들(10)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정 패널 상의 데이터라인들(18)에 공급한다.

<31> 게이트 TCP(14)에는 게이트 드라이브 IC(16)가 실장되고, 그 게이트 드라이브 IC(16)와 전기적으로 접속된 게이트 구동신호 전송라인군(28) 및 출력패드들(30)이 형성된다. 게이트 구동신호 전송라인군(28)은 하부기판(2) 상의 LOG 신호라인군(26)과 전기적으로 접속되고, 출력패드들(30)은 하부기판(2) 상의 게이트패드들과 전기적으로 접속된다.

<32> 게이트 드라이브 IC들(16)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트 라인들(20)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(16)들은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.

<33> LOG형 신호라인군(26)은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같이 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다.

<34> 이러한 LOG형 신호라인군(26)은 화상표시부(21)의 외곽영역에 위치하는 패드부와 같이 매우 한정된 좁은 공간에서 미세패턴으로 나란하게 형성된다. 그리고 LOG형 신호라인군(26)은 게이트라인들(20)과 동일하게 게이트 금속층으로 구성된다. 게이트 금속층으로는 통상 AINd 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속이 이용된다. 이렇게 LOG형 신호라인군(26)이 제한된 영역내에서 미세패턴으로 형성됨과 아울러 비교적 큰 비저항값을 갖는 게이트금속층으로 구성됨에 따라 기존의 게이트 PCB에 동박으로 형성된 신호라인들과 대비하여 상대적으로 높은 저항성분을 포함하게 된다. 또한 LOG형 신호라인군(26)의 저항값은 라인길이에 비례함에 따라 데이터 PCB(12)로부터 멀어질수록 라인저항값이 증가하여 게이트 구동신호가 감쇄하게 된다. 이 결과 LOG형 신호라인군(26)을 통해 전송되는 게이트 구동신호들이 그의 라인저항값에 의해 왜곡됨으로써 화상표시부(21)에 표시되는 화상의 품질이 저하되게 된다.

<35> 특히 LOG형 신호라인군(26)을 통해 공급되는 게이트 구동신호들 중 게이트 로우전압(VGL)의 왜곡이 화상표시부(21)의 화질에 큰 영향을 미치게 된다. 이는 게이트 로우전압(VGL)이 게이트 하이전압(VGH) 구간에서 액정셀에 충전된 화소전압을 다음 화소전압이 충전되기 전까지 유지되게 하는 것으로 그 게이트 로우전압(VGL)이 왜곡되는 경우 충전된 화소전압이 가변되기 때문이다.

<36> 상세히 하면, 게이트 로우전압(VGL)을 공급하는 LOG형 게이트 로우전압 전송라인(VGLL)은 도 2에 도시된 바와 같이 제1 데이터 TCP(8)와 제1 내지 제4 게이트 TCP들(14A 내지 14D) 사이 각각에 접속되는 제1 내지 제4 LOG형 게이트 로우전압 전송라인들(VGLL1 내지 VGLL4)로 구성된다. 제1 내지 제4 LOG형 게이트 로우전압 전송라인들(VGLL1 내지 VGLL4)은 그 라인길이에 비례하는 라인저항값(a, b, c, d)을 갖고 제1 내지 제4 게이트 TCP(14A 내지 14D)를 경유하여 직렬로 연결된다.

- <37> 이러한 LOG형 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 라인저항값(a, b, c, d)에 의해 게이트 드라이브 IC(16)마다 공급되는 게이트 로우전압(VGL)이 달라지게 된다.
- <38> 구체적으로 제1 게이트 TCP(14A)에 실장된 게이트 드라이브 IC(16)에는 제1 LOG 게이트 로우전압 전송라인(VGLL1)의 제1 라인저항값(a)에 비례하여 전압강하된 제1 게이트 로우전압(VGL1)이 공급된다. 제1 게이트 로우전압(VGL1)은 제1 게이트 드라이브 IC(16)를 통해 제1 수평라인 블록(A)의 게이트라인들에 공급된다.
- <39> 제2 게이트 TCP(14B)에 실장된 게이트 드라이브 IC(16)에는 직렬접속된 제1 LOG 게이트 로우전압 전송라인(VGLL1) 및 제2 LOG 게이트 로우전압 전송라인(VGLL2)의 제2 라인저항값(a+b)에 비례하여 전압강하된 제2 게이트 로우전압(VGL2)이 공급된다. 제2 게이트 로우전압(VGL2)은 제2 게이트 드라이브 IC(16)를 통해 제2 수평라인 블록(B)의 게이트라인들에 공급된다.
- <40> 제3 게이트 TCP(14C)에 실장된 게이트 드라이브 IC(16)에는 직렬접속된 제1 LOG 게이트 로우전압 전송라인 내지 제3 LOG 게이트 로우전압 전송라인(VGLL1 내지 VGLL3)의 제3 라인저항값(a+b+c)에 비례하여 전압강하된 제3 게이트 로우전압(VGL3)이 공급된다. 제3 게이트 로우전압(VGL3)은 제3 게이트 드라이브 IC(16)를 통해 제3 수평라인 블록(C)의 게이트라인들에 공급된다.
- <41> 제4 게이트 TCP(14D)에 실장된 게이트 드라이브 IC(16)에는 직렬접속된 제1 LOG 게이트 로우전압 전송라인 내지 제4 LOG 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 제4 라인저항값(a+b+c+d)에 비례하여 전압강하된 제4 게이트 로우전압(VGL4)이 공급된다. 제4 게이트 로우전압(VGL4)은 제4 게이트 드라이브 IC(16)를 통해 제4 수평라인 블록(D)의 게이트라인들에 공급된다.
- <42> 이렇게 게이트 드라이브 IC(16) 별로 게이트라인들에 공급하는 게이트 로우전압(VGL1 내지 VGL4)에 차이가 발생함에 따라 서로 다른 게이트 드라이브 IC(16)에 접속되는 수평라인 블록(A 내지 D) 간에 휘도차가 발생하게 된다. 이 수평라인 블록(A 내지 D)의 휘도차는 가로선(32) 현상으로 나타나게 되어 화면이 분할되어 보이게 함으로써 화질저하를 초래한다. 특히 제1 게이트 드라이브 IC(16)에서 제4 게이트 드라이브 IC(16) 쪽으로 진행할수록 LOG형 게이트 로우전압 전송라인(VGLL)의 라인저항 값(a, b, c, d)이 가산됨에 따라 수평라인 블록(A 내지 D)에 공급되는 제1 내지 제4 게이트 로우전압(VGL1 내지 VGL4)은 $VGL1 > VGL2 > VGL3 > VGL4$ 와 같은 관계를 갖게 된다.
- <43> 이러한 게이트 드라이브 IC(16) 단위의 게이트 로우전압 차이는 게이트 드라이브 IC(16) 각각에 독립적으로 접속되는 다수개의 LOG형 게이트 로우전압 전송라인을 마련하고 그 라인들의 단면적을 라인길이에 반비례하게 증가시키는 방법 등을 이용하여 보상할 수 있다. 그러나 LOG형 신호라인군(26)이 형성되는 화상표시부(21)의 외곽영역은 한정되어 있으므로 다수개의 LOG형 게이트 로우전압 전송라인을 마련하는게 어려운 뿐만 아니라 단면적을 증가시키는데 한계가 있다.
- <44> 따라서 제한된 공간 내에 형성되는 LOG형 게이트 로우전압 전송라인(VGLL)의 설계변경 없이 라인저항에 의한 게이트 로우전압 차를 보상할 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

- <45> 따라서, 본 발명의 목적은 제한된 영역내에서 LOG형 신호라인군의 라인저항 차를 게이트 드라이브 IC별로 보상하여 수평라인 블록간의 휘도차를 방지할 수 있는 LOG형 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <46> 상기 목적을 달성하기 위하여, 본 발명에 따른 LOG형 액정표시장치는 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와; 상기 게이트라인들을 구동하는 다수의 게이트 드라이브 집적회로들 각각이 실장된 다수의 게이트 테이프 캐리어 패키지들과; 상기 데이터라인들을 구동하는 다수의 데이터 드라이브 집적회로들 각각이 실장된 다수의 데이터 테이프 캐리어 패키지들과; 상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트 드라이브 집적회로들에서 필요로 하는 구동신호를 전송하는 라인 온 글래스형 신호라인들과; 상기 라인 온 글래스형 신호라인들의 라인 저항 차로 인한 게이트 드라이브 집적회로들 각각으로 공급되는 상기 구동신호의 전압 차를 보상하여, 상기 게이트 드라이브 집적회로들로부터

터 상기 게이트라인들로 동일한 크기의 게이트신호가 공급되도록 하는 전압차 보상부를 구비하고; 상기 전압차 보상부는 상기 게이트 드라이브 집적회로들 각각의 외부에 설치되어 상기 게이트 드라이브 집적회로들 각각에 전기적으로 접속되는 것을 특징으로 한다.

- <47> 여기서 상기 전압차 보상부는 상기 라인 온 글래스형 신호라인들 중 게이트 로우전압을 전송하는 게이트 로우전압 전송라인의 라인저항 차에 의한 게이트 로우전압 차를 보상하는 게이트 로우전압차 보상부인 것을 특징으로 한다.
- <48> 그리고 상기 게이트 로우전압차 보상부는 게이트 드라이브 집적회로의 게이트 로우전압 입력단에 그 집적회로 별로 서로 다른 저항값을 갖고 설치된 저항인 것을 특징으로 한다.
- <49> 이와 달리 상기 게이트 로우전압차 보상부는 게이트 드라이브 집적회로의 출력단에 그 집적회로 별로 서로 다른 저항값을 갖고 설치된 저항인 것을 특징으로 한다.
- <50> 이렇게 게이트 드라이브 집적회로 별로 그의 입력단 및 출력단 중 어느 하나에 설치되는 저항은 그 게이트 드라이브 집적회로에 접속되는 라인 온 글래스형 게이트 로우전압 전송라인의 라인저항 값에 반비례하는 저항값을 갖게 설정된 것을 특징으로 한다.
- <51> 또한, 상기 게이트 로우전압차 보상부는 게이트 드라이브 집적회로의 게이트 로우전압 입력단에 설치되어 일정 전압이 유지되게 하는 제너다이오드인 것을 특징으로 한다.
- <52> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <53> 이하, 본 발명의 바람직한 실시 예를 도 3 내지 도 6을 참조하여 상세히 설명하기로 한다.
- <54> 도 3은 본 발명의 실시 예에 따른 LOG형 액정표시장치의 구성을 개략적으로 도시한 도면이다. 도 3에 도시된 액정표시장치는 액정패널(34)과, 액정패널(34)과 데이터 PCB(44) 사이에 접속되어진 다수개의 데이터 TCP들(40)과, 액정패널(34)의 다른 측에 접속되어진 다수개의 게이트 TCP들(46A 내지 46D)과, 데이터 TCP들(40) 각각에 실장되어진 데이터 드라이브 IC들(42)과, 게이트 TCP들(46A 내지 46D) 각각에 실장된 게이트 드라이브 IC들(48A 내지 48D) 각각을 구비한다. 여기서 게이트 드라이브 IC들(48A 내지 48D) 각각의 입력단에는 LOG형 게이트 로우전압 전송라인(VGLL)의 라인길이에 비례하는 라인저항 차를 보상하는 보상부가 마련된다.
- <55> 액정패널(34)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(36)과, 칼라필터 어레이가 형성된 상부기판(38)과, 하부기판(36)과 상부기판(38) 사이에 주입된 액정을 포함한다. 이러한 액정패널(34)은 게이트라인들과 데이터라인들의 교차영역마다 형성된 액정셀들에 의해 화상표시영역(41)에 화상을 표시한다. 화상표시영역(41)의 외곽부에 위치하는 하부기판(36) 외곽영역에는 데이터라인으로부터 신장되어진 데이터 패드들과, 게이트라인으로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(36)의 외곽영역에는 게이트 드라이브 IC(48A 내지 48D)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군이 위치하게 된다.
- <56> 데이터 TCP(40)에는 데이터 드라이브 IC(42)가 실장되고, 그 데이터 TCP(40)는 데이터 드라이브 IC(42)와 접속되는 입출력 패드들을 통해 데이터 PCB(44)의 출력패드들 및 하부기판(36)의 데이터패드들과 접속된다. 특히 첫 번째 데이터 TCP(40)는 하부기판(36) 상의 LOG형 신호라인군에 접속되는 게이트 구동신호 전송라인군을 더 구비한다. 이 게이트 구동신호 전송라인군은 데이터 PCB(44)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군에 공급하게 된다.
- <57> 데이터 드라이브 IC들(42)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들에 공급한다.
- <58> 게이트 TCP(46A 내지 46D)에는 게이트 드라이브 IC(48A 내지 48D)가 실장되고, 그 게이트 TCP(46A 내지 46D)는 게이트 드라이브 IC(48A 내지 48D)와 접속되는 출력 패드들을 통해 하부기판(36)의 게이트패드들과 접속된다. 또한 게이트 TCP(46A 내지 46D)는 하부기판(36)의 LOG형 신호라인군과 게이트 드라이브 IC(48A 내지 48D) 사이에 접속되는 게이트 구동신호 전송라인군을 더 구비한다.
- <59> 게이트 드라이브 IC들(48A 내지 48D)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(48A 내지 48D)은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.

- <60> LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGH), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다. 이러한 LOG형 신호라인군은 게이트라인들과 동일하게 게이트 금속으로 형성된다. LOG형 신호라인군은 그의 라인길이에 비례하는 라인저항 값을 가지게 됨에 따라 라인길이에 비례하여 게이트 구동신호가 감소하게 된다.
- <61> 이러한 LOG형 신호라인군의 라인저항에 의해 게이트 드라이브 IC(48A 내지 48D) 단위로 공급되는 게이트 구동신호의 전압차를 보상하기 위하여 게이트 드라이브 IC(48A 내지 48D) 내에 보상용 저항을 설치하게 된다. 특히 게이트 드라이브 IC(48A 내지 48D)는 화상표시부(41)의 화질에 큰 영향을 미치는 게이트 로우전압의 입력단에 보상용 저항을 설치하게 된다.
- <62> 상세히 하면, 게이트 로우전압(VGL)을 공급하는 LOG형 게이트 로우전압 전송라인(VGLL)은 제1 데이터 TCP(40)와 제1 내지 제4 게이트 TCP들(46A 내지 46D) 사이 각각에 접속되는 제1 내지 제4 LOG형 게이트 로우전압 전송라인들(VGLL1 내지 VGLL4)로 구성된다. 제1 내지 제4 LOG형 게이트 로우전압 전송라인들(VGLL1 내지 VGLL4)은 그 라인길이에 비례하는 라인저항값(a, b, c, d)을 갖고 제1 내지 제4 게이트 TCP(46A 내지 46D)를 경유하여 직렬로 연결된다. 이러한 LOG형 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 라인저항값(a, b, c, d)에 의해 게이트 드라이브 IC(48A 내지 48D)마다 공급되는 게이트 로우전압(VGL)이 달라지는 것을 방지하기 위하여 도 4a 내지 도 4d에 도시된 바와 같이 게이트 드라이브 IC(48A 내지 48D) 별로 서로 다른 보상용 저항을 게이트 로우전압 입력단에 설치하게 된다. 이를 위하여 제1 내지 제4 게이트 드라이브 IC(48A 내지 48D) 별로 LOG형 게이트 로우전압 전송라인(VGLL)의 라인저항 값을 산출하고 제일 큰 라인저항 값을 기준으로 보상용 저항값을 설정하게 된다. 예를 들면, 도 3에서 제4 게이트 드라이브 IC(48D)에 게이트 로우전압을 공급하는 제1 내지 제4 LOG형 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 라인저항 합(a+b+c+d)을 기준으로 각 게이트 드라이브 IC(48A 내지 48C)에 걸리는 저항값이 동일해지게끔 보상용 저항값을 설정하게 된다.
- <63> 구체적으로 도 4a에 도시된 바와 같이 제1 게이트 TCP(46A)에 실장된 게이트 드라이브 IC(48A)의 입력단에 제1 LOG 게이트 로우전압 전송라인(VGLL1)의 제1 라인저항(a)에 가산되는 제1 저항(b+c+d)이 설치된다. 이에 따라, 제1 게이트 드라이브 IC(48A)에는 제1 라인저항(a) 및 제2 저항(b+c+d)의 합(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다. 이 게이트 로우전압(VGL)은 제1 게이트 드라이브 IC(48A)의 출력패드(52A)를 통해 제1 수평라인 블록(A)의 게이트라인들에 공급된다.
- <64> 제2 게이트 TCP(46B)에 실장된 게이트 드라이브 IC(48B) 입력단에는 도 4b에 도시된 바와 같이 제1 및 제2 LOG 게이트 로우전압 전송라인(VGLL1, VGLL2)의 제2 라인저항(a+b)에 가산되는 제2 저항(c+d)이 설치된다. 이에 따라, 제2 게이트 드라이브 IC(48B)에는 제2 라인저항(a+b) 및 제2 저항(c+d)의 합(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다. 이 게이트 로우전압(VGL)은 제2 게이트 드라이브 IC(48B)의 출력패드(52B)를 통해 제2 수평라인 블록(B)의 게이트라인들에 공급된다.
- <65> 제3 게이트 TCP(46C)에 실장된 게이트 드라이브 IC(48C)의 입력단에는 도 4c에 도시된 바와 같이 제1 내지 제3 LOG 게이트 로우전압 전송라인(VGLL1 내지 VGLL3)의 제3 라인저항(a+b+c)에 가산되는 제3 저항(d)이 설치된다. 이에 따라, 제3 게이트 드라이브 IC(48C)에는 제3 라인저항(a+b+c) 및 제3 저항(d)의 합(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다. 이 게이트 로우전압(VGL)은 제3 게이트 드라이브 IC(48C)의 출력패드(52C)를 통해 제3 수평라인 블록(C)의 게이트라인들에 공급된다.
- <66> 제4 게이트 TCP(46D)에 실장된 게이트 드라이브 IC(48D)의 입력단에는 도 4d에 도시된 바와 같이 저항이 설치되지 않는다. 이에 따라 제4 게이트 드라이브 IC(48D)에는 제1 내지 제4 LOG 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 제4 라인저항(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다. 이 게이트 로우전압(VGL)은 제4 게이트 드라이브 IC(48D)의 출력패드(52D)를 통해 제4 수평라인 블록(D)의 게이트라인들에 공급된다.
- <67> 이렇게 각 게이트 드라이브 IC(48A 내지 48D) 입력단에 서로 다른 보상용 저항을 설치하여 LOG형 게이트 로우전압 전송라인(VGLL)의 길이에 따른 라인저항 차를 보상함으로써 각 게이트 드라이브 IC(48A 내지 48D)의 입력단에 걸리는 저항이 동일해지게 된다. 이에 따라 각 게이트 드라이브 IC(48A 내지 48D)를 경유하여 동일한 게이트 로우전압(VGL)이 게이트라인에 공급됨에 따라 수평라인 블록(A 내지 D) 간의 휘도차는 발생하지 않게 된다.

- <68> 이와 달리 도 5a 내지 도 5d에 도시된 바와 같이 각 게이트 드라이브 IC(54A 내지 54D)의 출력단에 서로 다른 보상용 저항을 설치하는 경우에도 각 게이트 드라이브 IC(54A 내지 54D)를 통해 게이트라인에 공급되는 게이트 로우전압(VGL)이 동일해지게 된다.
- <69> 구체적으로 도 5a에 도시된 바와 같이 제1 게이트 TCP(46A)에 실장된 게이트 드라이브 IC(54A)의 출력라인들(56A)에 제1 LOG 게이트 로우전압 전송라인(VGLL1)의 제1 라인저항(a)에 가산되는 제1 저항(b+c+d)이 설치된다. 이에 따라, 제1 게이트 드라이브 IC(54A)를 경유하여 제1 수평라인 블록(A)의 게이트라인들에는 제1 라인저항(a) 및 제2 저항(b+c+d)의 합(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다.
- <70> 제2 게이트 TCP(46B)에 실장된 게이트 드라이브 IC(54B) 출력라인들(56B)에는 도 5b에 도시된 바와 같이 제1 및 제2 LOG 게이트 로우전압 전송라인(VGLL1, VGLL2)의 제2 라인저항(a+b)에 가산되는 제2 저항(c+d)이 설치된다. 이에 따라, 제2 게이트 드라이브 IC(54B)를 경유하여 제2 수평라인 블록(B)의 게이트라인들에는 제2 라인저항(a+b) 및 제2 저항(c+d)의 합(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다.
- <71> 제3 게이트 TCP(46C)에 실장된 게이트 드라이브 IC(54C)의 출력라인들(56C)에는 도 5c에 도시된 바와 같이 제1 내지 제3 LOG 게이트 로우전압 전송라인(VGLL1 내지 VGLL3)의 제3 라인저항(a+b+c)에 가산되는 제3 저항(d)이 설치된다. 이에 따라, 제3 게이트 드라이브 IC(54C)를 경유하여 제3 수평라인 블록(C)의 게이트라인들에는 제3 라인저항(a+b+c) 및 제3 저항(d)의 합(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다.
- <72> 제4 게이트 TCP(46D)에 실장된 게이트 드라이브 IC(54D)의 출력라인들(56D)에는 도 5d에 도시된 바와 같이 저항이 설치되지 않는다. 이에 따라 제4 게이트 드라이브 IC(54D)를 경유하여 제4 수평라인 블록(D)의 게이트라인들에는 제1 내지 제4 LOG 게이트 로우전압 전송라인(VGLL1 내지 VGLL4)의 제4 라인저항(a+b+c+d)에 비례하여 전압강하된 게이트 로우전압(VGL)이 공급된다.
- <73> 이렇게 각 게이트 드라이브 IC(54A 내지 54D) 출력단에 서로 다른 보상용 저항을 설치하여 LOG형 게이트 로우전압 전송라인(VGLL)의 길이에 따른 라인저항 차를 보상하게 된다. 이에 따라 각 게이트 드라이브 IC(54A 내지 54D)를 경유하여 각 수평라인 블록(A 내지 D)의 게이트라인들에 동일한 게이트 로우전압(VGL)이 공급됨에 따라 그 수평라인 블록(A 내지 D) 간의 휘도차는 발생하지 않게 된다.
- <74> 또 이와 다르게 도 6에 도시된 바와 같이 각 게이트 드라이브 IC(60)의 게이트 로우전압 입력단에 제너다이오드(ZD)를 설치하여 일정한 게이트 로우전압(VGL)이 입력될 수 있게 한다. 이렇게 게이트 드라이브 IC(60)의 입력단에 일정전압이 유지되게 하는 제너다이오드(ZD)에 의해 LOG형 게이트 로우전압 전송라인의 라인저항 차에 관계없이 각 게이트 드라이브 IC(60)에는 일정한 게이트 로우전압이 입력되어진다. 이에 따라 각 게이트 드라이브 IC(60)를 경유하여 각 수평라인 블록(A 내지 D)의 게이트라인들에 동일한 게이트 로우전압(VGL)이 공급됨에 따라 그 수평라인 블록(A 내지 D) 간의 휘도차는 발생하지 않게 된다.

발명의 효과

- <75> 상술한 바와 같이, 본 발명에 따른 LOG형 액정표시장치에서는 LOG형 게이트 로우전압 전송라인의 라인저항 차를 게이트 드라이브 IC의 입력단 또는 출력단에 IC별로 서로 다른 보상용 저항을 설치함으로써 동일한 게이트 로우전압이 게이트라인들에 공급될 수 있게 된다. 또한 본 발명에 따른 LOG형 액정표시장치에서는 게이트 드라이브 IC의 입력단에 일정전압이 유지되게 하는 제너다이오드를 설치함으로써 LOG형 게이트 로우전압 전송라인의 라인저항 차에 관계없이 각 게이트 드라이브 IC를 경유하여 일정한 게이트 로우전압이 게이트라인들에 공급될 수 있게 된다. 이렇게 각 게이트 드라이브 IC에 접속된 각 수평라인 블록에 동일한 게이트 로우전압이 공급됨에 따라 그 수평라인 블록 간의 휘도차에 의한 화질저하 현상은 발생하지 않게 된다.
- <76> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래의 라인 온 글래스형 액정표시장치의 구성을 개략적으로 도시한 평면도.
- <2> 도 2는 도 1에 도시된 라인 온 글래스형 신호라인군의 라인저항에 의한 수평라인 블록간의 분리현상을 설명하기

위한 도면.

<3> 도 3은 본 발명의 실시 예에 따른 라인 온 글래스형 액정표시장치의 구성을 개략적으로 도시한 평면도.

<4> 도 4a 내지 도 4d는 도 3에 도시된 게이트 드라이브 IC들 구성을 확대 도시한 도면.

<5> 도 5a 내지 도 5d는 본 발명의 다른 실시 예에 따른 라인 온 글래스형 액정표시장치의 게이트 드라이브 IC들 구성을 확대 도시한 도면.

<6> 도 6은 본 발명의 또 다른 실시 예에 따른 라인 온 글래스형 액정표시장치의 구성을 개략적으로 도시한 평면도.

<7> < 도면의 주요 부분에 대한 부호의 설명 >

<8> 1, 34 : 액정패널 2, 36 : 하부기관

<9> 4, 38 : 상부기관 8, 40 : 데이터 TCP

<10> 10, 42 : 데이터 드라이브 IC 12, 44 : 데이터 PCB

<11> 14, 14A 내지 14D, 46A 내지 46D : 게이트 TCP

<12> 16, 16A 내지 16D, 48A 내지 48D, 60 : 게이트 드라이브 IC

<13> 18 : 데이터라인 20 : 게이트라인

<14> 21, 41 : 화상표시부 22, 28 : 게이트 구동신호 전송군

<15> 24 : 데이터 TCP 입력패드 25 : 데이터 TCP 출력패드

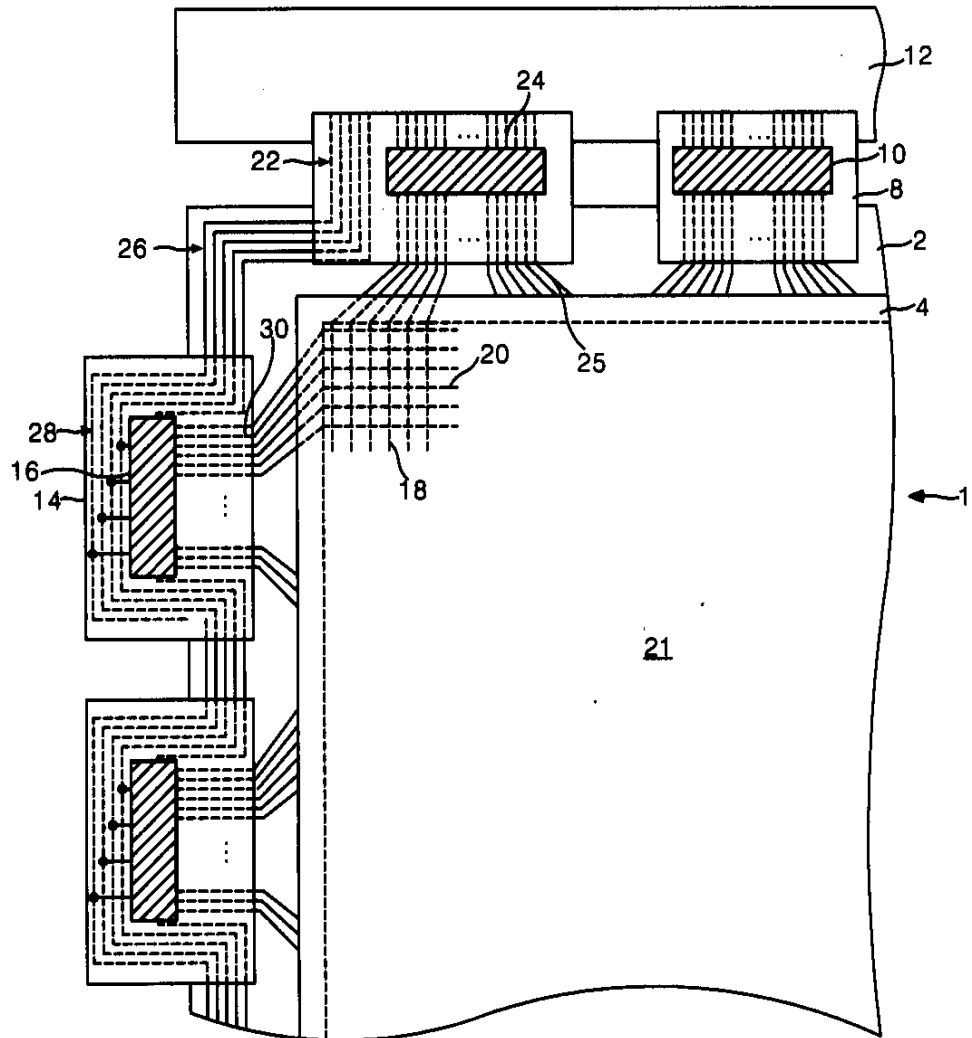
<16> 26 : LOG형 신호라인군 30 : 게이트 TCP 출력패드

<17> 32 : 가로선

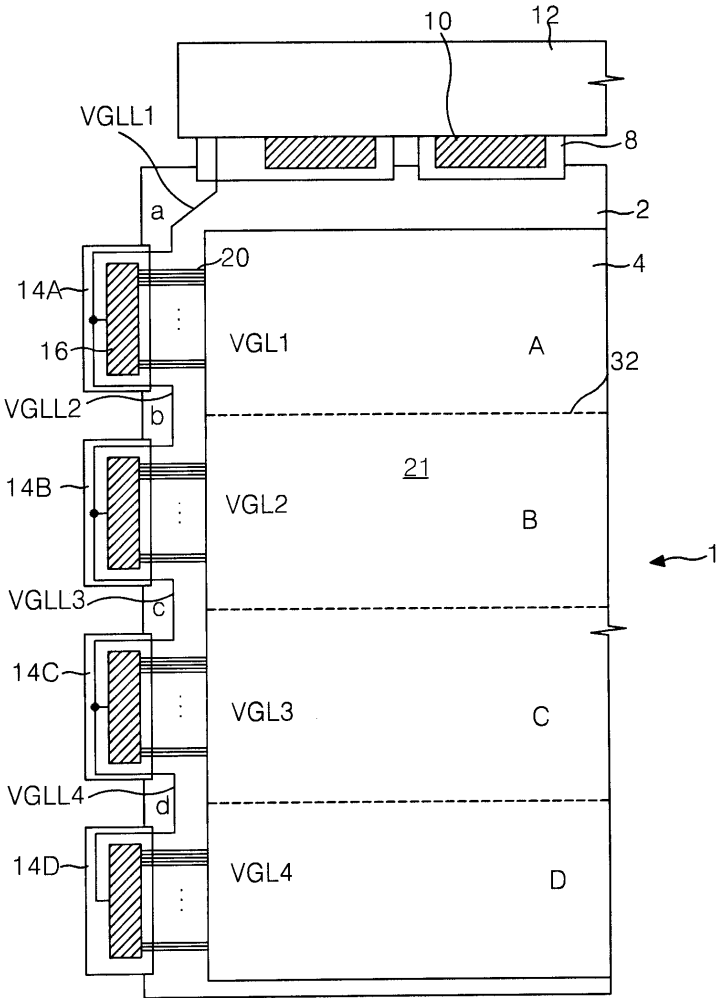
<18> 52A 내지 52D, 56A 내지 56D, 62 : IC 출력라인

도면

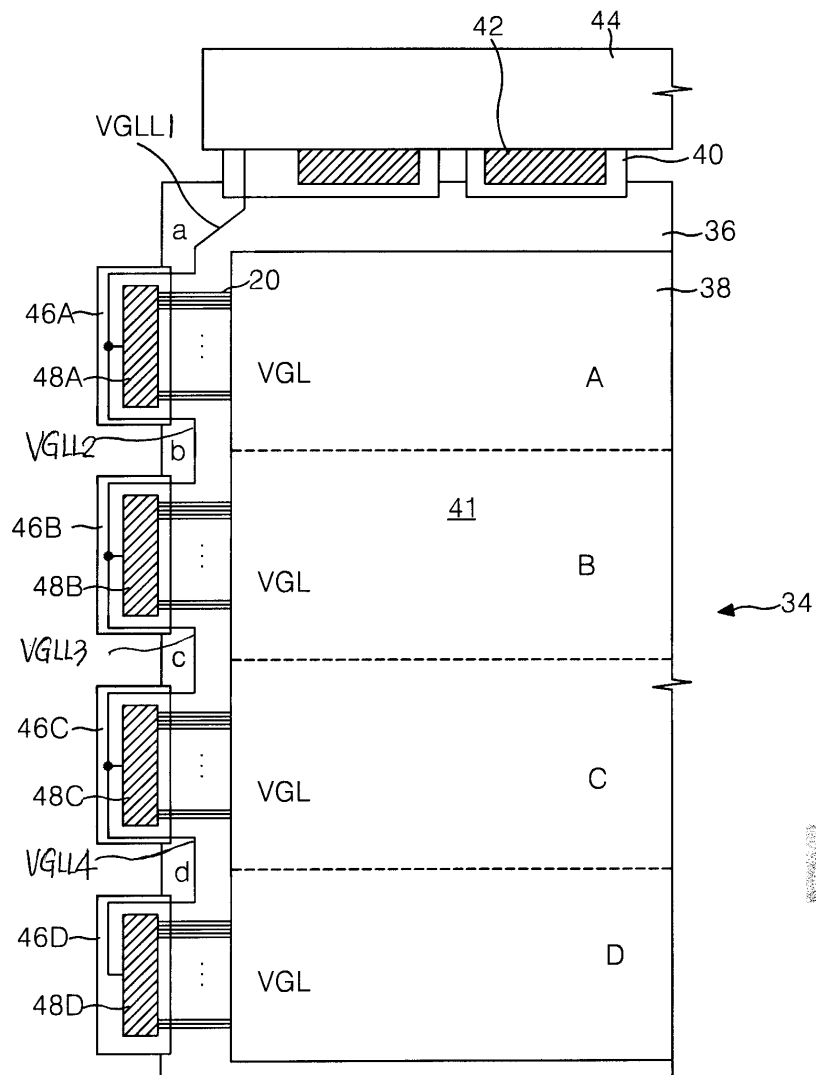
도면1



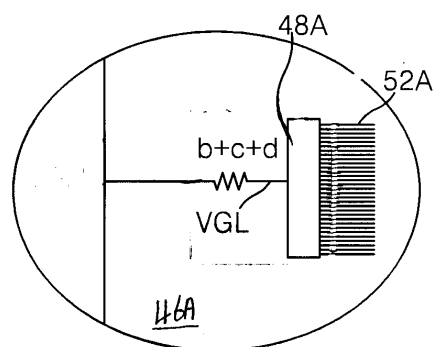
도면2



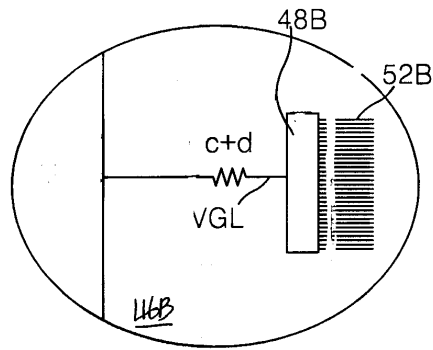
도면3



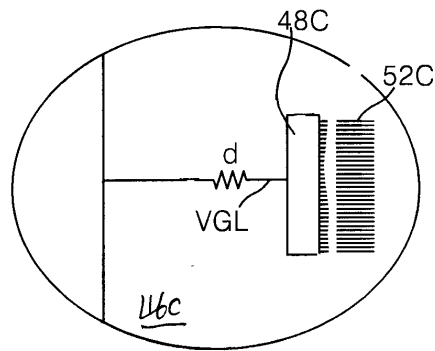
도면4a



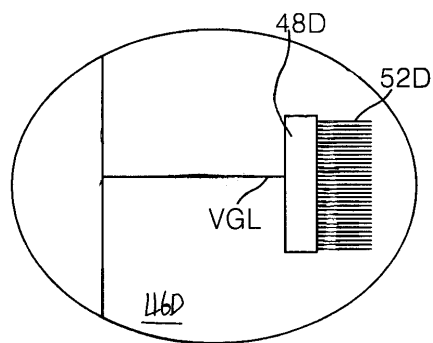
도면4b



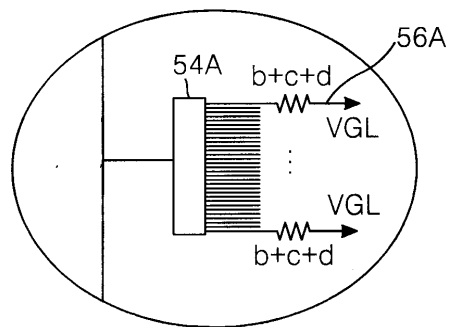
도면4c



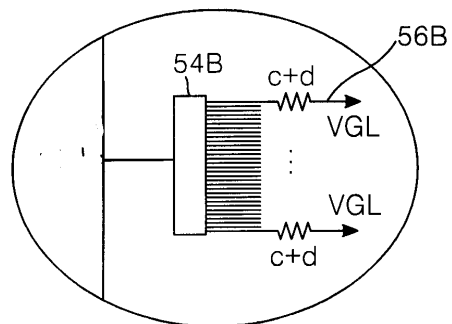
도면4d



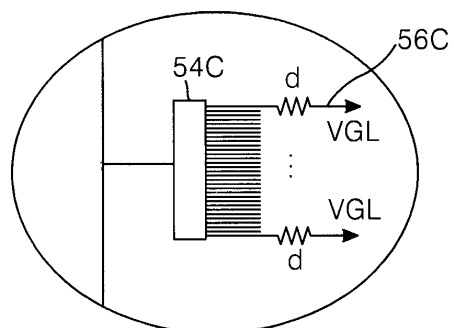
도면5a



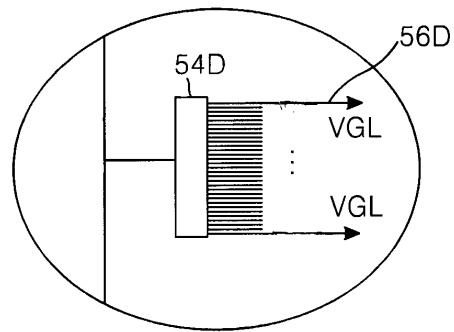
도면5b



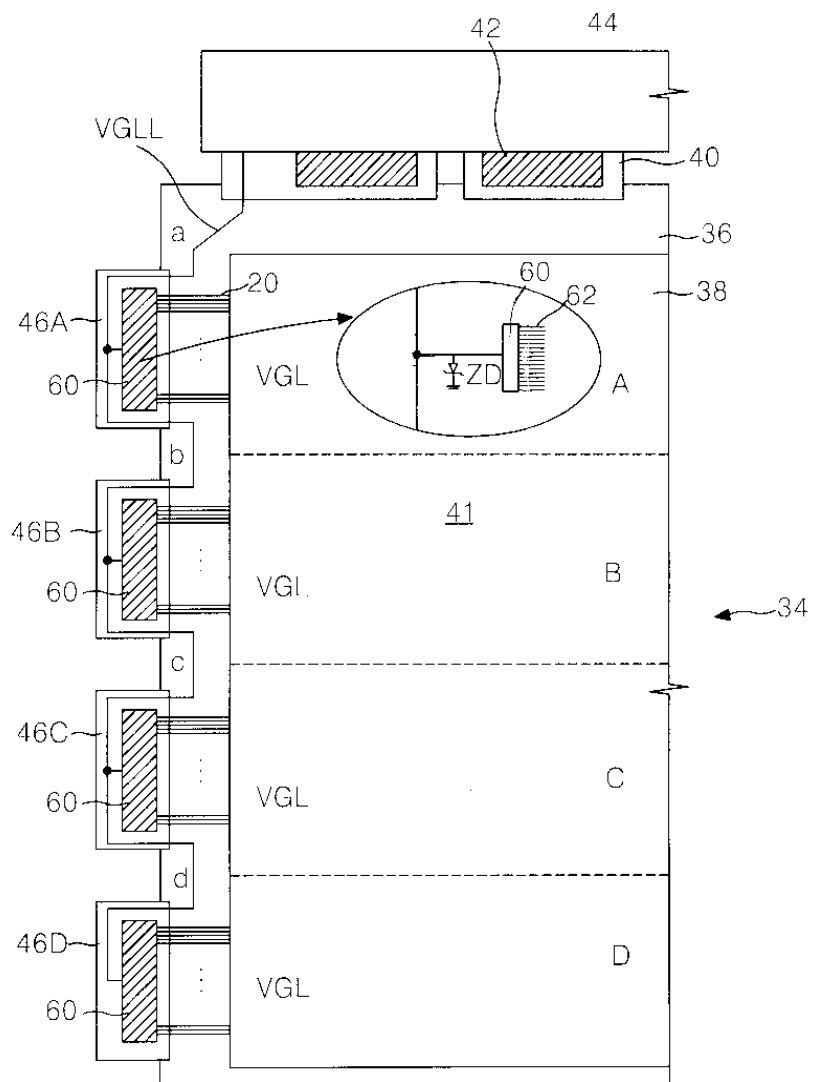
도면5c



도면5d



도면6



本发明涉及一种能够防止水平线块之间的亮度差,以补偿由在有限的区域中的栅极驱动IC的信号线组LOG型之间的线路电阻差的LOG型液晶显示装置。LOG型液晶显示装置包括图像显示单元,该图像显示单元包括形成在栅极线和数据线的交叉区域处的多个液晶单元;多个栅极带载封装,每个栅极带载封装具有驱动栅极线的多个栅极驱动集成电路;多个数据带载封装,每个带有驱动数据线的多个数据驱动IC;在图像显示单元的外部区域中以玻璃上方式形成的玻璃上型信号线,并传输栅极驱动集成电路所需的驱动信号;线式玻璃线电阻栅极驱动IC由于驱动型信号线电路,以补偿提供给各栅极驱动器用IC的栅极信号的驱动信号的电压差相同的大小作为从所提供的栅极线以及用于补偿电压差的电压差补偿单元。并且电压差补偿器设置在每个栅极驱动集成电路的外部,并且电连接到每个栅极驱动集成电路。

