



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월03일
(11) 등록번호 10-0856124
(24) 등록일자 2008년08월27일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01) G11C 7/00 (2006.01)

(21) 출원번호 10-2007-0012166

(22) 출원일자 2007년02월06일

심사청구일자 2007년02월06일

(65) 공개번호 10-2008-0073484

(43) 공개일자 2008년08월11일

(56) 선행기술조사문헌

KR1020030065130 A*

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박재완

경기 안양시 동안구 관양1동 현대아파트 11동 1403호

김창민

대전 서구 관저동 느리울APT 1106-901

김종선

경기 성남시 분당구 분당동 장안타운건영아파트 121-1604

(74) 대리인

권영규, 윤재석, 한지희

전체 청구항 수 : 총 16 항

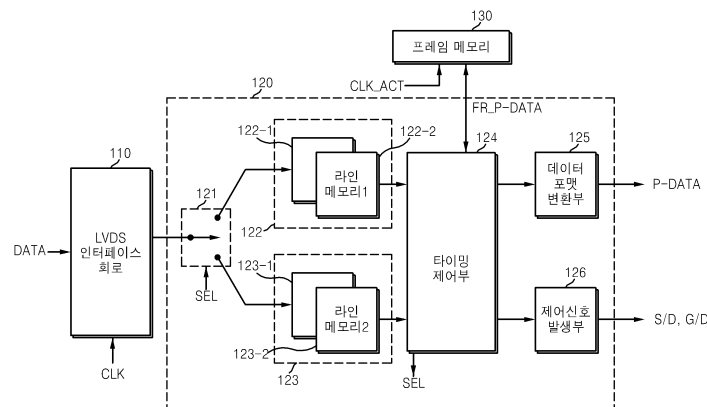
심사관 : 김세영

(54) 타이밍 컨트롤러 및 이를 구비하는 액정 표시장치

(57) 요약

타이밍 컨트롤러 및 이를 구비하는 액정 표시 장치가 개시된다. 상기 타이밍 컨트롤러는 제1주파수로 수신되는 픽셀 데이터를 수신하여 저장하고, 저장된 상기 픽셀 데이터를 제2주파수로 출력하는 라인 메모리 블록; 및 상기 라인 메모리 블록의 출력단에 접속되어 상기 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제2주파수로 인터페이스하고, 상기 프레임 메모리로부터 인터페이스되어 출력되는 픽셀데이터를 소정의 데이터 포맷으로 변환하여 출력하는 제어부를 구비한다.

대표도 - 도3



(56) 선행기술조사문헌

JP10143111 A*

JP05181431 A

JP11338424 A

KR1020020057245 A

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

제1주파수로 수신되는 픽셀 데이터를 수신하여 저장하고, 저장된 상기 픽셀 데이터를 상기 제1주파수로부터 오버헤드 주파수가 제거된 제2주파수로 출력하는 라인 메모리 블록; 및

상기 라인 메모리 블록의 출력단에 접속되어 상기 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제2주파수로 인터페이싱하고, 상기 프레임 메모리로부터 제공된 픽셀데이터를 출력하는 제어부를 구비하는 타이밍 컨트롤러.

청구항 2

제1항에 있어서,

상기 타이밍 컨트롤러는,

상기 제어부로부터 출력되는 픽셀 데이터를 데이터 포맷으로 변환하기 위한 데이터 포맷 변환부; 및

상기 제어부로부터 출력되는 제어신호에 응답하여 액정 패널을 구동하기 위한 다수의 제어신호들을 발생하는 제어신호 발생부를 더 구비하는 타이밍 컨트롤러.

청구항 3

제1항에 있어서,

상기 제1주파수는 상기 제2주파수보다 높은 타이밍 컨트롤러.

청구항 4

제1항에 있어서,

상기 라인 메모리 블록은,

액정 패널의 N (N 은 자연수)번째 수평 라인 픽셀 데이터를 저장하기 위한 제1 라인 메모리 블록; 및

상기 액정 패널의 $(N+1)$ 번째 수평 라인 픽셀 데이터를 저장하기 위한 제2 라인 메모리 블록을 구비하는 타이밍 컨트롤러.

청구항 5

제4항에 있어서,

상기 타이밍 컨트롤러는 선택 신호에 응답하여 상기 제1 라인 메모리 블록 또는 상기 제2 라인 메모리 블록 중 어느 하나를 선택하기 위한 선택 블록을 더 구비하는 타이밍 컨트롤러.

청구항 6

제4항에 있어서,

상기 제1 라인 메모리 블록 및 상기 제2 라인 메모리 블록 각각은,

기수 픽셀 데이터를 저장하기 위한 기수 라인 메모리 및 우수 픽셀 데이터를 저장하기 위한 우수 라인 메모리를 구비하는 타이밍 컨트롤러.

청구항 7

제1주파수로 수신되는 액정 패널의 N (N 은 자연수)번째 수평 라인 픽셀 데이터를 저장하기 위한 제1 라인 메모리 블록;

상기 제1주파수로 수신되는 상기 액정 패널의 $(N+1)$ 번째 수평 라인 픽셀 데이터를 저장하기 위한 제2 라인 메모리 블록;

상기 제1 및 제2 라인 메모리 블록의 입력단에 접속되어 외부로부터 수신되는 픽셀 데이터를 라인 메모리 선택

신호에 응답하여 상기 제1 라인 메모리 블록 또는 상기 제2 라인 메모리 블록 중 어느 하나로 출력하기 위한 선택 블록;

상기 라인 메모리 블록의 출력단에 접속되어 상기 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제1주파수로부터 오버헤드 주파수가 제거된 제2주파수로 인터페이싱하고, 상기 프레임 메모리로부터 제공된 픽셀데이터를 출력하는 제어부;

상기 제어부로부터 출력되는 픽셀 데이터를 데이터 포맷으로 변환하기 위한 데이터 포맷 변환부; 및

상기 제어부로부터 출력되는 제어신호에 응답하여 액정 패널을 구동하기 위한 다수의 제어신호들을 발생하는 제어신호 발생부를 구비하는 타이밍 컨트롤러.

청구항 8

제7항에 있어서,

상기 제1 라인 메모리 블록 및 상기 제2 라인 메모리 블록 각각은,

기수 픽셀 데이터를 저장하기 위한 기수 라인 메모리 및 우수 픽셀 데이터를 저장하기 위한 우수 라인 메모리를 구비하는 타이밍 컨트롤러.

청구항 9

제7항에 있어서,

상기 라인 메모리 선택신호는 상기 제어부로부터 출력되는 신호인 타이밍 컨트롤러.

청구항 10

제7항에 있어서,

상기 제1주파수는 상기 제2주파수보다 더 높은 타이밍 컨트롤러.

청구항 11

제1항 또는 제7항에 기재된 타이밍 컨트롤러;

수신되는 픽셀 데이터를 제1주파수로 인터페이싱하여 상기 타이밍 컨트롤러로 출력하는 데이터 인터페이스 회로;

상기 타이밍 컨트롤러와 상기 제1 주파수로부터 오버헤드 주파수가 제거된 제2주파수로 인터페이싱하여, 상기 픽셀 데이터를 수신하여 저장하고, 저장된 픽셀 데이터를 프레임 단위로 상기 타이밍 컨트롤러로 출력하는 프레임 메모리;

다수의 소스 라인들, 다수의 게이트 라인들, 및 다수의 픽셀들을 구비하는 액정 패널;

상기 타이밍 컨트롤러로부터 출력되는 소스 제어신호에 기초하여 상기 픽셀 데이터를 소정의 감마 전압레벨로 변환하여 상기 액정 패널을 구동시키기 위한 소스 드라이버; 및

상기 타이밍 컨트롤러로부터 출력되는 게이트 제어 신호에 기초하여 상기 액정 패널을 구동시키기 위한 게이트 드라이버를 포함하는 액정 표시 장치.

청구항 12

제11항에 있어서,

상기 프레임 메모리는 SDRAM 또는 DDR SDRAM으로 구현된 액정 표시 장치.

청구항 13

선택 회로가 제1주파수로 수신되는 픽셀 데이터를 라인 메모리 선택 신호에 응답하여 제1 라인 메모리 블록 또는 제2 라인 메모리 블록 중 어느 하나로 출력하는 단계;

상기 제1 라인 메모리 블록이 상기 제1주파수로 수신되는 상기 픽셀 데이터 중에서 액정 패널의 N(N은 자연수)

번째 수평 라인 픽셀 데이터를 저장하는 단계;

상기 제2 라인 메모리가 상기 제1주파수로 수신되는 상기 픽셀 데이터 중에서 상기 액정 패널의 (N+1)번째 수평 라인 픽셀 데이터를 저장하는 단계; 및

상기 제1 및 제2 라인 메모리 블록의 출력단에 접속된 제어부가 상기 제1 및 제2 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제1 주파수로부터 오버헤드 주파수가 제거된 제2 주파수로 인터페이스하는 단계를 구비하는 타이밍 컨트롤러의 구동 방법.

청구항 14

제13항에 있어서,

타이밍 컨트롤러의 구동 방법은,

데이터 포맷 변환부가 상기 제어부로부터 출력되는 픽셀 데이터를 액정 패널의 구동 방법에 상응하는 데이터 포맷으로 변환하는 단계; 및

제어 신호 발생부가 상기 제어부로부터 출력되는 제어신호를 수신하여 상기 액정 패널을 구동하기 위한 다수의 제어신호들을 발생하는 단계를 더 구비하는 타이밍 컨트롤러의 구동 방법.

청구항 15

제13항에 있어서,

상기 제1 라인 메모리 블록 및 상기 제2 라인 메모리 블록 각각은,

기수 픽셀 데이터를 저장하기 위한 기수 라인 메모리 및 우수 픽셀 데이터를 저장하기 위한 우수 라인 메모리를 구비하는 타이밍 컨트롤러의 구동 방법.

청구항 16

제13항에 있어서,

상기 제1주파수는 상기 제2주파수보다 더 높은 타이밍 컨트롤러의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 타이밍 컨트롤러 및 이를 구비하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 프레임 메모리 인터페이스 밴드위스(Bandwidth)를 줄일 수 있는 타이밍 컨트롤러 및 이를 구비하는 액정 표시 장치에 관한 것이다.
- <7> 일반적으로 액정 표시 장치는 집적되는 픽셀 수에 기초하여 그 해상도를 표현한다. 상기 액정 표시 장치의 크기가 커질수록 그 해상도는 높아지고, 또한 고품질의 화상을 디스플레이하기 위하여, 액정 패널내의 픽셀의 집적률을 높임으로써 해상도를 증가시키고 있다.
- <8> 상기 해상도의 증가에 비례하여 처리해야 할 픽셀 데이터도 증가하게 된다. 따라서, 증가되는 픽셀 데이터를 처리할 수 있는 방법 및 처리 속도를 높일 수 있는 방법들이 요구된다.
- <9> 도 1은 일반적인 타이밍 컨트롤러의 개략적인 블록도이다. 도 1을 참조하면, 상기 타이밍 컨트롤러(10)는 제어부(11), 선택회로(12), 제1 라인 메모리 블록(13), 제2라인 메모리 블록(14), 데이터 포맷 변환부(15), 및 제어 신호 발생부(16)를 구비한다.
- <10> 상기 제어부(11)는 데이터 인터페이스 회로(20)로부터 출력되는 픽셀 데이터를 수신하여 이를 프레임 메모리

(30)로 출력하고, 상기 프레임 메모리(30)로부터 1프레임 단위로 출력되는 픽셀 데이터를 수신한다.

- <11> 상기 선택회로(12)는 제어부(11)로부터 출력된 상기 픽셀 데이터를 수신하고, 수신된 픽셀 데이터를 제어부(11)에 의하여 발생된 라인 메모리 선택신호(SEL)에 기초하여 상기 제1 라인 메모리(13) 또는 상기 제2 라인 메모리(14) 중 어느 하나로 출력한다.
- <12> 상기 제1 라인 메모리 블록(13) 및 상기 제2 라인 메모리 블록(14) 각각은 수신된 액정 패널의 하나의 수평 라인의 픽셀 데이터를 저장한다.
- <13> 상기 데이터 포맷 변환부(15)는 상기 제1 라인 메모리 블록(13) 또는 제2 라인 메모리 블록(14)으로부터 출력되는 픽셀 데이터를 상기 액정 패널의 데이터 구동 방식에 기초하여 소정의 데이터 포맷으로 변환하여 출력한다.
- <14> 상기 제어신호 발생부(16)는 상기 제어부(11)로부터 출력되는 제어 신호에 기초하여 다수의 게이트 드라이버 제어신호(G/D) 및 소스 드라이버 제어신호(S/D)를 출력한다.
- <15> 그런데, 상기 일반적인 타이밍 컨트롤러(10)에서 상기 데이터 인터페이스 회로(20)와 상기 타이밍 컨트롤러(10)의 인터페이스 속도는 제1주파수(예컨대, 85Mhz)를 가진다.
- <16> 그런데, 액정 패널의 집적되는 픽셀수의 증가로 인하여 상기 증가한 픽셀수를 표현하기 위한 픽셀 데이터의 수도 증가하게 된다.
- <17> 또한, 액정의 반응속도를 높이는 오버 드라이브(Over drive) 기술, Hold Type 디스플레이의 단점인 Blurring 현상을 개선하기 위한 120HZ 기술, 시야각 확장을 위한 SPVA(Super Patterned Vertical Alignment) 기술 등의 적용에 따라 처리해야 하는 픽셀 데이터의 증가가 불가피하다.
- <18> 따라서, 상기 액정 표시 장치에서 상기 오버 드라이브(Over drive) 기술, 120HZ 기술, 및 SPVA 기술 등을 적용하기 위해서, 상기 액정 표시 장치는 프레임 메모리 블록(30)을 구비하여 상기 타이밍 컨트롤러(10)와 상기 프레임 메모리(30) 사이의 전송 주파수(또는 Bandwidth)를 높이게 된다.
- <19> 그런데, 상기 데이터 전송 주파수(또는 Bandwidth)가 일정 수준(예컨대, 200MHz) 이상으로 커지게 되면 상기 프레임 메모리(30)에 저장된 픽셀 데이터를 액세스 하기 위한 셋 업(Set up) 또는 홀드 타임(Hold time)의 확보가 어렵게 되는 문제가 있었다.
- <20> 따라서, 상기 증가하는 픽셀 데이터의 처리 속도를 높이기 위하여 상기 프레임 메모리(30)와 상기 타이밍 컨트롤러(10) 사이의 데이터 전송 주파수(또는 bandwidth)를 증가시켜야 하는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

- <21> 따라서, 본 발명이 이루고자 하는 기술적 과제는 프레임 메모리와 타이밍 컨트롤러 사이의 인터페이스 밴드위스(Bandwidth)을 줄일 수 있는 타이밍 컨트롤러 및 상기 타이밍 컨트롤러를 구비하는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <22> 본 발명에 따른 타이밍 컨트롤러는 제1주파수로 수신되는 픽셀 데이터를 수신하여 저장하고, 저장된 상기 픽셀 데이터를 상기 제1주파수로부터 오버헤드 주파수가 제거된 제2주파수로 출력하는 라인 메모리 블록; 및 상기 라인 메모리 블록의 출력단에 접속되어 상기 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제2주파수로 인터페이싱하고, 상기 프레임 메모리로부터 제공된 픽셀데이터를 출력하는 제어부를 구비한다.
- <23> 상기 타이밍 컨트롤러는 상기 제어부로부터 출력되는 픽셀 데이터를 데이터 포맷으로 변환하기 위한 데이터 포맷 변환부; 및 상기 제어부로부터 출력되는 제어신호에 응답하여 액정 패널을 구동하기 위한 다수의 제어신호들을 발생하는 제어신호 발생부를 더 구비한다. 상기 제1주파수는 상기 제2주파수보다 높다.
- <24> 상기 라인 메모리 블록은 액정 패널의 N(N은 자연수)번째 수평 라인 픽셀 데이터를 저장하기 위한 제1 라인 메모리 블록; 및 상기 액정 패널의 (N+1)번째 수평 라인 픽셀 데이터를 저장하기 위한 제2 라인 메모리 블록을 구비한다.
- <25> 상기 타이밍 컨트롤러는 선택 신호에 응답하여 상기 제1 라인 메모리 블록 또는 상기 제2 라인 메모리 블록 중 어느 하나를 선택하기 위한 선택 블록을 더 구비한다.

- <26> 상기 제1 라인 메모리 블록 및 상기 제2 라인 메모리 블록 각각은 기수 픽셀 데이터를 저장하기 위한 기수 라인 메모리 및 우수 픽셀 데이터를 저장하기 위한 우수 라인 메모리를 구비한다.
- <27> 본 발명에 따른 타이밍 컨트롤러는 제1주파수로 수신되는 액정 패널의 $N(N$ 은 자연수)번째 수평 라인 픽셀 데이터를 저장하기 위한 제1 라인 메모리 블록; 상기 제1주파수로 수신되는 상기 액정 패널의 $(N+1)$ 번째 수평 라인 픽셀 데이터를 저장하기 위한 제2 라인 메모리 블록; 상기 제1 및 제2 라인 메모리 블록의 입력단에 접속되어 외부로부터 수신되는 픽셀 데이터를 라인 메모리 선택 신호에 응답하여 상기 제1 라인 메모리 블록 또는 상기 제2 라인 메모리 블록 중 어느 하나로 출력하기 위한 선택 블록; 상기 라인 메모리 블록의 출력단에 접속되어 상기 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제1주파수로부터 오버헤드 주파수가 제거된 제2주파수로 인터페이싱하고, 상기 프레임 메모리로부터 제공된 픽셀데이터를 출력하는 제어부; 상기 제어부로부터 출력되는 픽셀 데이터를 데이터 포맷으로 변환하기 위한 데이터 포맷 변환부; 및 상기 제어부로부터 출력되는 제어신호에 응답하여 액정 패널을 구동하기 위한 다수의 제어신호들을 발생하는 제어신호 발생부를 구비한다.
- <28> 상기 제1 라인 메모리 블록 및 상기 제2 라인 메모리 블록 각각은 기수 픽셀 데이터를 저장하기 위한 기수 라인 메모리 및 우수 픽셀 데이터를 저장하기 위한 우수 라인 메모리를 구비한다.
- <29> 상기 라인 메모리 선택신호는 상기 제어부로부터 출력되는 신호이다. 상기 제1주파수는 상기 제2주파수보다 더 높다.
- <30> 본 발명에 따른 액정 표시 장치는 타이밍 컨트롤러; 수신되는 픽셀 데이터를 제1주파수로 인터페이싱하여 상기 타이밍 컨트롤러로 출력하는 데이터 인터페이스 회로; 상기 타이밍 컨트롤러와 상기 제1 주파수로부터 오버헤드 주파수가 제거된 제2주파수로 인터페이싱하여, 상기 픽셀 데이터를 수신하여 저장하고, 저장된 픽셀 데이터를 프레임 단위로 상기 타이밍 컨트롤러로 출력하는 프레임 메모리; 다수의 소스 라인들, 다수의 게이트 라인들, 및 다수의 픽셀들을 구비하는 액정 패널; 상기 타이밍 컨트롤러로부터 출력되는 소스 제어신호에 기초하여 상기 픽셀 데이터를 소정의 감마 전압레벨로 변환하여 상기 액정 패널을 구동시키기 위한 소스 드라이버; 및 상기 타이밍 컨트롤러로부터 출력되는 게이트 제어 신호에 기초하여 상기 액정 패널을 구동시키기 위한 게이트 드라이버를 구비한다. 상기 프레임 메모리는 SDRAM 또는 DDR SDRAM으로 구현된다.
- <31> 본 발명에 따른 타이밍 컨트롤러의 구동 방법은 선택 회로가 제1주파수로 수신되는 픽셀 데이터를 라인 메모리 선택 신호에 응답하여 제1 라인 메모리 블록 또는 제2 라인 메모리 블록 중 어느 하나로 출력하는 단계; 상기 제1 라인 메모리 블록이 상기 제1주파수로 수신되는 상기 픽셀 데이터 중에서 액정 패널의 $N(N$ 은 자연수)번째 수평 라인 픽셀 데이터를 저장하는 단계; 상기 제2 라인 메모리가 상기 제1주파수로 수신되는 상기 픽셀 데이터 중에서 상기 액정 패널의 $(N+1)$ 번째 수평 라인 픽셀 데이터를 저장하는 단계; 및 상기 제1 및 제2 라인 메모리 블록의 출력단에 접속된 제어부가 상기 제1 및 제2 라인 메모리 블록으로부터 출력되는 픽셀 데이터를 외부의 프레임 메모리와 상기 제1 주파수로부터 오버헤드 주파수가 제거된 제2 주파수로 인터페이싱하는 단계를 구비한다.
- <32> 타이밍 컨트롤러의 구동 방법은 데이터 포맷 변환부가 상기 제어부로부터 출력되는 픽셀 데이터를 액정 패널의 구동 방법에 상응하는 데이터 포맷으로 변환하는 단계; 및 제어 신호 발생부가 상기 제어부로부터 출력되는 제어신호를 수신하여 상기 액정 패널을 구동하기 위한 다수의 제어신호들을 발생하는 단계를 더 구비한다.
- <33> 상기 제1 라인 메모리 블록 및 상기 제2 라인 메모리 블록 각각은 기수 픽셀 데이터를 저장하기 위한 기수 라인 메모리 및 우수 픽셀 데이터를 저장하기 위한 우수 라인 메모리를 구비한다. 상기 제1주파수는 상기 제2주파수보다 더 높다.
- <34> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <35> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재번호를 나타낸다.
- <36> 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 개략적인 블록도이다. 도 2를 참조하면, 상기 액정 표시 장치(100)는 데이터 인터페이스 회로(110), 타이밍 컨트롤러(120), 프레임 메모리(130), 소스 드라이버(140), 게이트 드라이버(150), 및 액정 패널(160)을 구비한다.
- <37> LVDS 인터페이스 방법에 따른 상기 데이터 인터페이스 회로(110)는 수신되는 픽셀 데이터(DATA)를 소정의 신호

레벨(예컨대, 3.3V ~ 1.8V)로 변환하고, 레벨 변환된 픽셀 데이터를 제1주파수를 갖는 제1클럭 신호(CLK)에 응답하여 출력한다.

- <38> 상기 제1주파수는 소정의 오버헤드 주파수를 포함한다. 상기 오버헤드는 액정 패널(160)의 정상적인 구동을 위해 필요한 여유시간이다.
- <39> 상기 타이밍 컨트롤러(120)는 상기 데이터 인터페이스 회로(110)로부터 출력되는 픽셀 데이터를 수신하여 상기 프레임 메모리(130)로 출력하고, 상기 프레임 메모리(130)로부터 프레임 단위로 출력되는 픽셀 데이터(P-DATA)를 상기 소스 드라이버(140)로 출력한다.
- <40> 도 3은 도 2에 도시된 타이밍 컨트롤러의 개략적인 블록도이다. 도 2와 도 3을 참조하면, 상기 타이밍 컨트롤러(120)는 선택 블록(121), 다수의 라인 메모리들(122-1과 122-2)을 포함하는 제1 라인 메모리 블록(122), 다수의 라인 메모리들(123-1과 123-2)을 포함하는 제2 라인 메모리 블록(123), 제어부(124), 데이터 포맷 변환부(125), 및 제어신호 발생부(126)를 구비한다.
- <41> 상기 선택 블록(121)은 상기 데이터 인터페이스 회로(110)로부터 제1주파수를 갖는 제1클럭 신호(CLK)에 응답하여 출력되는 픽셀 데이터를 수신하고, 제어부(124)로부터 출력된 선택 신호(SEL)에 응답하여 수신된 픽셀 데이터를 상기 제1라인 메모리 블록(122) 또는 상기 제2라인 메모리 블록(123) 중 어느 하나로 출력한다.
- <42> 예컨대, 상기 선택 블록(121)은 상기 선택 신호(SEL)의 제1레벨(예컨대, 논리 'High')에 응답하여 수신된 픽셀 데이터를 상기 제1라인 메모리 블록(122)으로 출력하고, 상기 선택신호(SEL)의 제2레벨(예컨대, 논리 'High')에 응답하여 수신된 픽셀 데이터를 상기 제2 라인 메모리 블록(123)으로 출력한다.
- <43> 상기 제1 라인 메모리 블록(122)은 상기 선택 블록(121)으로부터 출력되는 픽셀 데이터 중에서 상기 액정 패널(400)의 N(N은 자연수, 예컨대 N>2)번째 수평 라인의 픽셀 데이터를 저장한다.
- <44> 상기 제1 라인 메모리 블록(122)은 수신된 N번째 수평 라인의 픽셀 데이터 중에서 기수 픽셀 데이터(Odd pixel data)를 저장하기 위한 제1기수 라인 메모리(122-1), 및 우수 픽셀 데이터(Even pixel data)를 저장하기 위한 제1 우수 라인 메모리(122-2)를 구비한다.
- <45> 상기 제2 라인 메모리 블록(123)은 상기 선택 블록(121)으로부터 출력되는 픽셀 데이터 중에서 상기 액정 패널(400)의 (N+1)번째의 수평 라인의 픽셀 데이터를 저장한다.
- <46> 상기 제2 라인 메모리 블록(123)은 수신된 (N+1)번째 수평 라인의 픽셀 데이터 중에서 기수 픽셀 데이터(Odd pixel data)를 저장하기 위한 제2기수 라인 메모리(123-1), 및 우수 픽셀 데이터(Even pixel data)를 저장하기 위한 제2 우수 라인 메모리(123-2)를 구비한다.
- <47> 상기 제1 라인 메모리 블록(122)이 상기 N번째 수평 라인의 픽셀 데이터를 수신하는 동안에는 상기 제2 라인 메모리 블록(123)은 미리 저장된 (N-1)번째 수평 라인의 픽셀 데이터를 출력한다.
- <48> 또한, 상기 제2라인 메모리 블록(123)이 상기 (N+1)번째 수평 라인의 픽셀 데이터를 수신하는 동안에는 상기 제1 라인 메모리 블록(122)은 미리 저장된 N번째 수평 라인의 픽셀 데이터를 출력한다.
- <49> 즉, 상기 제1 라인 메모리 블록(122) 및 상기 제2 라인 메모리 블록(123)은 정렬된 픽셀 데이터를 출력하게 되므로 상기 제1주파수로 수신되는 픽셀 데이터를 저장하여 액티브 픽셀 주파수로써 출력하게 된다.
- <50> 상기 액티브 픽셀 주파수는 상기 제1 주파수에서 상기 오버헤드 주파수를 제거한 주파수이다.
- <51> 상기 제어부(124)는 상기 제1 라인 메모리 블록(122) 또는 상기 제2 라인 메모리 블록(123)으로부터 출력되는 픽셀 데이터를 수신하여 이를 상기 프레임 메모리(130)로 출력하고, 상기 프레임 메모리(130)로부터 출력되는 픽셀 데이터를 수신하여 이를 상기 데이터 포맷 변환부(125)로 출력한다.
- <52> 상기 프레임 메모리(130)는 상기 타이밍 컨트롤러(120)와 인터페이스 하기 위한 다수의 데이터 입출력 핀들(미도시)을 구비한다.
- <53> 상기 프레임 메모리(130)는 상기 다수의 입출력 핀들에 접속된 데이터 버스를 통하여 상기 제어부(124)로부터 출력되는 픽셀 데이터를 수신하여 저장하고, 제2 주파수를 갖는 제2클럭 신호(CLK_ACT)에 응답하여 저장된 픽셀 데이터를 프레임 단위로 상기 제어부(124)로 출력한다.
- <54> 상기 프레임 메모리(130)는 SDARM 또는 DDR SDRAM과 같은 휘발성 메모리로 구현될 수 있다.

- <55> 상기 제2클럭 신호(CLK_ACT)는 상기 타이밍 컨트롤러(120)의 구동 방법(예컨대, 오버 드라이브 기술, 120Hz 구동 기술, 및 SPVA 기술)에 따라 상기 타이밍 컨트롤러(120)로 입력되는 픽셀 데이터의 전송 주파수(예컨대, 제1 주파수)를 스케일링한 주파수를 갖는 신호이다. 즉, 상기 제1주파수는 상기 제2주파수보다 높다.
- <56> 상기 데이터 포맷 변환부(125)는 상기 제어부(124)로부터 출력되는 픽셀 데이터를 액정 표시장치(160)를 구동하는 방법(예컨대, 도트 인버전 방식, 라인 인버전 방식 등)에 상응하는 데이터 포맷으로 변환하여 출력한다.
- <57> 상기 제어신호 발생부(126)는 상기 제어부(124)로부터 출력되는 제어신호에 응답하여 데이터 포맷 변환부(125)로부터 출력되는 픽셀 데이터(P-DATA)의 신호 전송 타이밍을 제어하기 위한 제어신호들(S/D, G/D)을 상기 소스 드라이버(140) 및 게이트 드라이버(150)로 출력한다.
- <58> 상기 소스 드라이버(140)는 상기 타이밍 컨트롤러(120)로부터 출력된 소스 드라이버 제어신호(S/D)에 기초하여 상기 픽셀 데이터(P-DATA)를 소정의 감마 전압 레벨 및 소정의 극성으로 변환하여 상기 액정 패널(160)에 구현된 데이터 라인들로 출력한다.
- <59> 상기 게이트 드라이버(150)는 상기 타이밍 컨트롤러로부터 출력된 게이트 드라이버 제어신호(G/D)에 기초하여 상기 액정 패널(160)에 구현된 게이트 라인들을 순차적으로 턴온시킨다.
- <60> 도 4는 본 발명에 따른 실시예의 효과를 설명하기 위한 도표이다. 도 4는 고해상도(High-resolution)를 지원하기 위한 타이밍 컨트롤러(120)와 프레임 메모리(130) 사이의 인터페이스 속도를 1.5배 또는 3배로 구동시키는 오버 드라이브(over drive) 구동 방식을 사용할 경우의 예시이다.
- <61> 도 1 내지 4를 참조하면, 데이터 인터페이스 회로(110)로부터 출력되는 픽셀 데이터의 주파수는 액티브 픽셀 주파수(active pixel frequency)와 오버 헤드 주파수(Overhead frequency)를 합한 주파수를 가진다. 예컨대, 상기 출력되는 픽셀 데이터의 주파수가 85MHz일 경우 상기 액티브 픽셀 주파수는 62.5MHz가 되고, 오버 헤드 주파수는 17.5MHz가 된다. 상기 액티브 픽셀 주파수와 상기 오버 헤드 주파수의 비율은 설계시 임의로 결정될 수 있다.
- <62> HD(1366x768)급의 해상도를 가지는 액정 표시 장치(100)를 구동하기 위한 싱글(Single) 데이터 인터페이스 방식을 사용하는 경우에는, 일반적인 타이밍 컨트롤러(10)는 1.5배의 오버 드라이브 구동시 127.5MHz의 전송 주파수로 인터페이스 한다.
- <63> 반면에, 본 발명에 따른 타이밍 컨트롤러(120)는 1.5배로 오버 드라이브를 할 경우 93.8MHz의 전송 주파수로 상기 프레임 메모리(130)와 인터페이스할 수 있다.
- <64> 즉, 본 발명에 따른 타이밍 컨트롤러(120)는 데이터 인터페이스 회로(110)로부터 출력되는 제1 주파수를 갖는 픽셀 데이터를 라인 메모리 블록(122 또는 123)을 통하여 오버헤드를 줄임으로써 일반적인 타이밍 컨트롤러에 비해서 약 26.5%의 밴드위스(Bandwidth)를 줄일수 있다.
- <65> FHD(1920x1080)급의 해상도를 가지는 액정표시 장치를 구동하기 위한 듀얼 데이터 인터페이스 방법을 사용하는 경우에는 일반적인 타이밍 컨트롤러(10)는 255MHz로 인터페이스해야 한다.
- <66> 또한, 상기 일반적인 타이밍 컨트롤러(10)는 10bit 서브 픽셀로 구성된 픽셀 데이터 인터페이스 할 경우 32bit 데이터 버스를 모두 사용하여 인터페이스 한다고 해도 239.1MHz의 전송 주파수로 구동해야 한다. 따라서, 상기 프레임 메모리(30)에 액세스 시 셋업 또는 홀드 타임을 확보할 수 없게 된다.
- <67> 반면에, 본 발명에 따른 타이밍 컨트롤러(120)에서는 상기 3배의 오버 드라이브 구동시에도 187.5MHz의 주파수만으로도 상기 프레임 메모리(130)와 인터페이스 할 수 있다.
- <68> 또한, 본 발명에 따른 타이밍 컨트롤러(120)는 10bit 서브 픽셀로 구성된 픽셀 데이터를 인터페이스 할 경우에도 32bit 데이터 버스를 모두 사용하게 되면 175.8MHz의 전송 주파수만으로도 상기 프레임 메모리(130)와 인터페이스 할 수 있다.
- <69> 따라서, 상기 프레임 메모리(130)는 충분한 셋업 또는 홀드 타임을 확보할 수 있고, 일반적인 타이밍 컨트롤러(10)에 비하여 인터페이스 밴드위스(Bandwidth)를 감소시킬 수 있다.
- <70> 즉, 본 발명에 따른 타이밍 컨트롤러(120)는 부가적인 회로의 추가 없이 상기 라인 메모리 블록(122 및 123)의 위치를 상기 제어부(124)의 앞단에 위치시킴으로써 오버헤드 주파수를 없앤 액티브 픽셀 데이터 주파수로 상기 프레임 메모리(130)와 인터페이스 할 수 있다.

<71> 또한, 상기 프레임 메모리(130)와 상기 타이밍 컨트롤러(120)와의 인터페이스 밴드위스(Bandwidth)를 줄임으로써 상기 타이밍 컨트롤러(120)는 해상도 증가에 따른 부가적인 회로의 추가를 필요로 하지 않으므로 상기 타이밍 컨트롤러(120)의 제조비용을 줄일 수 있다.

<72> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

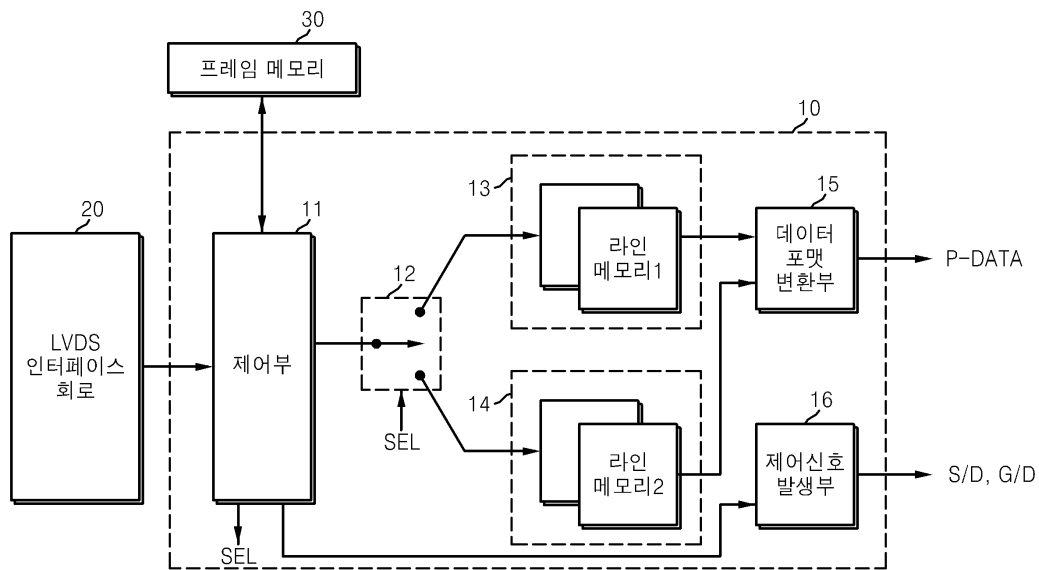
<73> 상술한 바와 같이 본 발명에 따른 타이밍 컨트롤러 및 그를 포함하는 액정 표시 장치는 상기 타이밍 컨트롤러와 프레임 메모리 사이의 인터페이스 밴드위스(Bandwidth)를 줄일 수 있고 또한 상기 타이밍 컨트롤러 및 프레임 메모리의 제조 비용을 절감할 수 있는 효과가 있다.

도면의 간단한 설명

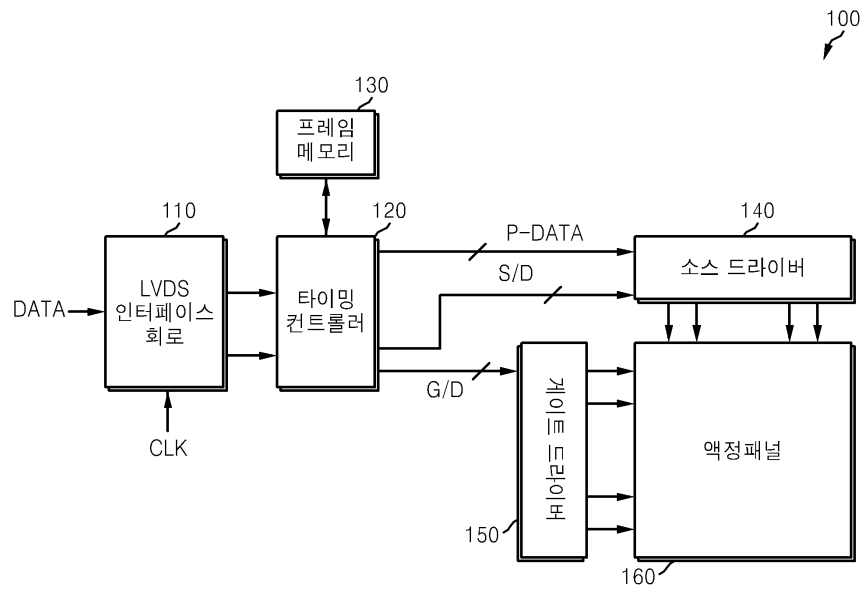
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 일반적인 타이밍 컨트롤러의 개략적인 블록도이다.
- <3> 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 개략적인 블록도이다.
- <4> 도 3은 도 2에 도시된 타이밍 컨트롤러의 개략적인 블록도이다.
- <5> 도 4는 본 발명의 실시예에 따른 타이밍 컨트롤러의 효과를 설명하기 위한 도표이다.

도면

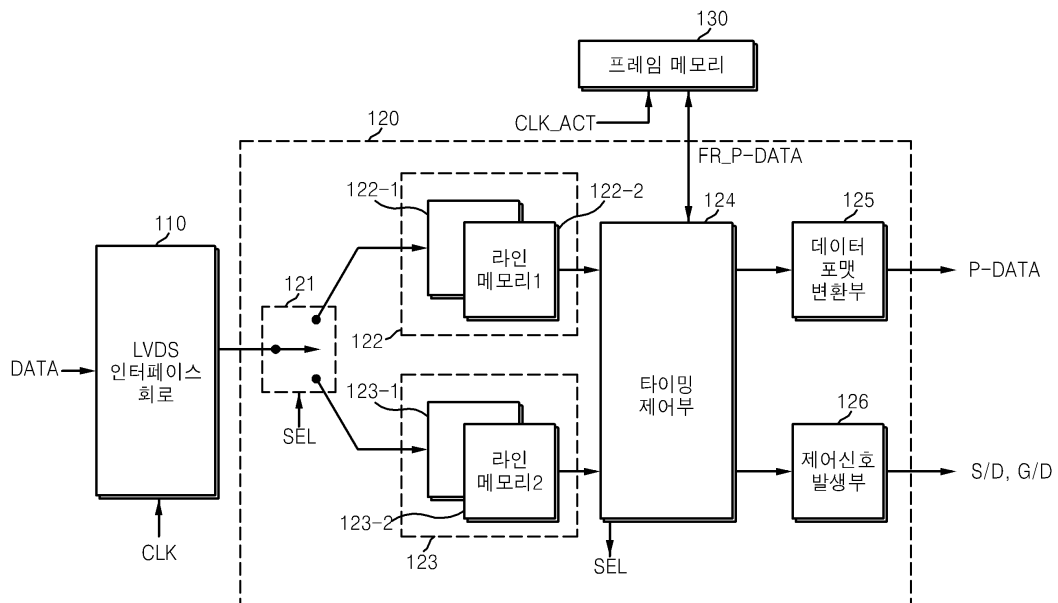
도면1



도면2



도면3



도면4

Resolution	Bit Width	LVDS Rx.	Active pixel Frequency	Proposed		LVDS Rx. Frequency	Previous	
				24/30-bit used	32-bit used		24/30-bit used	32-bit used
HD (1366x768)	8-bit	Single	62.5MHz	93.8MHz	70.4MHz	85MHz	127.5MHz	95.7MHz
	10-bit				87.9MHz			119.6MHz
FHD (1920x1080)	8-bit	Dual		187.5MHz	140.7MHz		255MHz	191.3MHz
	10-bit				175.8MHz			239.1MHz

专利名称(译)	定时控制器和具有该定时控制器的液晶显示装置		
公开(公告)号	KR100856124B1	公开(公告)日	2008-09-03
申请号	KR1020070012166	申请日	2007-02-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JAE WAN 박재완 KIM CHANG MIN 김창민 KIM JONG SEON 김종선		
发明人	박재완 김창민 김종선		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C7/00		
CPC分类号	G09G2340/04 G09G3/3611 G09G5/39		
代理人(译)	YOON , JAE SEOK 韩之HEE 吴邦国议员		
其他公开文献	KR1020080073484A		
外部链接	Espacenet		

摘要(译)

公开了定时控制器和包括该定时控制器的液晶显示器。所述时序控制器包括存储的像素数据到辅助频率上接收到的第一频率的行存储器块接收像素数据，并存储和输出，其被连接到所述行存储器块的输出端，并且从输出的外部帧存储器的像素数据行存储器块，并且控制单元通过二次频率接口和转换被从帧存储器接口和被输出到预定的数据格式，并输出像素数据。时序控制器和液晶显示器。

